



(12) 发明专利

(10) 授权公告号 CN 102130046 B

(45) 授权公告日 2015.01.14

(21) 申请号 201110021170.4

(22) 申请日 2011.01.14

(30) 优先权数据

12/688,154 2010.01.15 US

12/689,803 2010.01.19 US

(73) 专利权人 诺发系统有限公司

地址 美国加利福尼亚州

(72) 发明人 阿南达·班纳吉

乔治·安德鲁·安东内利

詹尼佛·奥洛克林

曼蒂阿姆·斯里拉姆

巴尔特·范施拉文迪杰克

塞莎赛义·瓦拉达拉詹

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 沈锦华

(51) Int. Cl.

H01L 21/768 (2006.01)

H01L 21/00 (2006.01)

H01L 23/532 (2006.01)

(56) 对比文件

US 6518167 B1, 2003.02.11,

CN 1691307 A, 2005.11.02,

US 2007145600 A1, 2007.06.28,

US 2004092096 A1, 2004.05.13,

CN 1691323 A, 2005.11.02,

US 2002173158 A1, 2002.11.21,

审查员 张丹

权利要求书2页 说明书21页 附图9页

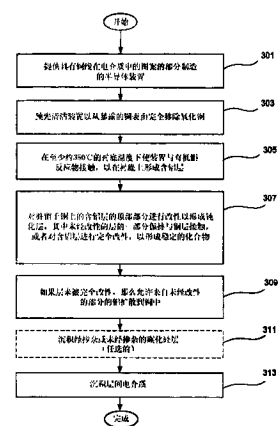
(54) 发明名称

用于镶嵌互连件中的电迁移电阻改进的界面层

(57) 摘要

使用驻留在金属线与电介质扩散势垒(或蚀刻终止)层之间的界面处的保护盖来改进互连件的电迁移性能。通过借助在至少约 350°C 的衬底温度下在无等离子体的情况下用有机铝化合物处理无氧化物的铜表面而将第一含铝材料层沉积在暴露的铜线上,来形成保护盖。所述所形成的含铝层在化学转化中被部分或完全钝化,所述化学转化在所述层中形成 Al-N、Al-O 或 Al-O 与 Al-N 键两者。在一些实施例中,通过无等离子体的情况下使具有暴露的第一层的衬底与含氧反应物和/或含氮反应物接触来执行钝化。可在包括暴露的 ULK 电介质的衬底上形成保护盖。驻留在所述电介质部分上的所述含铝层通常将自发地形成包括 Al-O 键的非导电层。

CN 102130046 B



1. 一种用于形成半导体装置结构的方法,所述方法包括:
 - (a) 在至少 350°C 的衬底温度下使具有暴露的无氧化物的铜或铜合金区和暴露的电介质区的衬底与包括铝的化合物接触,以在所述电介质和所述铜或铜合金层两者上形成包括铝的第一层;
 - (b) 以化学方法对所述第一层的至少一部分进行改性以形成包括铝的钝化层;以及
 - (c) 在所述钝化层上沉积电介质层。
2. 根据权利要求 1 所述的方法,其中在 (a) 之前,清洁所述衬底表面以从铜或铜合金的表面完全移除氧化铜。
3. 根据权利要求 2 所述的方法,其中所述清洁选自以下各项组成的群组:直接等离子体处理、远程等离子体处理、UV 处理,以及在包括 N₂、NH₃ 和 H₂ 中的至少一者的气体中的热处理。
4. 根据权利要求 1 所述的方法,其中 (a) 包括在无等离子体的情况下使所述衬底与有机铝化合物接触。
5. 根据权利要求 4 所述的方法,其中 (a) 包括在至少 400°C 的衬底温度下使所述衬底与有机铝化合物接触。
6. 根据权利要求 4 所述的方法,其中所述有机铝化合物为三甲基铝。
7. 根据权利要求 1 所述的方法,其中 (b) 包括在不允许铝大量扩散到所述铜中的情况下使驻留在所述铜或铜合金上的所述第一层大体上完全钝化。
8. 根据权利要求 1 所述的方法,其中 (b) 包括在允许铝部分扩散到所述铜中的情况下使驻留在所述铜或铜合金上的所述第一层部分钝化。
9. 根据权利要求 1 所述的方法,其中在 (b) 中形成所述钝化层包括形成包括 Al-N 键的大体上稳定的化合物。
10. 根据权利要求 9 所述的方法,其中 (b) 包括用含氮试剂处理所述衬底,其中所述处理选自以下各项组成的群组:直接等离子体处理、远程等离子体处理、UV 处理和热处理。
11. 根据权利要求 10 所述的方法,其中 (b) 包括在无等离子体的情况下用含氮试剂处理所述衬底。
12. 根据权利要求 11 所述的方法,其中所述电介质为 ULK 电介质。
13. 根据权利要求 1 所述的方法,其中在 (b) 中形成所述钝化层包括形成包括 Al-O 键的大体上稳定的化合物。
14. 根据权利要求 13 所述的方法,其中 (b) 包括用含氧试剂处理所述衬底,其中所述处理选自以下各项组成的群组:直接等离子体处理、远程等离子体处理、UV 处理和热处理。
15. 根据权利要求 13 所述的方法,其中 (b) 包括在无等离子体的情况下使所述衬底与含氧试剂接触。
16. 根据权利要求 15 所述的方法,其中所述电介质为 ULK 电介质。
17. 根据权利要求 13 所述的方法,其中 (b) 包括用选自 O₂、N₂O、CO₂ 和 O₃ 组成的群组的含氧试剂来处理所述衬底。
18. 根据权利要求 1 所述的方法,其中在化学气相沉积 (CVD) 设备中执行 (a)、(b) 和 (c)。
19. 根据权利要求 1 所述的方法,其中在 (c) 中沉积的所述电介质层是蚀刻终止电介质

层。

20. 根据权利要求 19 所述的方法,其中所述蚀刻终止电介质层包括选自氮化硅和碳化硅组成的群组的经掺杂或未经掺杂材料。

21. 根据权利要求 1 所述的方法,其中在 (c) 中沉积的所述电介质层是直接沉积到所述钝化层上的层间电介质 (ILD) 层。

22. 一种用于形成半导体装置结构的设备,所述设备包括:

(a) 处理腔室,其具有用于引入气态或挥发性的含金属反应物的入口;

(b) 晶片支撑件,其用于在所述处理腔室中在晶片衬底上沉积含金属层期间将晶片固持在适当位置;以及

(c) 控制器,其包括用于以下操作的程序指令:

(i) 处理具有暴露的铜或铜合金和暴露的电介质的衬底,以从所述暴露的铜或铜合金移除氧化物;

(ii) 在至少 350°C 的衬底温度下使具有暴露的无氧化物的铜或铜合金区和暴露的电介质区的所述衬底与含铝反应物接触,以在所述电介质和所述铜或铜合金两者上形成包括铝的第一层;以及

(iii) 以化学方法对所述第一层的至少一部分进行改性以形成包括铝的钝化层。

23. 根据权利要求 22 所述的设备,其中所述控制器程序指令 (ii) 指定在无等离子体的情况下使所述衬底与所述含铝反应物接触。

用于镶嵌互连件中的电迁移电阻改进的界面层

技术领域

[0001] 本发明涉及在部分制造的集成电路上形成材料层的方法。特定来说,本发明涉及在铜线内形成保护盖以便改进镶嵌互连件的电迁移特性的方法。

背景技术

[0002] 镶嵌处理是在集成电路上形成金属线的方法。其涉及在电介质层(层间电介质)中形成的沟槽和通路中形成嵌入金属线。镶嵌处理通常是优选方法,因为其需要比其它方法少的处理步骤且提供较高良率。其还尤其较好地适合于例如铜等不能被等离子体蚀刻图案化的金属。

[0003] 在典型的镶嵌工艺流程中,金属沉积到经图案化的电介质中以填充电介质层中形成的通路和沟槽。所得金属化层通常直接形成在承载有源装置的层上,或形成在下伏金属化层上。电介质扩散势垒材料的薄层(例如,碳化硅或氮化硅)沉积在邻近的金属化层之间,以防止金属扩散到电介质的大部分层中。在一些情况下,碳化硅或氮化硅电介质扩散势垒层在层间电介质(ILD)的图案化期间还充当蚀刻终止层。

[0004] 在典型的集成电路(IC)中,若干金属化层沉积在彼此之上从而形成堆叠,其中金属填充的通路和沟槽充当IC导电路径。一个金属化层的导电路径通过一系列镶嵌互连件而连接到下伏或上覆层的导电路径。

[0005] 这些互连件的制造提出若干挑战,其随IC装置特征的尺寸持续缩减而变得越来越明显。

[0006] 当前,在90nm技术节点处以及在更先进节点处,非常需要可提供具有改进的使用寿命和可靠性的互连件的互连件制造方法。

发明内容

[0007] IC制造期间遇到的一个具有挑战性的问题是电迁移故障。当互连件所经历的高电流密度导致金属原子随电流迁移且因此导致在互连件内形成空隙时发生电迁移。最终,空隙的形成可导致装置故障,称为电迁移故障。在IC装置的正在进行中的小型化期间,互连件尺寸减小,且互连件经历较大电流密度。因此,电迁移故障的可能性随着此装置小型化而增加。虽然铜具有比铝大的电迁移电阻(甚至在铜互连件中),但电迁移故障在45nm技术节点处以及在更先进节点处成为重大的可靠性问题。

[0008] 本文提供能够改进互连件的电迁移性能的驻留在金属线与电介质扩散势垒(或蚀刻终止)层之间的界面处的保护盖。还描述形成此类盖的方法。有利的是,所描述的保护盖可形成为驻留在金属线的上部部分内处于其与电介质扩散势垒层的界面处的非常薄的层,而不会显著增加互连件电阻。保护加盖层可包含(例如)互连件金属(例如铜)与掺杂元素(例如硼、铝、钛等)的固溶体、合金或化合物。在许多实施例中,选择将形成与互连件金属的合金和/或将聚集在晶粒边界处的掺杂元素是有利的,借此减少互连件金属原子的迁移。

[0009] 所提供的方法通过在暴露的金属线上沉积掺杂剂生成材料（例如，含有 B、Al、Ti 等的材料）的源层，将所述源层的上部部分转化为钝化层（例如，氮化物或氧化物），同时允许掺杂剂生成源层的未改性部分保持与互连件金属接触，且随后允许来自源层的未改性部分的掺杂剂扩散到互连件金属中和 / 或与互连件金属反应，而实现对保护盖的厚度的控制。在一个实施例中，引入到互连件中的掺杂剂的量受与互连件接触而驻留的源层的未改性部分的厚度限制。在其它实施例中，引入到互连件中的掺杂剂的量通过控制扩散和 / 或反应期间的温度来控制。

[0010] 有利的是，以此受控方式形成的薄保护盖不会显著增加互连件的电阻，如当将大量高度反应性或易扩散的掺杂剂（例如，Si 或 Ge）沉积到互连件金属上时通常无意发生的。另外，如将描述，所提供的方法适合于由以极少选择性或零选择性沉积到暴露的金属和电介质两者上的掺杂剂生成源层形成保护加盖层。应理解，这些方法还可在含掺杂剂的源层仅选择性地沉积到金属层上而不显著沉积到电介质上的那些情况中使用。

[0011] 根据一个方面，提供一种形成半导体装置结构的方法。在一个实施例中，所述方法包含以下操作：(a) 使具有暴露的第一金属层（例如，铜或铜合金）和暴露的电介质层的衬底与包括硼或第二金属（例如，Al、Hf、Ti、Co、Ta、Mo、Ru、Sn、Sb 等）的化合物接触以在电介质和第一金属两者上沉积包括硼或第二金属的源层；(b) 对至少在第一金属的区上的源层的顶部部分进行改性以形成钝化层，其中未经改性源层的一部分保持与第一金属层接触；以及 (c) 允许来自未经改性源层的活性成分扩散到第一金属中和 / 或与第一金属反应并在第一金属层内形成保护盖。

[0012] 在一个实施例中，衬底是含有内嵌在层间金属电介质层中的暴露铜线的镶嵌结构。在沉积源层之前，衬底可任选地预先清洁以从铜表面移除污染物（例如，氧化铜）。举例来说，可通过将衬底暴露于等离子体中的还原气体（例如， H_2 或 NH_3 ）而执行预先清洁。

[0013] 可接着通过在某一温度下使衬底与挥发性掺杂剂前驱体接触而沉积含有掺杂剂源（活性成分）的源层。通常（尽管不是必需），在无等离子体放电的情况下用热方法执行源层的沉积。预先清洁和源层的沉积可在 CVD 设备中执行，而无真空破坏（例如，在相同的处理腔室中）。

[0014] 在一个实施例中，通过无等离子体放电的情况下在约 200–400°C 之间的腔室温度下使衬底与含有 B_2H_6 （或其它挥发性的含硼前驱体）和惰性载气的气体混合物接触而沉积含硼源层。沉积腔室中的压力维持在约 0.5–10 托的范围内，且气体混合物中 B_2H_6 的浓度范围在约 0.5 到 20 体积%之间。在此些条件下，将含硼源层沉积到暴露的电介质层上以及衬底的金属部分上。发现源层含有 B-H 键且因此将称为 BH_x 层。

[0015] 在许多实施例中，归因于金属表面处的较高前驱体分解速率，与其电介质部分相比，较大的掺杂剂源材料沉积在衬底的金属部分上。因此，在这些实施例中，沉积在金属部分上的源层的厚度大于沉积在电介质上的源层的厚度。然而，对于许多含硼前驱体且对于含金属前驱体来说，金属与电介质之间的完全沉积选择性通常难以获得。有利的是，所描述的沉积方法不需要用于源层的沉积的绝对金属 / 电介质选择性。

[0016] 在一些实施例中，通过在适合于引起前驱体分解和衬底上含有金属的层的沉积的温度和压力下使衬底与挥发性含金属前驱体（例如，金属卤化物、金属氢化物、金属羰基化合物或挥发性有机金属化合物）接触而沉积含金属源层。在许多情况下，使用如上文针对

BH_x 层的沉积列举的类似的温度和压力范围。所属领域的技术人员将理解如何针对不同类型的金属前驱体而优化沉积条件。

[0017] 若干金属适合作为用于形成保护盖的掺杂剂。这些金属包含形成固溶体、合金或与互连件金属的金属间相的金属,以及能够在互连件中在晶粒边界处扩散和聚集的金属。举例来说,Al、Hf、Ti、Co、Ta、Mo、Ru、Sn 和 Sb 可用作保护盖的组分。也可采用这些金属彼此或与其它金属的合金和固溶体。用于含铝源层的合适的挥发性前驱体包含(但不限于)三甲基铝、二甲基氢化铝、三乙基铝、三异丁基铝和三(二乙氨基)铝。用于其它金属的沉积的合适的前驱体包含(但不限于)双(环戊二烯基)钴、乙酰丙酮钴(II)、四(二甲基氨基)钪、四(二乙基氨基)钪、四(二甲基氨基)钼、四(二甲氨基)钛(TDMAT)、四(二乙氨基)钛(TDEAT)、四(乙基甲基氨基)钛、双(二乙氨基)双(二异丙基氨基)钛、五(二甲氨基)钼、叔(丁基三亚氨基)(二乙基氨基)钼(TBTDET)、五(二乙基氨基)钼、双(乙基环戊二烯基)钪、三(二甲基氨基)铟和四甲基锡。

[0018] 如所提及,在沉积含有硼或金属的源层之后,其顶部部分经改性以形成钝化层,例如含有氮化物或氧化物的层,而其底部部分保持未经改性且与互连件金属接触。在许多实施例中,在源层在金属上比在电介质上沉积到更大厚度的情况下,改性操作将驻留在电介质上的源层的部分完全转化为含有具有低导电率的材料(例如,BN_x、Al_xO_y等)的钝化层。此类改性经执行以防止邻近互连件之间的短路。此外,驻留在金属线上的源层的部分改性用以控制驻留在层中的掺杂剂的量,且提供控制保护盖的厚度并因此控制互连件电阻率的途径。

[0019] 可使用若干工艺来形成钝化层。在一个实施例中,通过在等离子体放电中将衬底暴露于含氮反应物而对源层进行改性。举例来说,可使用NH₃、N₂H₄、胺、N₂及其混合物。在一特定实例中,通过在等离子体中使衬底与N₂和NH₃的混合物接触而对BH_x源层进行改性以形成含有BN_x的钝化层。在其它实施例中,通过在等离子体放电中将衬底暴露于含氧化合物(例如,O₂、N₂O或CO₂)而对源层(例如,含金属源层)进行改性,以形成含有氧化物(例如,氧化铝、氧化钛等)的钝化层。在另外其它实施例中,在等离子体中以含有碳的反应物对源层进行改性以形成含有碳化物或碳氢化合物(例如,BC_x、C_xH_y等)的钝化层。

[0020] 经改性层的厚度可按需调整。通过控制经改性层的厚度,控制含有掺杂剂源的剩余未经改性层的厚度,从而也产生对互连件内的保护盖的厚度的控制。举例来说,驻留在金属线上的源层厚度的约20-60%之间可经改性以形成钝化层,同时留下未经改性的含有掺杂剂的部分与金属线接触。在一个实例中,驻留在金属线上的源层具有约50-500 Å的厚度。在源层厚度的约20-60%之间被转化为钝化层之后,未经改性的源层的约20-400 Å之间保持与金属线接触。

[0021] 接下来,在形成经改性层之后,允许来自未经改性的源层的活性成分扩散到互连件金属中和/或与互连件金属反应,并在互连件金属的层内形成保护盖。在一些实施例中,在形成保护盖之前,首先在源层内产生活性成分。依据活性成分的性质,多种条件可用于产生活性成分并促进其到互连件金属中的扩散。在一些实施例中,将衬底暴露于高温持续预定时间量促进在金属互连件内形成保护盖。在其它实施例中,保护盖的形成在容许有足够的时间用于掺杂剂扩散之后在室温下发生。

[0022] 在一些实施例中,在形成钝化层之后,将蚀刻终止层或电介质扩散势垒层(例如,

包括经掺杂或未经掺杂碳化硅或氮化硅的层)沉积到钝化层上。在其它实施例中,钝化层本身可充当蚀刻终止层或电介质扩散势垒层,且不需要单独的蚀刻终止层。在后一实施例中,将金属间电介质直接沉积到钝化层上。

[0023] 在一些实施例中,在沉积电介质扩散势垒或蚀刻终止层之后执行通过允许掺杂剂扩散到互连件金属中和/或与互连件金属反应而进行的互连件金属的掺杂。举例来说,衬底可在蚀刻终止层(例如,碳化硅层)已经沉积之后经加热到至少约 100°C 以促进形成保护盖。

[0024] 有利的是,在一些实施例中,在一个模块中在无真空破坏的情况下依序执行整个盖形成工艺和扩散势垒(或蚀刻终止)沉积工艺。具有一个腔室内的多个台或具有多个腔室的 PECVD 模块设备是用于此沉积的合适的设备。值得注意的是,含金属层和电介质层两者均可在一个 PECVD 设备中在无真空破坏的情况下依序沉积。举例来说,在一个实施例中,所述工艺涉及沉积含金属源层、将源层的顶部部分转化为钝化层、允许活性成分在金属互连件内形成保护盖,以及形成电介质扩散势垒或蚀刻终止层,其中所有操作均在一个设备中在无真空破坏的情况下执行。

[0025] 使用这些方法形成的装置可具有改进的电迁移特性且还可展现金属/电介质扩散界面处的较大粘合力。

[0026] 根据另一方面,提供一种半导体装置。所述半导体装置包含电介质材料区和内嵌在电介质材料中的铜或铜合金区。所述装置进一步包含包括 BN_x 的层,其安置于电介质层上且安置于铜或铜合金区上。所述装置进一步包括铜或铜合金区内的含硼盖。

[0027] 根据另一方面,提供一种用于在部分制造的半导体装置的金属部分上或内形成保护盖的设备。所述设备包含:(a) 处理腔室,其具有用于引入反应物的入口;(b) 晶片支撑件,其用于在保护盖形成期间将晶片固持在适当位置;以及(c) 控制器,其包括用于沉积保护盖的程序指令。所述指令包含用于以下操作的指令:(i) 在金属的暴露部分上沉积包括硼或第二金属的源层并在晶片衬底上沉积电介质;(ii) 对活性成分层的顶部部分进行改性以形成钝化层;以及(iii) 允许源层中的活性成分扩散到衬底上的金属中和/或与所述金属反应并形成保护盖。在一些实施例中,所述设备为 PECVD 设备。可在多台设备的一个台处依序执行所叙述的操作。在其它实施例中,可在所述设备的第一台处执行一些操作,同时可在不同台处执行其它操作。一个台可经配置以用于在第一温度下执行的工艺,而另一台可经配置以用于在不同温度下执行的工艺。举例来说,可在第一温度下在多台设备的一个台处执行源层的沉积,同时可在不同台处在不同温度下执行源层的后续改性。衬底可在无真空破坏的情况下在台之间转移。在其它实施例中,可在多腔室设备中类似地实施所述工艺,其中衬底可在不将衬底暴露于周围条件的情况下在腔室之间转移。

[0028] 在另一方面中,提供一种在无氧化物铜表面上形成含铝保护盖的方法。所述方法的特征可在于以下操作:(a) 使具有暴露的无氧化物铜或铜合金层和暴露的电介质层的衬底与包括铝的化合物接触以在电介质和铜或铜合金层两者上形成包括铝的第一层;(b) 以化学方法对第一层的至少一部分进行改性以形成包括铝的钝化层;以及(c) 在钝化层上沉积电介质层。在某些实施例中,操作(a)、(b)和(c)中的每一者在化学气相沉积(CVD)设备中执行。此外,在某些实施例中,在(c)中沉积的电介质层是蚀刻终止电介质层。所述蚀刻终止电介质层可例如为例如氮化硅或碳化硅等经掺杂或未经掺杂材料。在另一实施例

中,在(c)中沉积的电介质层是直接沉积到钝化层上的层间电介质(ILD)层。

[0029] 在某些实施例中,所述方法还包含(a)之前的额外操作。特定来说,衬底表面经清洁以从铜或铜合金的表面完全移除氧化铜。清洁技术的实例包含(1)直接等离子体处理,(2)远程等离子体处理,(3)UV处理,以及(4)在包括 N_2 、 NH_3 和 H_2 中的至少一者的气体中的热处理。

[0030] 在以上描述的实施例中,操作(a)可涉及在无等离子体的情况下在至少约 $350^\circ C$ 的衬底温度下(例如,至少约 $400^\circ C$ 下)使衬底与有机铝化合物接触。作为一实例,有机铝化合物为三甲基铝。

[0031] 在某些实施例中,操作(b)涉及在不允许铝大量扩散到铜层中的情况下大体上完全使驻留在铜或铜合金上的第一层钝化。或者,操作(b)涉及在允许铝部分扩散到铜层中的情况下部分使驻留在铜或铜合金上的第一层钝化。

[0032] 在某些实施例中,在(b)中使所述层钝化包括形成包括Al-N键的大体上稳定的化合物。在特定实施例中,钝化涉及用含氮试剂处理衬底,且所述处理可例如为直接等离子体处理、远程等离子体处理、UV处理或热处理。在更特定的实施例中,所述处理涉及在无等离子体的情况下将衬底暴露于含氮试剂。在例如电介质为ULK电介质的情况下,此后一处理可为适当的。

[0033] 在另外其它实施例中,在(b)中使所述层钝化包括形成包括Al-O键的大体上稳定的化合物。此工艺可涉及用含氧试剂处理衬底,且所述处理可例如为以下中的一者:直接等离子体处理、远程等离子体处理、UV处理或热处理。在特定实施例中,所述处理涉及在无等离子体的情况下使衬底与含氧试剂接触。当例如电介质为ULK电介质时,此处理可为适当的。含氧试剂的实例包含 O_2 、 N_2O 、 CO_2 和 O_3 。

[0034] 本发明的另一方面涉及用于形成半导体装置结构的设备,所述设备可包含以下特征:(a)处理腔室,其具有用于引入气态或挥发性的含金属反应物的入口;(b)晶片支撑件,其用于在处理腔室中在晶片衬底上沉积含金属层期间将晶片固持在适当位置;以及(c)控制器,其包括程序指令。所述程序指令可包含用以执行以下操作的指令:(i)使具有暴露的无氧化物铜或铜合金层和暴露的电介质层的衬底与含铝反应物接触以在电介质和第一金属两者上沉积包括铝的第一层;以及(ii)以化学方法对第一层的至少一部分进行改性以形成包括铝的钝化层。

[0035] 下文将参看相关联的图式更详细地描述本发明的这些和其它特征及优点。

附图说明

[0036] 图1A-1E展示在铜双镶嵌制造上艺期间形成的装置结构的横截面图。

[0037] 图2A-2C展示说明保护盖的部分制造的装置结构的横截面图。

[0038] 图3A呈现根据一些实施例的盖形成工艺的一实例工艺流程图。

[0039] 图3B呈现根据一些实施例的盖形成工艺的另一实例工艺流程图。

[0040] 图4A-4E展示根据一些实施例的在盖层形成期间形成的装置结构的横截面图。

[0041] 图5是根据本发明的一些实施例的能够使用可用于形成盖层的低频(LF)和高频(HF)射频等离子体源的PECVD设备的示意表示。

[0042] 图6是根据本发明的一些实施例的适合于形成盖层的多台设备的一个实例的示

意表示。

[0043] 图 7 是根据本发明的一些实施例的适合于形成盖层的多台设备的另一实例的示意表示。

具体实施方式

[0044] 引言和综述

[0045] 随着装置尺寸不断减小,且互连件所经历的电流密度不断增大,电迁移正成为 IC 制造中的重大可靠性问题。电迁移表现为以电流迁移金属原子且在互连件内形成空隙。空隙的形成可随后导致装置故障。金属原子的迁移在金属 / 扩散势垒界面处以及沿着颗粒边界特别显著。当前,在 90nm 和 45nm 技术节点下,需要用于改进电迁移性能的方法。

[0046] 虽然可通过将掺杂剂元素引入到互连件中来改进电迁移性能,但此类掺杂剂通常具有比互连件金属(例如,Cu)高的电阻率,且可显著增加互连件电阻。因此,对互连件金属的不受控的掺杂可导致具有不可接受高电阻的互连件。

[0047] 本文提供一种对掺杂剂的受控引入的方法。所述方法涉及通过将受控量的掺杂剂引入到互连件而在金属互连件内形成保护盖。因此,非常薄的保护盖可形成于金属线的上部部分内,通常位于金属与电介质扩散势垒(或蚀刻终止)层之间的界面处。保护盖优选(但不一定)包含互连件金属与掺杂剂的固溶体、合金,或化合物。举例来说,铜可与 B、Al、Hf、Ti、Co、Ta、Mo、Ru、Sn 或 Sb 掺杂。这些掺杂剂还可彼此组合使用,或其它元素组合使用。一般来说,可使用多种掺杂剂。能够形成与互连件金属的固溶体、合金以及化合物的掺杂剂和能够在金属 / 扩散势垒界面处以及在互连件内的颗粒边界处累积的掺杂剂是特别优选的。

[0048] 虽然本文中所描述的保护盖以及用于形成此类盖的方法对于改进互连件的电迁移性能来说是有利的,但对所描述的装置以及工艺的使用不限于此特定应用。举例来说,保护盖可用以改进金属线与电介质扩散势垒层或蚀刻终止层之间的粘合,且用以防止互连件金属在 IC 装置制造期间氧化。

[0049] 将在铜双镶嵌处理的背景下说明在互连件中形成保护盖。应理解,本文中所揭示的方法可用于其它处理方法中(包含单镶嵌处理),且可应用于除铜之外的多种互连件金属。举例来说,这些方法可应用于含铝、金和银的互连件。

[0050] 图 1A 到图 1D 中所呈现的是在双镶嵌制造工艺的各个阶段处在半导体衬底上形成的装置结构的横截面图。在图 1E 中展示通过双镶嵌工艺形成的完成的结构的横截面图。本申请案中所使用的“半导体衬底”不限于 IC 装置的半导体部分,而是在广义上经界定为含半导体的衬底。参看图 1A,说明用于双镶嵌制造的部分制造的 IC 结构 100 的实例。图 1A 到图 1D 中所说明的结构 100 是半导体衬底的一部分,且在一些实施例中可直接驻留于含有有源装置(例如,晶体管)的层上。在其它实施例中,其可直接驻留于金属层上,或驻留于并入有导电材料的其它层(例如,含有存储器电容器的层)上。

[0051] 图 1A 中所说明的层 103 是金属间电介质层,所述金属间电介质可为二氧化硅,但更通常是低 k 电介质材料。为了使金属间电介质堆叠的介电常数最小化,将具有小于约 3.5、优选小于约 3.0 且常低于约 2.8 的 k 值的材料用作层间电介质。这些材料包含(但不限于)所属领域的技术人员已知的掺杂氟或碳的二氧化硅、含有有机物的低 k 材料和多孔

的经掺杂的二氧化硅材料。可例如通过 PECVD 或通过旋涂方法来沉积所述材料。可以线路径（沟槽和通孔）蚀刻层 103，其中沉积部分导电金属扩散势垒 105，随后嵌入铜导电路线 107。因为铜或其它移动导电材料提供半导体衬底的导电路径，所以靠近金属线的基础硅装置和电介质层必须受到保护而免受金属离子（例如， Cu^{2+} ）影响，否则金属离子可能扩散或漂移到硅或层间电介质中，且导致其特性的降级。使用若干类型的金属扩散势垒以便保护 IC 装置的电介质层。可将这些类型划分为含有部分导电金属的层（例如，105）和电介质势垒层（将参看图 1B 更详细地对其进行描述）。用于部分导电扩散势垒 105 的合适材料包含例如钽、氮化钽、钛、氮化钛等材料。通常通过 PVD 或 ALD 方法将这些材料沉积于具有通孔和沟槽的电介质层上。

[0052] 可通过多种技术形成铜导电路线 107，所述技术包含 PVD、电镀、无电沉积、CVD 等。在一些实施方案中，形成铜填充物的优选方法包含通过 PVD 沉积铜的薄种子层，且随后通过电镀沉积块体铜。由于在沉积铜时通常会有覆盖层（overburden）驻留于场效应区中，所以需要化学机械抛光（CMP）操作来移除覆盖层且获得平坦化的结构 100。

[0053] 接下来，参看图 1B，在已完成结构 100 之后，预先清洁衬底 100 的表面以移除污染物和金属氧化物。在预先清洁后，将含有有效成分的掺杂剂源层（含有硼或金属的生成掺杂剂的成分）沉积到铜线 107 上并沉积到电介质 103 上。接下来例如通过对源层的氮化或氧化而将源层转化为钝化层 109。举例来说，钝化层可含有 BN_x 、 BO_x 、 AlO_x 、 TiO_x 等。在电介质区上将源层完全转化为非导电钝化层以防止邻近的金属线 107 之间的短路。源层的直接驻留于铜线 107 上的部分仅部分转化为钝化层，从而允许未经改性的源层的一部分保持与铜接触。在允许来自源层的未经钝化的部分的掺杂剂扩散到铜中和 / 或与铜反应后，保护盖 108 形成于金属线 107 的顶部部分内。可通过在源层的部分钝化期间控制改性的程度且通过控制在掺杂剂的扩散和 / 或掺杂剂与铜的反应期间所使用的条件来控制沉积于源层中的材料的量，借此控制保护盖的厚度。保护盖可包含（例如）铜与 B、Al、Ti 等的固溶体或合金。在一些实施例中，通过控制用于促进掺杂剂从源层进行扩散的温度和时间来控制合金或固溶体中的掺杂剂的量。将在以下部分中详细描述保护盖和钝化层的组份。

[0054] 在一些实施例中，钝化层还用作扩散势垒层。在其它实施例中，单独的扩散势垒（或蚀刻终止）层沉积于钝化层的顶部上。通常，此类扩散势垒层包含经掺杂或未经掺杂的碳化硅或氮化硅。

[0055] 如图 1B 中所描绘，膜 109 可包含单一钝化层（例如， BN_x 或 AlO_x 层），或由邻近于铜线 107 的钝化层以及驻留于钝化层上的上部电介质扩散势垒层（例如，经掺杂的碳化硅层）组成的双层。将在后续部分中参看图 2A 到图 2C 详细描述这两个实施例。膜 109 将被称作 Cu/电介质界面膜或简称为“界面膜”。

[0056] 在界面膜包含单独的电介质扩散势垒层的实施例中，通常通过 PECVD 方法将电介质扩散势垒层沉积于钝化层的顶部上。在一个实施例中，在不破坏真空的情况下在一个 PECVD 设备中执行钝化层的沉积、保护盖 108 的形成和电介质扩散势垒层的沉积。界面膜 109 还可在后续镶嵌处理期间用作蚀刻终止件。

[0057] 再次参看图 1B，双镶嵌电介质结构的第一电介质层 111 沉积到膜 109 上。此后是任选地通过 PECVD 方法在第一电介质层 111 上沉积蚀刻终止膜 113。电介质层 111 通常由低 k 电介质材料（例如，针对电介质层 103 而列举的电介质材料）组成。应注意，层 111 和

103 不一定具有相同的组份。

[0058] 如图 1C 中所描绘,过程继续,其中双镶嵌电介质结构的第二电介质层 115 以类似于第一电介质层 111 的方式沉积到蚀刻终止膜 113 上。随后是抗反射层(未图示)和 CMP 终止膜 117 的沉积。第二电介质层 115 通常含有低 k 电介质材料,例如上文针对层 103 和 111 而描述的电介质材料。CMP 终止膜 117 用以在后续的 CMP 操作期间保护金属间电介质(IMD)层 115 的脆弱的电介质材料。通常,CMP 终止层经受与扩散势垒和蚀刻终止膜 109 和 113 类似的集成要求,且可包含基于碳化硅或氮化硅的材料。

[0059] 如图 1D 到 1E 中所描绘,双镶嵌工艺继续,其中在第一和第二电介质层中蚀刻通孔 119 和沟槽 121。使用标准光刻技术来蚀刻图 1D 中所说明的图案。可使用所属领域的技术人员众所周知的沟槽优先或通孔优先方法。

[0060] 接下来,如图 1E 中所描绘,如上文所描述的这些新形成的通孔和沟槽可涂覆有金属扩散势垒 123,金属扩散势垒 123 可含有势垒材料,例如钽、氮化钽、氮化钛,或有效地阻止铜原子扩散到电介质层中的其它材料。

[0061] 在已沉积扩散势垒 123 之后,施加铜种子层(通常通过 PVD 工艺),以使得能够随后用铜嵌入对所述特征进行电填充。例如通过电填充来沉积铜层,且在 CMP 操作中移除在场中沉积的多余金属,其经执行以使得 CMP 在 CMP 终止膜 117 处终止。图 1E 展示完成的双镶嵌工艺,其中铜导电路线 124 和 125 嵌入到(未描绘的种子层)势垒 123 上的通孔和沟槽表面上。图 1E 说明三个互连件,其中已用受控的方式掺杂铜线。

[0062] 如果需要进一步的处理,那么在图 2E 中所描绘的结构的上部形成类似于膜 109 的界面膜和类似于盖 108 的保护盖,且随后沉积新的金属化层。

[0063] 现在将参看图 2A 到图 2C 详细说明保护盖 108 和界面层 109 的结构和组份。

[0064] 装置结构

[0065] 参看图 2A,说明部分 IC 结构的实例横截面图。在此装置中,形成于层间电介质 201 中的通孔和沟槽上衬有扩散势垒材料 203,且被填充有铜或铜合金 205。铜线 205 的顶部部分包含薄保护盖 207,其驻留于铜线 205 与钝化层 209 之间的界面处。钝化层 209 驻留于 ILD 层 201 和保护盖 207 两者上,且与这两个层接触。电介质扩散势垒或蚀刻终止层 211 驻留于钝化层 211 的顶部上。虽然为了保持清晰而非对其进行展示,但另一 ILD 层驻留于电介质扩散势垒或蚀刻终止层 211 的顶部上。钝化层 209 和扩散势垒(或蚀刻终止)层 211 一起构成界面膜(如参看图 1B 由层 109 所说明),其驻留于金属/ILD 边界处。

[0066] 在一个实施例中,层间电介质层 201 具有在约 1,000-10,000 Å 之间的厚度。层 201 可包含多种 ILD 材料,例如所属领域的技术人员已知的低 k 和超低 k 电介质。举例来说,可使用掺杂碳的氧化硅,或具有小于约 2.8 的 k 的有机电介质材料。铜线 205 可具有在约 500-10,000 Å 之间的厚度,优选铜线 205 的不多于约 10%、更优选不多于约 2% 被保护盖占据(通过层厚度测量)。应理解,在许多实施例中,保护盖将具有分级的组份,其中掺杂剂的浓度在钝化层界面处是最大的。保护盖的容许的厚度将取决于掺杂剂的电阻率。一般来说,根据所描述的方法来形成保护盖,使得通孔的电阻偏移小于约 10%、优选小于约 5%,且更优选小于约 3%。电阻偏移被测量为不具有盖的互连件的电阻对经加盖的互连件的电阻上的差异。在一些实施例中,通过形成厚度不超过 500 Å,且优选不超过 100 Å 的保护盖来实现容许的电阻偏移。

[0067] 应理解,不同的掺杂剂可以不同方式在铜互连件内扩散,且可在不同程度上影响互连件电阻。因此,上文提供的数值用作一个实例,且无意将结构限于所提到的厚度参数。举例来说,某些掺杂剂可扩散到铜互连件中以在整个铜线上沉积而不形成不同的盖,或在颗粒边界处累积和/或在其它界面处累积,例如在具有扩散势垒 203 的铜层 205 的界面处累积。有利的是,所提供的方法允许以受控的量引入此类掺杂剂,使得互连件电阻得以控制,即使在这些情况下可能不准确地界定层的厚度。

[0068] 可在保护盖中使用一定数目的掺杂元素。优先使用形成与铜的固溶体、合金或化合物的那些掺杂剂,且优先使用可在铜颗粒边界处累积以及在铜与其它层的界面处累积的掺杂剂。具有相对低的电阻率的材料(例如金属)常是优选的。此外,不容易在低温下(例如在低于约 100°C 的温度下)扩散到铜中的材料也常是优选的。合适掺杂剂的实例包含但不限于 B、Al、Hf、Ti、Co、Ta、Mo、Ru、Sn 和 Sb。一般来说,需要选定的掺杂剂具有挥发性前驱体,使得可通过 CVD 方法执行沉积。因此,具有挥发性氢化物、羰基合物、卤化物和有机金属的前驱体的金属掺杂剂通常是优选的。可在高达 450°C 的温度下和大于约 1 托的压力下以气相引入的化合物可为合适的前驱体。

[0069] 在特定实施例中,保护盖 207 包括铜和硼,或铜和铝,或铜和钛。在一些实施例中,掺杂剂彼此组合使用。举例来说,保护盖 207 可包含铜、铝和钛,或铜与掺杂剂的其它组合。在一些实施例中,上文所描述的掺杂剂与用于形成保护性自对准缓冲(PSAB)层的材料(例如,例如 CuSi_x 、 CuGe_x 、 SiN_x 和 SiC_x 等材料)组合使用。在名为余(Yu)等人的发明人于 2007 年 3 月 20 日申请的标题为“用于镶嵌互连件的保护性自对准缓冲层(Protective Self-aligned Buffer Layers for Damascene Interconnects)”的共同拥有的第 11/726,363 号美国专利申请案中、在名为恰特帕帝耶(Chattopadhyay)等人的发明人于 2007 年 2 月 20 日申请的标题为“用于镶嵌互连件的保护性自对准缓冲层(Protective Self-aligned Buffer Layers for Damascene Interconnects)”的第 11/709,293 号美国专利申请案中,以及在名为范·切哈凡帝克(van Schravendijk)等人的发明人于 2004 年 11 月 3 日申请的标题为“通过形成自对准缓冲层来保护 Cu 镶嵌互连件(Protection of Cu Damascene Interconnects by Formation of a Self-aligned Buffer Layer)”的第 10/980,076 号美国专利申请案中详细描述了此类层,所有所述申请案均以全文引用的方式且出于任何目的而并入本文中。

[0070] 在一个实施例中,驻留于 ILD 层 201 的顶部上以及驻留于保护盖 207 的顶部上的钝化层 209 具有在约 50–500 Å 之间的厚度。钝化层通常含有防止邻近的互连件之间的短路的非导电材料。钝化层通常含有经改性的掺杂剂,例如,其可含有掺杂剂(硼或金属)的氮化物、氧化物、碳化物、硫化物、硒化物、磷化物和砷化物。此外,钝化层可含有碳氢化合物 C_xH_y 。在一个实施例中,钝化层含有 BN_x 。 BN_x 层也可包含氢,且在一些实施例中可包含其它元素。在另一实例中,钝化层含有金属氧化物,例如 AlO_x 、 HfO_x 、 TiO_x 、 CoO_x 、 TaO_x 、 MoO_x 、 RuO_x 、 SnO_x 和 SbO_x 。

[0071] 如图 2A 中所示,电介质扩散势垒或蚀刻终止层 211 驻留于钝化层的顶部上。在一个实施例中,层 211 具有在约 50–500 Å 之间的厚度。常规上,曾将氮化硅和掺杂氮的碳化硅(NDC)用于此应用。当前,具有比氮化硅低的介电常数的材料常用作电介质扩散势垒。这些材料包含:富碳碳化硅材料,例如余(Yu)等人在 2004 年 6 月 15 日申请的共同转让的

第 10/869,474 号美国专利申请案中描述的富碳碳化硅材料;余 (Yu) 等人在 2004 年 8 月 9 日申请的第 10/915,117 号美国专利申请案以及余 (Yu) 等人在 2006 年 3 月 8 日申请的第 11/373,847 号美国专利申请案中所描述的掺杂硼的碳化硅材料;以及掺杂氧的碳化硅材料,例如唐 (Tang) 等人在 2005 年 2 月 15 日发布的第 6,855,645 号美国专利中描述的掺杂氧的碳化硅材料。在此段落中所提到的所有专利申请案均在此出于所有目的并以全文引用的方式并入。在一些实施例中,层 211 可含有若干子层,例如含有经掺杂和 / 或未经掺杂的碳化硅的子层,其具有针对改进的扩散势垒和蚀刻终止特性而调整的不同组份。举例来说,势垒可包含未经掺杂的碳化物的子层、掺杂氮的碳化物的子层和掺杂氧的碳化物的子层的任何组合。所述势垒可含有两个子层、三个子层或更多子层。在 2004 年 6 月 15 日申请的第 10/869,474 号美国专利申请案 (2007 年 10 月 16 日发布的第 7,282,438 号新专利) 中呈现组合势垒层的实例,所述申请案以全文引用的方式并入本文中。一般来说,电介质扩散势垒层可包含经掺杂或未经掺杂的碳化硅、氮化硅或碳氮化硅。

[0072] 在图 2A 所说明的实施例中,层 209 和 211 一起形成驻留于两个 ILD 层 (顶部 ILD 层未图示) 之间的界面层。

[0073] 在某些实施例中,钝化层 209 可用作扩散势垒或蚀刻终止层,而不需要单独的碳化硅或氮化硅层 211。在图 2B 所说明的此实施例中,驻留于两个 ILD 层之间的界面层仅由钝化层 209 组成。举例来说,某些金属氧化物和金属氮化物可用作蚀刻终止或扩散势垒层。

[0074] 图 2C 说明一实施例,其中掺杂剂或生成掺杂剂的化合物的层 208 驻留于保护盖 207 与钝化层 209 之间,且与这两个层接触。层 208 在铜线 205 上对准,且不在电介质层 201 上延伸。层 208 可包含纯掺杂剂或生成掺杂剂的化合物。举例来说,层 208 可包含 BH_x 、Al、Ti、Ta、Hf、Ru 等。此层中的金属可为游离的或可与其它元素 (例如, H、C、N 等) 键。在一些实施例中,铜可向上扩散到层 208,从而与层 208 中的掺杂剂形成合金、化合物或固溶体。在这些实施例中,207/208 双层将用作保护盖。一般来说,如本文中所描述的保护盖可在与周围电介质 201 相同的水平处完全驻留于铜线内,或可包含驻留于周围电介质 201 的水平上方的部分。

[0075] 在一个特定实例中,装置具有如图 2A 中所示的结构,其具有掺杂硼的保护盖 207 和含有 BN_x 的钝化层 209。铜线 205 驻留于具有约 $3,500 \text{ \AA}$ 的厚度的 ULK 电介质层 (约 2.5 的 k) 中。保护盖 207 包含铜和硼,且具有约 100 \AA 的厚度。保护盖在其与钝化层介接处驻留于铜线的顶部处。钝化层具有约 150 \AA 的厚度,且包含 BN_x 。钝化层也可包含氢,且将在实验部分中被称作 $(BNH)_x$ 层。扩散势垒层 211 可包含掺杂氮的碳化硅、掺杂氧的碳化硅或未经掺杂的碳化硅。层 211 具有从 100 \AA 到 500 \AA 的厚度。

[0076] 在另一特定实例中,装置具有如图 2A 中所示的结构,其具有钛保护盖 207 和含有 TiN_x 的钝化层 209。铜线 205 驻留于具有约 $3,500 \text{ \AA}$ 的厚度的 ULK 电介质层 (约 2.5 的 k) 中。保护盖 207 包含铜和钛,且具有约 100 \AA 的厚度。保护盖在其与钝化层介接处驻留于铜线的顶部处。钝化层具有约 150 \AA 的厚度,且包含 TiN_x 。钝化层也可包含氢。扩散势垒层 211 可包含掺杂氮的碳化硅、掺杂氧的碳化硅或未经掺杂的碳化硅。层 211 具有从 100 \AA 到 500 \AA 的厚度。

[0077] 在另一特定实例中,装置具有如图 2A 中所示的结构,其具有掺杂铝的保护盖 207。铜线 205 驻留于具有约 $3,500 \text{ \AA}$ 的厚度的 ULK 电介质层 (约 2.5 的 k) 中。保护盖 207 包

含铜和铝,且具有约100 Å的厚度。保护盖在其与钝化层介接处驻留于铜线的顶部处。钝化层具有小于约100 Å的厚度,且基本上由 AlO_x 组成。扩散势垒层 211 具有约100 Å到500 Å的厚度,驻留成与 AlO_x 接触,且可包含掺杂氮的碳化硅、掺杂氧的碳化硅或未经掺杂的碳化硅。

[0078] 用于形成保护加盖层的方法

[0079] 通过图 3A 中所示的过程流程图来说明用于形成保护加盖层的示范性方法。在图 4A 到图 4E 中展示此过程的各个阶段处所获得的装置结构的横截面图。虽然可在许多类型的设备中实践本文中所描述的方法,但在一些实施例中,等离子体增强型化学气相沉积(PECVD)设备是优选的。在一些实施例中,PECVD 设备能够提供高频(HF)和低频(LF)等离子体生成源。

[0080] 参看图 3A,过程通过提供具有铜线在电介质中的图案的部分制造的半导体装置(如操作 301 中所示)而开始。举例来说,可使用例如图 4A 中所示的装置的装置。所述装置具有嵌入电介质层 401 中的铜或铜合金层 405。薄的扩散势垒材料层(含有例如 Ta、 TaN_x 、 TiN_x 、Ru、W)驻留于铜与电介质之间的界面处。铜层和电介质层暴露于衬底表面处。

[0081] 任选地在操作 303 中预先清洁衬底,以从其表面移除污染物。举例来说,可通过将衬底暴露于等离子体中的还原气体(例如,选自由处于等离子体放电的 H_2 、 N_2 、 NH_3 和其混合物组成的群组的气体)来预先清洁衬底,以便从铜表面移除氧化铜。在一些实施例中,以 H_2 等离子体进行预先清洁已为装置提供特定改进的特性。预先清洁期间的过程气体还可包含载气,例如 N_2 、He、Ar等。在一个实例中,在约200–400°C的温度、约1.5–4托的压力以及约4,000–10,000sccm的 H_2 流动速率下在PECVD腔室中执行预先清洁。可含有HF和LF成分的等离子体经点燃且维持于每个300mm晶片200–1000W的总功率下。在一些实施例中,优选在预先清洁操作期间使用处于0.1–1.5W/cm²下的HF功率和处于0–0.8W/cm²下的LF功率。在另一实例中,用 NH_3 替代 H_2 作为还原气体,且在约6,000到8,000sccm的范围中的流动速率下流动到处理腔室中。 N_2 载气在约2,000–4,000sccm的流动速率下流动到腔室中。预先清洁处理可持续若干秒,例如在约6–20秒之间。

[0082] 在一些实施例中,优选使用比直接等离子体暴露更温和的方法来执行预先清洁。当铜线嵌入可容易被直接等离子体暴露损坏的脆弱的ULK电介质中时,这些较温和的方法特别有利。

[0083] 在一些实施例中,通过使用远程等离子体来执行对氧化铜的完全或部分移除,所述远程等离子体包括选自由 H_2 、 N_2 、 NH_3 和其混合物组成的群组的气体。在此实施方案中,使用这些气体中的一者或一者以上(例如, H_2 和 N_2 的混合物或 NH_3 和 N_2 的混合物)以在物理上与固持晶片衬底的腔室分离的腔室中形成等离子体。接着将所形成的等离子体引导穿过递送线,到达离子过滤器,离子过滤器耗尽离子的等离子体,同时留下自由基。将所得的富含自由基的过程气体递送穿过入口(例如,喷淋头),到达容纳衬底的腔室。富含自由基的过程气体(在一些实施例中,其含有极少的离子物质或大致不含有离子物质)接触衬底表面,且按需要部分地或完全地移除氧化铜。因为直接等离子体中所含有的高能离子已牵涉到电介质损坏,所以使用缺乏离子的远程等离子体提供进行预先清洁的温和且有效的方式。在加利福尼亚州圣何塞市的诺发系统公司(Novellus Systems)所提供的Gamma™产品线中有合适的实例远程等离子体系统。

[0084] 在其它实施例中,通过在存在还原气体(例如,选自 H_2 、 N_2 、 NH_3 和其混合物组成的群组的气体)的情况下使用紫外(UV)辐射处理来执行对氧化铜的完全或部分移除。在此实施方案中,这些气体中的一者或一者以上(例如, H_2 和 N_2 的混合物或 NH_3 和 N_2 的混合物)接触衬底,同时以UV光照射衬底。举例来说,例如B·华达拉让(B. Varadarajan)等人在2009年11月12日申请的标题为“用于半导体处理中的k恢复和表面清洁的UV和还原处理(UV and Reducing Treatment for K Recovery and surface Clean in Semiconductor Processing)”的共同拥有的第61/260,789号临时专利申请案中描述了设备和工艺条件,所述申请案以全文引用的方式并入本文中,以用于提供合适用于本文中所描述的实施例中的UV处理的设备和方法的细节的目的。所描述的UV处理可用于可控地移除氧化铜,其中可通过UV暴露的持续时间、过程气体组份、衬底温度和其它条件来控制所移除的氧化物的厚度。

[0085] 在一些实施例中,通过无等离子体的环境中进行热处理来实现预先清洁。举例来说,可在包括 H_2 、 N_2 、 NH_3 或其混合物的气氛中将晶片加热到至少约 $200^\circ C$ 的温度并持续约15到60秒。此热处理可用于部分氧化铜的移除,且对于处理含有脆弱的ULK电介质的衬底来说特别有利。

[0086] 在完成预先清洁后,在操作305中将含有掺杂剂的材料源层沉积到衬底表面上。有利的是,含有掺杂剂的材料不需要选择性地沉积到金属表面上,且可沉积到电介质的表面上和金属上两者。通过在导致沉积含有掺杂剂(例如,含有硼或含有金属)的源层的条件下使部分制造的装置与含有掺杂剂的反应物(例如,与含有硼或含有金属的反应物)接触来沉积源层。

[0087] 在一个实施例中,在没有等离子体放电的情况下以热的方式沉积含有掺杂剂的源层。举例来说,挥发性前驱体(例如,挥发性氢化物、卤化物、碳化物或有机金属化合物)可在高温下反应(例如,分解),以将含有掺杂剂的材料层沉积于衬底表面上。如所属领域的技术人员将理解,可针对每一特定前驱体调谐温度范围、衬底暴露时间和其它沉积条件。

[0088] 在一个实施例中, B_2H_6 用作前驱体以形成掺杂B的保护盖。在一个实例过程中,将 B_2H_6 连同一种或一种以上额外载气(例如 N_2 、 O_2 、 CO_2 、He、 NH_3 、Ar等)一起引入到处理腔室中。在此实例中, B_2H_6 的浓度在约0.5到约20%的范围中,且压力在约0.5托到约10托的范围中。 B_2H_6 在不存在等离子体放电的情况下在约 $200-400^\circ C$ 之间的腔室温度下接触衬底,从而导致将含硼层沉积于衬底上。确定此层含有B-H键,且将被称作 BH_x 层。 BH_x 层用作扩散到铜线中并形成保护盖的B掺杂剂源。

[0089] 在另一实例中,将挥发性含金属的前驱体引入到腔室中。有机金属化合物、金属氢化物、金属卤化物和金属羰基合物可用作合适的前驱体。举例来说,可使用甲基取代的金属衍生物和环戊二烯基取代的金属衍生物。前驱体在高温下反应以在衬底上形成含金属源层。在一些实施例中,可使用类似于含B盖的沉积中所使用的压力和温度范围的压力和温度范围。一般来说,视前驱体的性质而定,沉积条件经优化以沉积具有最佳质量的含金属源层。举例来说,温度范围可经优化以有利于用于前驱体的特定分解机制,且进而按需要调谐含金属源层的分解。所属领域的技术人员将理解如何优化沉积条件以及获得具有经优化的组份的含金属源层。

[0090] 如曾提到的,多种金属可用作掺杂剂。举例来说,可用Al、Hf、Ti、Co、Ta、Mo、Ru、Sn

和 Sb 掺杂铜线。可使用已知挥发性前驱体的其它金属。适合于沉积含铝源层的前驱体的实例包含（但不限于）三甲基铝、二甲基氢化铝、三乙基铝、三异丁基铝和三（二乙基氨基）铝。可用于沉积含有其它金属的合适的前驱体的实例包含（但不限于）双（环戊二烯基）钴、乙酰丙酮钴（II）、四（二甲基氨基）铪、四（二乙基氨基）铪、四（二甲基氨基）钼、四（二甲基氨基）钛（TDMAT）、四（二乙基氨基）钛（TDEAT）、四（乙基甲基氨基）钛、双（二乙基氨基）双（二异丙基氨基）钛、五（二甲基氨基）钼、叔（丁基三亚氨基）（二乙基氨基）钼（TBTDET）、五（二乙基氨基）钼、双（乙基环戊二烯基）钨、三（二甲基氨基）铟和四甲基锡。

[0091] 源层不一定需要含有纯元素掺杂剂，而是可包含掺杂剂与其它元素（例如，H、C、N 等）的化合物。然而，可容易从此些层生成掺杂剂，且一旦生成便能够扩散到铜中和 / 或与铜反应。然而，在其它实施例中，源层可含有大致纯的金属或硼。

[0092] 源层不需要专门选择性地沉积于铜线的顶部上，而是可沉积于电介质层的顶部上和铜的顶部上两者。然而，在许多实施例中，实现铜与电介质之间的一定程度的选择性，且较厚的源层形成于铜线上，如图 4B 中所说明，其中源层 408（其可为 BH_x 层或含金属层）在铜线 408 上具有比在电介质层 401 上厚的厚度。应理解，视特定前驱体和沉积条件而定，可在将源层完全选择性地沉积到铜线上到完全非选择性过程的范围中实现广泛多种选择性，在完全非选择性过程中，在铜线和电介质两者上将源层沉积到相等的厚度。虽然本文中所述的方法可用于从选择性地沉积源层和非选择性地沉积源层两者中受控地引入掺杂剂，但本文中所述方法说明为将以部分选择性沉积的层用作实例。此部分选择性的特征在于，可在含硼和含许多金属的源层两者的情况下观察到，与沉积于电介质上的源层的厚度相比，沉积于铜线上的源层具有较大厚度。在一些实施例中，驻留于铜上的源层的厚度比驻留于电介质上的源层的厚度大约 10-500% 之间。

[0093] 再次参看图 3A 中所示的过程流程图，当已在操作 305 中形成源层之后，在后续操作 307 中，驻留于铜上的源层的顶部部分经改性以形成钝化层，同时未经改性的源层的一部分保持与铜层接触。这通过图 4C 中所示的结构来说明，其中仅源层 408 的一小部分保持未经改性且与铜线 405 接触，同时驻留于铜上的源层的顶部部分经转化以形成钝化层 409。驻留于电介质上的源层的部分经完全转化为钝化材料。钝化操作 309 用于两个目的。首先，其有助于控制互连件电阻，因为源层的部分钝化限制了可用的掺杂剂的量。优选的是，钝化层含有不容易从钝化材料扩散到铜线中的材料。举例来说，硼经转化为氮化硼；铝经转化为氧化铝等。虽然游离的硼和铝能够扩散到铜线中，但当经转化为氮化物和氧化物时，这些材料被捕集于钝化层内，且不能进入铜线并增加其电阻率。因为源层的顶部部分经改性为钝化层，所以由保持与铜线接触的源层的未经改性的部分的厚度来确定引入到铜线中的掺杂剂的量。视需要被引入到线中的掺杂剂的量而定，可将较大或较少量的源层转化为钝化层。举例来说，起初沉积的源层的厚度可在约 50-500 Å 之间的范围中，所述源层的约 20-60% 可被转化为钝化层。

[0094] 在源层含有沉积于铜和电介质两者上的导电材料的那些实施例中也需要钝化。在这些实施例中，钝化将导电材料（例如，金属）转化成很少有导电性或不具有导电性的材料，借此防止邻近铜线之间的短路。举例来说，可在电介质上将驻留于电介质上的部分导电性 BH_x 源层完全转化成含有基本上不导电的 BH_x 的钝化层。类似地，可将含有铝的源层转化

成不导电的氧化铝。

[0095] 若干化合物,例如氮化物、氧化物、硫化物、硒化物、碲化物、磷化物和碳化物是用于钝化层的合适材料。在这些化合物中,氮化物和氧化物在许多实施例中是优选的。

[0096] 可通过使含有掺杂剂的源层与适当的试剂接触而形成钝化层,所述适当的试剂能够将源层材料改性为钝化材料。虽然在一些实施例中可用热的方式执行此改性(不使用等离子体),但通常优选在等离子体放电中对源层进行改性。举例来说,可通过在等离子体中使衬底与含有氮的反应物(例如 N_2 、 NH_3 、 N_2H_4 、胺等)接触来执行氮化。可通过在等离子体中接触引入的含有氧的反应物(例如 O_2 、 CO_2 、 N_2O 等)以类似方式形成氧化物。可通过分别使衬底暴露于含有所需元素的反应物(例如 H_2S 、 H_2Se 、 H_2Te 、 PH_3 、 C_xH_y)而以类似方式形成硫化物、硒化物、碲化物、磷化物和碳化物。

[0097] 在一些实施例中,后处理涉及直接等离子体处理。举例来说,可用在选自 H_2 、 N_2 、 NH_3 及其混合物组成的群组的过程气体中形成的等离子体来处理具有暴露的源层的衬底。在一些实施例中,用等离子体中的 H_2 来处理具有源层的衬底。氢等离子体处理可用以从前驱体层中移除残余有机基,并形成末端金属-H键。在其它实例中,用等离子体中 H_2 与 N_2 的混合物或用等离子体中的 NH_3 对衬底进行后处理,结果是移除了有机基并形成金属-N键。在一些实施例中可使用其它氮化剂,例如 N_2H_4 和胺。

[0098] 在后处理的情况下,有时候需要使用比直接等离子体处理更温和的处理方法。举例来说,在一些实施例中,可使用在选自 H_2 、 N_2 、 NH_3 及其混合物组成的群组的气体中形成的远程等离子体来处理衬底。如前所述,在物理上与容纳衬底的腔室分离的腔室中生成远程等离子体,并消耗掉所述远程等离子体中的离子物质,然后将其递送到衬底,这样做降低电介质受损的概率。这是因为远程等离子体中含有的原子团的损害性通常低于高能离子。可通过远程等离子体来实现金属-H和金属-N键的形成,以及从层中移除有机基。

[0099] 此外,可使用前文以引用的方式并入的第 61/260,789 号美国临时申请案中描述的方法,通过在选自 H_2 、 N_2 、 NH_3 及其混合物组成的群组的过程气体中的 UV 辐射来执行温和的后处理。可使用此 UV 处理来形成金属-H和金属-N键,并且从前驱体层中移除有机取代基。

[0100] 在一些实施例中,通过在不等离子体的环境中进行热处理来实现后处理。举例来说,可在包括 H_2 、 N_2 、 NH_3 或其混合物的气氛中将晶片加热到至少约 300 到 350°C 的温度。此热处理对于处理含有脆弱的 ULK 电介质的衬底特别有利。

[0101] 在一些实施例中,通过在不等离子体的环境中在室温下或在高温下用反应物处理源层而执行后处理。举例来说,在一些实施例中(例如,对于含 Al 或含 Ti 的层),通过在不等离子体的环境中用含氧的反应物(例如 O_2 、 H_2O 、 N_2O)处理衬底来形成含有金属-氧键的钝化层。

[0102] 当在 ILD 层中使用 ULK 电介质(其是特别容易受损的多孔和有机电介质)时,远程等离子体后处理、热后处理和 UV 后处理特别有利。

[0103] 虽然在许多实施例中氮化后处理是优选的,但在一些实施例中可使用其它类型的后处理。

[0104] 举例来说,可通过在具有或不具有等离子体的情况下使具有暴露的前驱体层的衬底接触含氧的气体(例如 O_2 、 CO_2 、 N_2O 等)来实施用以形成金属-O键的氧化后处理。在其

它实施例中,例如通过在等离子体中用碳氢化合物处理源层而在后处理步骤中形成金属-C键。可通过在具有或不具有等离子体的情况下使衬底暴露于含有所需元素的反应物(分别为例如 H_2S 、 H_2Se 、 H_2Te 、 PH_3)而在后处理步骤中形成金属-S、金属-Se、金属-Te和金属-P键。对于这些类型的后处理可使用直接等离子体和远程等离子体两者。

[0105] 再次参看图4C,可看出,钝化层409(含有例如 BN_x 、 AlO_x 、 TiO_x 等)驻留在电介质层401上和铜层405上。含有未改性的掺杂剂源的薄层408驻留在铜线与钝化材料层之间。

[0106] 在形成钝化层之后,在操作309中,允许来自未经改性的源层的活性成分(掺杂剂)扩散到铜中且/或与铜反应,并在铜层内形成保护盖。这由图4C所示的结构中的箭头说明。图4D中展示了所得的结构,其中已在铜线的上部部分中形成了保护盖407。在此实施例中,来自源层408的掺杂剂已完全迁移到铜线中。在其它实施例中,一部分掺杂剂可保留在源层内。而在其它实施例中,在铜扩散到未经改性的源层中的同时,掺杂剂可扩散到铜层中。在后两种情况下,保护盖可驻留在起初呈现的铜线(如图2C中说明)内以及在其顶部上。

[0107] 保护盖的形成可在各种条件下发生,所述条件可取决于驻留在未经改性的源层中的特定掺杂剂源。在一些实施例中,驻留在源层内的含掺杂剂的材料可能不容易扩散到铜中或与铜反应。在这些实施例中,可通过例如使衬底暴露于高温而首先生成掺杂剂。在其它实施例中,还通过加热衬底来促进掺杂剂的扩散和/或反应。在一些实施例中,可通过控制使衬底暴露于高温的时间和暴露本身的温度来控制保护盖的厚度。在一些实施例中,通过在预定时间周期(例如,约0.25到60分钟)内将衬底加热到至少约 $100^{\circ}C$ 的温度来促进形成保护盖。

[0108] 在形成保护盖后,即刻在操作311中沉积掺杂的或未掺杂的碳化硅层。图4E中展示了所得的结构。可看出,在铜线上和电介质区上的钝化层409顶部上沉积碳化硅层411。碳化硅层充当蚀刻终止件或电介质扩散势垒层,且通常沉积到约 $100-500 \text{ \AA}$ 的厚度。可例如通过在等离子体放电中使衬底暴露于含硅的和含碳的前驱体而通过CVD(优选通过PECVD)沉积碳化硅层。举例来说,可将硅烷、烷基硅烷和碳氢化合物用作前驱体。当沉积掺杂的碳化硅时,另外将含掺杂剂的前驱体引入到处理腔室中。举例来说,可在沉积含氧的碳化硅期间添加 CO_2 、 O_2 或 N_2O ,可添加 B_2H_6 以沉积掺杂有硼的碳化硅,可添加 NH_3 和 N_2 以沉积掺杂有氮的碳化硅等。在其它实施例中,在钝化层的顶部上沉积掺杂的或未掺杂的氮化硅以充当蚀刻终止件或扩散势垒层。在一些实施例中,在高于形成加盖层(包含形成源层和钝化)时使用的温度的温度下执行电介质扩散势垒层的沉积。举例来说,在一些实施例中,在 $350^{\circ}C$ 以下的温度下(例如,在约 $200^{\circ}C$ 到 $350^{\circ}C$ 下)实施保护盖的形成,而在至少约 $350^{\circ}C$ (例如, $375^{\circ}C$ 到 $450^{\circ}C$)的温度下执行扩散势垒沉积。

[0109] 应注意,在一些情况下,电介质扩散势垒或蚀刻终止层的沉积是任选的,因为钝化层本身可能具有充当扩散势垒或蚀刻终止件的适当性质。举例来说,含有特定金属氧化物的钝化层可充当扩散势垒层,从而无需沉积单独的碳化硅层。

[0110] 图3中描绘的工艺前进到后续操作313,其中沉积层间电介质(例如二氧化硅、有机硅玻璃、多孔有机电介质等)。将电介质沉积到扩散势垒或蚀刻终止层上(例如沉积到碳化硅层上),或直接沉积到钝化层上(如果钝化材料具有充当扩散势垒的适当性质)。可通过PECVD或通过旋涂方法来沉积电介质,且通常将其沉积到约 3000 到 10000 \AA 的厚度。接

着,如图 1C 到 1E 中描绘,可进一步后跟镶嵌工艺。

[0111] 应了解,图 3 所示的流程图所说明的工艺只是示范性的,且可实施对此工艺的各种修改。举例来说,可用不同的次序来执行图 3 所示的工艺的各个操作。具体来说,可在处理期间的不同时间执行将活性成分(掺杂剂)引入到铜层中。在一些实施例中,可在已沉积蚀刻终止件或扩散势垒层之后起始掺杂剂的产生和扩散。在一些实施例中,在已形成 ILD 层之后在后处理中促进掺杂剂的扩散。通常,通过将衬底加热到至少约 100°C 的温度来执行此操作。在另外其它实施例中,活性成分(掺杂剂)可扩散到铜中且/或与铜反应,然后使源层钝化。在此实施例中,可通过控制未经改性的源层与铜接触的时间且/或通过控制工艺温度来控制引入的掺杂剂的量。

[0112] 在一些实施例中,通过以下方式修改图 3A 中说明的过程:使驻留在铜线上的源层完全而不是部分地钝化,以便大致防止掺杂剂元素扩散到铜线中。此修改在一些情况下是有利的,因为归因于掺杂剂扩散的互连件电阻增加可得以最小化,同时仍然能实现改进的电迁移性能。

[0113] 图 3B 所示的工艺流程图说明所述工艺的另一实施例。此工艺使用用高温方式将含铝的源层沉积在不含氧化物的铜表面上。所述工艺在操作 301 中通过提供具有电介质中的铜线图案的部分制造的半导体装置而开始。举例来说,可使用例如图 4A 所示的衬底的衬底。在一些实施例中,铜线嵌入于 ULK 电介质(例如介电常数为 2.8 和以下的多孔有机电介质)层中。在图 3B 中描述的实施例中,提供不含氧化物的铜表面以防止氧化铜与有机铝前驱体之间的反应非常重要。甚至氧化铜的薄层将改变铝沉积的机制,从而引起氧化铝的形成。在图 3B 中描述的实施例中,这样直接在铜表面上形成氧化铝是不合需要的。

[0114] 为了移除氧化铜,在操作 303 中预先清洁衬底。用从铜表面上完全移除氧化铜的方式控制预清洁。这可通过选择适当的预清洁持续时间和工艺条件来实现。如上文参看图 3A 所述,可通过直接等离子体处理、远程等离子体处理、UV 处理或热处理来执行预清洁。当使用脆弱的 ULK 电介质时,在一些实施例中使用在不存在直接等离子体的情况下的预处理。

[0115] 在获得不含氧化物的铜层之后,在至少约 350°C 的衬底温度(例如至少约 400°C)下使部分制造的装置与有机铝反应物接触,以形成含铝的层,如操作 305 中所示。值得注意的是,在较低温度下,含铝层在不含氧化物的铜表面上的沉积速率不够。可使用各种有机铝反应物,其中在一些实施例中三烷铝特别是三甲基铝是优选的。合适的反应物的实例包含选自自由三甲基铝、二甲基氢化铝、三乙基铝、三异丁基铝和三(二乙氨基)铝组成的群组的前驱体。在不存在等离子体的情况下,反应物接触 CVD 腔室中的衬底,且反应物通常在暴露的电介质和铜表面两者上形成含铝的层。可例如通过控制反应物流动速率和衬底温度来控制层的厚度。沉积在电介质上的层通常在沉积后即刻自发氧化以形成含有 Al-O 键的不导电层(由于电介质中存在氧化物)。在含铝的层来在电介质上完全氧化的那些情况下,在后处理步骤中将所述层进行改性,其将电介质上的所有导电材料转化成不导电的形式以防止互连件之间的短路。无论沉积在电介质上的含铝的层是否在沉积后立即自发氧化,均可使用后处理步骤将驻留在铜上的至少一部分含铝的层转化成稳定的化合物,所述稳定的化合物在一些实施例中可能不导电。

[0116] 操作 307 提供两个后处理选项。在第一实施例中,只对驻留在铜上的含铝的层的

顶部部分进行改性以形成钝化层,其中未经改性的层的一部分保持与铜层接触,其中在操作 309 中允许来自未经改性的部分的铝扩散到铜中。在替代实施例中,对驻留在铜上的整个含铝的层进行改性以形成稳定的化合物,从而大致防止铝扩散到铜线中。因为将过量的铝扩散到铜中会导致互连件电阻不合意的增加,且因为在铜上形成薄的稳定盖(例如,含有 Al-O 或 Al-N 键的盖)会改进与电介质的粘合,所以在一些实施例中,优选最小化或完全避免铝的扩散。

[0117] 如参看图 3A 所述,可使用各种后处理方法,包含在高温或室温下的直接等离子体处理、远程等离子体处理、UV 处理和热(不含等离子体)处理。

[0118] 在一个实施例中,使用不含等离子体的氧化处理(在室温或高温下)在铜表面上形成含有 Al-O 键的层。举例来说,可在不存在等离子体的情况下使具有含铝的层的衬底(在有机铝反应物处理之后)与含氧的反应物(例如 O₂、O₃、N₂O、H₂O 或 CO₂)接触以形成稳定的含有 Al-O 的材料。

[0119] 在另一实施例中,使用不含等离子体的氮化处理(在室温或高温下)在铜表面上形成含有 Al-N 键的层。举例来说,可在不存在等离子体的情况下使具有含铝的层的衬底(在有机铝反应物处理之后)与含氧的反应物(例如氨或联氨)接触。

[0120] 当衬底含有机械上脆弱的 ULK 电介质时,不含等离子体的后处理(包含 UV 和热处理)特别优选,因为其导致的电介质损害最少。

[0121] 在后处理之后,所述工艺在操作 311 和 313 中以电介质扩散势垒层沉积和层间电介质沉积结束,所述操作如参看图 3A 所述而执行。

[0122] 上述方法能够提供具有可控电阻且具有改进的电迁移特性的互连件。通过这些方法形成的保护加盖层的厚度可在约 10 Å 到 10000 Å 的范围内变化。特别有利的是,这些方法提供对在约 10 Å 到 100 Å 的范围内特别是在 10 Å 到 60 Å 范围处的加盖层厚度的控制。厚度在约 10 Å 到 60 Å 范围内变化的加盖膜可提供具有小于 1% 且小于 3% 的特别小的电阻变化的互连件,这目前是 IC 工业中要求的。

[0123] 设备

[0124] 一般来说,保护盖的形成可在任何类型的设备中执行,所述设备允许引入挥发性前驱体,且经配置以提供对反应条件(例如,腔室温度、前驱体流动速率、暴露时间等)的控制。通常优选在不使衬底暴露于周围环境的情况下执行操作 301 到 311,以便防止无意中对衬底的氧化和污染。在一个实施例中,在一个模块中依序执行操作 301 到 311,而不破坏真空。在一些实施例中,在一个 CVD(优选是 PECVD)设备中执行操作 301 到 311,所述设备具有位于一个腔室内的多个台,或具有多个腔室。可从加利福尼亚州圣何塞市的诺发系统有限公司(Novellus Systems, Inc)购得的 VECTOR™PECVD 设备是合适设备的实例。

[0125] 示范性设备将包含一个或一个以上腔室或“反应堆”(有时包含多个台),其容纳一个或一个以上晶片且适合于进行晶片处理。每一腔室可容纳一个或一个以上晶片以进行处理。所述一个或一个以上腔室将晶片维持在所定义的位置中(在所述位置内运动或不运动,例如旋转、振动或其它摇动)。在一个实施例中,在工艺期间在反应堆内将正经历源层和蚀刻终止层沉积的晶片从一个台转移到另一个台。当正在处理中时,通过台座、晶片夹和/或其它晶片固持设备将每一晶片固持在合适位置。对于要加热晶片的特定操作,所述设备可包含加热器,例如加热板。在本发明的优选实施例中,可使用 PECVD 系统。在更优选的实

施例中, PECVD 系统包含 LF RF 电源。

[0126] 图 5 提供描绘经布置以用于实施本发明的各种反应堆组件的简单框图。如图所示, 反应堆 500 包含处理腔室 524, 其封闭反应堆的其它组件且用以容纳由电容器型系统生成的等离子体, 所述电容器型系统包含结合接地的加热器块 520 工作的喷淋头 514。高频 RF 产生器 502 和低频 RF 产生器 504 连接到匹配网络 506, 所述匹配网络 506 又连接到喷淋头 514。

[0127] 在反应堆内, 晶片台座 518 支撑衬底 516。所述台座通常包含夹、叉或起模顶杆, 用以在沉积反应期间或沉积反应之间固持和转移衬底。所述夹可为静电夹、机械夹或可用于所述工业和 / 或研究中的各种其它类型的夹。

[0128] 过程气体经由入口 512 引入。多个源气体线路 510 连接到歧管 508。气体可预先混合或不预先混合。使用适当的装设阀门和质流控制机制来确保在预清洁、源层的形成、钝化层的形成和工艺的掺杂阶段期间递送正确的气体。在以液体形式递送化学前驱体的情况下, 使用液流控制机制。接着, 在液体到达沉积腔室之前, 在加热到高于液体的蒸发点的歧管中输送液体期间, 使液体蒸发并与其它过程气体混合。

[0129] 过程气体经由出口 522 从腔室 500 退出。真空泵 526 (例如, 一级或二级机械干泵和 / 或涡轮分子泵) 通常将过程气体抽出, 并通过闭环控制流量限制装置 (例如节流阀或摆阀) 在反应堆内维持合适低的压力。

[0130] 在所述实施例的一者中, 可使用多台设备来形成加盖层和扩散势垒。所述多台反应堆允许在一个腔室环境中同时运行不同工艺, 因而提高晶片处理的效率。图 6 中描绘此设备的一个实例。展示了俯视图的示意呈现。设备腔室 601 包括四个台 603 到 609 和两个负载锁 (进入负载锁 619 和退出负载锁 617)。在其它实施例中, 可将单个负载锁用于晶片的进入和退出两者。一般来说, 在多台设备的单个腔室内可存在任何数目个台。台 603 用于衬底晶片的装载和卸载。台 603 到 609 可具有相同或不同的功能。举例来说, 一些台可专用于形成加盖层, 而其它台可用于沉积电介质扩散势垒膜。此外, 一些台可专用于氧化铜还原。

[0131] 在所述实施例的一者中, 各个台可在相异的工艺条件下操作, 且可大致彼此隔离。举例来说, 一个台可在一个温度状态下操作, 而另一个台可在不同的温度状态下操作。

[0132] 在一个实施例中, 预清洁操作、源层的沉积和钝化层的形成在一个优选温度状态下执行, 且在多台设备的一个台中实行。在一些实施例中, 电介质扩散势垒的沉积可能需要不同的温度状态, 且可在不同的台中实行。在一些实施例中, 在单台或多台设备的一个台中执行整个加盖工艺, 包含预处理、源层的形成、钝化和含掺杂剂的盖的形成。在一些实施例中, 也可在与加盖操作相同的台处执行电介质扩散势垒层的沉积。在一些情况下, 可使用进入负载锁 619 来预清洁或以其它方式预处理晶片。这可涉及通过例如化学还原进行的氧化物移除。

[0133] 在一个实例中, 台 603 可专用于预清洁和形成加盖层 (由前驱体层和钝化层)。台 603 可在约 200°C 到 400°C 的温度范围处操作, 这在一些实施例中对于加盖和预清洁两个操作均为优选的。可在约 350°C 到 400°C 的温度范围下在台 605、607 和 609 中实行电介质扩散势垒材料 (例如碳化硅) 的沉积, 根据一些碳化硅沉积工艺, 所述温度范围是优选的工艺温度。

[0134] 有利的是, 在一些实施例中, 预清洁、源层的沉积、钝化和掺杂剂的引入可能需要类似的条件下, 且可在一个台 603 处执行。

[0135] 根据上述实施例, 台 603 是预清洁台和保护盖形成台。台 605、607 和 609 可全部用于电介质扩散势垒层的沉积。用转位板 (indexing plate) 611 将衬底抬离台座, 并在下一处理台处准确地定位衬底。在台 603 处装载晶片衬底且在此处使晶片衬底经受任何处理 (例如, 预清洁和加盖, 包含前驱体层沉积和钝化) 之后, 将晶片衬底转位到台 605, 在此处执行加盖 (包含源层沉积和钝化) 和 / 或电介质沉积。接着将晶片移动到台 607, 其中开始或继续扩散势垒电介质的沉积。进一步将衬底转位到台 609, 其中执行对势垒电介质的进一步沉积, 且接着将衬底转位到台 603, 其中将衬底卸载, 且在模块中装上新的晶片。在正常操作期间, 单独的衬底占据每一台, 且每当重复工艺时, 将衬底移动到新的台。因此, 具有四个台 603、605、607 和 609 的设备允许同时处理四个晶片, 其中至少一个台执行不同于在其它台执行的工艺的工艺。或者, 四个晶片可在全部四个台处经受相同的操作, 而不使某些台专用于特定层的沉积。

[0136] 现在将提供台到台工艺序列的几个具体实例。在第一实例中, 进入负载锁执行预处理 (例如, 氧化铜的还原)。接着, 设备的第一台 (例如, 台 603 或依序布置的多个第一台) 形成加盖层 (通过例如暴露于前驱体, 例如 TMA)。接着, 第二台 (例如, 图 6 中的台 605) 执行后处理, 例如钝化 (例如, 如本文中所述暴露于氮、氨和 / 或氢)。接着, 设备中的其余台 (例如, 台 607 和 609) 执行扩散势垒形成。

[0137] 在另一实例中, 第一台 (例如, 台 603) 执行预处理, 第二台 (例如, 台 605 或一系列依序的台) 执行加盖层的形成和后处理 (例如钝化) 两者, 且其余的台执行电介质扩散势垒层沉积。在又一实例中, 第一台执行预处理、加盖层沉积和后处理。其余的台执行扩散势垒形成。

[0138] 可通过控制器单元 613 来控制工艺条件和工艺流程本身, 控制器单元 613 包括用于监视、维持和 / 或调整特定工艺变量 (例如 HF 和 LF 功率、气体流动速率和时间、温度、压力等等) 的程序指令。举例来说, 可包含指定用于源层沉积和钝化的硼烷和氨的流动速率的指令。所述指令可指定用以执行根据上述方法的操作的所有参数。举例来说, 指令可包含用于预清洁、源层沉积、钝化层的形成、将掺杂剂引入到铜线中和电介质扩散势垒沉积的参数。控制器可包括用于不同设备台的不同或相同指令, 因而允许设备台独立地或同步操作。

[0139] 图 7 中说明多台设备的另一实例。多台设备 701 包含驻留在三个分离的处理腔室 717、719 和 721 中的六个台 703、705、707、709、711 和 713, 其中两个台驻留在每一腔室中。邻近于腔室 717、719 和 721 的含有自动装置的腔室 715 提供用于将晶片装载到台中和从台中卸载晶片的机制。控制器 723 提供用于操作多台设备 701 的指令。一个腔室内的各个台可彼此隔离, 且可实行相同或不同操作。在一个实施例中, 同时将两个晶片转移到驻留在一个腔室 721 中的台 703 和 705, 且其同时经历相同操作, 包含预清洁、源层沉积、钝化层的形成和铜掺杂。在完成此工艺之后, 将所述两个晶片从腔室 721 移除, 且同时引入到驻留在腔室 709 中的台 707 和 709。在此腔室中, 同时沉积扩散势垒材料层。接着将所述晶片从腔室 719 移除, 且引入到驻留在腔室 717 中的台 711 和 713, 在台 711 和 713 中接下来是进一步的处理。在一些实施例中, 可用在不同腔室中执行的不同子工艺 (例如, 源层沉积、钝化、掺

杂剂扩散) 在多腔室设备中执行保护加盖层的形成。

[0140] 存在多种可在多台工具中实施加盖工艺的方式, 例如图 6 和图 7 所示的那些。一般来说, 所描述的工艺容易集成到镶嵌流程中, 不需要对衬底进行消耗大量资源的处置, 且可在与电介质扩散势垒沉积相同的设备中执行。此外, 经由对掺杂剂的受控释放的电阻控制特别有利。所描述的方法还可用于形成具有铜与电介质扩散势垒之间的改进的粘合的互连件。

[0141] 现在将通过具体实例来说明所描述的方法的若干实施例。

[0142] 实验实例

[0143] 将参看实验实例来说明具有掺杂有硼的保护盖以及含有硼和氮的钝化层的铜互连件的制造。

[0144] 在所描述的实例中, 通过等离子体预清洁操作来开始所述工艺。在 CMP 操作之后获得具有在超低 k 电介质 ($k = 2.5$; $5,000 \text{ \AA}$ 厚) 中的铜线的暴露图案的部分制造的半导体装置, 且将其放置到 PECVD VECTOR™ 设备的处理腔室中。在四台设备的一个台处执行整个加盖工艺。首先, 将衬底预加热到 350°C , 且在 4000sccm 的流动速率下将 H_2 引入到处理腔室中。使 H_2 在 4 托的压力下从工艺时间的 0 秒流动到 30 秒。在工艺时间的 30 秒处, 点燃 HF RF 等离子体, 且在 $1.23\text{W}/\text{cm}^2$ 的功率下一直保持到工艺时间的 45 秒。在用 H_2 等离子体预清洁衬底之后, 切断 H_2 流和等离子体功率, 并将 B_2H_6 以与氩的混合物的形式引入到处理腔室中。混合物中 B_2H_6 的浓度为约 5 体积百分比, 且将所述混合物以约 3600sccm 的流动速率连同以 2400sccm 流动速率引入的 N_2 一起引入。使气体从工艺时间的 45 秒流动到 85 秒, 在此期间在衬底上沉积含有 BH_x 的源层。在约 350°C 的温度下且在约 2.3 托的压力下执行沉积。估计沉积在铜顶部上的源层的厚度为约 215 \AA , 而估计沉积在电介质顶部上的源层的厚度为约 159 \AA 。在已沉积了源 BH_x 层之后, 使硼烷流停止, 且使层钝化以形成 $(\text{BNH})_x$ 。钝化是在工艺时间的 85 秒与 90 秒之间执行, 且涉及将 NH_3 以约 7000sccm 的流动速率连同 2800sccm 的流动速率下的 N_2 一起引入。点燃具有 $0.80\text{W}/\text{cm}^2$ 的功率电平下的 HF 组分和功率电平为 $0.37\text{W}/\text{cm}^2$ 的 LF 组分的等离子体, 并将其从 90 秒维持到 96 秒。在约 350°C 的温度下和约 2.3 托的压力下执行钝化。估计驻留在电介质上的 BH_x 层的整个厚度转变为 $(\text{BNH})_x$, 且驻留在铜上的源层的约 25% 的厚度转变为 $(\text{BNH})_x$ 。稍后, 通过 FT IR 光谱学来分析 $(\text{BNH})_x$ 层。在 IR 光谱上观察到在 3430cm^{-1} ($\nu_{\text{N-H}}$)、 2560cm^{-1} ($\nu_{\text{B-H}}$) 和 1375cm^{-1} ($\nu_{\text{B-N}}$) 下的峰值。

[0145] 允许硼扩散到铜线中以形成掺杂有硼的加盖层。应了解, 硼的扩散可在已使源层的顶部部分氮化(钝化)之前和之后发生。估计驻留在铜线内的掺杂有硼的盖的厚度为约 25 \AA 到 75 \AA 。

[0146] 在 350°C 的温度下在单个台中执行整个加盖工艺。随后, 在 350°C 下在等离子体中使用四甲基硅烷、氮和氩作为过程气体在 PECVD 设备的三个不同台中在衬底上沉积 $\text{Si}_x\text{C}_y\text{N}_z$ 扩散势垒层(约 500 \AA)。三个台中的每一者中沉积碳化物层的厚度的三分之一。

[0147] 使用四点弯曲粘合测试来测量具有和不具有含硼的盖的 Cu ($5,000 \text{ \AA}$)- $\text{Si}_x\text{C}_y\text{N}_z$ (500 \AA) 夹层的粘合能量。与对于不具有掺杂有 B 的盖的常规夹层结构获得的仅 $15.3\text{J}/\text{m}^2$ 的粘合能量相比, 在通过上述方法获得的夹层中观察到 $28.4\text{J}/\text{m}^2$ 的较高粘合能量。已知改进的粘合通常与改进的电迁移性能有关。

[0148] 还针对含有掺杂有硼的保护盖和 $(\text{BNH})_x$ 钝化层的结构测量泄漏电流和饱和电容。

观察到这些参数大体上不受所描述的加盖程序影响。

[0149] 虽然为了清晰起见省略了各种细节,但可实施各种替代设计方案。因此,当前的实例应被视为说明性的而非限制性的,且本发明不限于本文中给出的细节,而是可在所附权利要求书的范围内加以修改。

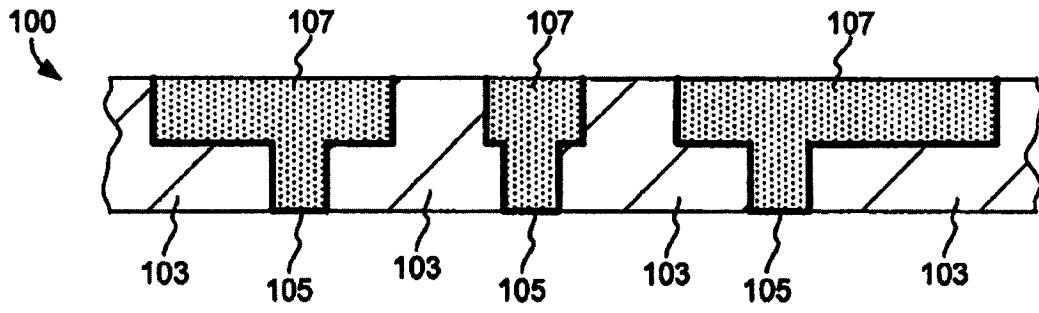


图 1A

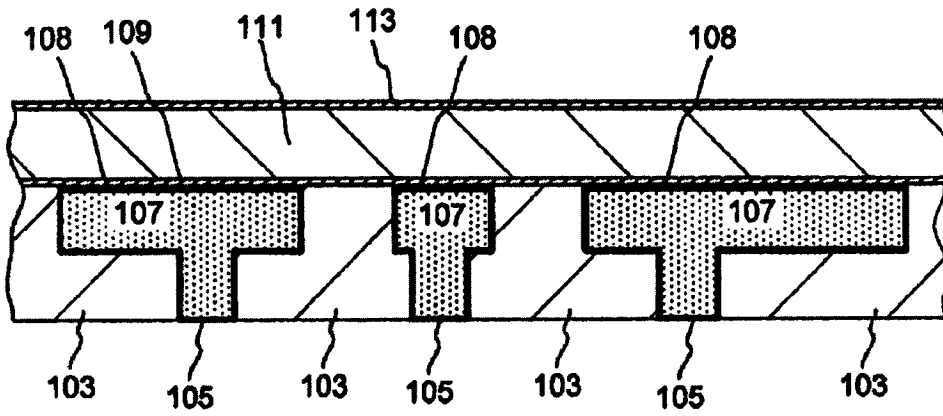


图 1B

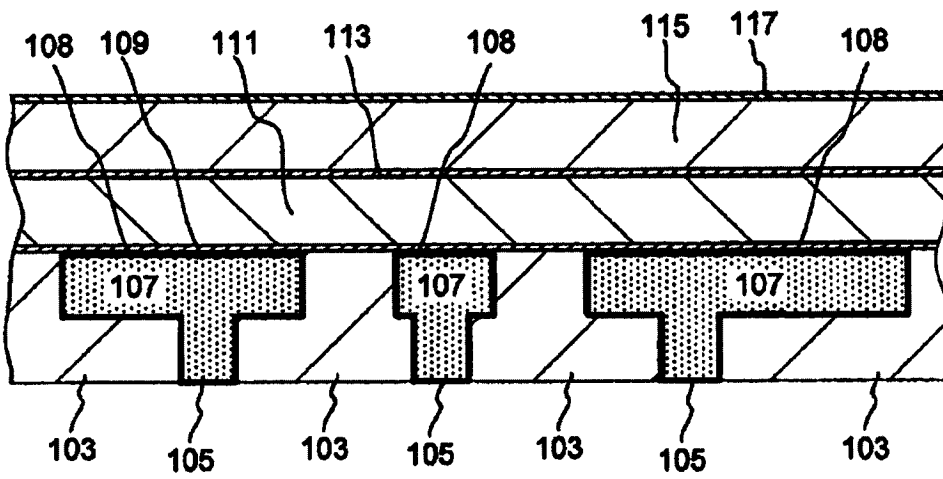


图 1C

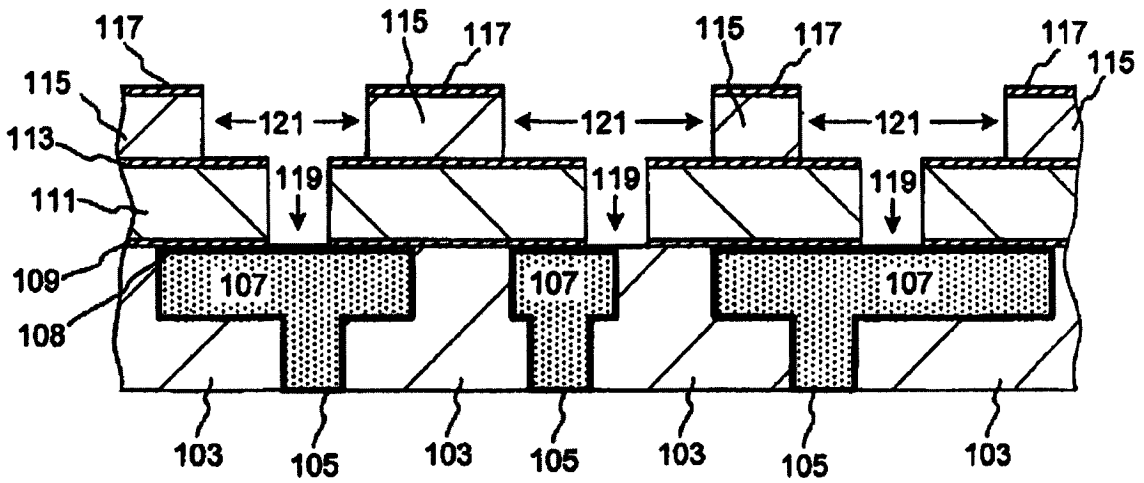


图 1D

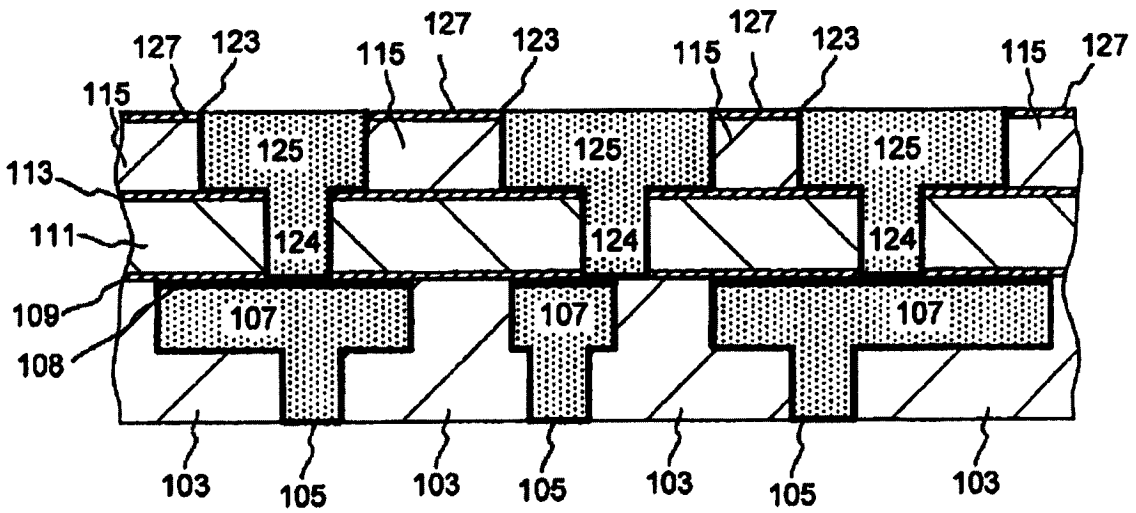


图 1E

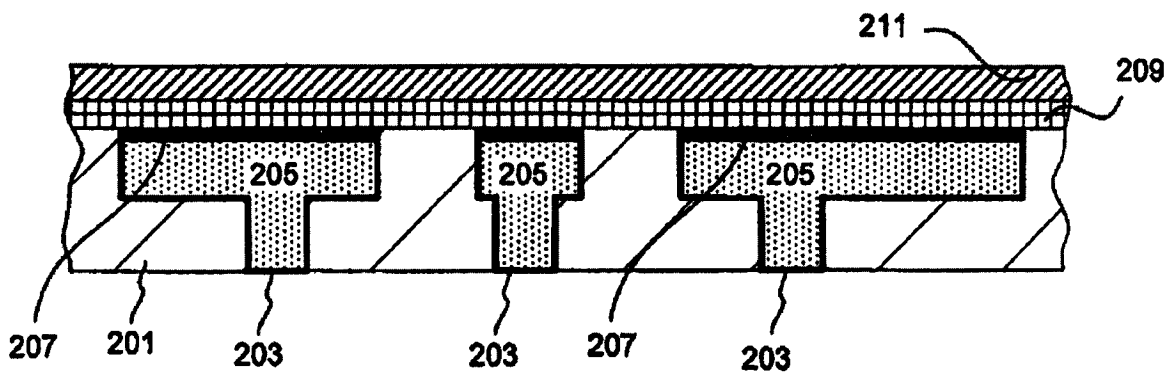


图 2A

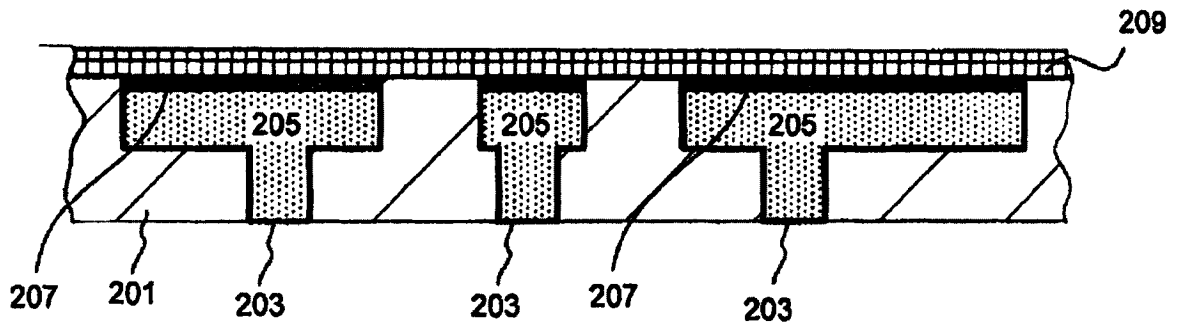


图 2B

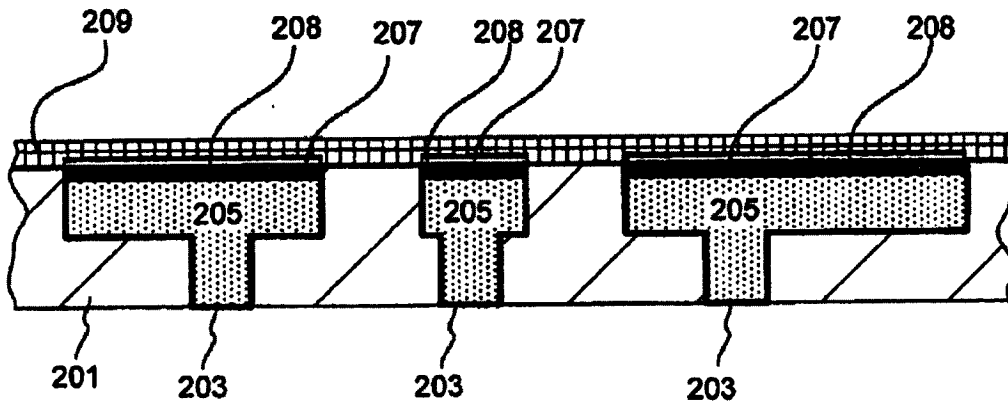


图 2C

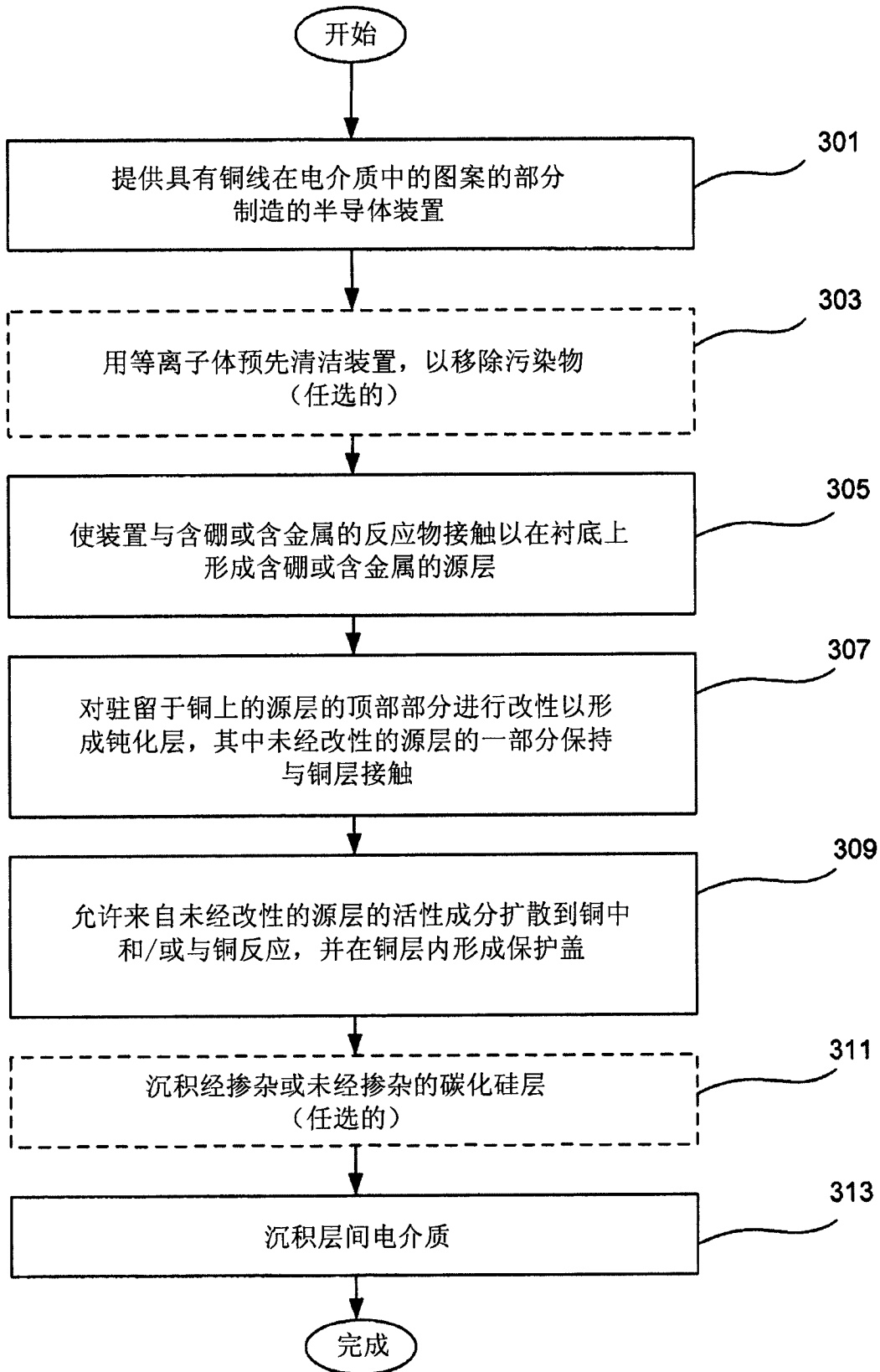


图 3A

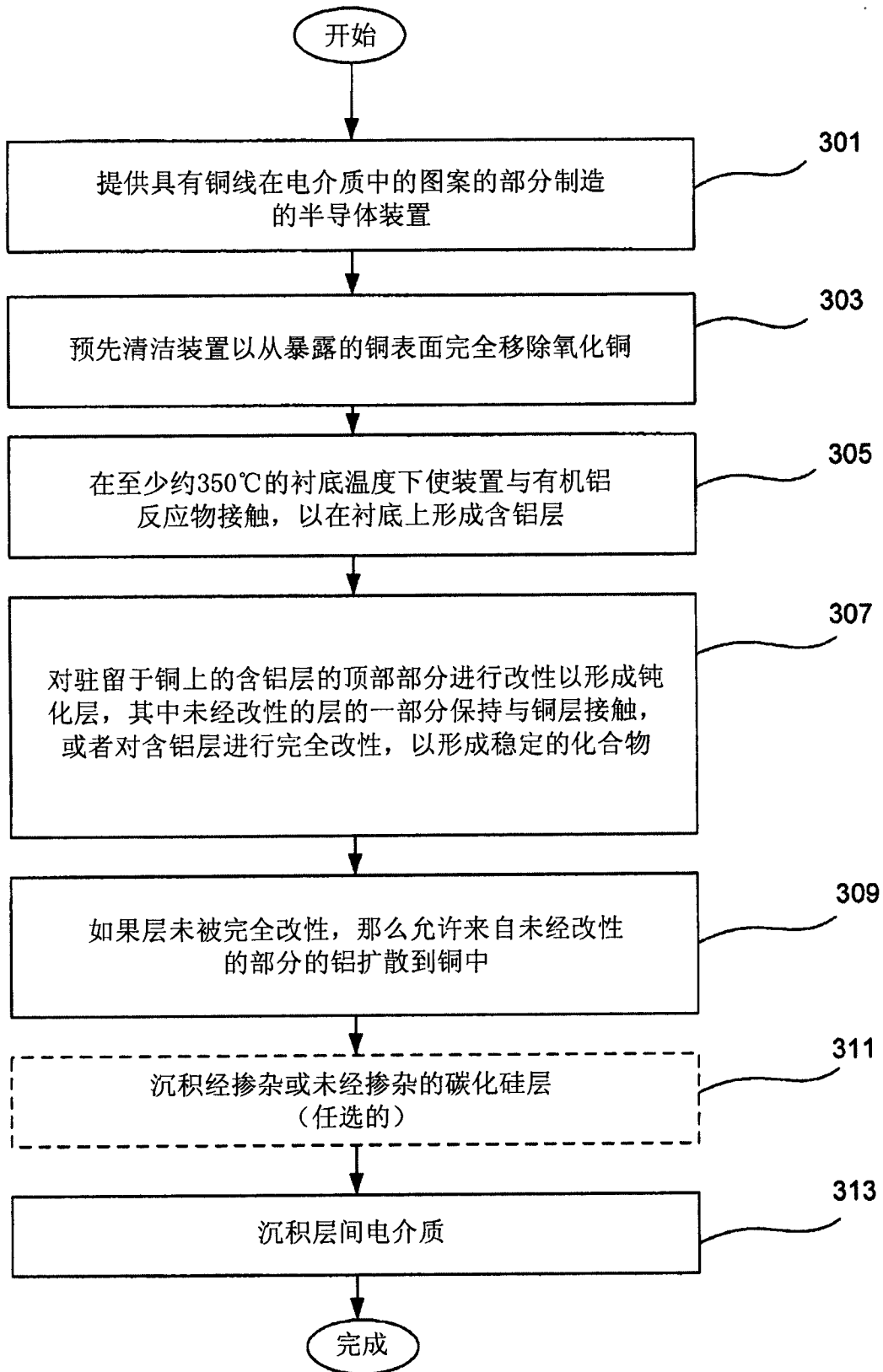


图 3B

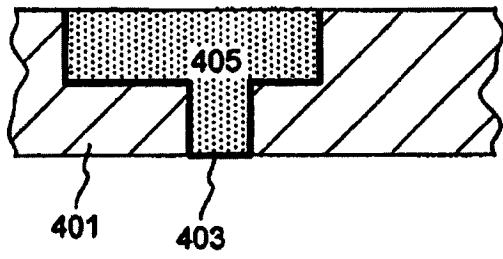


图 4A

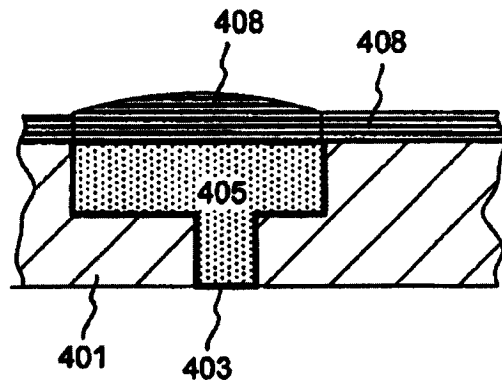


图 4B

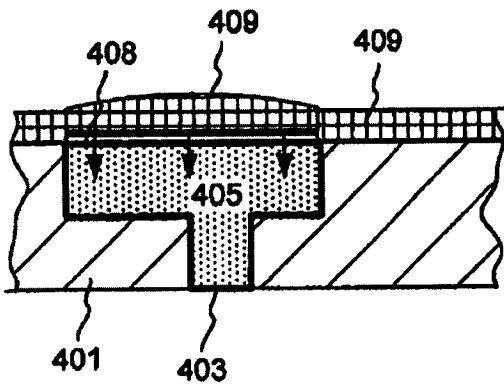


图 4C

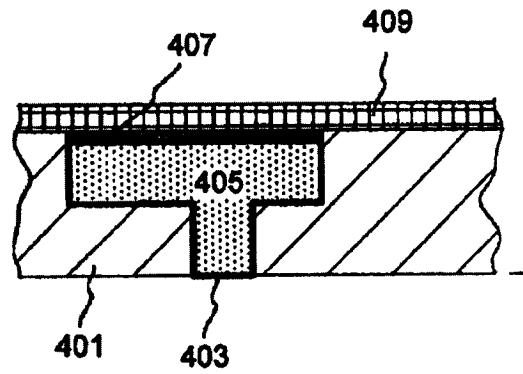


图 4D

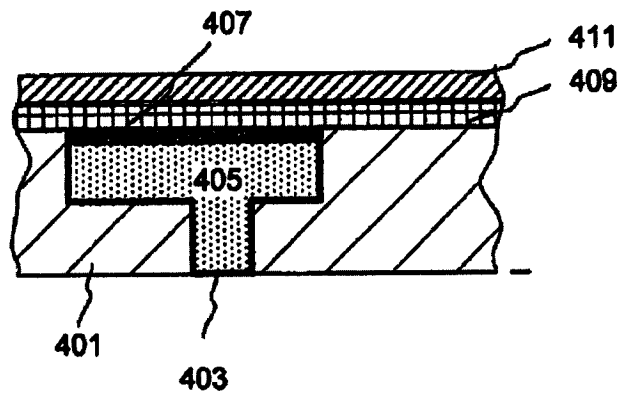


图 4E

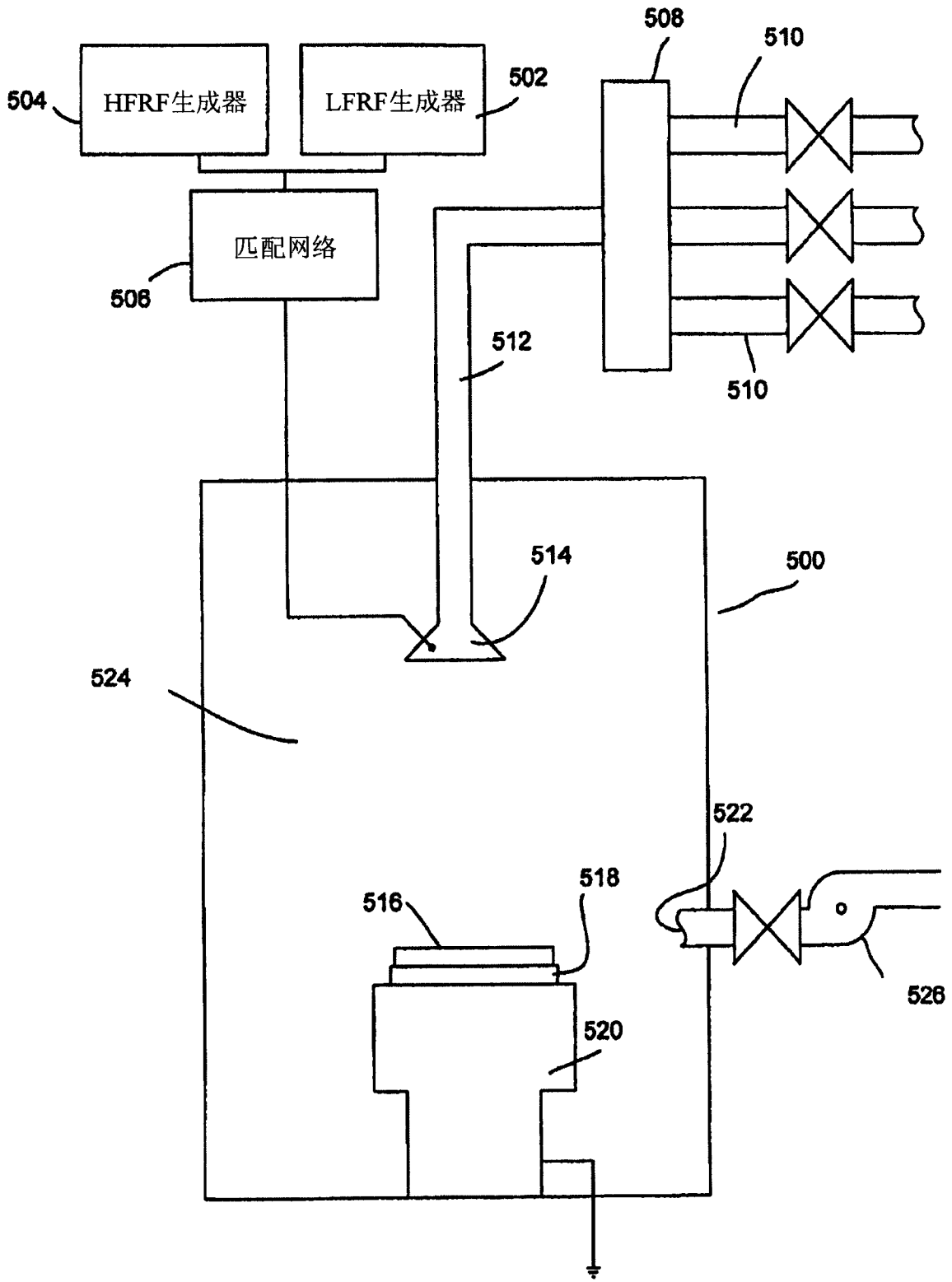


图 5

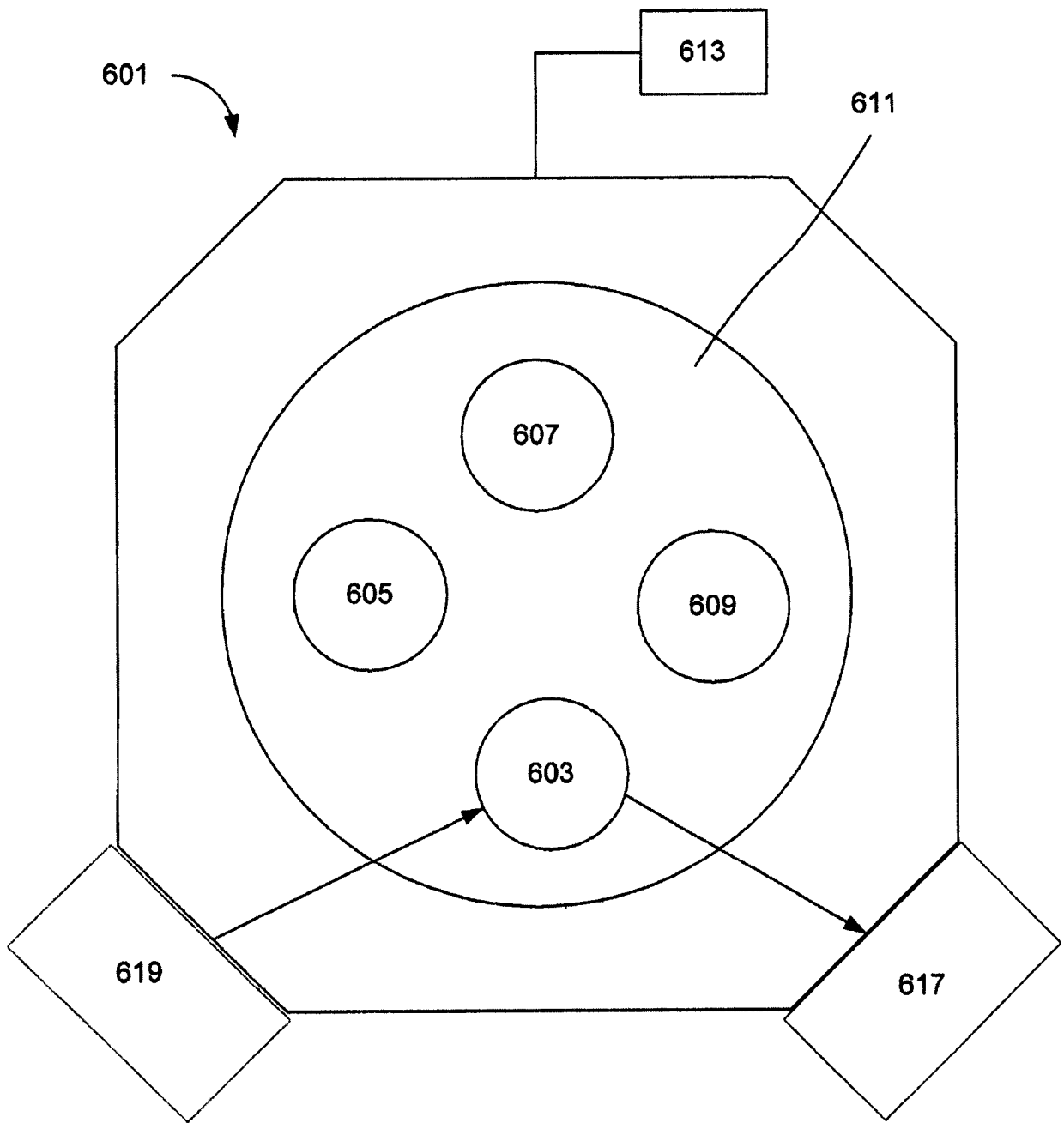


图 6

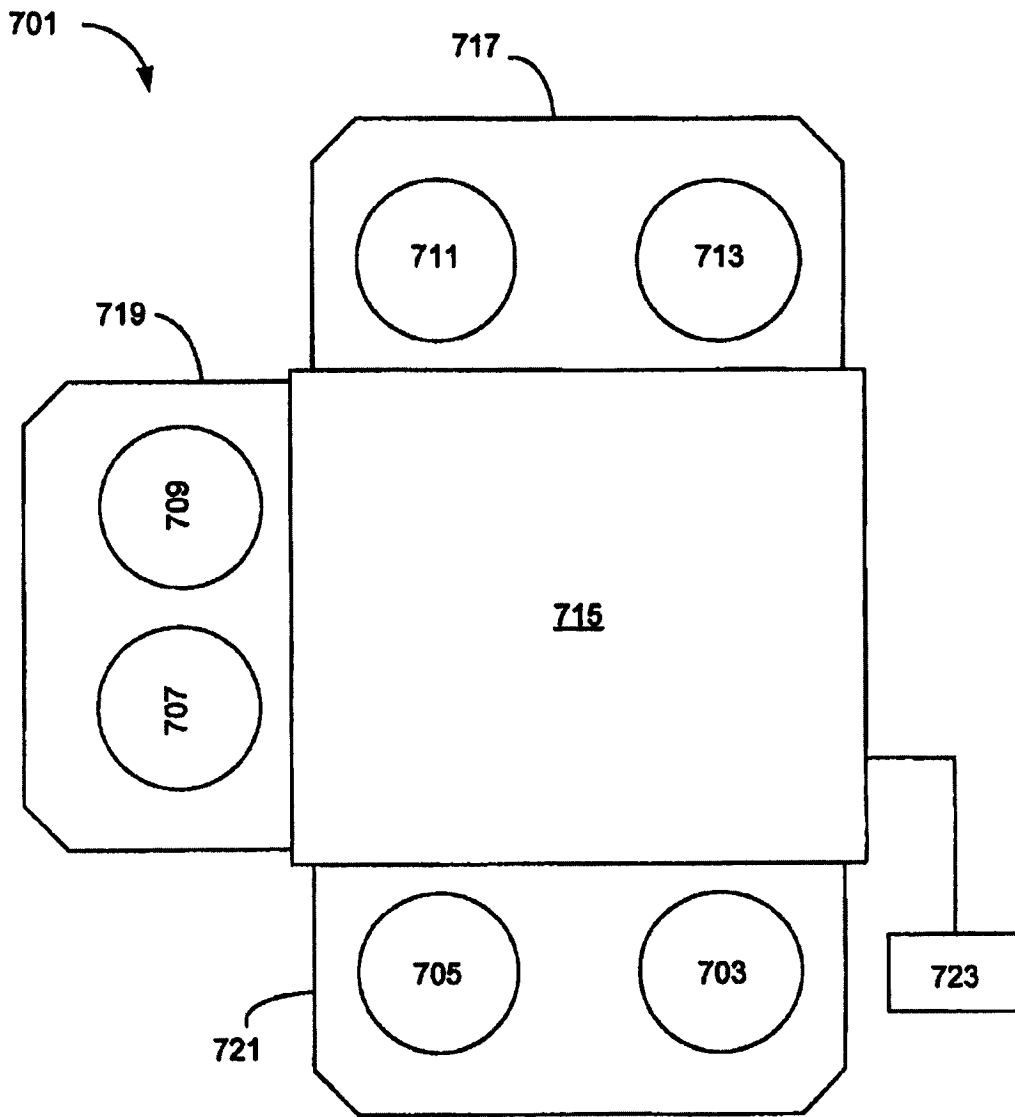


图 7