



(12)发明专利申请

(10)申请公布号 CN 111554621 A

(43)申请公布日 2020.08.18

(21)申请号 202010365991.9

(22)申请日 2020.04.30

(71)申请人 通富微电子股份有限公司
地址 226000 江苏省南通市崇川路288号

(72)发明人 石磊

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 黎坚怡

(51)Int.Cl.

H01L 21/768(2006.01)

H01L 21/60(2006.01)

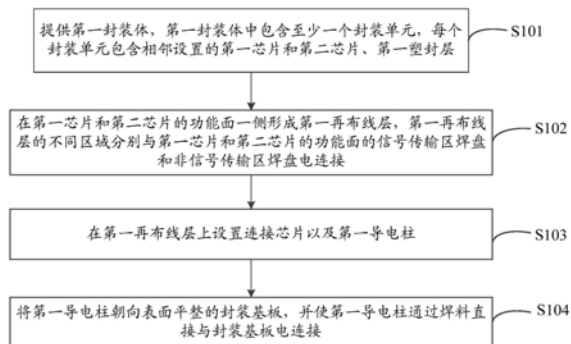
权利要求书2页 说明书6页 附图6页

(54)发明名称

一种芯片封装方法

(57)摘要

本申请公开了一种芯片封装方法,该方法包括:提供第一封装体,第一封装体中包含至少一个封装单元,每个封装单元包含相邻设置的第一芯片和第二芯片、第一塑封层;在第一芯片和第二芯片的功能面一侧形成第一再布线层;在第一再布线层上设置连接芯片以及第一导电柱,其中,连接芯片的功能面上的连接焊盘通过第一再布线层与第一芯片和第二芯片的信号传输区焊盘电连接,第一导电柱通过第一再布线层与非信号传输区焊盘电连接;将第一导电柱朝向表面平整的封装基板,并使第一导电柱通过焊料直接与封装基板电连接。通过上述方式,本申请能够提高第一芯片和第二芯片之间的信号传输速率,提高封装器件的性能。



1. 一种芯片封装方法,其特征在于,所述芯片封装方法包括:

提供第一封装体,所述第一封装体中包含至少一个封装单元,每个所述封装单元包含相邻设置的第一芯片和第二芯片、第一塑封层;其中,所述第一芯片和所述第二芯片的信息传输区相邻设置,所述第一塑封层覆盖所述第一芯片和所述第二芯片的侧面;

在所述第一芯片和所述第二芯片的功能面一侧形成第一再布线层,所述第一再布线层的不同区域分别与所述第一芯片和所述第二芯片的所述功能面的信号传输区焊盘和非信号传输区焊盘电连接;

在所述第一再布线层上设置连接芯片以及第一导电柱,其中,所述连接芯片的功能面上的连接焊盘通过所述第一再布线层与所述第一芯片和所述第二芯片的所述信号传输区焊盘电连接,所述第一导电柱通过所述第一再布线层与所述非信号传输区焊盘电连接;

将所述第一导电柱朝向表面平整的封装基板,并使所述第一导电柱通过焊料直接与所述封装基板电连接。

2. 根据权利要求1所述的芯片封装方法,其特征在于,所述提供第一封装体,包括:

提供可去除的载板,所述载板定义有至少一个区域,一个区域对应一个封装单元;

在每个所述区域的内侧黏贴所述相邻设置的所述第一芯片和所述第二芯片,且所述第一芯片和所述第二芯片的非功能面朝向所述载板;

在所述载板设置有所述第一芯片和所述第二芯片一侧形成所述第一塑封层,所述第一塑封层覆盖所述第一芯片和所述第二芯片的功能面和侧面;

研磨所述第一塑封层远离所述载板一侧表面,直至所述第一芯片和所述第二芯片的信号传输区焊盘和非信号传输区焊盘对应的位置从所述第一塑封层中露出。

3. 根据权利要求1所述的芯片封装方法,其特征在于,所述提供第一封装体,包括:

提供可去除的载板,所述载板定义有至少一个区域,一个区域对应一个封装单元;

在每个所述区域的内侧黏贴所述相邻设置的所述第一芯片和所述第二芯片,且所述第一芯片和所述第二芯片的功能面朝向所述载板;

在所述载板设置有所述第一芯片和所述第二芯片一侧形成所述第一塑封层,所述第一塑封层覆盖所述第一芯片和所述第二芯片的非功能面和侧面;

去除所述第一芯片和所述第二芯片的功能面一侧的载板,以使所述第一芯片和所述第二芯片的功能面露出。

4. 根据权利要求1所述的芯片封装方法,其特征在于,所述在所述第一芯片和所述第二芯片的功能面一侧形成第一再布线层,所述第一再布线层的不同区域分别与所述第一芯片和所述第二芯片的所述功能面的信号传输区焊盘和非信号传输区焊盘电连接,包括:

在所述第一芯片和所述第二芯片的功能面一侧形成第一钝化层,并在所述第一钝化层对应所述第一芯片和所述第二芯片的功能面上的连接焊盘的位置形成第一开口;

在所述第一钝化层上形成所述第一再布线层,且所述第一再布线层的不同区域透过所述第一钝化层分别与所述第一芯片和所述第二芯片的所述功能面的信号传输区焊盘和非信号传输区焊盘电连接。

5. 根据权利要求1所述的芯片封装方法,其特征在于,所述在所述第一再布线层上设置连接芯片以及第一导电柱,包括:

在所述第一再布线层的一侧形成第二钝化层,并在所述第二钝化层对应所述第一再布

线层位置形成第二开口,其中,所述第二开口的位置与所述第一芯片和所述第二芯片的信号传输区焊盘和非信号传输区焊盘一一对应;

在对应所述非信号传输区焊盘的所述第二开口内形成第一导电柱,在对应所述信号传输区焊盘的所述第二开口内形成第二导电柱;

将所述连接芯片的功能面上的连接焊盘与所述第二导电柱键合连接。

6. 根据权利要求5所述的芯片封装方法,其特征在于,所述第二导电柱的高度小于第一导电柱的高度。

7. 根据权利要求6所述的芯片封装方法,其特征在于,

所述第一导电柱通过焊料直接与所述封装基板电连接之后,所述连接芯片的非功能面与所述第一再布线层之间的距离小于等于所述第一导电柱的高度。

8. 根据权利要求5所述的芯片封装方法,其特征在于,所述在所述第一再布线层上设置连接芯片以及第一导电柱之后,包括:

在所述连接芯片的功能面和所述第二钝化层之间形成第一底填胶。

9. 根据权利要求1所述的芯片封装方法,其特征在于,

所述第一封装体中包含至少两个封装单元,每个所述封装单元包含相邻设置的第一芯片和第二芯片,所述第一塑封层连续覆盖所有所述封装单元;

所述将所述第一导电柱朝向表面平整的封装基板,并使所述第一导电柱通过焊料直接与所述封装基板电连接之前,还包括:切割掉相邻所述封装单元之间的区域,以获得包含单个封装单元的封装器件。

10. 根据权利要求1所述的芯片封装方法,其特征在于,所述将所述第一导电柱朝向表面平整的封装基板,并使所述第一导电柱通过焊料直接与所述封装基板电连接之后,还包括:

在所述第一再布线层与所述封装基板之间形成第二底填胶。

一种芯片封装方法

技术领域

[0001] 本申请涉及半导体技术领域,特别是涉及一种芯片封装方法。

背景技术

[0002] 随着电子产品的更新换代,对于芯片封装技术的要求也越来越高,现有的芯片封装技术中,通常先将芯片与硅中介板进行连接,然后将硅中介板与基板进行连接。上述方式形成的封装器件的电性能和热传导性能均表现优异,但是成本较高,且硅中介板脆性较高,导致封装器件的稳定性较低。因此,需要发展一种新的封装技术,能够降低成本,且形成的封装器件的性能优异。

发明内容

[0003] 本申请主要解决的技术问题是提供一种芯片封装方法,能够降低成本,提高第一芯片和第二芯片之间的信号传输速率。

[0004] 为解决上述技术问题,本申请采用的一个技术方案是:提供一种芯片封装方法,所述芯片封装方法包括:提供第一封装体,所述第一封装体中包含至少一个封装单元,每个所述封装单元包含相邻设置的第一芯片和第二芯片、第一塑封层;其中,所述第一芯片和所述第二芯片的信息传输区相邻设置,所述第一塑封层覆盖所述第一芯片和所述第二芯片的侧面;在所述第一芯片和所述第二芯片的功能面一侧形成第一再布线层,所述第一再布线层的不同区域分别与所述第一芯片和所述第二芯片的所述功能面的信号传输区焊盘和非信号传输区焊盘电连接;在所述第一再布线层上设置连接芯片以及第一导电柱,其中,所述连接芯片的功能面上的连接焊盘通过所述第一再布线层与所述第一芯片和所述第二芯片的所述信号传输区焊盘电连接,所述第一导电柱通过所述第一再布线层与所述非信号传输区焊盘电连接;将所述第一导电柱朝向表面平整的封装基板,并使所述第一导电柱通过焊料直接与所述封装基板电连接。

[0005] 其中,所述提供第一封装体,包括:提供可去除的载板,所述载板定义有至少一个区域,一个区域对应一个封装单元;在每个所述区域的内侧黏贴所述相邻设置的所述第一芯片和所述第二芯片,且所述第一芯片和所述第二芯片的非功能面朝向所述载板;在所述载板设置有所述第一芯片和所述第二芯片一侧形成所述第一塑封层,所述第一塑封层覆盖所述第一芯片和所述第二芯片的功能面和侧面;研磨所述第一塑封层远离所述载板一侧表面,直至所述第一芯片和所述第二芯片的信号传输区焊盘和非信号传输区焊盘对应的位置从所述第一塑封层中露出。

[0006] 其中,所述提供第一封装体,包括:提供可去除的载板,所述载板定义有至少一个区域,一个区域对应一个封装单元;在每个所述区域的内侧黏贴所述相邻设置的所述第一芯片和所述第二芯片,且所述第一芯片和所述第二芯片的功能面朝向所述载板;在所述载板设置有所述第一芯片和所述第二芯片一侧形成所述第一塑封层,所述第一塑封层覆盖所述第一芯片和所述第二芯片的非功能面和侧面;去除所述第一芯片和所述第二芯片的功能

面一侧的载板,以使所述第一芯片和所述第二芯片的功能面露出。

[0007] 其中,所述在所述第一芯片和所述第二芯片的功能面一侧形成第一再布线层,所述第一再布线层的不同区域分别与所述第一芯片和所述第二芯片的所述功能面的信号传输区焊盘和非信号传输区焊盘电连接,包括:在所述第一芯片和所述第二芯片的功能面一侧形成第一钝化层,并在所述第一钝化层对应所述第一芯片和所述第二芯片的功能面上的连接焊盘的位置形成第一开口;在所述第一钝化层上形成所述第一再布线层,且所述第一再布线层的不同区域透过所述第一钝化层分别与所述第一芯片和所述第二芯片的所述功能面的信号传输区焊盘和非信号传输区焊盘电连接。

[0008] 其中,所述在所述第一再布线层上设置连接芯片以及第一导电柱,包括:在所述第一再布线层的一侧形成第二钝化层,并在所述第二钝化层对应所述第一再布线层位置形成第二开口,其中,所述第二开口的位置与所述第一芯片和所述第二芯片的信号传输区焊盘和非信号传输区焊盘一一对应;在对应所述非信号传输区焊盘的所述第二开口内形成第一导电柱,在对应所述信号传输区焊盘的所述第二开口内形成第二导电柱;将所述连接芯片的功能面上的连接焊盘与所述第二导电柱键合连接。

[0009] 其中,所述第二导电柱的高度小于第一导电柱的高度。

[0010] 其中,所述第一导电柱通过焊料直接与所述封装基板电连接之后,所述连接芯片的非功能面与所述第一再布线层之间的距离小于等于所述第一导电柱的高度。

[0011] 其中,所述在所述第一再布线层上设置连接芯片以及第一导电柱之后,包括:在所述连接芯片的功能面和所述第二钝化层之间形成第一底填胶。

[0012] 其中,所述第一封装体中包含至少两个封装单元,每个所述封装单元包含相邻设置的第一芯片和第二芯片,所述第一塑封层连续覆盖所有所述封装单元;所述将所述第一导电柱朝向表面平整的封装基板,并使所述第一导电柱通过焊料直接与所述封装基板电连接之前,还包括:切割掉相邻所述封装单元之间的区域,以获得包含单个封装单元的封装器件。

[0013] 其中,所述将所述第一导电柱朝向表面平整的封装基板,并使所述第一导电柱通过焊料直接与所述封装基板电连接之后,还包括:在所述第一再布线层与所述封装基板之间形成第二底填胶。

[0014] 本申请的有益效果是:本申请提供的芯片封装方法对于主芯片的信号传输区和非信号传输区采用不同的连接方式:对于信号传输区,采用连接芯片连接第一芯片和第二芯片,提高第一芯片和第二芯片之间的信号传输速率,提高封装器件的性能;对于非信号传输区,通过第一导电柱和焊料,与封装基板连接,能够降低封装成本。

附图说明

[0015] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。其中:

[0016] 图1是本申请芯片封装方法一实施方式的流程示意图;

[0017] 图2是图1中步骤S101对应的一实施方式的结构示意图;

- [0018] 图3是图1中步骤S101对应的一实施方式的流程示意图；
- [0019] 图4a是图3中步骤S201对应的一实施方式的结构示意图；
- [0020] 图4b是图3中步骤S202对应的一实施方式的结构示意图；
- [0021] 图4c是图3中步骤S203对应的一实施方式的结构示意图；
- [0022] 图4d是图3中步骤S204对应的一实施方式的结构示意图；
- [0023] 图5是图1中步骤S101对应的另一实施方式的流程示意图；
- [0024] 图6a是图5中步骤S302对应的一实施方式的结构示意图；
- [0025] 图6b是图5中步骤S303对应的一实施方式的结构示意图；
- [0026] 图6c是图5中步骤S304对应的一实施方式的结构示意图；
- [0027] 图7是图1中步骤S102对应的一实施方式的结构示意图；
- [0028] 图8是图1中步骤S103对应的一实施方式的结构示意图；
- [0029] 图9是图1中步骤S103之后对应的一实施方式的结构示意图；
- [0030] 图10是图1中步骤S104对应的一实施方式的结构示意图。

具体实施方式

[0031] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0032] 请参阅图1,图1是本申请芯片封装方法一实施方式的流程示意图,该封装方法包括:

[0033] 步骤S101:提供第一封装体20,第一封装体20中包含至少一个封装单元,每个封装单元包含相邻设置的第一芯片22和第二芯片24、第一塑封层26。

[0034] 具体地,请参阅图2,图2是图1中步骤S101对应的一实施方式的结构示意图。图2中仅示意图画出第一封装体20包含一个第一芯片22和第二芯片24,在实际应用中,第一芯片22可以与至少一个第二芯片24。例如,第一芯片22的四个角部均设置有信号传输区焊盘(图未示),此时一个第一芯片22对应的第二芯片24的个数可以为四个,四个第二芯片24的芯片类型可以相同或者不同。其中,第一芯片22和第二芯片24的信息传输区相邻设置,即图中第一芯片22和第二芯片24相互靠近的位置处为信息传输区,相互远离的位置为非信号传输区,第一塑封层26覆盖第一芯片22和第二芯片24的侧面。图中,第一芯片22和第二芯片24的两侧未填充图案的均为第一塑封层26。

[0035] 在一个实施方式中,请参阅图3,图3是图1中步骤S101对应的一实施方式的流程示意图,上述步骤S101具体包括:

[0036] 步骤S201:提供可去除的载板11,载板11定义有至少一个区域,一个区域对应一个封装单元。

[0037] 具体地,请参阅图4a,图4a是图3中步骤S201对应的一实施方式的结构示意图,图4a中的载板11仅仅是示意性的表示其中一个区域,实际应用中载板11可为一较大的区域,划分成多个小区域,在每个小区域内开始第一封装体20的封装。

[0038] 步骤S202:在每个区域的内侧黏贴相邻设置的第一芯片22和第二芯片24,且第一

芯片22和第二芯片24的非功能面(222和242)朝向载板11。

[0039] 具体地,请参阅图4b,图4b是图3中步骤S202对应的一实施方式的结构示意图,第一芯片22包括相背设置的功能面220和非功能面222,第二芯片24包括相背设置的功能面240和非功能面242,将第一芯片22的非功能面222和第二芯片24的非功能面242朝向载板11,通过双面胶等可剥离胶将第一芯片22和第二芯片24黏贴在载板11上,该载板11可由金属、塑料等硬性材质形成。

[0040] 步骤S203:在载板11设置有第一芯片22和第二芯片24一侧形成第一塑封层26,第一塑封层26覆盖第一芯片22和第二芯片24的功能面(220和240)和侧面。

[0041] 具体地,请参阅图4c,图4c是图3中步骤S203对应的一实施方式的结构示意图,第一塑封层26覆盖第一芯片22的功能面220和第二芯片24的功能面240,以及第一芯片22和第二芯片24的侧面。上述第一塑封层26可有效固定住第一芯片22和第二芯片24,上述第一塑封层26的材质可以为环氧树脂等。

[0042] 步骤S204:研磨第一塑封层26远离载板11一侧表面,直至第一芯片22和第二芯片24的信号传输区焊盘(图未示)和非信号传输区焊盘(图未示)对应的位置从第一塑封层26中露出。

[0043] 具体地,请参阅图4d,图4d是图3中步骤S204对应的一实施方式的结构示意图,由于第一塑封层26覆盖第一芯片22的功能面220和第二芯片24的功能面240,进而对覆盖在第一芯片22的功能面220和第二芯片24的功能面240上的第一塑封层26进行研磨,使第一芯片22的功能面220和第二芯片24的功能面240露出。

[0044] 在一个实施方式中,请参阅图5,图5是图1中步骤S101对应的一实施方式的流程示意图,上述步骤S101具体包括:

[0045] 步骤S301:提供可去除的载板11,载板11定义有至少一个区域,一个区域对应一个封装单元。

[0046] 具体地,该载板11可再次参阅图4a,载板11仅仅是示意性的表示其中一个区域,实际应用中载板11可为一较大的区域,划分成多个小区域,在每个小区域内开始第一封装体20的封装。

[0047] 步骤S302:在每个区域的内侧黏贴相邻设置的第一芯片22和第二芯片24,且第一芯片22和第二芯片24的功能面(220和240)朝向载板11。

[0048] 具体地,请参阅图6a,图6a是图5中步骤S302对应的一实施方式的结构示意图,第一芯片22包括相背设置的功能面220和非功能面222,第二芯片24包括相背设置的功能面240和非功能面242,将第一芯片22的功能面220和第二芯片24的功能面240朝向载板11,通过双面胶等可剥离胶将第一芯片22和第二芯片24黏贴在载板11上,该载板11可由金属、塑料等硬性材质形成。

[0049] 步骤S303:在载板11设置有第一芯片22和第二芯片24一侧形成第一塑封层26,第一塑封层26覆盖第一芯片22和第二芯片24的非功能面(222和242)和侧面。

[0050] 具体地,请参阅图6b,图6b是图5中步骤S303对应的一实施方式的结构示意图,第一塑封层26覆盖第一芯片22的非功能面222和第二芯片24的功能面242,以及第一芯片22和第二芯片24的侧面。上述第一塑封层26可有效固定住第一芯片22和第二芯片24,上述第一塑封层26的材质可以为环氧树脂等。

[0051] 步骤S304:去除第一芯片22和第二芯片24的功能面(220和240)一侧的载板11,以使第一芯片22和第二芯片24的功能面(220和240)露出。

[0052] 具体地,请参阅图6c,图6c是图5中步骤S304对应的一实施方式的结构示意图,将载板11剥离后,第一芯片22的功能面220和第二芯片24的功能面240将露出。

[0053] 进一步地,对于第一芯片22的非功能面222和第二芯片24的非功能面242上的第一塑封层26也可进一步研磨,以使第一芯片22的非功能面222和第二芯片24的非功能面242露出,以便第一芯片22和第二芯片24散热。

[0054] 步骤S102:在第一芯片22和第二芯片24的功能面(220和240)一侧形成第一再布线层32,第一再布线层32的不同区域分别与第一芯片22和第二芯片24的功能面(220和240)的信号传输区焊盘和非信号传输区焊盘电连接。

[0055] 具体地,请参阅图7,图7是图1中步骤S102对应的一实施方式的结构示意图,在第一芯片22和第二芯片24的功能面(220和240)一侧形成第一钝化层30,并在第一钝化层30对应第一芯片22和第二芯片24的功能面(220和240)上的连接焊盘的位置形成第一开口(图未示),进而在第一钝化层30上形成第一再布线层32,且第一再布线层32的不同区域透过第一钝化层30分别与第一芯片22和第二芯片24的功能面(220和240)的信号传输区焊盘和非信号传输区焊盘电连接。

[0056] 步骤S103:在第一再布线层32上设置连接芯片36以及第一导电柱37。

[0057] 具体地,请参阅图8,图8是图1中步骤S103对应的一实施方式的结构示意图,在第一再布线层32的一侧形成第二钝化层34,并在第二钝化层34对应第一再布线层32位置形成第二开口(图未示),其中,第二开口的位置与第一芯片22和第二芯片24的信号传输区焊盘和非信号传输区焊盘一一对应,进而在对应非信号传输区焊盘的第二开口内形成第一导电柱37,在对应信号传输区焊盘的第二开口内形成第二导电柱38。第二导电柱38的高度小于第一导电柱37的高度。在第一导电柱38围设的内侧区域内,设置连接芯片36。

[0058] 连接芯片36包括相背设置的功能面360和非功能面362,将连接芯片36的功能面360上的连接焊盘(图未示)与第二导电柱38键合连接。第一导电柱37和第二导电柱38由铜或镍或金或银中至少一种金属材质形成。

[0059] 具体地,对连接芯片36的功能面360上的连接焊盘和/或第二导电柱38采用热压或钎焊等方法实现键合连接。因此,连接芯片36的功能面360上的连接焊盘通过第一再布线层32与第一芯片22和第二芯片24的信号传输区焊盘电连接,第一导电柱37通过第一再布线层32与非信号传输区焊盘电连接。

[0060] 在一具体应用场景中,第一芯片22为CPU芯片,第二芯片24为GPU芯片,连接芯片36为硅桥,进而CPU芯片与GPU芯片之间的信号传输区通过硅桥来进行信号传输,提高信号的传输性能。

[0061] 进一步地,请参阅图9,图9是图1中步骤S103之后对应的一实施方式的结构示意图,在第一再布线层32上设置连接芯片36以及第一导电柱37之后,还需要在所述连接芯片36的功能面360和所述第二钝化层34之间形成第一底填胶42,该第一底填胶42填满连接芯片36的功能面360与第二钝化层34之间的空隙,可以进一步固定连接芯片36的位置,降低了连接芯片36在后续过程中发生倾斜的概率,且该第一底填胶42可以保护连接芯片36的功能面360上对应的电路结构,降低电路结构发生短路的概率。

[0062] 进一步地,请结合参阅图1-图9,本申请中的附图仅仅是示意性的,在实际应用中,载板11上是包括多个区域,在载板11的多个区域内同时进行第一封装体20的封装,进而第一封装体20中包含至少两个封装单元,每个封装单元包含相邻设置的第一芯片22和第二芯片24,第一塑封层26连续覆盖所有封装单元,因此在进行最后的封装步骤S104之前,需要切割掉相邻封装单元之间的区域,以获得包含单个封装单元的封装器件。

[0063] 步骤S104:将第一导电柱37朝向表面平整的封装基板60,并使第一导电柱37通过焊料39直接与封装基板60电连接。

[0064] 具体地,请参阅图10,图10是图1中步骤S104对应的一实施方式的结构示意图,封装基板60与第一导电柱37通过焊料39焊接,进而封装基板60与第一导电柱37实现电连接。此时,连接芯片36的非功能面360与第一再布线层32之间的距离小于等于第一导电柱37的高度。

[0065] 具体地,焊料39在第一导电柱37生成后立即设置,也可在与封装基板60准备焊接前设置。

[0066] 进一步地,第一导电柱37通过焊料39直接与封装基板60电连接之后,在第一再布线层32与封装基板60之间形成第二底填胶52。该第二底填胶52可进一步固定封装基板60与连接芯片36、第一导电柱37,使其更牢靠。

[0067] 综上,本申请所提供的芯片封装方法,对于第一芯片22和第二芯片24的信号传输区和非信号传输区采用不同的连接方式:对于信号传输区,采用连接芯片36连接第一芯片22和第二芯片24,提高第一芯片22和第二芯片24之间的信号传输速率,提高封装器件的性能;对于非信号传输区,通过第一导电柱37和焊料39,与封装基板60连接,能够降低封装成本。

[0068] 以上所述仅为本申请的实施方式,并非因此限制本申请的专利范围,凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本申请的专利保护范围内。

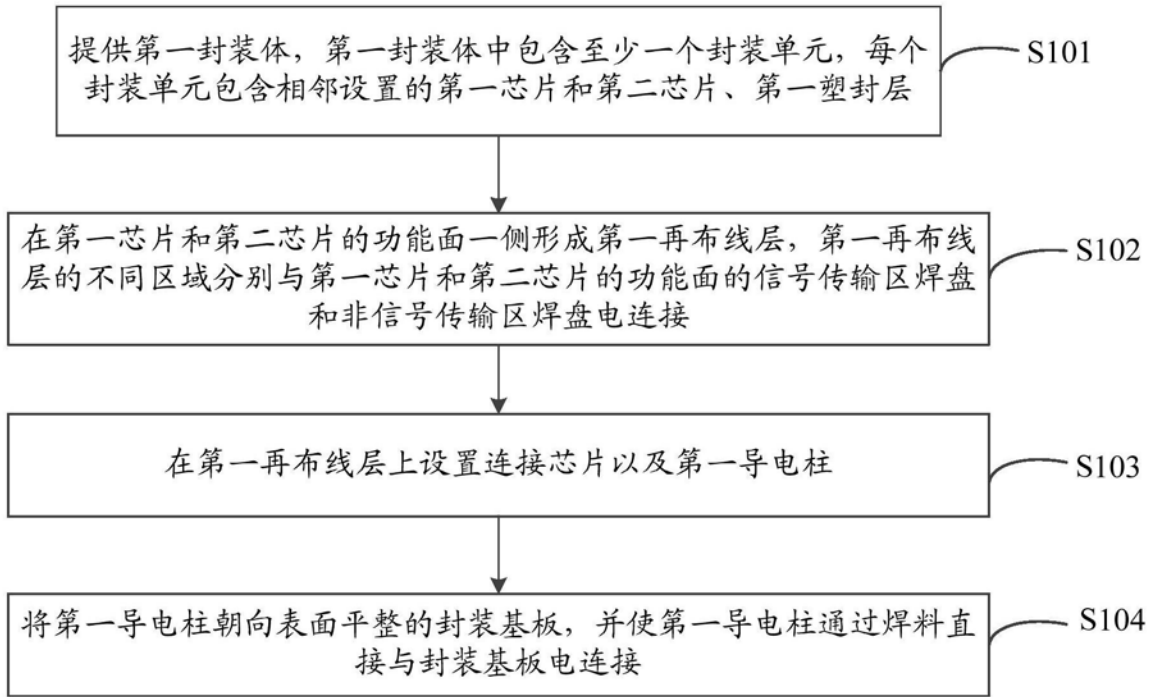


图1

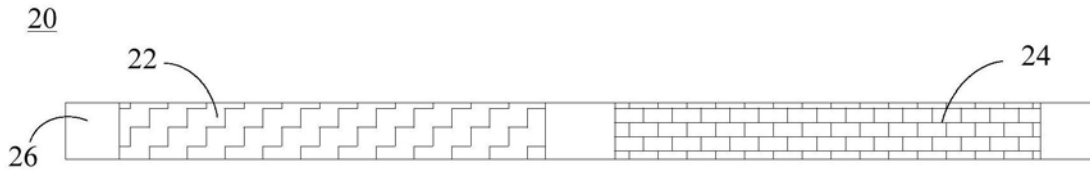


图2

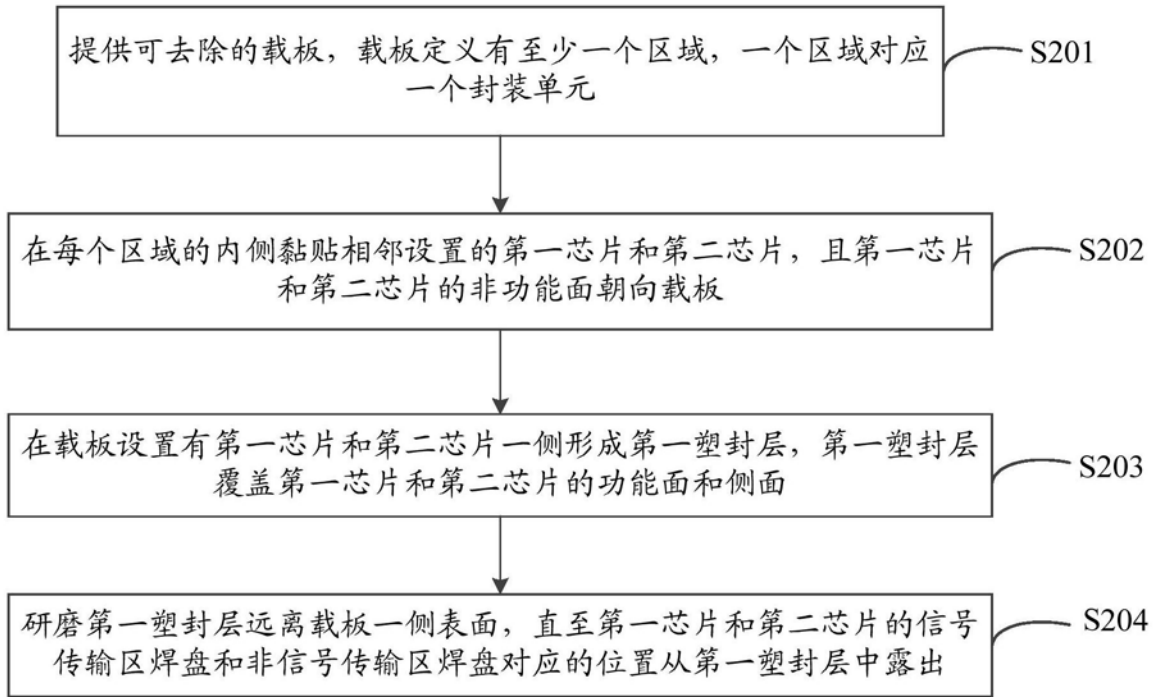


图3

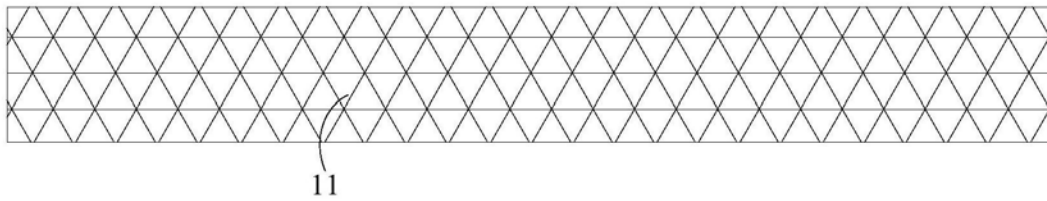


图4a

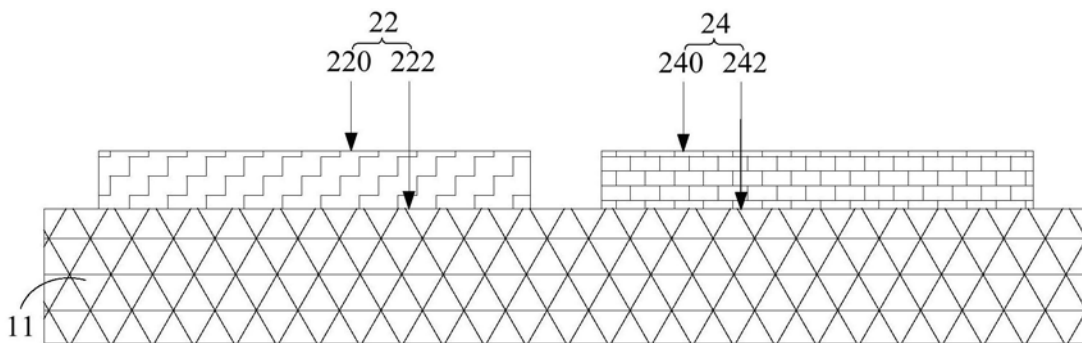


图4b

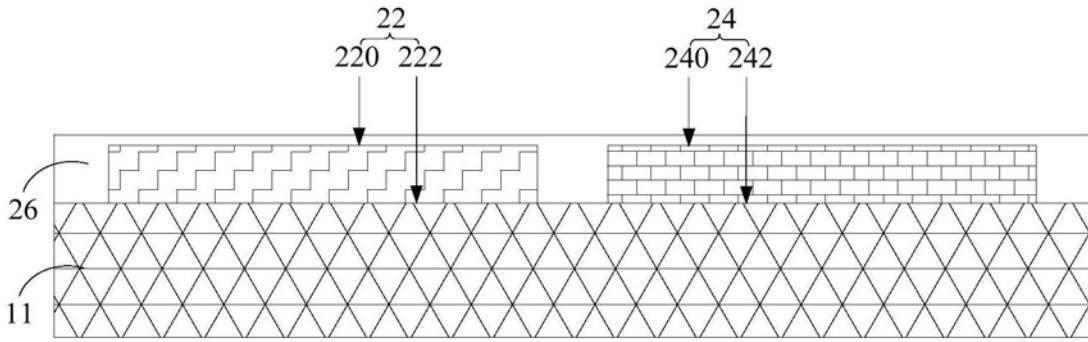


图4c

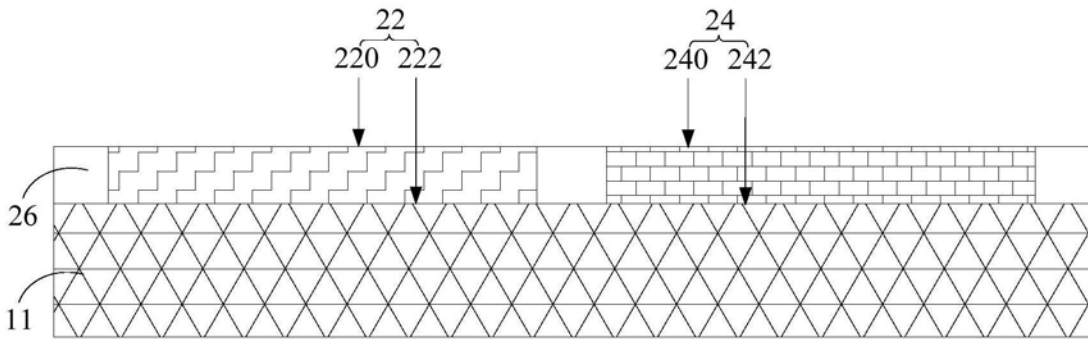


图4d

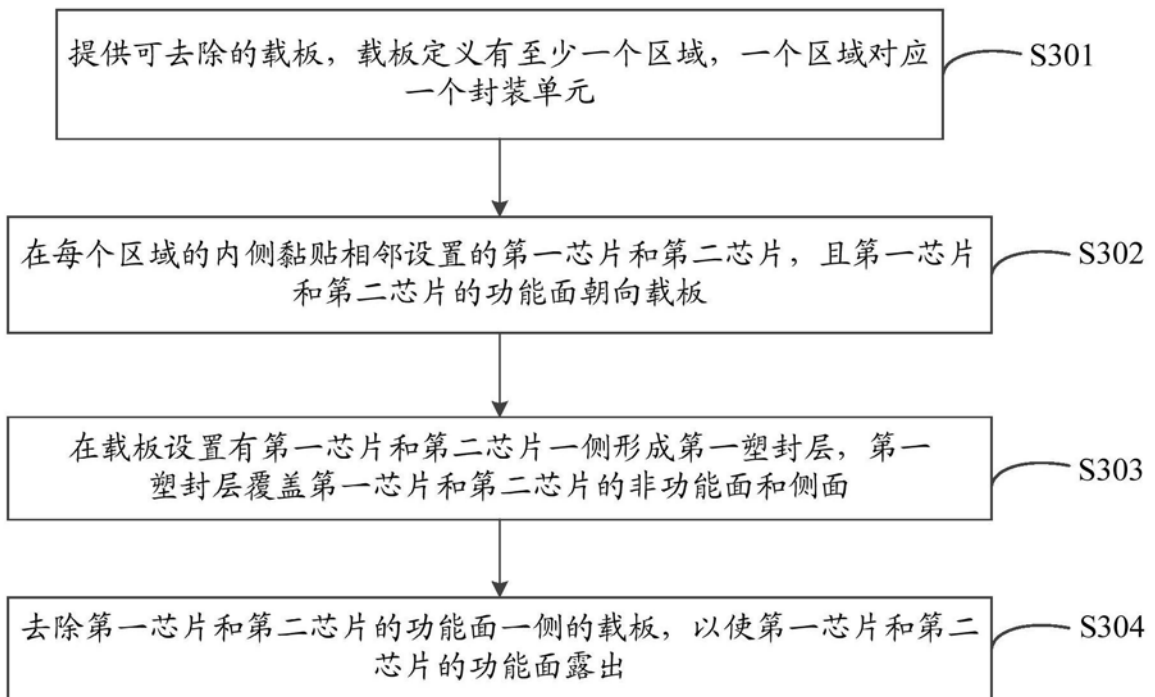


图5

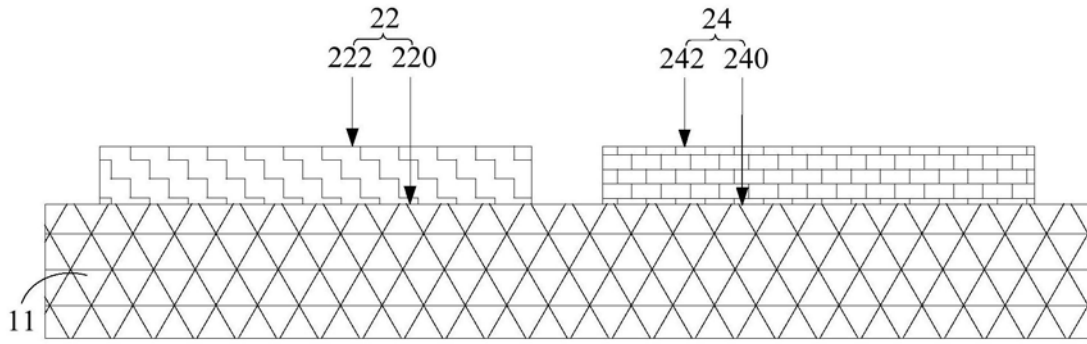


图6a

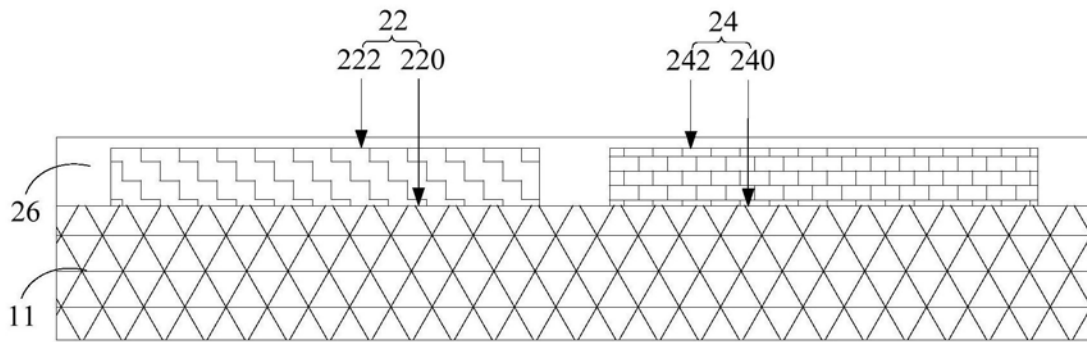


图6b

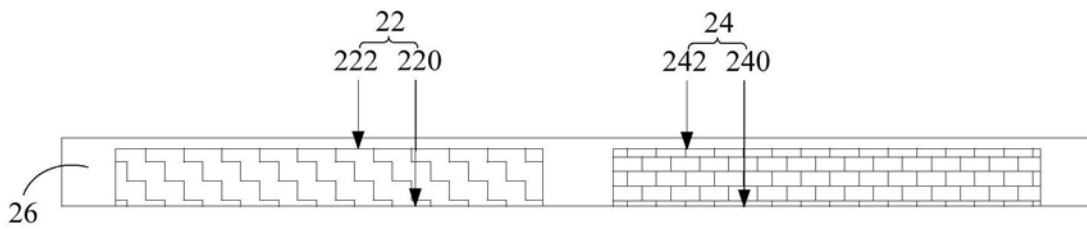


图6c

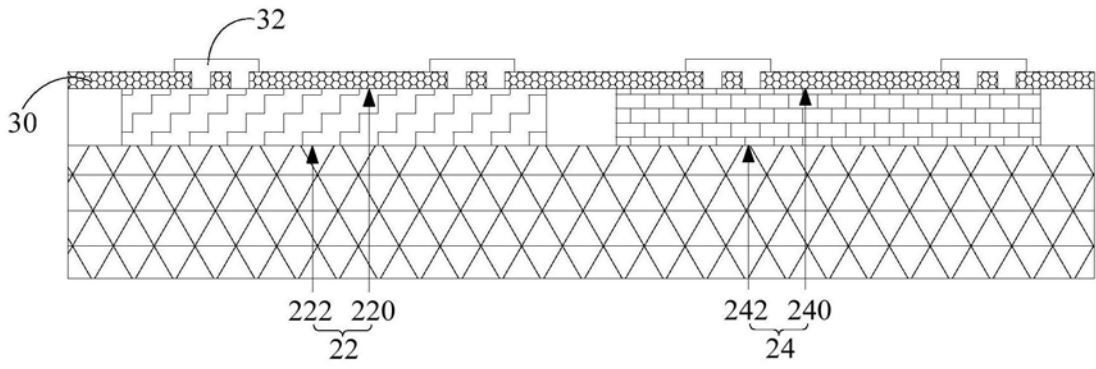


图7

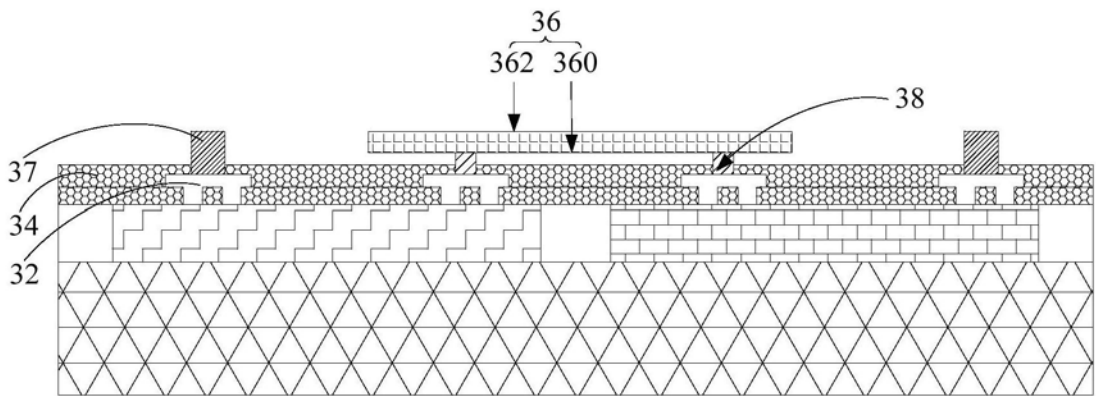


图8

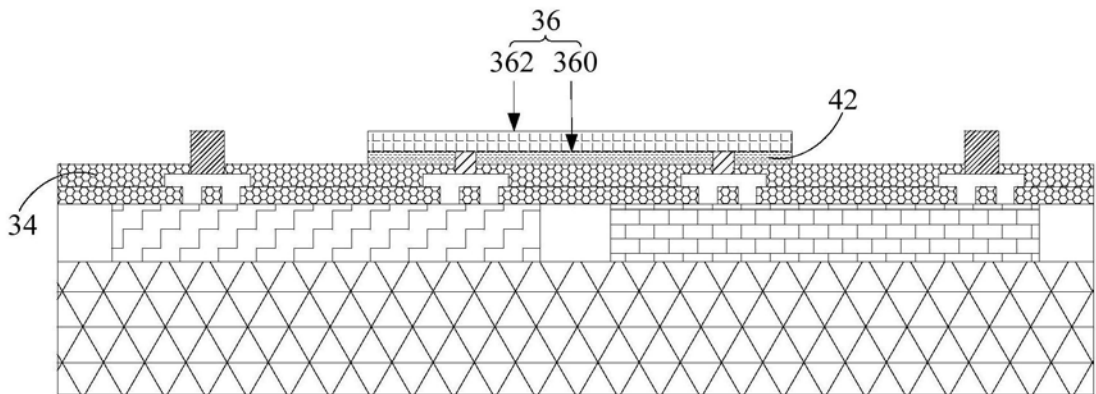


图9

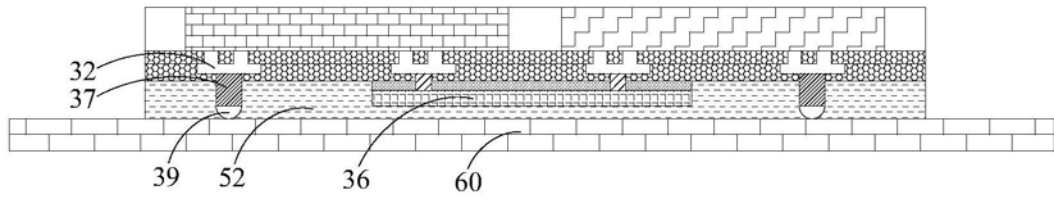


图10