



(12) 发明专利

(10) 授权公告号 CN 101946245 B

(45) 授权公告日 2014. 01. 08

(21) 申请号 200980105675. X

(51) Int. Cl.

(22) 申请日 2009. 02. 18

G06F 13/16(2006. 01)

(30) 优先权数据

G06F 15/16(2006. 01)

12/033, 684 2008. 02. 19 US

G11C 11/40(2006. 01)

G11C 16/00(2006. 01)

(85) PCT国际申请进入国家阶段日

2010. 08. 19

审查员 李青

(86) PCT国际申请的申请数据

PCT/US2009/001017 2009. 02. 18

(87) PCT国际申请的公布数据

W02009/105204 EN 2009. 08. 27

(73) 专利权人 美光科技公司

地址 美国爱达荷州

(72) 发明人 乔·M·杰德罗

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

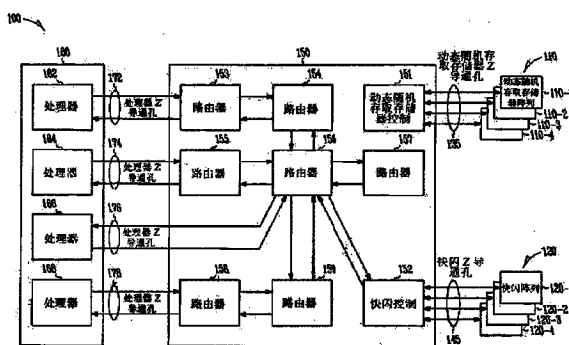
权利要求书3页 说明书7页 附图6页

(54) 发明名称

存储器装置与芯片上网络方法、设备及系统

(57) 摘要

本发明提供设备、方法及系统,例如,可包含处理器模块、安置于所述处理器模块上面或下面的接口装置、安置于所述接口装置上面或下面且包含多个存储器阵列的至少一个存储器装置的那些设备、方法及系统,所述接口装置包含多个路由元件,所述多个存储器阵列使用提供于导通孔中的多个互连件而耦合到所述接口装置,所述导通孔提供于所述存储器装置及所述接口装置中的至少一者中。另外,所述接口装置可使用所述多个路由元件及所述互连件将所述多个存储器阵列以通信方式耦合到所述处理器模块。



1. 一种存储器设备,其包括:
接口装置,其安置于处理器集成电路 IC 上,所述接口装置包含多个路由元件;
至少一个存储器裸片,其安置于所述接口装置上且包含第一多个存储器阵列,所述第一多个存储器阵列使用提供于所述接口装置及所述至少一个存储器裸片中的一者中的导通孔中的第一多个互连件而耦合到所述接口装置;
其中每个导通孔包含开口,所述开口经配置以允许所述第一多个互连件中的互连件完全地穿过至少一个所述接口装置或所述至少一个存储器裸片;且其中所述接口装置经配置以使用所述多个路由元件及所述互连件将所述第一多个存储器阵列以通信方式耦合到所述处理器集成电路 IC。
2. 根据权利要求 1 所述的设备,其中所述接口装置经配置以将存储器命令提供到所述存储器裸片。
3. 根据权利要求 1 所述的设备,其进一步包括包含第二多个存储器阵列的第二存储器裸片。
4. 根据权利要求 3 所述的设备,其中所述至少一个存储器裸片进一步包括提供于导通孔中以将所述第二多个存储器阵列耦合到所述接口装置的所述多个路由元件的第二多个互连件。
5. 根据权利要求 4 所述的设备,其中所述接口装置包含经配置以执行至少一个 DRAM 阵列的定序的电路。
6. 根据权利要求 1 所述的设备,其中所述接口装置经配置以执行所述设备的功率管理,且其中所述接口装置经配置以在足以防止错误位产生的电压下操作。
7. 根据权利要求 1 所述的设备,其中所述接口装置进一步包括输入 / 输出驱动器电路。
8. 根据权利要求 1 所述的设备,其中所述接口装置经配置以基于所述存储器裸片中使用的阵列的类型而实施刷新方案以控制错误率。
9. 根据权利要求 1 所述的设备,其中所述接口装置经配置以基于所述至少一个存储器裸片的信号特性而实施刷新方案以控制错误率。
10. 根据权利要求 3 所述的设备,其中所述接口装置经配置以在所述至少一个存储器裸片与所述处理器集成电路 IC 之间的数据通信期间执行错误校验及校正 (ECC)。
11. 根据权利要求 3 所述的设备,其中所述第二多个存储器阵列包括 NAND 快闪存储器阵列。
12. 根据权利要求 3 所述的设备,其中所述第二多个存储器阵列包括 NOR 快闪存储器阵列。
13. 根据权利要求 5 所述的设备,其中第一及第二多个贯通晶片互连件相对于包含所述至少一个存储器裸片的平面沿垂直方向延伸。
14. 根据权利要求 3 所述的设备,其中所述互连件包括形成耦合所述多个第一及第二存储器阵列与所述接口装置的数据总线的贯通晶片互连件。
15. 一种存储器系统,其包括:
处理器模块,其包含多个处理器;
接口装置,其安置于处理器模块上,所述接口装置包含多个路由元件及适于使多个互

连件通过的第一多个导通孔,其中所述第一多个导通孔中的导通孔包含开口,所述开口经配置以允许所述多个互连件中的第一互连件部分地或完全地穿过所述接口芯片;

第一存储器装置,其安置于所述接口装置上面或下面,所述第一存储器装置包含多个 DRAM 存储器阵列及适于使所述多个互连件中的至少一者通过以将所述多个 DRAM 存储器阵列耦合到所述接口装置的第二多个导通孔,其中所述第二多个导通孔中的导通孔包含开口,所述开口经配置以允许所述多个互连件中的第二互连件部分地或完全地穿过所述第一存储器装置;

第二存储器装置,其安置于所述接口装置上面或下面,所述第二存储器装置包含多个快闪存储器阵列及适于使所述多个互连件中的至少一者通过以将所述多个快闪存储器阵列耦合到所述接口装置的第三多个导通孔,其中所述第三多个导通孔中的导通孔包含开口,所述开口经配置以允许所述多个互连件中的第三互连件部分地或完全地穿过所述第二存储器装置;且

其中接口装置中的所述多个路由元件经配置以使用所述多个路由元件将所述多个 DRAM 存储器阵列及所述多个快闪存储器阵列以通信方式耦合到所述多个处理器。

16. 根据权利要求 15 所述的系统,其中所述接口装置安置于封装内的电路板上面。

17. 根据权利要求 15 所述的系统,其中所述第一及第二存储器装置是使用所述多个互连件的一部分而耦合到所述处理器模块。

18. 根据权利要求 15 所述的系统,其中所述多个路由元件是使用所述多个互连件而耦合到所述多个处理器。

19. 根据权利要求 15 所述的系统,其中所述多个路由元件是使用连接引脚而耦合到所述多个处理器。

20. 根据权利要求 15 所述的系统,其中所述处理器模块包括具有嵌入式处理器的衬底。

21. 根据权利要求 15 所述的系统,其中所述处理器模块包括 ASIC。

22. 根据权利要求 15 所述的系统,其中所述处理器模块包含单核处理器。

23. 根据权利要求 15 所述的系统,其中所述处理器模块包含多核处理器。

24. 一种操作存储器的方法,其包括:

接收数据,以在安置于处理器集成电路 IC 上的接口装置处提供来自所述处理器集成电路 IC 的所接收数据;

使用所述接口装置中的多个路由元件及多个互连件而将所述所接收的数据路由到安置于所述接口装置上面或下面的至少一个存储器裸片内的多个存储器阵列,所述多个互连件延伸穿过所述接口装置及 / 或至少一个存储器裸片中的开口;

使用所述互连件从所述多个存储器阵列检索数据,以提供所检索的数据,所述接口装置安置于所述至少一个存储器裸片上面或下面且耦合到所述至少一个存储器装置;及

使用所述多个路由元件及所述互连件将所述所检索的数据路由到所述处理器集成电路 IC。

25. 一种存储器设备,其包括:

接口装置,其耦合到包含多个处理器的处理器模块,所述接口装置包含多个路由元件且所述接口装置经配置以将包数据发送到所述多个处理器中的至少一者及从所述至少一

者接收包数据；

至少一个存储器装置,其包含使用延伸穿过所述接口装置及所述存储器装置中的至少一者中的开口的多个互连件而耦合到所述接口装置的多个存储器阵列,所述存储器装置经配置以将数据发送到所述接口装置及从所述接口装置接收数据;且

其中所述接口装置经配置以基于存储于所述包数据中的命令而使用所述多个路由元件将所述多个存储器阵列以通信方式耦合到所述多个处理器。

存储器装置与芯片上网络方法、设备及系统

[0001] 相关申请案

[0002] 本专利申请案主张 2008 年 2 月 19 日提出申请的第 12/033,684 号美国申请案的优先权权益,所述美国申请案以引用的方式并入本文中。

背景技术

[0003] 许多电子装置,例如个人计算机、工作站、计算机服务器、主机及其它计算机相关设备(包含打印机、扫描仪及硬盘驱动器)利用提供大数据存储能力同时试图招致低功率消耗的存储器装置。非常适合在前述装置中使用的一个类型的存储器装置为动态随机存取存储器(DRAM)。

[0004] 对存储器装置较大容量的需求继续增长而同时芯片大小限定限制了这些存储器装置的容量。个别存储器单元的组件所占用的表面积已稳定地减小,使得除减小栅极延迟之外可增加所述存储器单元在半导体衬底上的堆积密度。缩小装置表面积可导致降低制造良率,且增加用于连接 DRAM 装置内的众多库与其它装置的互连件的复杂性。另外,在小型化期间,互连件延迟不像栅极延迟一般按比例缩放。

附图说明

[0005] 下文参照以下图式详细地描述本发明的各种实施例。

[0006] 图 1 图解说明根据本发明各种实施例的存储器系统的框图。

[0007] 图 2 图解说明根据本发明一些实施例的存储器装置的俯视图。

[0008] 图 3 图解说明根据本发明一些实施例图 1 中所示的存储器系统的透视图。

[0009] 图 4 图解说明根据本发明一些实施例与图 1 中所示的系统类似的系统的横截面图。

[0010] 图 5A 图解说明根据本发明各种实施例图 1 中所示的存储器系统中使用的命令包的数据结构。

[0011] 图 5B 图解说明根据本发明各种实施例图 1 中所示的存储器系统中使用的数据包的数据结构。

[0012] 图 6 图解说明根据本发明一些实施例图 3 中所示系统的操作的方法的流程图。

[0013] 图 7 图解说明显示根据本发明一些实施例耦合到处理器模块的存储器系统的示意图。

具体实施方式

[0014] 存储器的表面积减小及随之发生的堆积密度增加可通过减小存储器阵列的水平特征大小来实现。在各种实施例中,此可通过形成显著三维存储器阵列以使所述存储器阵列除大体延伸跨越衬底表面以外还垂直延伸到衬底中及上面来实现。

[0015] 图 1 图解说明根据本发明各种实施例的存储器系统 100 的框图。存储器系统 100 包含接口装置 150,所述接口装置耦合到存储器装置 110、120 及处理器模块 160。在一些实

施例中,接口装置 150 包含彼此互连的路由元件 153、154、155、156、157、158 及 159。在一些实施例中,接口装置 150 还包含 DRAM 控制器 151 及快闪控制器 152。在一些实施例中,DRAM 控制器 151 包含非页模式控制器。在一些实施例中,DRAM 控制器 151 包含具备存储器命令总线优化的无序命令队列。在一些实施例中,DRAM 控制器 151 可为可编程的且含有内置自我测试 (BIST) 以帮助存储器测试。

[0016] 接口装置 150 是使用穿过存储器 Z 导通孔 135 及 145 提供的互连而分别耦合到存储器装置 110、120。存储器 Z 导通孔是提供于存储器装置 (110、120) 内的开口,其允许垂直互连件部分地或完全地穿过存储器装置 (110、120),从而允许坐落于位于所述存储器装置内的特定存储器阵列上面及下面的存储器阵列之间的连接性。在一些实施例中,存储器 Z 导通孔 135、145 内的互连件包含 128 位数据总线。在一些实施例中,处理模块 160 包含处理器 162、164、166 及 168,所述处理器是使用处理器 Z 导通孔 172、174、176 及 178 而分别耦合到路由元件 153、155、156 及 158。在一些实施例中,处理模块 160 包含通用处理器或专用集成电路 (ASIC)。在一些实施例中,处理模块 160 可包括单核处理器及 / 或多核处理器。

[0017] 在一些实施例中,存储器装置 110 包含存储器阵列 110-1、110-2、110-3 及 110-4,每一存储器阵列具有在逻辑上配置成若干行及若干列的存储器单元。类似地,在一些实施例中,存储器装置 120 包含存储器阵列 120-1、120-2、120-3 及 120-4,每一存储器阵列具有在逻辑上配置成若干行及若干列的存储器单元。接口装置 150 将存储器命令提供到存储器装置 110 及 120 内的选定存储器地址。在一些实施例中,存储器装置 110、120 包含动态随机存取存储器 (DRAM) 装置。在一些实施例中,接口装置 150 包含经配置以执行 DRAM 定序的电路。

[0018] 在一些实施例中,接口装置 150 经配置以基于存储器装置 110 及 120 中使用的 DRAM 的类型而实施刷新方案以控制错误率。在自动刷新序列作用于存储器地址上期间,从命令解码器供应用于读取及重写的启动脉冲以及指示原始状态的预充电脉冲,且向所述 DRAM 施加时钟信号。为避免数据丢失,必须定期地读取 DRAM (动态随机存取存储器) 的存储器单元且然后将其内容重写,此称作存储器单元的“刷新”。在一些实施例中,接口装置 150 经配置以基于存储器装置 110 及 120 中每一者的特定信号特性而操作刷新方案以控制错误率。

[0019] 在一些实施例中,接口装置 150 经配置以对包含于存储器装置 110 及 120 内的多个存储器阵列操作不良单元恢复方案。在一些实施例中,接口装置 150 为可编程的且经配置以基于邻近于其安置的存储器裸片的类型而操作。在一些实施例中,接口装置 150 经配置以对多个存储器阵列 110-1、110-2、110-3 及 110-4 操作不良单元恢复方案。在一些实施例中,接口装置 150 包含模式产生器,所述模式产生器经配置以产生用于存储器装置 110 及 120 的测试及诊断分析的测试模式信号。

[0020] 在一些实施例中,接口装置 150 充当互连装置及 I/O 驱动器。在一些实施例中,接口装置 150 包含 DRAM 裸片内存在的传统功能块,例如 I/O 垫、延迟锁定回路 (DLL) 电路及提供读取及写入指针、存储及控制逻辑的先进先出 (FIFO) 电路。将这些功能块从所述 DRAM 裸片转移到接口装置 150 中允许所述 DRAM 的存储面积的增加。

[0021] 在一些实施例中,接口装置 150 借助例如图 3 中所示的贯通晶片互连件 (TWI) 的独立互连件而耦合到 32 个不同的存储器装置 (每一存储器装置具有数个存储器阵列;可能

有其它数目个装置)。在一些实施例中,接口装置 150 耦合到经配置以基于最终用户应用而提供不同类型的互连的一组 TWI。在一些实施例中,所述组 TWI 321 穿过提供于存储器阵列 110-1 及 110-2 内的存储器 Z 导通孔 322、323。在一些实施例中,所述 TWI 可经配置以提供不同类型的 DRAM 与接口装置 150 之间的连接性。

[0022] 在一些实施例中,接口装置 150 经配置以在接口装置 150 与所述 DRAM 之间发射及接收测试模式信号以计算每一互连件的最优时序级。在一些实施例中,接口装置 150 可具有实现外部系统互连的任一数目(例如,8、16、32、64、128 等)个 I/O 垫。在一些实施例中,在接口装置 150 的 I/O 端子与 DRAM 之间发射并接收测试模式信号,且执行训练算法以计算每一输入/输出连接的最优时序。

[0023] 在一些实施例中,接口装置 150 经配置以在存储器装置 110、120 与处理器模块 160 之间的数据通信期间执行错误校验及校正(ECC)。

[0024] 在一些实施例中,接口装置 150 内的 DRAM 控制器 151 及快闪控制器 152 经配置以通过在 128 位数据总线上提供信号来控制存储器装置 110、120。在一些实施例中,提供于 Z 导通孔 135 及 145 内的数据总线可具有不同于 128 个位的宽度。在一些实施例中,提供到存储器装置 110、120 的存储器命令包含导致以下操作的命令:使用穿过 Z 导通孔 135、145 的 128 位数据总线将数据写入到存储器装置 110、120 内的存储器单元的编程操作、从存储器装置 110、120 内的存储器单元读取数据的读取操作及从存储器装置 110、120 内的存储器单元的全部或一部分擦除数据的擦除操作。

[0025] 在一些实施例中,存储器装置 110、120 包含快闪存储器装置。在一些实施例中,存储器装置 110、120 中的存储器阵列内的存储器单元可布置成 NAND 快闪存储器布置。在一些实施例中,存储器装置 110、120 中的存储器阵列内的存储器单元可包含布置成 NOR 快闪存储器布置的快闪存储器单元。

[0026] 在一些实施例中,存储器装置 110、120、接口装置 150 及处理器模块 160 包含于相同电子封装中。在一些实施例中,处理器模块 160 驻存于与存储器装置 110、120 及接口装置 150 的封装不同的封装中。

[0027] 在一些实施例中,存储器装置 110、120 堆叠于接口装置 150 的一个侧上且处理器模块 160 以三维方式定位于接口装置 150 的另一侧上。在一些实施例中,所述存储器阵列可借助标准的可变宽度连接而与接口装置 150 介接。此将允许不同类型/大小的存储器阵列连接到接口装置 150。在一些实施例中,所述接口装置的每一侧可具有规则的导通孔阵列。在一些实施例中,一群组导通孔可含有一存储器通道,所述存储器通道可用于耦合到处理器模块 160。在一些实施例中,用户可针对给定处理器模块设计需要多少个存储器通道。

[0028] 图 2 图解说明根据本发明一些实施例的存储器系统 200 的俯视图。存储器系统 200(其可与图 1 的存储器系统 100 类似或相同)包含具有安置于其上的存储器装置 220、230、240 及 250 的衬底 210。在一些实施例中,存储器装置 220、230、240 及 250 中的每一者可包含多个存储器阵列 260。在一些实施例中,存储器装置 220、230、240 及 250 中的每一者包含易失性存储器装置、非易失性存储器装置或两者的组合。举例来说,存储器装置 220、230、240 及 250 可包含 DRAM 装置、静态随机存取存储器(SRAM)装置、快闪存储器装置或这些存储器装置的组合。在一些实施例中,在存储器装置 220、230、240 及 250 周围提供局部导通孔 270,所述导通孔提供供贯通晶片互连件耦合可安置于衬底 260 上面及下面的其它

装置（例如图 1 中所示的接口装置 150、处理器模块 160）的路径。

[0029] 图 3 图解说明根据本发明一些实施例与图 1 中所示的存储器系统类似的存储器系统 300 的透视图。存储器系统 300 包含具有焊料球 344 矩阵的衬底 310、接口装置 150、第一存储器阵列 110-1、第二存储器阵列 110-2、第三存储器阵列 120-1 及第四存储器阵列 120-2。在一些实施例中，第一存储器阵列 110-1 安置于第二存储器阵列 110-2 上，且第二存储器阵列 110-2 安置于接口装置 150 上。在一些实施例中，第三存储器阵列 120-1 安置于第四存储器阵列 120-2 上，且第四存储器阵列 120-2 安置于接口装置 150 上。第一存储器阵列 110-1 耦合到贯通晶片互连件 (TWI) 321，所述贯通晶片互连件又耦合到接口装置 150。在一些实施例中，TWI 321 穿过第二存储器阵列 110-2 内的一组导通孔 322 以与接口装置 150 连接。在一些实施例中，TWI 321 穿过接口装置 150 内的一组导通孔 323 以连接到衬底 310 内的装置。在一些实施例中，第二存储器阵列 110-2 使用连接引脚 326 而耦合到接口装置 150。在一些实施例中，连接引脚 330 以通信方式耦合存储器阵列 120-2 与接口装置 150 且 TWI 325 以通信方式耦合存储器阵列 120-1 与接口装置 150。在一些实施例中，连接引脚 332 允许嵌入于接口装置 150 内的路由元件 152 到 158 与嵌入于衬底 160 内的其它装置（例如处理器 162 到 168）之间的通信。在一些实施例中，衬底 1600 可包含具有以通信方式耦合到接口装置 150 的电路的电路板。

[0030] 在一些实施例中，存储器系统 300 可包含于计算机（例如，桌上型计算机、膝上型计算机、手持式装置、服务器、Web 器具、路由元件等）、无线通信装置（例如，蜂窝式电话、无绳电话、寻呼机、个人数字助理等）、计算机相关外围设备（例如，打印机、扫描仪、监视器等）、娱乐装置（例如，电视、无线电设备、立体声设备、磁带播放器、光盘播放器、DVD 播放器、盒式录像机、DVD 记录器、摄录像机、数码相机、MP3（运动图像专家组，音频层 3）播放器、视频游戏、表等及类似装置中。

[0031] 图 4 图解说明根据本发明一些实施例与图 1 中所示的系统类似的系统 400 的横截面图。系统 400 包含：封装 402，其具有封装 402 内的接口装置 150；处理器模块 406，其使用焊料球 408 矩阵而附接到封装 402；及存储器装置 410。在一些实施例中，存储器装置 410 包含存储器阵列 410-1、410-2、存储器缓冲器 430 及将存储器阵列 410-1、410-2 连接到存储器缓冲器 430 的 TWI 412-1、412-2。在一些实施例中，处理器模块 406 包含处理器 162 到 168。在一些实施例中，存储器装置 410 包含与 110-1、110-2、110-3 及 110-4 类似的存储器阵列。在一些实施例中，存储器装置 410 包含与 120-1、120-2、120-3 及 120-4 类似的存储器阵列。

[0032] 在一些实施例中，接口装置 150 安置于处理器 406 上且存储器装置 410 安置于接口装置 150 上。在一些实施例中，封装 402 可包含电路板 403，且接口装置 150 安置于电路板 403 上，且存储器装置 410 安置于接口装置 150 上。在一些实施例中，存储器装置 410 使用窄高速总线 420 而以通信方式耦合到处理器 406。在一些实施例中，所述窄高速总线经配置而以 128GB/s 传送数据。在一些实施例中，窄高速总线 420 实现具有用于读取数据的 64GB/s 及用于写入数据的 64GB/s 的全双工通信。

[0033] 在一些实施例中，封装 402 附接到焊料球 404 矩阵，所述焊料球矩阵使系统 400 能够安装于具有其它装置的电路板上。在一些实施例中，存储器装置 410 附接到用于将存储器装置 410 以通信方式耦合到封装 402 的焊料球 414 矩阵。

[0034] 在一些实施例中,接口装置 150 充当互连装置及 I/O 驱动器。在一些实施例中,接口装置 150 包含 DRAM 裸片内存在的传统功能块,例如 I/O 垫、延迟锁定回路 (DLL) 电路及提供读取及写入指针、存储及控制逻辑的先进先出 (FIFO) 电路。将所属领域的技术人员熟知的这些功能块从所述 DRAM 裸片转移到接口装置 150 中可允许所述 DRAM 裸片的存储面积的增加。

[0035] 在一些实施例中,接口装置 150 借助独立互连件(例如图 4 中所示的 TWI)耦合到 32 个不同的存储器装置(每一存储器装置具有数个存储器阵列;可能有其它数目个装置)。在一些实施例中,接口装置 150 耦合到经配置以基于最终用户应用而提供不同类型的互连的一组 TWI。在一些实施例中,所述 TWI 可经配置以提供独立群组 DRAM 与接口装置 150 之间的连接性。

[0036] 在一些实施例中,接口装置 150 经配置以在接口装置 150 与所述 DRAM 之间发射并接收测试模式信号以计算每一互连件的最优时序级。在一些实施例中,接口装置 150 可具有实现外部系统互连的任一数目(例如,8、16、32、64、128 等)个 I/O 垫。在一些实施例中,在接口装置 150 的 I/O 端子与 DRAM 之间发射并接收测试模式信号,且执行训练算法以计算每一输入/输出连接的最优时序。

[0037] 在一些实施例中,接口装置 150 经配置以执行系统 400 内的功率管理,其中接口装置 150 是在足以防止在接口装置 150 与存储器装置 410 之间的通信中产生错误位的电压下操作的。

[0038] 在一些实施例中,接口装置 150 经配置以在存储器装置 410 与处理器模块 406 之间的数据通信期间执行错误检测及/或校正。在一些实施例中,接口装置 150 经配置以通过在预先确定的某一电压下操作而执行系统 400 的功率管理,使得在所述电压下不产生错误位。

[0039] 在一些实施例中,接口装置 150 包含诊断及内置自我测试 (BIST) 模块 152。在一些实施例中,所述 BIST 模块耦合到维护总线 154,所述维护总线耦合于接口装置 150 与存储器装置 410 之间。在一些实施例中,所述 BIST 模块经配置以通过维护总线 154 将从用户接收的命令信号及数据发送到存储器装置 410。在一些实施例中,维护总线 154 也用于接收诊断测试的结果。在一些实施例中,诊断及 BIST 模块 152 产生控制信号且转发用户供应的命令及数据信号以实施用户的命令。举例来说,诊断及 BIST 模块 152 可调用模式产生器程序或硬件模块以根据用户的命令及数据开始产生测试模式,且还将用户提供的存储器命令转发到定序器 156 以供转换成控制信号,所述控制信号将施加到存储器装置 410 以用于实施对存储器装置 410 的诊断操作。

[0040] 图 5A 图解说明根据本发明各种实施例图 1 中所示的存储器系统中使用的命令包的数据结构 500。在一些实施例中,用户可使用“读取”及“写入”包介接到存储器系统 110 及 120。换句话说,在接口装置 150 后面虚拟化存储器装置(举例来说,DRAM)的实际操作。在一些实施例中,使用单独的读取及写入通道(上行链路及下行链路)来发送存储器命令及数据。在一些实施例中,数据结构 500 含有各种字段,所述字段包含:请求 ID 数位 502、有效指示符数位 504、标头数位 506、标尾数位 508、命令数位 510、地址数位 512 及 CRC(循环冗余码)/ECC(错误校正码)数位 514。在一些实施例中,请求 ID 数位 502 用于识别发送命令数位 510 的发送器的地址。在一些实施例中,所述请求 ID 数位用于重新排序返回到所述发送器的数据。在一些实施例中,有效指示符数位 504 用于指示被转移的数据的有效

性。在一些实施例中,标头数位 506 用于识别数据块转移的开始且标尾数位 508 用于识别数据块转移的结束。在一些实施例中,所述命令位用于读取、写入或配置存储器装置 110、120。在一些实施例中,地址数位 512 含有用于将数据路由到存储器装置 110、120 内的存储器位置的 X、Y 地址,其中 X 将指示发送实体地址且 Y 将指示接收实体地址。在一些实施例中,CRC/ECC 数位用于提供错误检测及校正。

[0041] 图 5B 图解说明根据本发明各种实施例图 1 中所示的存储器系统中使用的数据包的数据结构 520。在一些实施例中,数据结构 520 含有各种字段,所述字段包含:请求 ID 数位 522、有效指示符数位 524、标头数位 526、标尾数位 528、数据数位 530 及 CRC(循环冗余码)/ECC(错误校正码)数位 532。在一些实施例中,请求 ID 数位 522 用于识别发送数据数位 530 的发送器的地址。在一些实施例中,有效指示符数位 504 用于指示被转移的数据数位 530 的有效性。在一些实施例中,标头数位 526 用于识别数据块转移的开始且标尾数位 528 用于识别数据块转移的结束。在一些实施例中,数据数位字段 530 所表示的数据宽度可编程到 32、64、128 个数位中的任一者。在一些实施例中,CRC/ECC 数位用于提供错误检测及校正。

[0042] 在一些实施例中,可基于路由器元件以通信方式耦合到的存储器装置的存储器范围来编程所述路由器元件。在一些实施例中,第一包在存储器系统与接口装置之间建立连接直到“结束/标尾”包抵达为止。

[0043] 图 6 图解说明根据本发明一些实施例图 1 及图 4 中所示系统的操作的方法 600 的流程图。在 602 处,方法 600 包含在处理器模块 160 中的多个处理器与接口装置 150 中的多个路由元件之间发送及接收数据。在 604 处,方法 600 包含使用接口装置 150 中的多个路由元件将数据路由到至少一个存储器装置内的多个存储器阵列。在 606 处,方法 600 包含将数据存储于所述多个存储器阵列中。在一些实施例中,在 606 处,所述方法包含将所述数据存储于 DRAM 阵列中。在一些实施例中,在 606 处,所述方法包含将所述数据存储于 NAND 快闪阵列中。在一些实施例中,在 606 处,所述方法包含将所述数据存储于 NOR 快闪阵列中。在 608 处,方法 600 包含使用提供于接口装置及/或至少一个存储器装置的导通孔中的多个贯通晶片互连件从所述多个存储器阵列中检索数据,所述接口装置位于至少一个存储器装置上面或下面且耦合到所述至少一个存储器装置。在 610 处,方法 600 包含使用所述多个路由元件及互连件将所检索的数据路由到所述处理器模块中的多个处理器。在一些实施例中,所述多个处理器经由高速芯片到芯片互连件 420 而与存储器装置 110、120 通信。在一些实施例中,存储器装置 110、120 还可使用类似高速芯片到芯片互连件而彼此耦合。在一些实施例中,所述高速芯片到芯片互连件经配置而以 128GB/s 传送数据。在一些实施例中,高速芯片到芯片互连件 420 实现具有用于读取数据的 64GB/s 及用于写入数据的 64GB/s 的全双工通信。

[0044] 在一些实施例中,接口装置 150 经配置以基于存储于在存储器装置 110、120 与多个处理器 162 到 168 之间交换的包数据内的命令而使用多个路由装置 151 到 159 将存储器装置 110、120 内的多个存储器阵列以通信方式耦合到多个处理器 162 到 168。

[0045] 图 7 图解说明显示根据本发明一些实施例耦合到处理器模块的存储器系统的示意图 700。图 7 包含系统 710,所述系统包含与图 7 中所示的处理器模块及存储器装置类似的多个处理器模块 406 及多个存储器装置 410。在一些实施例中,邻近于处理器模块 406

的存储器装置 410 使用窄高速总线 420 而耦合到最靠近其的处理器模块 406。在一些实施例中,图 7 中所示的存储器装置 410 可呈立方体结构且使用窄高速总线 420 而耦合到四个邻近的立方体存储器装置。在一些实施例中,窄高速总线 420 经配置而以 128GB/s 传送数据。在一些实施例中,窄高速总线 420 实现具有用于读取数据的 64GB/s 及用于写入数据的 64GB/s 的全双工通信。

[0046] 除实现与常规设计相比更高的存储器阵列密度以外,本文所揭示的设备、系统及方法还可实现在存取存储器阵列时增加的速度及吞吐量。因此,在一些实施例中,还减小了 DRAM 裸片大小。另外,使用贯通晶片互连件允许较大数目个互连件,所述互连件横跨较短距离且因此改进由所述互连件建立的每一连接的速度。此外,本文所揭示的设备、系统及方法实现耦合到存储器阵列的处理器,所述存储器阵列因在设计上改进了堆积密度而能够以减少的等待时间处置更多带宽。

[0047] 形成本文一部分的附图通过图解说明而非限定的方式显示其中可实践本发明标的物的具体实施例。所图解说明的实施例经足够详细地描述以使所属领域的技术人员者能够实践本文所揭示的教导内容。可使用其它实施例且可从所述实施例导出其它实施例,使得可在不背离本发明范围的情况下做出结构性及逻辑替代及改变。因此,不应将此详细描述视为具有限定性意义,且各种实施例的范围仅由所附权利要求书及此权利要求书所被授权的等效内容的完全范围界定。

[0048] 尽管本文已图解说明并描述了若干具体实施例,但旨在达成相同目的任一配置均可替代所示的具体实施例。本发明打算涵盖各种实施例的任一及所有改编或变化。在研习以上描述后,所属领域的技术人员将明了以上实施例的组合及本文未具体描述的其它实施例。

[0049] 提供本发明的摘要以符合 37 C.F.R. § 1.72(b),其需要将允许读者快速明确技术揭示内容的本质的摘要。提交本摘要是基于以下理解:其并非用于解释或限定权利要求书的范围或含义。在前述详细描述中,出于简化本发明的目的,将各种特征一起组合于单个实施例中。不应将本发明的此方法解释为需要比每一技术方案中所明确列举的特征更多的特征。而是,发明性标的物可存在于少于单个所揭示实施例的所有特征中。因此,以上权利要求书特此并入到详细描述中,其中每一技术方案自身作为单独实施例。

[0050] 方法、设备及系统已揭示可增加给定水平空间内的存储器容量的存储器装置连接方案。各种实施例包含衬底、安置于所述衬底上的接口装置、安置于所述接口装置上具有多个存储器阵列的第一存储器裸片,其中所述第一存储器裸片耦合到多个贯通晶片互连件(TWI)。各种实施例包含安置于所述第一存储器裸片上具有多个存储器阵列的第二存储器裸片,所述第二存储器裸片包含多个导通孔,其中所述多个导通孔经配置以允许所述多个 TWI 穿过所述第二存储器裸片。所述第二存储器裸片又可耦合到第二多个 TWI,且所述接口装置可用于通过使用所述第一及第二多个 TWI 以通信方式耦合所述第一存储器裸片及所述第二存储器裸片。另外,所述接口装置包含多个路由元件,所述路由元件使用所述多个贯通晶片互连件以通信方式耦合所述第一存储器裸片及第二存储器裸片与多个处理器。

[0051] 一个或一个以上实施例提供用于互连存储器装置的经改进机制。此外,本文所描述的各种实施例可改进存储器装置内一些存储器阵列的密度,且因此减小存储器装置的大小。

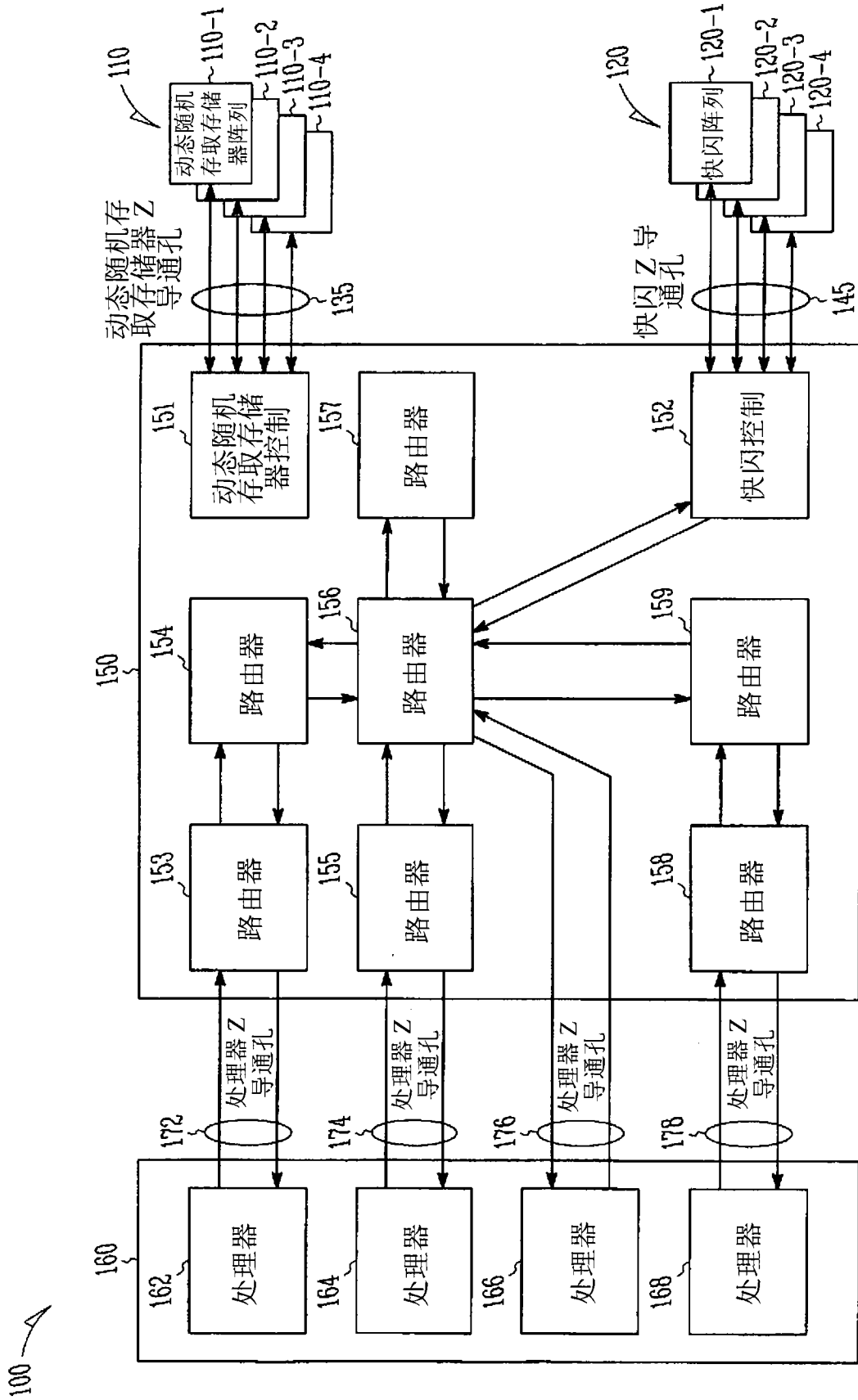


图 1

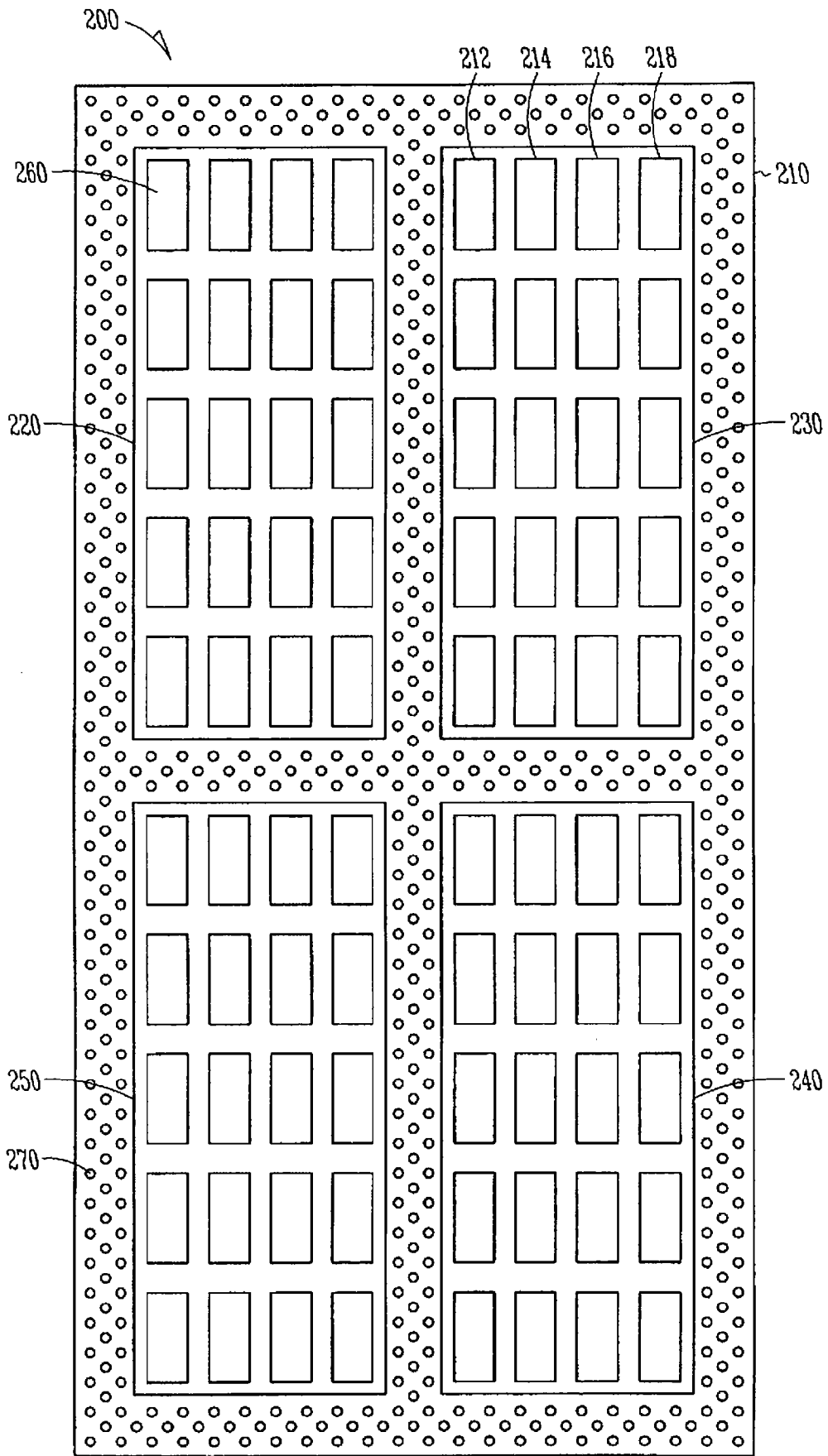


图 2

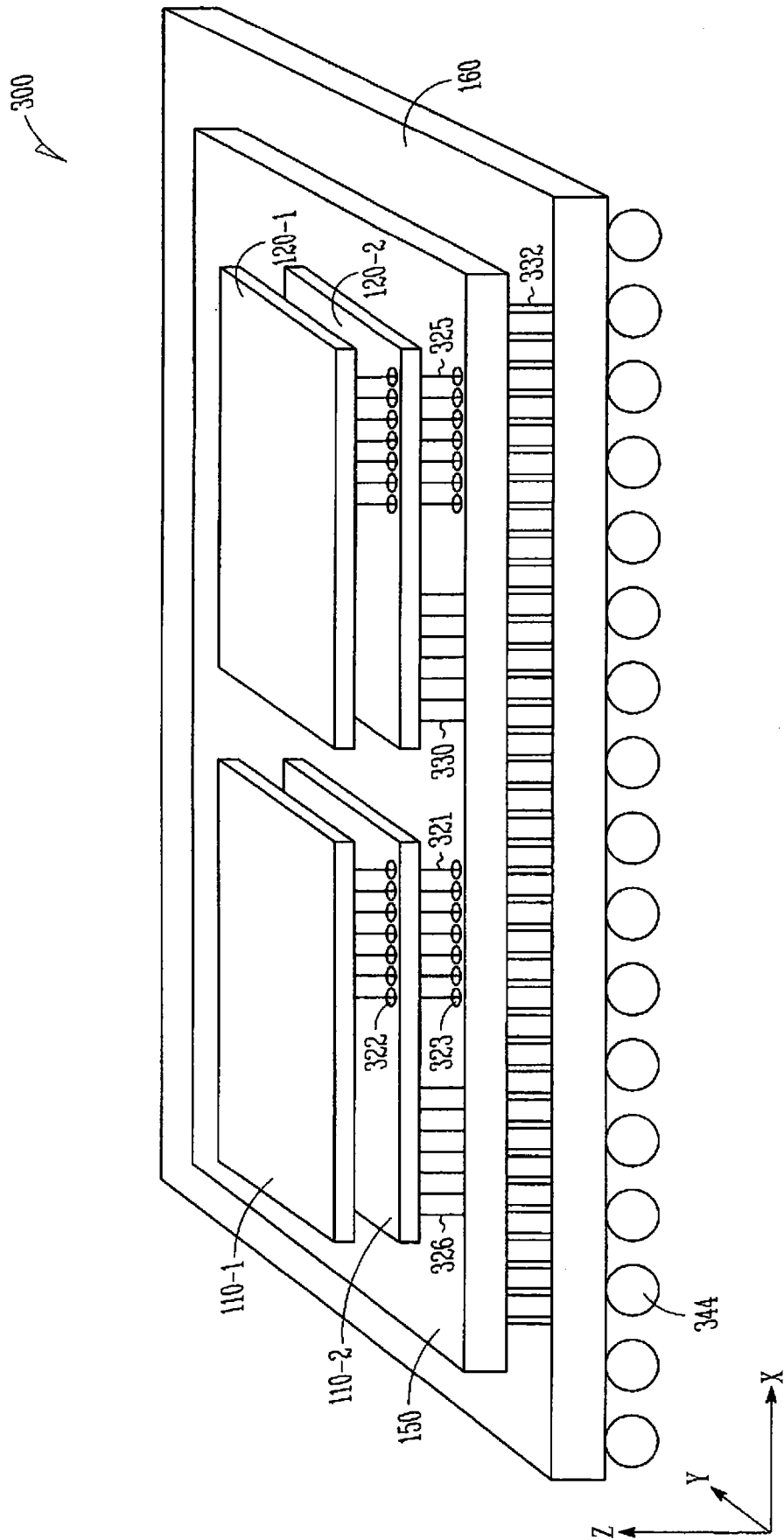


图 3

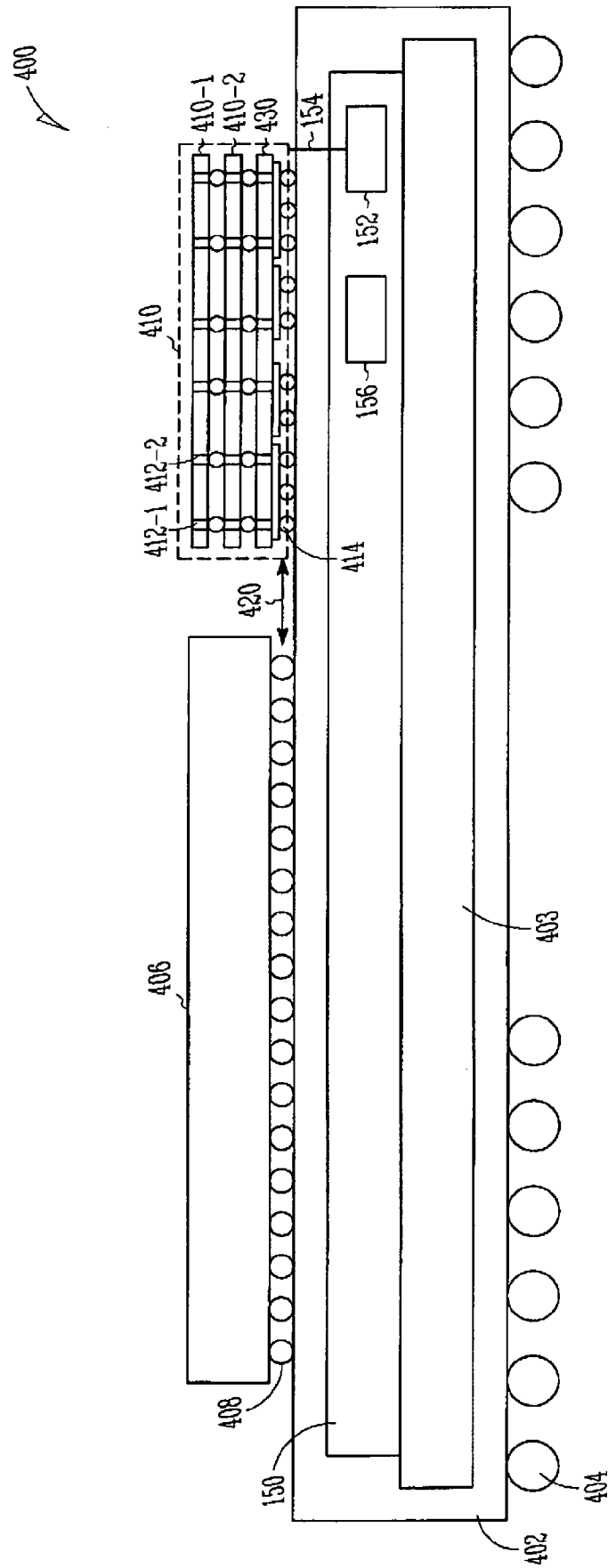


图 4

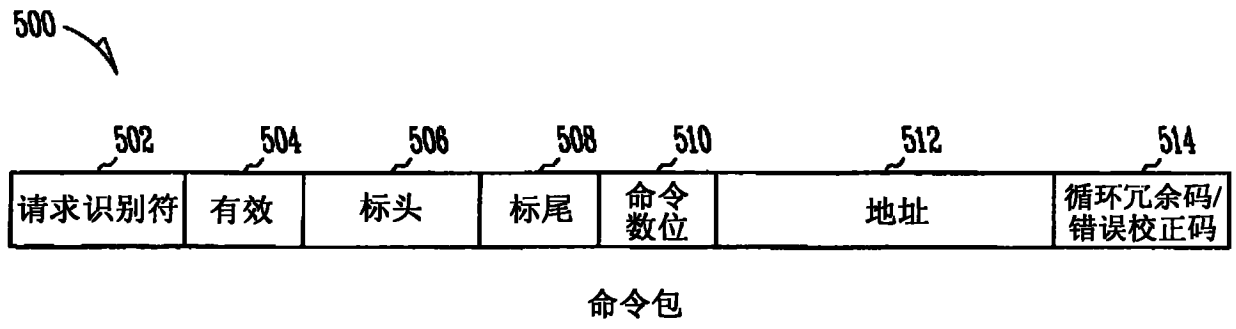


图 5A

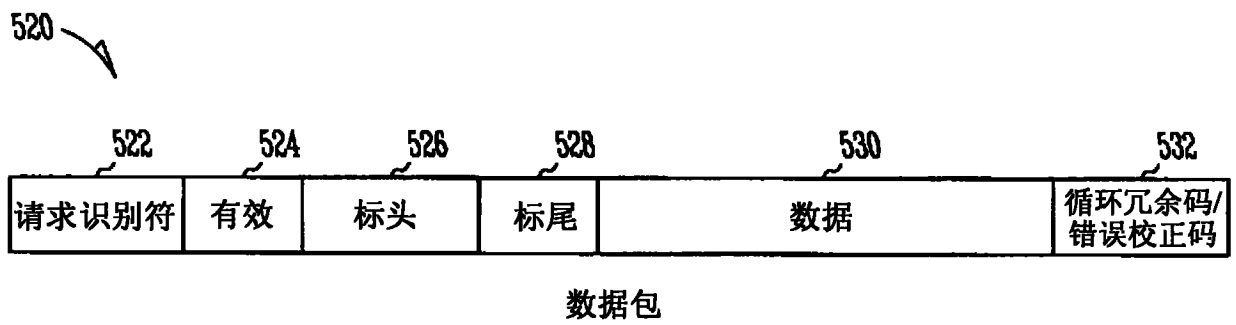


图 5B

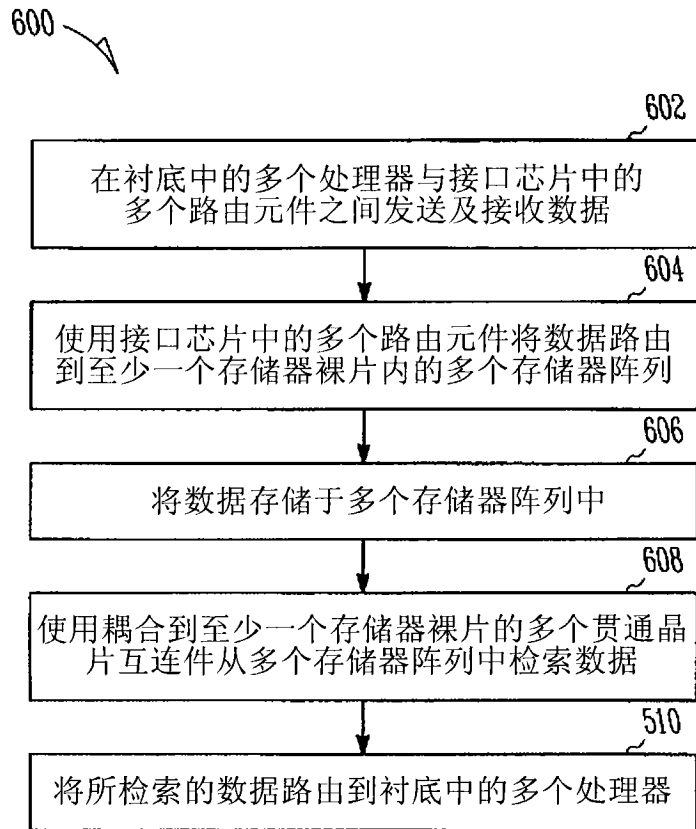


图 6

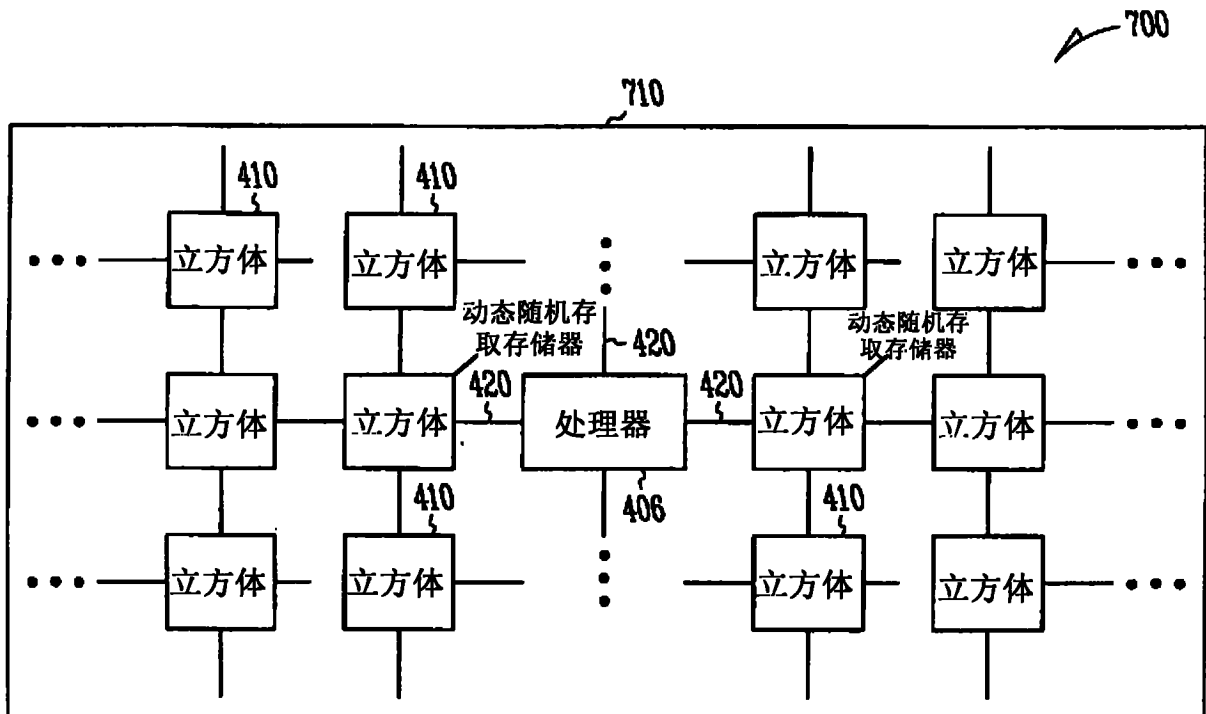


图 7