



(12) 发明专利

(10) 授权公告号 CN 102812547 B

(45) 授权公告日 2015.09.09

(21) 申请号 201180014594.6

H01L 21/8247(2006.01)

(22) 申请日 2011.03.01

H01L 27/10(2006.01)

(30) 优先权数据

H01L 27/108(2006.01)

2010-064900 2010.03.19 JP

H01L 27/115(2006.01)

(85) PCT国际申请进入国家阶段日

H01L 29/786(2006.01)

2012.09.18

H01L 29/788(2006.01)

H01L 29/792(2006.01)

(86) PCT国际申请的申请数据

(56) 对比文件

PCT/JP2011/055169 2011.03.01

US 5940705 A, 1999.08.17, 说明书第4栏第20行至第5栏第24行, 图1.

(87) PCT国际申请的公布数据

US 2010/0032668 A1, 2010.02.11, 说明书第141-151段, 图6.

W02011/114919 EN 2011.09.22

(73) 专利权人 株式会社半导体能源研究所

JP 特开 2001-53164 A, 2001.02.23, 说明书第35-41段, 图4.

地址 日本神奈川县厚木市

(72) 发明人 加藤清 长塚修平

审查员 潘元真

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 杨美灵 朱海煜

(51) Int. Cl.

H01L 21/8242(2006.01)

G23C 14/08(2006.01)

G11C 11/405(2006.01)

H01L 21/02(2006.01)

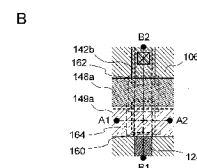
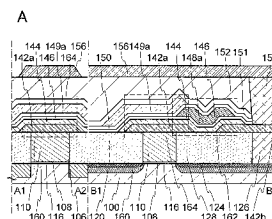
权利要求书2页 说明书31页 附图36页

(54) 发明名称

半导体装置

(57) 摘要

提供一种具有新结构的半导体装置, 其中甚至在没有提供电力时也能够保存已存储数据, 并且写入次数不受限制。该半导体包括第一晶体管之上的第二晶体管和电容器。电容器包括第二晶体管的源或漏电极和栅绝缘层以及覆盖第二晶体管的绝缘层之上的电容器电极。第二晶体管的栅电极和电容器电极隔着绝缘层至少部分相互重叠。通过使用不同层来形成第二晶体管的栅电极和电容器电极, 半导体装置的集成度能够得到提高。



1. 一种半导体装置,包括:
存储器单元,包括:
第一晶体管,包括:
第一沟道形成区;
所述第一沟道形成区之上的第一栅绝缘层;以及
所述第一栅绝缘层之上的第一栅电极,所述第一栅电极与所述第一沟道形成区重叠;
所述第一晶体管之上的第二晶体管,所述第二晶体管包括:
第二沟道形成区;
第一电极,电连接到所述第二沟道形成区;
第二栅电极,与所述第二沟道形成区重叠;以及
所述第二沟道形成区与所述第二栅电极之间的第二栅绝缘层;
所述第二晶体管之上的绝缘层;以及
所述绝缘层之上的第二电极,所述第二电极与所述第一电极重叠,
其中电容器包括所述第一电极、所述第二栅绝缘层、所述绝缘层和所述第二电极;
其中所述第一沟道形成区和所述第二沟道形成区包括不同的半导体材料,
其中所述第一栅电极电连接到所述第一电极,以及
其中所述第一电极与所述第一栅电极重叠。
2. 根据权利要求 1 所述的半导体装置,其中,所述第二电极与所述第二栅电极的至少一部分重叠,其中所述绝缘层在所述第二电极与所述第二栅电极之间。
3. 根据权利要求 1 所述的半导体装置,
其中,所述第二电极与所述第一栅电极的至少一部分重叠。
4. 根据权利要求 1 所述的半导体装置,
其中,所述第一晶体管包括夹合所述第一沟道形成区的杂质区。
5. 根据权利要求 1 所述的半导体装置,
其中,在单晶硅衬底中形成所述第一沟道形成区。
6. 根据权利要求 1 所述的半导体装置,
其中,在衬底之上的半导体膜中形成所述第一沟道形成区。
7. 根据权利要求 1 所述的半导体装置,
其中,所述第二晶体管的第二沟道形成区包括氧化物半导体。
8. 一种半导体装置,包括:
存储器单元,包括:
第一沟道形成区;
所述第一沟道形成区之上的第一栅绝缘层;
所述第一栅绝缘层之上的第一栅电极,所述第一栅电极与所述第一沟道形成区重叠;
所述第一栅电极之上的第一电极;
所述第一电极之上的第一半导体层,所述第一半导体层包括第二沟道形成区;
所述第一半导体层之上的第二栅绝缘层;
所述第二栅绝缘层之上的第二栅电极,所述第二栅电极与所述第二沟道形成区重叠;
所述第二栅电极之上的绝缘层;以及

所述绝缘层之上的第二电极,所述第二电极与所述第一电极重叠,
其中电容器包括所述第一电极、所述第二栅绝缘层、所述绝缘层和所述第二电极。

9. 根据权利要求 8 所述的半导体装置,其中,所述第二电极与所述第二栅电极的至少一部分重叠,其中所述绝缘层在所述第二电极与所述第二栅电极之间。

10. 根据权利要求 8 所述的半导体装置,
其中,所述第二电极与所述第一栅电极的至少一部分重叠。

11. 根据权利要求 8 所述的半导体装置,
其中,在单晶硅衬底中形成所述第一沟道形成区。

12. 根据权利要求 8 所述的半导体装置,
其中,在衬底之上的半导体膜中形成所述第一沟道形成区。

13. 根据权利要求 8 所述的半导体装置,
其中,所述第二沟道形成区包括氧化物半导体。

半导体装置

技术领域

[0001] 所公开的本发明涉及包括半导体元件的半导体装置及其制造方法。

背景技术

[0002] 包括半导体元件的存储器装置广义地分为两类：在未加电时丢失已存储数据的易失性存储器装置以及甚至在不加电时也保存已存储数据的非易失性存储器装置。

[0003] 易失性存储器装置的一个典型示例是动态随机存取存储器 (DRAM)。DRAM 按照如下方式来存储数据：使得选择存储器元件中包括的晶体管，并且电荷在电容器中积聚。

[0004] 从 DRAM 读取数据时，由于上述原理，电容器中的电荷丢失；因而每次读出数据时必需写入。此外，由于当晶体管处于截止状态时，泄漏电流（断态电流）在存储器元件中包括的晶体管的源极与漏极之间流动，所以甚至在没有选择晶体管时，电荷也流入或流出，这使数据保存期较短。为此，在预定间隔必需写入操作（刷新操作），并且难以充分降低功率消耗。此外，由于已存储数据在电力供应停止时丢失，所以需要利用磁性材料或光学材料的另一种存储器装置，以便将数据保存长时间。

[0005] 易失性存储器装置的另一个示例是静态随机存取存储器 (SRAM)。SRAM 通过使用诸如触发器之类的电路来保存已存储数据，并且因而无需刷新操作，这是优于 DRAM 的优点。但是，因为使用诸如触发器之类的电路，所以每存储器容量的成本增加。此外，如同 DRAM 中那样，SRAM 中的已存储数据在电力供应停止时丢失。

[0006] 非易失性存储器装置的一个典型示例是闪速存储器。闪速存储器包括晶体管中的栅电极与沟道形成区之间的浮栅，并且通过将电荷保存在浮栅中来存储数据。因此，闪速存储器的优点在于，数据保存周期长（半永久），并且不需要在易失性存储器装置中是必需的刷新操作（例如参见专利文献 1）。

[0007] 但是，闪速存储器中存在的问题在于，存储器元件在预定写入次数之后变得无法起作用，因为存储器元件中包括的栅绝缘层因写入中生成的隧道电流而退化。为了降低这个问题的影响，例如，能够采用一种在存储器元件之间均衡写入次数的方法，但是需要复杂的外围电路以采用这种方法。此外，甚至当采用这种方法时，也没有解决有关使用寿命的基本问题。换言之，闪速存储器不适合频繁改写数据的应用。

[0008] 另外，需要高电压以将电荷注入浮栅或者去除电荷，并且要求用于这个方面的电路。此外，需要较长时间来注入或去除电荷，并且不容易提高写入和擦除数据的速度。

[0009] [参考文献]

[0010] [专利文献 1] 日本已公开专利申请 No. S57-105889。

发明内容

[0011] 鉴于上述问题，所公开的本发明的一个实施例的目的是提供一种具有新结构的半导体装置，其中甚至在没有提供电力时也能够保存已存储数据，并且写入次数不受限制。

[0012] 在所公开的本发明中，半导体装置使用纯化氧化物半导体来形成。使用纯化氧化

物半导体所形成的晶体管能够长时间保存数据,因为其泄漏电流极小。

[0013] 本发明的一个实施例包括各包括第一晶体管、第二晶体管和电容器的多个存储器单元。第一晶体管包括:第一沟道形成区;第一沟道形成区之上的第一栅绝缘层;第一栅电极,与第一沟道形成区重叠,并且在第一栅绝缘层之上;以及第一源电极和第一漏电极,电连接到第一沟道形成区。第二晶体管包括:第二沟道形成区;第二源电极和第二漏电极,电连接到第二沟道形成区;第二栅电极,与第二沟道形成区重叠;以及第二沟道形成区与第二栅电极之间的第二栅绝缘层。电容器包括第二源电极或第二漏电极、覆盖第二晶体管的绝缘层以及绝缘层之上的电容器电极。第一沟道形成区和第二沟道形成区包括不同的半导体材料。第一栅电极和第二源电极或第二漏电极相互电连接。第一晶体管和第二晶体管至少部分相互重叠。

[0014] 在上述结构中,电容器电极隔着绝缘层与第二栅电极的至少一部分重叠。另外,电容器电极与第一栅电极的至少一部分重叠。

[0015] 在上述结构中,电容器电极与第二沟道形成区的至少一部分重叠。

[0016] 在上述结构中,第一晶体管包括夹合第一沟道形成区的杂质区。另外,第二晶体管的第二沟道形成区包括氧化物半导体。

[0017] 在上述结构中,电容器包括氧化物半导体。

[0018] 注意,在本说明书等中,诸如“之上”或“之下”之类的术语不一定表示组件放置于“直接在”另一个组件“之上”或“之下”。例如,表述“栅绝缘层之上的栅电极”并不排除组件设置在栅绝缘层与栅电极之间的情况。

[0019] 另外,在本说明书等中,诸如“电极”或“布线”之类的术语并没有限制组件的功能。例如,“电极”有时用作“布线”的一部分,反过来也是一样。此外,术语“电极”或“布线”能够包括多个“电极”或“布线”按照集成方式来形成的情况。

[0020] 此外,例如,当使用相反极性的晶体管时或者当电流流动方向在电路操作中改变时,“源”和“漏”的功能有时相互交换。因此,在本说明书中,术语“源”和“漏”能够相互交换。

[0021] 注意,在本说明书等中,术语“电连接”包括组件通过具有任何电功能的对象来连接的情况。对于具有任何电功能的对象没有具体限制,只要电信号能够在通过该对象连接的组件之间传送和接收就可。

[0022] 具有任何电功能的对象的示例包括诸如晶体管、电阻器、电感器、电容器之类的开关元件和具有各种功能的元件以及电极和布线。

[0023] 由于包括氧化物半导体的晶体管的断态电流极小,所以通过使用晶体管能够保存已存储数据极长时期。换言之,刷新操作变得不是必需,或者刷新操作的频率能够极低,这引起功率消耗的充分降低。此外,已存储数据甚至在没有提供电力时也能够长时期保存。

[0024] 此外,按照本发明的一个实施例的半导体装置不需要用于写入数据的高电压,并且元件降级不成问题。例如,与常规非易失性存储器不同,向浮栅注入以及从浮栅抽取电子不是必需;因此,诸如栅绝缘层的降级之类的问题完全不会出现。也就是说,按照本发明的一个实施例的半导体装置对改写次数没有限制,这一直是常规非易失性存储器的问题,并且因而具有显著提高的可靠性。此外,由于通过使晶体管导通和截止来写入数据,所以能够易于实现高速操作。另外一个优点在于,不需要用于擦除数据的操作。

[0025] 由于包括不是氧化物半导体的材料的晶体管能够以充分高的速度进行操作,所以当它与包括氧化物半导体的晶体管相结合时,半导体装置能够以充分高的速度执行操作(例如读取数据)。此外,通过包括不是氧化物半导体的材料的晶体管,能够适当地实现需要以高速度进行操作的各种电路(例如,逻辑电路或驱动器电路)。

[0026] 因此,能够通过提供包括不是氧化物半导体的材料的晶体管(更广义来说,能够以充分高的速度进行操作的晶体管)以及包括氧化物半导体的晶体管(更广义来说,其断态电流充分小的晶体管),来实现具有新特征的半导体装置。

[0027] 此外,在本发明的一个实施例中,包括氧化物半导体材料的晶体管的栅电极和电容器电极使用不同导电层来形成,并且覆盖晶体管的绝缘层在栅电极之上形成。因此,栅电极与电容器电极之间的距离能够充分减小,并且这些电极能够部分相互重叠。相应地,能够提供具有更高集成密度的半导体装置。

附图说明

[0028] 图 1A 和图 1B 是半导体装置的截面图和平面图。

[0029] 图 2A 至图 2D 是示出半导体装置的制造过程的截面图。

[0030] 图 3A 至图 3D 是示出半导体装置的制造过程的截面图。

[0031] 图 4A 至图 4D 是示出半导体装置的制造过程的截面图。

[0032] 图 5A 至图 5C 是示出半导体装置的制造过程的截面图。

[0033] 图 6A 和图 6B 是半导体装置的截面图和平面图。

[0034] 图 7A 和图 7B 是半导体装置的截面图和平面图。

[0035] 图 8A 至图 8H 是示出用于制造半导体装置的半导体衬底的制造过程的截面图。

[0036] 图 9A 至图 9E 是示出半导体装置的制造过程的截面图。

[0037] 图 10A 和图 10B 是半导体装置的截面图和平面图。

[0038] 图 11A 和图 11B 是半导体装置的截面图和平面图。

[0039] 图 12A 至图 12F 是示出半导体装置的制造过程的截面图。

[0040] 图 13A、图 13B 和图 13C 是半导体装置的电路图。

[0041] 图 14 是半导体装置的电路图。

[0042] 图 15 是时序图。

[0043] 图 16 是半导体装置的电路图。

[0044] 图 17 是时序图。

[0045] 图 18A 至图 18F 示出各包括半导体装置电子装置。

具体实施方式

[0046] 下面参照附图来描述本发明的实施例。注意,本发明并不局限于以下描述,并且本领域的技术人员将易于理解,模式和细节能够通过各种方式进行修改,而没有背离本发明的精神和范围。相应地,本发明不应当被理解为局限于以下实施例的描述。

[0047] 注意,为了便于理解,在一些情况下没有精确表示附图等中所示的各结构的位置、大小、范围等。因此,所公开的本发明不一定受到附图等中所示的位置、大小、范围等限制。

[0048] 在本说明书等中,使用诸如“第一”、“第二”和“第三”之类的序数,以便避免组件

之间的混淆,并且这些术语不是以数字方式来限制组件。

[0049] (实施例 1)

[0050] 在这个实施例中,将参照图 1A 和图 1B、图 2A 至图 2D、图 3A 至图 3D、图 4A 至图 4D、图 5A 至图 5C 以及图 6A 和图 6B 来描述按照本发明的一个实施例的半导体装置的结构和制造方法。

[0051] < 半导体装置的截面结构和平面结构 >

[0052] 图 1A 和图 1B 示出半导体装置的结构示例。图 1A 是半导体装置的截面图,以及图 1B 是半导体装置的平面图。在这里,图 1A 示出沿图 1B 中的线条 A1-A2 和线条 B1-B2 所截取的截面。图 1A 和图 1B 中所示的半导体装置在下部包括其中包括第一半导体材料的晶体管 160 以及在上部包括其中包括第二半导体材料的晶体管 162。在这里,优选的是,第一半导体材料和第二半导体材料相互不同。例如,第一半导体材料能够为不是氧化物半导体的半导体材料,而第二半导体材料能够是氧化物半导体材料。不是氧化物半导体的半导体材料能够是例如硅、锗、硅锗、碳化硅、磷化铟或砷化镓,并且优选地使用单晶半导体。包括这种半导体材料的晶体管能够易于以高速度进行操作。另一方面,包括氧化物半导体的晶体管因其特性而能够长时间保存电荷。

[0053] 虽然在本描述中,两种晶体管都是 n 沟道晶体管,但是应当理解,能够使用 p 沟道晶体管。由于所公开的本发明的技术特征在于将能够充分降低断态电流的例如氧化物半导体等半导体材料用于晶体管 162 以便保存数据,所以不必将半导体装置的诸如结构、材料等的具体条件局限到这里所给出的那些方面。

[0054] 图 1A 和图 1B 中的晶体管 160 包括:沟道形成区 116,设置在包括半导体材料(例如硅)的衬底 100 中;杂质区 120,设置成使得夹合沟道形成区 116;金属化合物区 124,与杂质区 120 相接触;栅绝缘层 108,设置在沟道形成区 116 之上;以及栅电极 110,设置在栅绝缘层 108 之上。注意,为了方便起见,其源电极和漏电极在图中未示出的晶体管可称作物晶体管。此外,在这种情况下,在这种晶体管的连接描述中,可在本说明书中描述晶体管的源电极和漏电极。

[0055] 电极 126 连接到晶体管 160 的金属化合物区 124 的一部分。在这里,电极 126 用作晶体管 160 的源电极或漏电极。此外,衬底 100 设置有包围晶体管 160 的元件隔离绝缘层 106。绝缘层 128 设置成与晶体管 160 相接触。注意,为了增加集成度,优选的是,晶体管 160 没有包括侧壁绝缘层,如图 1A 和图 1B 所示的。另一方面,当优先考虑晶体管 160 的特性时,侧壁绝缘层可在栅电极 110 的侧表面上形成,并且杂质区 120 可在与侧壁绝缘层重叠的区域中包括具有不同杂质浓度的区域。

[0056] 图 1A 和图 1B 中的晶体管 162 包括:源或漏电极 142a 和源或漏电极 142b,设置在绝缘层 128 之上;氧化物半导体层 144,电连接到源或漏电极 142a 和源或漏电极 142b;栅绝缘层 146,覆盖源或漏电极 142a、源或漏电极 142b 和氧化物半导体层 144;以及栅电极 148a,设置在栅绝缘层 146 之上,以便与氧化物半导体层 144 重叠。

[0057] 在这里,优选的是,通过充分去除诸如氢之类的杂质和/或充分提供氧,来纯化氧化物半导体层 144。具体来说,例如,氧化物半导体层 144 的氢浓度低于或等于 5×10^{19} atom/cm³,优选地低于或等于 5×10^{18} atom/cm³,更优选地低于或等于 5×10^{17} atom/cm³。注意,氧化物半导体层 144 的上述氢浓度通过二次离子质谱法(SIMS)来测量。其中氢降

低到充分低的浓度以使得氧化物半导体层经过纯化并且其中因氧空位引起的能隙中的缺陷状态(defect state)通过充分提供氧来降低的氧化物半导体层 144 的载流子浓度低于 $1 \times 10^{12} / \text{cm}^3$, 优选地低于 $1 \times 10^{11} / \text{cm}^3$, 更优选地低于 $1.45 \times 10^{10} / \text{cm}^3$ 。例如, 室温 (25°C) 下的断态电流 (在这里为每微米 (μm) 沟道宽度的电流) 小于或等于 100 zA (1 zA (仄普托安培) 为 1×10^{-21} A), 优选地小于或等于 10 zA。这样, 借助于这种 i 型 (本征) 或基本上 i 型氧化物半导体, 能够得到具有相当优良的断态电流特性的晶体管 162。

[0058] 图 1A 和图 1B 中的电容器 164 包括源或漏电极 142a、氧化物半导体层 144、栅绝缘层 146、绝缘层 150 和电极 149a。换言之, 源或漏电极 142a 用作电容器 164 的一个电极, 并且电极 149a 用作电容器 164 的另一个电极。

[0059] 在图 1A 和图 1B 的电容器 164 中, 堆叠氧化物半导体层 144、栅绝缘层 146 和绝缘层 150, 由此能够充分确保源或漏电极 142a 与电极 149a 之间的绝缘。注意, 为了提供充分电容, 在电容器 164 中可省略栅绝缘层 146 和绝缘层 150 其中之一。此外, 可省略电容器 164 中的氧化物半导体层 144。

[0060] 在这个实施例中, 晶体管 160 和电容器 162 设置成至少部分相互重叠。另外, 晶体管 162 和电容器 164 设置成与晶体管 160 重叠。例如, 电容器 164 的电极 149a 设置成与晶体管 162 的栅电极 148a 的至少一部分重叠。此外, 电容器 164 的电极 149a 可设置成与晶体管 160 的栅电极 110 的至少一部分重叠。这种平面布局允许更高集成。例如, 当最小特征尺寸为 F 时, 存储器单元所占用的面积能够是 $9 F^2$ 至 $25 F^2$ 。注意, 通过使用不同导电层形成晶体管 162 的栅电极 148a 和电容器 164 的电极 149a, 并且通过在栅电极 148a 之上设置覆盖晶体管 162 的绝缘层 150, 来实现这种平面布局。当栅电极 148a 和电极 149a 使用一个导电层来形成时, 由于形成过程限制而将难以充分减小这些电极之间的距离。相比之下, 当栅电极 148a 和电极 149a 使用不同导电层来形成时, 这些电极之间的距离能够充分减小, 并且电极甚至能够相互部分重叠, 这产生更高集成。

[0061] 注意, 在晶体管 162 和电容器 164 中, 源或漏电极 142a 和源或漏电极 142b 优选地具有锥形端部。当源或漏电极 142a 和源或漏电极 142b 的端部逐渐变细时, 能够改进氧化物半导体层 144 的覆盖, 并且能够防止因阶梯 (step) 引起的断裂。在这里, 例如, 锥角为 30° 至 60° 。注意, 锥角指的是从垂直于截面平面 (即, 垂直于衬底表面的平面) 的方向来看具有锥形形状的层 (例如, 源或漏电极 142a) 时层的侧表面与底面之间形成的角。

[0062] 绝缘层 150 设置成覆盖栅电极 148a, 绝缘层 151 设置在晶体管 162 和电容器 164 之上, 并且绝缘层 152 设置在绝缘层 151 之上。在栅绝缘层 146、绝缘层 150、绝缘层 151、绝缘层 152 等中形成的开口中设置电极 154, 并且布线 156 在绝缘层 152 之上形成为连接到电极 154。注意, 虽然图 1A 和图 1B 中金属化合物区 124、源或漏电极 142b 和布线 156 通过电极 126 和电极 154 相互连接, 但是所公开的本发明并不局限于此。例如, 源或漏电极 142b 可与金属化合物区 124 直接接触, 或者布线 156 可与源或漏电极 142b 直接接触。

[0063] 注意, 在图 1A 和图 1B 中, 用于将金属化合物区 124 连接到源或漏电极 142b 的电极 126 以及用于将源或漏电极 142b 连接到布线 156 的电极 154 相互重叠。换言之, 其中用作晶体管 160 的源电极或漏电极的电极 126 接触晶体管 162 的源或漏电极 142b 的区域与其中晶体管 162 的源或漏电极 142b 接触用于将一个存储器单元连接到另一个存储器单元的布线 156 的区域重叠。这种布局允许更高集成。

[0064] < 用于制造半导体装置的方法 >

[0065] 接下来将描述用于制造半导体装置的方法的示例。下面首先将参照图 2A 至图 2D 以及图 3A 至图 3D 来描述用于制造在下部的晶体管 160 的方法, 并且然后将参照图 4A 至图 4D 以及图 5A 至图 5C 来描述用于制造在上部的晶体管 162 和电容器 164 的方法。

[0066] < 用于制造在下部的晶体管的方法 >

[0067] 首先, 准备包括半导体材料的衬底 100 (参见图 2A)。作为包括半导体材料的衬底 100, 能够使用由硅、碳化硅等所制成的单晶半导体衬底或多晶半导体衬底; 由硅锗等所制成的化合物半导体衬底; SOI 衬底等。在这里, 描述单晶硅衬底用作包括半导体材料的衬底 100 的示例。注意, 虽然术语“SOI 衬底”一般表示其中硅半导体层设置在绝缘表面上的衬底, 但是本说明书等中的“SOI 衬底”还包括其中包括不是硅的材料的半导体层设置在绝缘表面上的衬底。也就是说, “SOI 衬底”中包括的半导体层并不局限于硅半导体层。此外, SOI 衬底还包括具有其中半导体层隔着绝缘层设置在诸如玻璃衬底之类的绝缘衬底之上的结构的衬底。

[0068] 注意, 特别优选的是, 由硅等所制成的单晶半导体衬底用作包括半导体材料的衬底 100, 因为半导体装置的读取操作的速度能够提高。

[0069] 用作用于形成元件隔离绝缘层的掩模的保护层 102 在衬底 100 之上形成 (参见图 2A)。作为保护层 102, 例如能够使用采用诸如氧化硅、氮化硅或氧氮化硅之类的材料所形成的绝缘层。注意, 在这个步骤之前或之后, 可将赋予 n 型导电性或 p 型导电性的杂质元素添加到衬底 100, 以便控制晶体管的阈值电压。当衬底 100 中包括的半导体材料为硅时, 磷、砷等能够用作赋予 n 型导电性的杂质, 以及硼、铝、镓等能够用作赋予 p 型导电性的杂质。

[0070] 然后, 通过将保护层 102 用作掩模进行蚀刻, 去除没有覆盖有保护层 102 的区域中 (在外露区域中) 的衬底 100 的一部分。因此, 形成与其它半导体区隔离的半导体区 104 (参见图 2B)。作为蚀刻, 优选地执行干式蚀刻, 但是可执行湿式蚀刻。蚀刻气体和蚀刻剂能够按照待蚀刻材料来适当地选择。

[0071] 然后, 绝缘层形成为覆盖半导体区 104, 并且选择性地去除与半导体区 104 重叠的区域中的绝缘层, 由此形成元件隔离绝缘层 106 (参见图 2C)。使用氧化硅、氮化硅、氧氮化硅等形成绝缘层。作为用于去除绝缘层的方法, 能够采用蚀刻处理、诸如化学机械抛光 (CMP) 之类的抛光处理等中的任一种。注意, 在形成半导体区 104 之后或者在形成元件隔离绝缘层 106 之后, 去除保护层 102。

[0072] CMP 处理是一种用于通过化学和机械动作的组合来平面化待加工对象的表面的方法。更具体来说, CMP 处理是一种方法, 其中抛光布附连到抛光台, 抛光台和对象各在对象与抛光布之间提供研磨液 (磨料) 的同时被旋转或振荡, 使得对象的表面通过研磨液与对象表面之间的化学反应并且通过抛光布与对象表面之间的机械抛光动作来抛光。

[0073] 注意, 可通过例如注入氧以形成绝缘区代替选择性地去除绝缘层, 来形成元件隔离绝缘层 106。

[0074] 然后, 绝缘层在半导体区 104 的表面上形成, 并且包括导电材料的层在绝缘层之上形成。

[0075] 绝缘层后来将要加工成栅绝缘层, 并且能够通过例如对半导体区 104 的表面的热处理 (例如热氧化处理、热氮化处理等) 来形成。高密度等离子体处理可用于代替热处理。

例如,能够使用诸如氦(He)、氩(Ar)、氙(Kr)或氙(Xe)之类的稀有气体、氧、氧化氮、氮、氮、氢等的任一种的混合气体来执行高密度等离子体处理。不用说,可通过CVD方法、溅射方法等,来形成绝缘层。绝缘层优选地具有单层结构或堆叠层结构,其中包括包含氧化镱、氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽、氧化钇、硅酸钪(HfSi_xO_y ($x>0, y>0$))、添加了氮的硅酸钪($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$))、添加了氮的铝酸钪($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$))等的膜。绝缘层的厚度能够例如为1 nm至100 nm(包括两端),优选地为10 nm至50 nm(包括两端)。

[0076] 包括导电材料的层能够使用诸如铝、铜、钛、钽或钨之类的金属材料来形成。此外,包括导电材料的层可使用诸如多晶硅之类的半导体材料来形成。对用于形成包括导电材料的层的方法没有具体限制,并且能够采用诸如蒸发方法、CVD方法、溅射方法和旋涂(spin coating)方法之类的各种膜形成方法的任一种。注意,在这个实施例中,描述包括导电材料的层使用金属材料来形成的示例。

[0077] 此后,选择性地蚀刻绝缘层和包括导电材料的层,由此形成栅绝缘层108和栅电极110(参见图2C)。

[0078] 然后,将磷(P)、砷(As)等添加到半导体区104,由此形成沟道形成区116和杂质区120(参见图2D)。注意,在这里添加磷或砷,以便形成n沟道晶体管;在形成p沟道晶体管时,可添加诸如硼(B)或铝(Al)之类的杂质元素。在这里,所添加杂质的浓度能够适当地设置;当高度小型化半导体元件时,浓度优选地设置成高。

[0079] 注意,侧壁绝缘层可在栅电极110周围形成,并且可形成以不同浓度对其添加杂质元素的杂质区。

[0080] 然后,金属层122形成为覆盖栅电极110、杂质区120等(参见图3A)。能够通过诸如真空蒸发方法、溅射方法和旋涂方法之类的各种膜形成方法,来形成金属层122。优选的是,金属层122使用与半导体区104中包括的半导体材料起反应以形成低电阻金属化合物的金属材料来形成。这种金属材料的示例包括钛、钽、钨、镍、钴和铂。

[0081] 然后,执行热处理,使得金属层122与半导体材料发生反应。因此,形成与杂质区120相接触的金属化合物区124(参见图3A)。注意,当栅电极110使用多晶硅等形成时,金属化合物区也在与金属层122相接触的栅电极110的一部分中形成。

[0082] 作为热处理,例如能够使用采用闪光灯的照射。虽然应当理解,可使用另一种热处理方法,但是优选地使用用以能够在极短时间实现热处理的方法,以便改进用于形成金属化合物的化学反应的控制。注意,金属化合物区通过金属材料和半导体材料的反应来形成,并且金属化合物区具有充分高的导电率。金属化合物区的形成能够充分降低电阻,并且改进元件特性。注意,金属层122在形成金属化合物区124之后被去除。

[0083] 然后,在与金属化合物区124的一部分相接触的区域中形成电极126(参见图3B)。通过例如形成包括导电材料的层,并且然后选择性地蚀刻该层,来形成电极126。包括导电材料的层能够使用诸如铝、铜、钛、钽或钨之类的金属材料来形成。此外,包括导电材料的层可使用诸如多晶硅之类的半导体材料来形成。对用于形成包括导电材料的层的方法没有具体限制,并且能够采用诸如蒸发方法、CVD方法、溅射方法和旋涂方法之类的各种膜形成方法的任一种。

[0084] 备选地,能够通过形成绝缘层128之后在绝缘层128中形成达到金属化合物区124

的开口,并且然后通过填充该开口,来形成电极 126。

[0085] 在这种情况下,例如,有可能采用一种方法,其中在包括开口的区域中通过 PVD 方法来形成钛薄膜并且通过 CVD 方法来形成氮化钛薄膜,然后形成钨膜以便填充开口。在这里,通过 PVD 方法所形成的钛膜具有使其上形成钛膜的氧化物膜(例如天然氧化物膜)还原的功能,并且由此降低与下电极等(在这里为金属化合物区 124)的接触电阻。在形成钛膜之后所形成的氮化钛膜具有抑制导电材料扩散的阻挡功能(barrier function)。可在形成钛、氮化钛等的阻挡膜之后通过电镀法来形成铜膜。

[0086] 然后,绝缘层 128 形成为覆盖在上述步骤所形成的组件(参见图 3C)。绝缘层 128 能够使用包括诸如氧化硅、氧氮化硅、氮化硅或氧化铝之类的无机绝缘材料的材料来形成。特别优选的是将低介电常数(低 k)材料用于绝缘层 128,因为因电极或布线的重叠引起的电容能够充分降低。注意,绝缘层 128 可以是使用那些材料的任一种所形成的多孔绝缘层。多孔绝缘层具有比高密度绝缘层要低的介电常数,并且因而允许电极或布线所生成的电容的进一步降低。备选地,绝缘层 128 能够使用诸如聚酰亚胺或丙烯酸之类的有机绝缘层材料来形成。注意,虽然绝缘层 128 在这里具有单层结构,但是所公开的本发明的实施例并不局限于此。绝缘层可具有包括两层或更多层的堆叠层结构。

[0087] 通过上述步骤,借助于包括半导体材料的衬底 100 来形成晶体管 160(参见图 3C)。这种晶体管 160 能够进行高速操作。通过将这种晶体管用作读晶体管,能够以高速度读出数据。

[0088] 此后,作为晶体管 162 和电容器 164 的形成之前的处理,对绝缘层 128 执行 CMP 处理,以便暴露栅电极 110 和电极 126 的上表面(参见图 3D)。作为用于暴露栅电极 110 和电极 126 的上表面的处理,除了 CMP 处理之外还能够采用蚀刻处理等;为了改进晶体管 162 的特性,优选地使绝缘层 128 的表面尽可能平坦。

[0089] 注意,在上述步骤的每个步骤之前或之后,还可执行形成电极、布线、半导体层、绝缘层等的步骤。例如,布线可具有包括绝缘层和导电层的叠层的多层结构,以便提供高度集成的半导体装置。

[0090] <用于制造在上部的晶体管的方法>

[0091] 然后,导电层在栅电极 110、电极 126、绝缘层 128 等之上形成,并且选择性地被蚀刻,由此形成源或漏电极 142a 和源或漏电极 142b(参见图 4A)。

[0092] 导电层能够通过诸如溅射方法之类的 PVD 方法或者诸如等离子体 CVD 方法之类的 CVD 方法来形成。作为用于导电层的材料,能够使用从铝、铬、铜、钽、钛、钼和钨中选取的元素;包括这些元素的任一种作为成分的合金等。可使用锰、镁、铅、铍、钕、铈的任一种或者组合地包括这些元素的任一种的材料。

[0093] 导电层可具有单层结构或者包括两层或更多层的堆叠层结构。例如,导电层可具有钛膜或氮化钛膜的单层结构、包括硅的铝膜的单层结构、钛膜堆叠在铝膜之上的两层结构、钛膜堆叠在氮化钛膜之上的两层结构或者其中堆叠钛膜、铝膜和钛膜的三层结构。注意,在导电层具有钛膜或氮化钛膜的单层结构的情况下,存在导电层易于被加工成具有锥形形状的源或漏电极 142a 和源或漏电极 142b 的优点。

[0094] 导电层可使用导电金属氧化物来形成。作为导电金属氧化物,能够使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟-氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,其可缩写成 ITO)、

氧化铟-氧化锌合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或者包括硅或氧化硅的这些金属氧化物材料的任一种。

[0095] 导电层优选地蚀刻成使得源或漏电极 142a 和源或漏电极 142b 形成为具有锥形端部。在这里,例如,锥角优选地为 30° 至 60° 。当源或漏电极 142a 和源或漏电极 142b 的端部蚀刻成锥形时,能够改进后来形成的栅绝缘层 146 的覆盖,并且能够防止因阶梯引起的断裂。

[0096] 在上部的晶体管的沟道长度 (L) 通过源或漏电极 142a 的下端部与源或漏电极 142b 的下端部之间的距离来确定。注意,在用于形成沟道长度 (L) 小于 25 nm 的晶体管的掩模的曝光中,优选的是使用其波长短至数纳米至数十纳米的远紫外线。采用远紫外线的曝光的分辨率高,并且焦深大。由于这些原因,后来形成的晶体管的沟道长度 (L) 能够为 10 nm 至 1000 nm (1 μm) (包括两端),由此电路的操作速度能够提高。此外,半导体装置的功率消耗能够通过小型化来降低。

[0097] 注意,用作基底的绝缘层可设置在层间绝缘层 128 之上。能够通过 PVD 方法、CVD 方法等,形成绝缘层。

[0098] 此外,绝缘层可在源或漏电极 142a 和源或漏电极 142b 之上形成。绝缘层形成为与后来形成的栅电极的一部分重叠。通过设置这种绝缘层,栅电极与源或漏电极之间的电容能够降低。

[0099] 然后,通过形成氧化物半导体层以覆盖源或漏电极 142a 和源或漏电极 142b,并且然后通过选择性地蚀刻氧化物半导体层,来形成氧化物半导体层 144 (参见图 4B)。

[0100] 氧化物半导体层包括从 In、Ga、Sn 和 Zn 中选取的至少一种元素。例如,能够使用诸如 In-Sn-Ga-Zn-O 基氧化物半导体之类的四成分金属氧化物、诸如 In-Ga-Zn-O 基氧化物半导体、In-Sn-Zn-O 基氧化物半导体、In-Al-Zn-O 基氧化物半导体、Sn-Ga-Zn-O 基氧化物半导体、Al-Ga-Zn-O 基氧化物半导体或者 Sn-Al-Zn-O 基氧化物半导体之类的三成分金属氧化物、诸如 In-Zn-O 基氧化物半导体、Sn-Zn-O 基氧化物半导体、Al-Zn-O 基氧化物半导体、Zn-Mg-O 基氧化物半导体、Sn-Mg-O 基氧化物半导体、In-Mg-O 基氧化物半导体或者 In-Ga-O 基氧化物半导体之类的两成分金属氧化物、诸如 In-O 基氧化物半导体、Sn-O 基氧化物半导体或者 Zn-O 基氧化物半导体之类的单成分金属氧化物等。上述氧化物半导体可包括除了 In、Ga、Sn 和 Zn 之外的元素,例如 SiO_2 。

[0101] 例如,In-Ga-Zn-O 基氧化物半导体表示包括铟 (In)、镓 (Ga) 和锌 (Zn) 的氧化物半导体,而对其组成比没有限制。

[0102] 具体来说,当不存在电场时,In-Ga-Zn-O 基氧化物半导体材料具有充分高的电阻,并且断态电流能够充分降低。另外,In-Ga-Zn-O 基氧化物半导体材料具有高场效应迁移率,并且因而适合作为用于半导体装置的半导体材料。

[0103] 作为 In-Ga-Zn-O 基氧化物半导体材料的典型示例,给出由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 所表示的材料。另外,还能够给出一种氧化物半导体材料,其中 Ga 由 M 取代,并且由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 来表示。在这里,M 表示从镓 (Ga)、铝 (Al)、铁 (Fe)、镍 (Ni)、锰 (Mn)、钴 (Co) 等等中选取的一种或多种金属元素。例如,M 能够是 Ga、Ga 和 Al、Ga 和 Fe、Ga 和 Ni、Ga 和 Mn、Ga 和 Co 等。注意,上述组成只是按照晶体结构所给出的示例。

[0104] 作为用于通过溅射方法来形成氧化物半导体层的靶,优选地使用具有由等式 $\text{In:Ga:Zn}=1:x:y$ (x 为 0 或以上,以及 y 为 0.5 至 5 (包括两端)) 所给出的组成比的靶。例

如,能够使用具有由等式 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩尔比] 等所给出的组成比的金属氧化物靶。备选地,能够使用具有由等式 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔比] 所给出的组成比的金属氧化物靶、具有由等式 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩尔比] 所给出的组成比的金属氧化物靶或者具有由等式 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:0:2$ [摩尔比] 所给出的组成比的金属氧化物靶。

[0105] 在 In-Zn-O 基材料用作氧化物半导体时,待使用的靶具有由等式 $\text{In}:\text{Zn}=50:1$ 至 $1:2$ [原子比] ($\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$ [摩尔比])、优选地由 $\text{In}:\text{Zn}=20:1$ 至 $1:1$ [原子比] ($\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$ [摩尔比])、更优选地由 $\text{In}:\text{Zn}=15:1$ 至 $1.5:1$ [原子比] ($\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $3:4$ [摩尔比]) 所给出的组成比。例如,当 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ [原子比] 时,用于沉积 In-Zn-O 基氧化物半导体的靶具有 $\text{Z}>1.5\text{X}+\text{Y}$ 的组成比。

[0106] 在这个实施例中,通过使用 In-Ga-Zn-O 基金属氧化物靶的溅射方法来形成具有非晶结构的氧化物半导体层。

[0107] 金属氧化物靶中的金属氧化物的相对密度为 80% 或更高,优选地为 95% 或更高,更优选地为 99.9% 或更高。借助于具有高相对密度的金属氧化物靶,氧化物半导体层能够形成成为具有致密结构。

[0108] 其中形成氧化物半导体层的气氛优选地为稀有气体(通常为氩)气氛、氧气氛或者包括稀有气体(通常为氩)和氧的混合气氛。具体来说,优选的是使用例如从其中将诸如氢、水、羟基或氢化物之类的杂质去除到 1 ppm 或更小(优选地为 10 ppb 或更小)的高纯度气体气氛。

[0109] 在形成氧化物半导体层中,例如,将待加工对象保持在维持在降低压力下的处理室(process chamber)中,并且将对象加热到高于或等于 100°C 但低于 550°C 、优选地为 200°C 至 400°C (包括两端)的温度。备选地,形成氧化物半导体层中的对象的温度可以是室温 ($25^\circ\text{C} \pm 10^\circ\text{C}$, 即 15°C 至 35°C (包括两端))。在去除处理室中的水分的同时,引入去除了氢、水等的溅射气体,并且使用上述靶;因而形成氧化物半导体层。在对象被加热的同时来形成氧化物半导体层,由此能够降低氧化物半导体层中的杂质。另外,因溅射引起的损坏能够降低。为了去除处理室中的水分,优选地使用捕集真空泵(entrainment vacuum pump)。例如,能够使用低温泵、离子泵或钛升华泵。此外,可使用设置有冷阱的涡轮分子泵。通过采用低温泵等的排空,能够从处理室中去除氢、水等,因此能够降低氧化物半导体层的杂质浓度。

[0110] 氧化物半导体层能够在例如下列条件下形成:对象与靶之间的距离为 170 mm,压力为 0.4 Pa,直流(DC)功率为 0.5 kW,以及气氛是氧(氧:100%)气氛、氩(氩:100%)气氛或者包括氧和氩的混合气氛。注意,脉冲直流(DC)电源是优选的,因为能够降低膜形成时所形成的粉状物质(又称作微粒或灰尘),并且膜厚能够是均匀的。氧化物半导体层的厚度为 1 nm 至 50 nm (包括两端),优选地为 1 nm 至 30 nm (包括两端),更优选地为 1 nm 至 10 nm (包括两端)。这种厚度的氧化物半导体层的使用使得有可能抑制通过小型化而引起的短沟道效应。注意,氧化物半导体层的适当厚度根据待使用的氧化物半导体材料、半导体装置的应用等而有所不同;因此,还能够按照材料、应用等确定厚度。

[0111] 注意,在通过溅射方法来形成氧化物半导体层之前,优选地执行反向溅射,其中通过引入氩气体来生成等离子体,使得去除附于其上形成氧化物半导体层的表面(例如绝缘层 128 的表面)的物质。在这里,反向溅射指的是一种方法,其中离子与衬底的待加工表面

碰撞,以便修正表面,与表示其中离子与溅射靶碰撞的方法的标准溅射相反。用于使离子与待加工表面碰撞的方法的示例是一种方法,其中高频电压在氩气氛中施加到该表面,使得等离子体在对象附近生成。注意,氮、氦、氧等的气氛可用来代替氩气氛。

[0112] 此后,优选地对氧化物半导体层执行热处理(第一热处理)。通过第一热处理,能够去除氧化物半导体层中的过剩氢(包括水和羟基),能够改进氧化物半导体层的结构,并且能够降低能隙中的缺陷状态。第一热处理的温度例如高于或等于 300°C 但低于 550°C 或者 400°C 至 500°C(包括两端)。

[0113] 热处理能够按照如下方式来执行:例如,将对象引入设置有电阻加热元件等的电炉中,并且在氮气氛中以 450°C 加热 1 小时。在热处理期间,氧化物半导体层没有暴露于空气,以便防止水和氢进入。

[0114] 热处理设备并不局限于电炉,而可以是用于通过来自诸如加热气体之类的介质的热传导或热辐射来加热对象的设备。例如,能够使用诸如灯快速热退火(LRTA)设备或气体快速热退火(GRTA)设备之类的快速热退火(RTA)设备。LRTA 设备是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压水银灯之类的灯泡所发射的光(电磁波)的辐射来加热对象的设备。GRTA 设备是用于使用高温气体的热处理的设备。作为气体,使用不会通过热处理与对象发生反应的惰性气体,例如氮或者诸如氩之类的稀有气体。

[0115] 例如,作为第一热处理,可执行 GRTA 处理,其中将对象放入加热惰性气体气氛中并且加热数分钟,然后从惰性气体气氛中取出。GRTA 处理实现短时间的高温热处理。此外,GRTA 处理实现超过温度上限的温度下的处理。注意,惰性气体可在处理期间改变成包括氧的气体。这是因为因氧空位引起的能隙中的缺陷状态能够通过包括氧的气氛中执行第一热处理来降低。

[0116] 注意,作为惰性气体气氛,优选地使用包括氮或稀有气体(例如氮、氖或氩)作为其主要成分但没有包括水、氢等的气氛。例如,引入热处理设备中的氮或者诸如氮、氖或氩之类的稀有气体的纯度高于或等于 6N(99.9999%),优选地高于或等于 7N(99.99999%)(即,杂质浓度低于或等于 1 ppm,优选地低于或等于 0.1 ppm)。

[0117] 在任何情况下,能够借助于通过经由第一热处理来降低杂质所得到的 i 型(本征)或基本上 i 型氧化物半导体层来得到具有相当优良特性的晶体管。

[0118] 上述热处理(第一热处理)具有去除氢、水等的效果,并且又能够称作脱水处理、脱氢处理等。能够例如在形成氧化物半导体层之后、在形成栅绝缘层之后或者在形成栅电极之后,执行脱水处理或脱氢处理。这种脱水处理或脱氢处理可执行一次或多次。

[0119] 氧化物半导体层的蚀刻可在热处理之前或之后执行。在元件小型化方面优选地使用干式蚀刻,但是可使用湿式蚀刻。蚀刻气体和蚀刻剂能够按照待蚀刻材料来适当地选择。注意,在元件之间的泄漏电流等问题没有出现的情况下,氧化物半导体层可在没有加工成岛状的情况下使用。

[0120] 随后,形成与氧化物半导体层 144 相接触的栅绝缘层 146。然后,在栅绝缘层 146 之上,在与氧化物半导体层 144 重叠的区域中形成栅电极 148a(参见图 4C)。

[0121] 能够通过 CVD 方法、溅射方法等,形成栅绝缘层 146。栅绝缘层 146 优选地包括氧化镱、氧化硅、氮化硅、氧氮化硅、氧化铝、氧化钽、氧化铪、氧化钇、硅酸铪(HfSi_xO_y ($x>0$, $y>0$))、添加了氮的硅酸铪($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、添加了氮的铝酸铪($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$,

$y>0, z>0$) 等。栅绝缘层 146 可具有单层结构或者堆叠层结构。对栅绝缘层 146 的厚度没有具体限制;在使半导体装置小型化的情况下,栅绝缘层 146 优选地较薄,以便确保晶体管的操作。例如,在使用氧化硅的情况下,厚度能够为 1 nm 至 100 nm(包括两端),优选地为 10 nm 至 50 nm(包括两端)。

[0122] 当栅绝缘层如上所述较薄时,导致因隧道效应等引起的栅极泄漏问题。为了解决栅极泄漏问题,优选的是,使用诸如氧化铪、氧化钽、氧化钽、硅酸铪 (HfSi_xO_y ($x>0, y>0$))、添加了氮的硅酸铪 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)) 或者添加了氮的铝酸铪 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)) 之类的高介电常数(高 k)材料来形成栅绝缘层 146。通过将高 k 材料用于栅绝缘层 146,能够确保电特性,并且栅绝缘层 146 的厚度能够较大,以便防止栅极泄漏。注意,可采用包括高 k 材料的膜和包括氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝等的任一种的膜的堆叠层结构。

[0123] 在形成栅绝缘层 146 之后,第二热处理优选地在惰性气体气氛或氧气氛中执行。热处理的温度为 200°C 至 450°C(包括两端),优选地为 250°C 至 350°C(包括两端)。例如,热处理可在氮气气氛中以 250°C 执行 1 小时。第二热处理能够降低晶体管的电特性的变化。此外,在栅绝缘层 146 包括氧的情况下,氧能够提供给氧化物半导体层 144 以填充氧化物半导体层 144 中的氧空位,由此能够形成 i 型(本征)或基本上 i 型氧化物半导体层 144。

[0124] 注意,在这个实施例中,第二热处理在形成栅绝缘层 146 之后执行,但是第二热处理的定时并不局限于此。例如,第二热处理可在形成栅电极之后执行。备选地,第一热处理和第二热处理可接连执行,第一热处理可兼作第二热处理,或者第二热处理可兼作第一热处理。

[0125] 如上所述,采用第一热处理和第二热处理中的至少一个,由此尽可能多地排除不是氧化物半导体的主要成分的杂质,并且氧化物半导体层 144 能够被纯化。

[0126] 能够通过栅绝缘层 146 之上形成导电层并且然后选择性地蚀刻导电层,来形成栅电极 148a。将要加工成栅电极 148a 的导电层能够通过诸如溅射方法之类的 PVD 方法或者诸如等离子体 CVD 方法之类的 CVD 方法来形成。细节与源或漏电极 142a 等的那些细节相似;因此能够参阅其描述。通过上述过程,能够形成晶体管 162。

[0127] 然后,绝缘层 150 形成为覆盖栅绝缘层 146 和栅电极 148a,并且然后电极 149a 在绝缘层 150 之上并且在与源或漏电极 142a 重叠的区域中形成(参见图 4D)。在形成绝缘层 150 之前,可去除将要形成电容器 164 的区域中的栅绝缘层 146。通过去除将要形成电容器 164 的区域中的栅绝缘层 146,电容器 164 的电容能够增加。

[0128] 能够通过 CVD 方法、溅射方法等,形成绝缘层 150。细节与栅绝缘层 146 等的那些细节相似;因此能够参阅其描述。

[0129] 能够通过栅绝缘层 150 之上形成导电层并且然后选择性地蚀刻导电层,来形成电极 149a。将要加工成电极 149a 的导电层能够通过诸如溅射方法之类的 PVD 方法或者诸如等离子体 CVD 方法之类的 CVD 方法来形成。细节与源或漏电极 142a 等的那些细节相似;因此能够参阅其描述。通过上述过程,能够形成电容器 164。

[0130] 作为电容器电极的电极 149a 优选地形成为与晶体管 162 的栅电极 148a 的至少一部分重叠。另外,电极 149a 可形成为与晶体管 160 的栅电极 110 的至少一部分重叠。这是因为,通过采用这种结构,电路的面积能够充分减小。注意,这种结构归功于将不同导电层

用于形成栅电极 148a 和电极 149a。当栅电极 148a 和电极 149a 使用一个导电层来形成时，由于形成过程限制而将难以充分减小这些电极之间的距离。相比之下，当栅电极 148a 和电极 149a 使用不同导电层来形成时，这些电极之间的距离能够充分减小，并且甚至能够采用其中电极相互部分重叠的结构，这产生更高集成。

[0131] 然后，绝缘层 151 和绝缘层 152 在绝缘层 150 和电极 149a 之上形成（参见图 5A）。能够通过 PVD 方法、CVD 方法等，来形成绝缘层 151 和绝缘层 152。绝缘层 151 和绝缘层 152 能够使用包括诸如氧化硅、氮化硅、氮化硅、氧化钨或氧化铝之类的无机绝缘材料的材料来形成。

[0132] 注意，对于绝缘层 151 和绝缘层 152，可优选地使用具有低介电常数的材料，或者可优选地采用具有低介电常数的结构（例如多孔结构）。这是因为，当绝缘层 151 和绝缘层 152 具有低介电常数时，能够降低布线、电极等之间生成的电容并且能够实现更高速度的操作。

[0133] 注意，虽然在这个实施例中使用绝缘层 151 和绝缘层 152 的堆叠层结构，但是本发明的一个实施例并不局限于此。能够使用单层结构或者包括三层或更多层的堆叠层结构。备选地，可省略绝缘层。

[0134] 注意，绝缘层 152 优选地形成为以便具有平面化表面。这是因为，当绝缘层 152 具有平面化表面时，甚至在使半导体装置小型化的情况下，电极、布线等也能够有利地在绝缘层 152 之上形成。注意，绝缘层 152 能够通过诸如 CMP 处理之类的方法来平面化。

[0135] 然后，在栅绝缘层 146、绝缘层 150、绝缘层 151 和绝缘层 152 中形成达到源或漏电极 142b 的开口 153（参见图 5B）。开口 153 通过使用掩模等的选择性蚀刻来形成。

[0136] 在这里，开口 153 优选地在与电极 126 重叠的区域中形成。通过在这个区域中形成开口 153，能够防止元件面积因电极的接触区域而增加。换言之，半导体装置的集成度能够得到提高。

[0137] 然后，电极 154 在开口 153 中形成，并且与电极 154 相接触的布线 156 在绝缘层 152 之上形成（参见图 5C）。

[0138] 电极 154 能够按照如下方式来形成：例如使得通过 PVD 方法、CVD 方法等，在包括开口 153 的区域中形成导电层，并且然后通过蚀刻处理、CMP 处理等去除导电层的一部分。

[0139] 具体来说，例如，有可能采用一种方法，其中钛薄膜通过 PVD 方法在包括开口 153 的区域中形成，并且氮化钛薄膜通过 CVD 方法来形成，然后形成钨膜以便填充开口 153。在这里，通过 PVD 方法所形成的钛膜具有使其上形成钛膜的氧化物膜（例如天然氧化物膜）还原的功能，并且由此降低与下电极等（在这里为源或漏电极 142b）的接触电阻。在形成钛膜之后所形成的氮化钛膜具有抑制导电材料扩散的阻挡功能。可在形成钛、氮化钛等的阻挡膜之后通过电镀法来形成铜膜。

[0140] 注意，在电极 154 通过去除导电层的一部分来形成的情况下，优选的是，电极 154 的表面加工成经过平面化。例如，在包括开口 153 的区域中形成钛薄膜或氮化钛薄膜并且然后形成钨膜以便填充开口 153 时，能够去除钨膜、钛膜、氮化钛膜等的不必要部分，并且表面的平面度能够通过后续 CMP 处理来提高。包括电极 154 的表面按照这种方式来平面化，使得电极、布线、绝缘层、半导体层等能够有利地在后一步骤中形成。

[0141] 能够通过采用诸如溅射方法之类的 PVD 方法或者诸如等离子体 CVD 方法之类的

CVD 方法形成导电层,并且然后通过对导电层形成图案,来形成布线 156。作为用于导电层的材料,能够使用从铝、铬、铜、钽、钛、钼和钨中选取的元素;包括这些元素的任一种作为成分的合金等。可使用锰、镁、锆、铍、钨的任一种或者组合地包括这些元素的任一种的材料。细节与源或漏电极 142a、142b 等的那些细节相似。

[0142] 通过上述步骤,完成包括纯化氧化物半导体层 144 的晶体管 162 和电容器 164(参见图 5C)。

[0143] 在这个实施例中所述的晶体管 162 中,因为氧化物半导体层 144 经过纯化,所以其氢浓度低于或等于 5×10^{19} atom/cm³,优选地低于或等于 5×10^{18} atom/cm³,更优选地低于或等于 5×10^{17} atom/cm³。另外,与普通硅晶圆的载流子密度(大约为 1×10^{14} /cm³)相比,氧化物半导体层 144 的载流子密度充分低(例如,低于 1×10^{12} /cm³,优选地低于 1.45×10^{10} /cm³)。因此,断态电流充分低。例如,室温(25℃)下的晶体管 162 的断态电流(在这里为每微米(μ m)沟道宽度的电流)小于或等于 100 zA(1 zA(仄普托安培)为 1×10^{-21} A),优选地小于或等于 10 zA。

[0144] 通过使用纯化本征氧化物半导体层 144,晶体管的断态电流能够充分降低。此外,借助于这种晶体管,能够得到能够将已存储数据保存极长时间的半导体装置。

[0145] 通过使用不同导电层来形成晶体管 162 的栅电极 148a 和电容器 164 的电极 149a,并且通过设置覆盖晶体管 162 的绝缘层 150,栅电极与电容器电极之间的距离能够充分减小。这允许其中这些电极相互部分重叠的结构,由此能够提供具有更高集成度的半导体装置。

[0146] <修改示例>

[0147] 接下来将参照图 6A 和图 6B 来描述图 1A 和图 1B 中的半导体装置的另一种结构。

[0148] <半导体装置的截面结构和平面结构>

[0149] 图 6A 是半导体装置的截面图,以及图 6B 是半导体装置的平面图。在这里,图 6A 示出沿图 6B 的线条 C1-C2 和线条 D1-D2 所截取的截面。与图 1A 和图 1B 中所示的半导体装置相似,图 6A 和图 6B 中所示的半导体装置在下部包括其中包括第一半导体材料的晶体管 160 以及在上部包括其中包括第二半导体材料的晶体管 162。在这里,优选的是,第一半导体材料和第二半导体材料相互不同。例如,第一半导体材料能够为不是氧化物半导体的材料(硅),而第二半导体材料能够是氧化物半导体。包括不是氧化物半导体的半导体材料(例如单晶硅)的晶体管能够易于以高速度进行操作。另一方面,包括氧化物半导体的晶体管因其特性而能够长时间保存电荷。

[0150] 图 6A 和图 6B 中的半导体装置与图 1A 和图 1B 中的半导体装置之间的差别之一是将晶体管 160 连接到晶体管 162 的方法。在图 1A 和图 1B 中的半导体装置中,电极 126 在与金属化合物区 124 的一部分相接触的区域中形成,并且在下部的晶体管 160 的金属化合物区 124 和在上部的晶体管 162 的源或漏电极 142b 通过电极 126 相互电连接。相比之下,在图 6A 和图 6B 中的半导体装置中,在上部的晶体管 162 的源或漏电极 142b 与在下部的晶体管 160 的金属化合物区 124 直接接触。

[0151] 图 6A 和图 6B 中的半导体装置与图 1A 和图 1B 中的半导体装置之间的另一差别是连接上部的晶体管 162 和布线 156 的方法。在图 1A 和图 1B 中的半导体装置中,形成与源或漏电极 142b 相接触的电极 154,并且晶体管 162 的源或漏电极 142b 和布线 156 通过电极

154 相互电连接。相比之下,在图 6A 和图 6B 中的半导体装置中,布线 156 与晶体管 162 的源或漏电极 142b 直接接触。

[0152] 注意,在图 6A 和图 6B 中,其中源或漏电极 142b 接触晶体管 160 的源区和漏区的其中之一区域的区域与其中源或漏电极 142b 接触用于将一个存储器单元连接到另一个存储器单元的布线 156 的区域重叠。这种布局允许集成度的增加。

[0153] < 用于制造半导体装置的方法 >

[0154] 将描述图 6A 和图 6B 中所示的半导体装置的制造方法,具体来说是在上部的晶体管 162 的源或漏电极的制造方法。

[0155] 如同图 2A 至图 2D 以及图 3A 至图 3D 中所示的步骤那样,沟道形成区 116、杂质区 120 和金属化合物区 124 在衬底中形成,并且栅绝缘层 108 和栅电极 110 在衬底之上形成。此后,绝缘层 128 形成为覆盖所形成的组件。相应地,形成晶体管 160。

[0156] 然后,对绝缘层 128 执行 CMP 处理,以便暴露栅电极 110 的上表面。作为用于暴露栅电极 110 的上表面的处理,除了 CMP 处理之外还能够采用蚀刻处理等;为了改进后来形成的晶体管 162 的特性,优选地使绝缘层 128 的表面尽可能平坦。

[0157] 然后,在绝缘层 128 中形成达到晶体管 160 的金属化合物区 124 的开口。开口通过使用掩模等的选择性蚀刻来形成。

[0158] 然后,通过 PVD 方法、CVD 方法等,在包括开口的区域中形成导电层。此后,通过蚀刻处理、CMP 处理等,选择性地去除导电层的一部分,由此形成源或漏电极 142a 和源或漏电极 142b。形成导电层以便填充开口,由此金属化合物区 124 和源或漏电极 142b 相互直接接触。

[0159] 然后,如同图 4B 至图 4D 中所示的步骤那样,形成源或漏电极 142a 和源或漏电极 142b 之上的氧化物半导体层 144、与氧化物半导体层 144 相接触的栅绝缘层 146、栅绝缘层 146 之上的栅电极 148a、栅电极 148a 之上的绝缘层 150 以及绝缘层 150 之上的电极 149a。

[0160] 然后,如同图 5A 至图 5C 中所示的步骤那样,绝缘层 151 和绝缘层 152 形成为覆盖电极 149a。在形成绝缘层 151 和绝缘层 152 之后,在绝缘层 152、绝缘层 151、绝缘层 150 和栅绝缘层 146 中形成达到源或漏电极 142b 的开口。通过使用掩模等的选择性蚀刻来形成开口。

[0161] 然后,通过 PVD 方法、CVD 方法等,在包括开口的区域中形成导电层。此后,通过蚀刻处理、CMP 处理等,选择性地去除导电层的一部分,由此形成布线 156。

[0162] 通过上述过程,能够形成图 6A 和图 6B 中的半导体装置。在图 6A 和图 6B 中的半导体装置中,在下部的晶体管 160 与在上部的晶体管 162 之间的直接连接以及在上部的晶体管 162 与布线 156 之间的直接连接各通过在上部的晶体管 162 的源或漏电极 142b 进行,而无需形成另一个电极。因此,能够省略其步骤。因此,能够以低成本来制造这个实施例中所述的半导体装置。

[0163] 这个实施例中所述的结构、方法等能够与其它实施例中所述的结构和方法的任何一个适当结合。

[0164] (实施例 2)

[0165] 在这个实施例中,将参照图 7A 和图 7B、图 8A 至图 8H、图 9A 至图 9E 以及图 10A 和图 10B 来描述按照所公开的本发明的另一个实施例的半导体装置的结构和制造方法。

[0166] < 半导体装置的截面结构和平面结构 >

[0167] 图 7A 和图 7B 示出按照这个实施例的半导体装置的结构示例。图 7A 是半导体装置的截面图,以及图 7B 是半导体装置的平面图。在这里,图 7A 示出沿图 7B 中的线条 E1-E2 和线条 F1-F2 所截取的截面。图 7A 和图 7B 中所示的半导体装置在下部包括其中包括第一半导体材料的晶体管 560 以及在上部包括其中包括第二半导体材料的晶体管 562。在这里,优选的是,第一半导体材料和第二半导体材料相互不同。例如,第一半导体材料能够为不是氧化物半导体的材料(硅),而第二半导体材料能够是氧化物半导体。包括不是氧化物半导体的半导体材料(例如单晶硅)的晶体管能够易于以高速度进行操作。另一方面,包括氧化物半导体的晶体管因其特性而能够长时间保存电荷。

[0168] 虽然在本描述中,两种晶体管都是 n 沟道晶体管,但是应当理解,能够使用 p 沟道晶体管。由于所公开的本发明的技术特征在于将能够充分降低断态电流的例如氧化物半导体等半导体材料用于晶体管 562 以便保存数据,所以不必将半导体装置的诸如结构、材料等的具体条件局限到这里所给出的那些方面。

[0169] 图 7A 和图 7B 中所示的晶体管 560 包括:沟道形成区 526,设置在基底衬底 500 之上的半导体层中;杂质区 528,设置成使得夹合沟道形成区 526;栅绝缘层 522a,设置在沟道形成区 526 之上;以及栅电极 524a,设置在栅绝缘层 522a 之上。换言之,图 7A 和图 7B 中的晶体管 560 与图 1A 和图 1B 中的晶体管 160 之间的差别之一在于是否在半导体层中形成沟道形成区。还可以说,差别在于,图 1A 和图 1B 中使用半导体衬底,而图 7A 和图 7B 中使用 SOI 衬底。注意,为了方便起见,其源电极和漏电极在图中未示出的晶体管可称作晶体管。

[0170] 电极 530 连接到晶体管 560 的杂质区 528 的一部分。在这里,电极 530 用作晶体管 560 的源电极或漏电极。绝缘层 534 设置成覆盖晶体管 560。注意,为了增加集成度,优选的是,晶体管 560 没有包括侧壁绝缘层,如图 7A 和图 7B 中所示的。另一方面,在优先考虑晶体管 560 的特性时,侧壁绝缘层可在栅电极 524a 的侧面上形成,并且杂质区 528 可包括具有不同杂质浓度的区域。

[0171] 图 7A 和图 7B 中的晶体管 562 与图 1A 和图 1B 中的晶体管 162 相同。换言之,图 7A 和图 7B 中的晶体管 562 包括:源或漏电极 542a 和源或漏电极 542b,设置在绝缘层 534 之上;氧化物半导体层 544,电连接到源或漏电极 542a 和源或漏电极 542b;栅绝缘层 546,覆盖源或漏电极 542a、源或漏电极 542b 和氧化物半导体层 544;以及栅电极 548a,设置在栅绝缘层 546 之上,以便与氧化物半导体层 544 重叠。

[0172] 此外,图 7A 和图 7B 中的电容器 564 与图 1A 和图 1B 中的电容器 164 相同。换言之,图 7A 和图 7B 中的电容器 564 包括源或漏电极 542a、氧化物半导体层 544、栅绝缘层 546、绝缘层 550 和电极 549a。源或漏电极 542a 用作电容器 564 的一个电极,并且电极 549a 用作电容器 564 的另一个电极。能够参阅上述实施例以便获得其它细节。

[0173] 图 7A 和图 7B 中的下列结构也与图 1A 和图 1B 中的那些结构相似:绝缘层 551 设置在晶体管 562 和电容器 564 之上;绝缘层 552 设置在绝缘层 551 之上;电极 554 设置在栅绝缘层 546、绝缘层 550、绝缘层 551 和绝缘层 552 等中形成的开口中;以及连接到电极 554 的布线 556 设置在绝缘层 552 之上。

[0174] < SOI 衬底的制造方法 >

[0175] 接下来将参照图 8A 至图 8H 来描述用于形成上述半导体装置的 SOI 衬底的制造方

法的示例。

[0176] 首先准备基底衬底 500 (参见图 8A)。作为基底衬底 500, 能够使用采用绝缘体所形成的衬底。其具体示例包括用于电子工业的各种玻璃衬底, 例如铝硅酸盐玻璃、铝硼硅酸盐玻璃和钡硼硅酸盐玻璃; 石英衬底; 陶瓷衬底; 以及蓝宝石衬底。此外, 可使用包含氮化硅和氮化铝作为其主要成分并且其热膨胀系数接近硅的热膨胀系数的陶瓷衬底。

[0177] 备选地, 诸如单晶硅衬底或单晶锗衬底之类的半导体衬底可用作基底衬底 500。在半导体衬底用作基底衬底 500 的情况下, 能够易于得到具有高质量的 SOI 衬底, 因为与使用玻璃衬底等的情况相比, 热处理的温度上限能够升高。在这里, 作为半导体衬底, 可使用太阳能级硅 (SOG-Si) 衬底等。备选地, 可使用多晶半导体衬底。在使用太阳能级硅衬底、多晶半导体衬底等的情况下, 与使用单晶硅衬底等的情况相比, 制造成本能够降低。

[0178] 在这个实施例中, 描述玻璃衬底用作基底衬底 500 的情况。当能够具有较大尺寸并且是廉价的玻璃衬底用作基底衬底 500 时, 能够实现成本降低。

[0179] 基底衬底 500 的表面优选地预先清洁。具体来说, 基底衬底 500 经过采用盐酸 / 过氧化氢混合物 (HPM)、硫酸 / 过氧化氢混合物 (SPM)、铵过氧化氢混合物 (APM)、稀释氢氟酸 (DHF)、盐酸、过氧化氢水和纯水的混合溶液 (FPM) 等的超声波清洁。通过这种清洁处理, 能够改进基底衬底 500 的表面平面度, 并且能够去除基底衬底 500 的表面上留下的磨料微粒。

[0180] 然后, 含氮层 502 (例如, 包括其中包含氮的绝缘膜 (例如氮化硅 (SiN_x) 膜或氧化氮化硅 (SiN_xO_y ($x > y$) 膜) 的层) 在基底衬底 500 的表面之上形成 (参见图 8B)。能够通过 CVD 方法、溅射方法等, 形成含氮层 502。

[0181] 在这个实施例中形成的含氮层 502 用作用于接合单晶半导体层的层 (即, 接合层)。含氮层 502 还用作阻挡层, 用于防止基底衬底中包含的诸如钠 (Na) 之类的杂质扩散到单晶半导体层中。

[0182] 如上所述, 由于在这个实施例中, 含氮层 502 用作接合层, 所以优选的是, 含氮层 502 形成为具有某个等级的表面平面度。具体来说, 含氮层 502 形成为使得它具有 0.50 nm 或更小的平均表面粗糙度 (R_a , 其又称作算术平均偏差) 以及 0.60 nm 或更小的均方根表面粗糙度 (RMS), 优选地是 0.35 nm 或更小的平均表面粗糙度以及 0.45 nm 或更小的均方根表面粗糙度。注意, 对于上述平均表面粗糙度和均方根表面粗糙度, 例如能够使用通过对 $10 \mu\text{m} \times 10 \mu\text{m}$ 的区域执行的测量所得到的值。厚度处于从 10 nm 至 200 nm、优选地从 50 nm 至 100 nm 的范围中。通过这种高程度表面平面度, 能够防止后一步骤中的单晶半导体层的缺陷接合。

[0183] 随后准备接合衬底。在这里, 单晶半导体衬底 510 用作接合衬底 (参见图 8C)。注意, 虽然单晶衬底在这里用作接合衬底, 但是接合衬底的结晶度不一定局限于单晶。

[0184] 例如, 作为单晶半导体衬底 510, 能够使用采用 14 族元素所形成的单晶半导体衬底, 例如单晶硅衬底、单晶锗衬底或单晶硅锗衬底。此外, 能够使用砷化镓、磷化铟等的化合物半导体衬底。市场销售硅衬底的典型示例是圆形硅衬底, 其直径为 5 英寸 (125 mm)、直径为 6 英寸 (150 mm)、直径为 8 英寸 (200 mm)、直径为 12 英寸 (300 mm) 和直径为 16 英寸 (400 mm)。注意, 单晶半导体衬底 510 的形状并不局限于圆形, 并且单晶半导体衬底 510 可以是已经加工成例如矩形形状等的衬底。此外, 单晶半导体衬底 510 能够通过 Czochralski (CZ) 法或浮区 (FZ) 法来形成。

[0185] 在单晶半导体衬底 510 的表面形成氧化物膜 512(参见图 8D)。考虑到去除污染物,优选的是,在形成氧化物膜 512 之前,采用盐酸 / 过氧化氢混合物 (HPM)、硫酸 / 过氧化氢混合物 (SPM)、铵过氧化氢混合物 (APM)、稀释氢氟酸 (DHF)、氢氟酸、过氧化氢水和纯水的混合溶液 (FPM) 等清洁单晶半导体衬底 510 的表面。备选地,可交替排放稀释氢氟酸和臭氧水来进行清洁。

[0186] 氧化物膜 512 能够形成为具有包括氧化硅膜、氧氮化硅膜等的单层结构或堆叠层结构。作为用于形成氧化物膜 512 的方法,能够使用热氧化方法、CVD 方法、溅射方法等等。在通过 CVD 方法来形成氧化物膜 512 的情况下,氧化硅膜优选地使用诸如四乙氧基甲硅烷(缩写为 TEOS)(化学分子式: $\text{Si}(\text{OC}_2\text{H}_5)_4$) 之类的有机硅烷来形成,使得能够实现有利接合。

[0187] 在这个实施例中,通过对单晶半导体衬底 510 执行热氧化处理来形成氧化物膜 512(在这里为 SiO_x 膜)。优选地在添加了卤素的氧化气氛中执行热氧化处理。

[0188] 例如,单晶半导体衬底 510 的热氧化处理在添加了氯 (Cl) 的氧化气氛中执行,由此能够通过氯化来形成氧化物膜 512。在这种情况下,氧化物膜 512 是包含氯原子的膜。通过这种氯化,作为非本征杂质的重金属(例如,铁 (Fe)、铬 (Cr)、(镍)Ni 或钼 (Mo)) 被捕获,并且金属的氯化物被形成并且移除到外部;因此,能够降低单晶半导体衬底 510 的污染。此外,在基底衬底 500 和单晶半导体衬底 510 相互接合之后,氧化物膜 512 捕获来自基底衬底的诸如 N 之类的杂质,使得能够防止单晶半导体衬底 510 的污染。

[0189] 注意,氧化物膜 512 中包含的卤素原子并不局限于氯原子。氟原子可被包含在氧化物膜 512 中。作为单晶半导体衬底 510 的表面的氟氧化的方法,能够给出其中将单晶半导体衬底 510 沉浸在氟化氢 (HF) 溶液中并且然后在氧化气氛中经过热氧化处理的方法、其中在添加了三氟化氮 (NF_3) 的氧化气氛中执行热氧化处理的方法等。

[0190] 随后,通过电场来加速离子,并采用离子来照射单晶半导体衬底 510,并且将离子添加到单晶半导体衬底 510,由此在单晶半导体衬底 510 中的预定深度形成其中晶体结构被破坏的脆化区 514(参见图 8E)。

[0191] 能够通过离子的动能、质量、电荷或入射角等来调整形成脆化区 514 的深度。脆化区 514 在与离子的平均穿透深度大致相同的深度形成。因此,能够采用添加离子的深度来调整与单晶半导体衬底 510 分离的单晶半导体层的厚度。例如,平均穿透深度可调整成使得单晶半导体层的厚度大约为 10 nm 至 500 nm(包括两端),优选地为 50 nm 至 200 nm(包括两端)。

[0192] 能够采用离子掺杂设备或者离子注入设备来执行离子照射处理。作为离子掺杂设备的典型示例,存在非质量分离类型设备,其中工艺气体 (process gas) 经过等离子体激发,并且采用所生成的所有离子种类来照射对象。在这种设备中,采用没有质量分离的等离子体的离子种类来照射对象。相比之下,离子注入设备是质量分离设备。在离子注入设备中,等离子体中的离子种类经过质量分离,并且采用具有预定质量的离子种类来照射对象。

[0193] 在这个实施例中,将描述其中离子掺杂设备用于将氢添加到单晶半导体衬底 510 的示例。包含氢的气体用作源料气体 (source gas)。 H_3^+ 的比例在用于照射的离子中优选地设置成高。具体来说,优选的是, H_3^+ 的比例相对于 H^+ 、 H_2^+ 和 H_3^+ 的总量设置成 50% 或更高(更优选地为 80% 或更高)。通过 H_3^+ 的高比例,离子照射的效率能够提高。

[0194] 注意,待添加的离子并不局限于氢离子。可添加氦离子等。此外,待添加的离子并

不局限于一种离子,而是可添加多种离子。例如,在使用离子掺杂设备同时采用氢和氦来执行照射的情况下,与通过不同步骤采用氢和氦来执行照射的情况相比,能够减少步骤数,并且能够抑制稍后形成的单晶半导体层的表面粗糙度。

[0195] 注意,当采用离子掺杂设备来形成脆化区 514 时,还可添加重金属;但是,因为通过包含卤素原子的氧化物膜 512 来执行离子照射,所以能够防止因重金属引起的单晶半导体衬底 510 的污染。

[0196] 然后,基底衬底 500 和单晶半导体衬底 510 设置成彼此相向,并且含氮层 502 和氧化物膜 512 的表面牢固地相互附连。因此,基底衬底 500 和单晶半导体衬底 510 能够相互接合(参见图 8F)。

[0197] 当执行接合时,优选的是,将 0.001 N/cm^2 至 100 N/cm^2 (包括两端) 的压力、例如 1 N/cm^2 至 20 N/cm^2 (包括两端) 的压力施加到基底衬底 500 或单晶半导体衬底 510 的一部分。在通过施加压力来使接合表面相互靠近并且牢固地相互附连时,在含氮层 502 与氧化物膜 512 牢固地相互附连的部分引起它们之间的接合,并且接合自然地扩展到几乎整个区域。这种接合在范德瓦尔斯力 (Van der Waals force) 或氢键合 (hydrogen bonding) 的作用下执行,并且能够在室温下执行。

[0198] 注意,在单晶半导体衬底 510 和基底衬底 500 相互接合之前,将要相互接合的表面优选地经过表面处理。表面处理能够提高单晶半导体衬底 510 与基底衬底 500 之间的界面的接合强度。

[0199] 作为表面处理,能够使用湿式处理、干式处理或者湿式处理和干式处理的组合。备选地,湿式处理可与不同湿式处理结合使用,或者干式处理可与不同干式处理结合使用。

[0200] 注意,用于提高接合强度的热处理可在接合之后执行。这种热处理在没有发生脆化区 514 处的分离的温度(例如,高于或等于室温但低于 400°C 的温度)下执行。备选地,含氮层 502 和氧化物膜 512 可在以这个范围之内的温度被加热的同时来接合。热处理能够使用扩散炉、诸如电阻加热炉之类的加热炉、快速热退火 (RTA) 设备、微波加热设备等来执行。注意,上述温度条件只是一个示例,并且所公开的本发明的一个实施例不应当被理解为局限于这个示例。

[0201] 随后,执行热处理,以便在脆化区分离单晶半导体衬底 510,由此单晶半导体层 516 隔着含氮层 502 和氧化物膜 512 在基底衬底 500 之上形成(参见图 8G)。

[0202] 注意,分离中的热处理温度理想地设置为尽可能低。这是因为,分离中的温度越低,则能够抑制单晶半导体层 516 的更大表面粗糙度。具体来说,分离中的热处理的温度可以为 300°C 至 600°C (包括两端),并且热处理在温度为 400°C 至 500°C (包括两端) 时更为有效。

[0203] 注意,在分离单晶半导体衬底 510 之后,单晶半导体层 516 可经过 500°C 或更高的温度下的热处理,使得单晶半导体层 516 中剩余的氢的浓度可降低。

[0204] 然后,采用激光来照射单晶半导体层 516 的表面,由此形成其中表面平面度得到改进并且减少缺陷数量的单晶半导体层 518 (参见图 8H)。注意,代替激光照射处理,可执行热处理。

[0205] 虽然在这个实施例中,采用激光的照射处理紧接用于分离单晶半导体层 516 的热处理之后执行,但是本发明的一个实施例不应当被理解为局限于此。可在用于分离单晶半

导体层 516 的热处理以及用于去除单晶半导体层 516 的具有许多缺陷的表面区域的蚀刻处理之后执行激光照射处理。备选地,激光照射处理可在单晶半导体层 516 的表面平面度得到改进之后来执行。注意,蚀刻处理可以是湿式蚀刻或干式蚀刻。此外,在这个实施例中,在上述激光照射之后,可执行减小单晶半导体层 516 的厚度的步骤。为了减小单晶半导体层 516 的厚度,可采用干式蚀刻和湿式蚀刻的任一种或两者。

[0206] 通过上述步骤,能够得到具有带有利特性的单晶半导体层 518 的 SOI 衬底(参见图 8H)。

[0207] <用于制造半导体装置的方法>

[0208] 接下来将参照图 9A 至图 9E 来描述用于借助于 SOI 衬底来制造半导体装置的方法,具体来说是用于制造晶体管 560 的方法。注意,图 9A 至图 9E 示出通过图 8A 至图 8H 中所示的方法所形成的 SOI 衬底的一部分,并且是与图 7A 的部分对应的截面图。

[0209] 首先,将单晶半导体层 518 加工成岛状,以便形成半导体层 520(参见图 9A)。注意,在这个步骤之前或之后,赋予 n 型导电性或 p 型导电性的杂质元素可添加到衬底半导体层,以便控制晶体管的阈值电压。当衬底中包括的半导体材料为硅时,磷、砷等能够用作赋予 n 型导电性的杂质,以及硼、铝、镓等能够用作赋予 p 型导电性的杂质。

[0210] 随后,绝缘层 522 形成为覆盖半导体层 520,并且导电层 524 在绝缘层 522 之上与半导体层 520 重叠的区域中形成(参见图 9B)。

[0211] 绝缘层 522 后来将被加工成栅绝缘层。例如,能够通过对半导体层 520 的表面执行热处理(热氧化处理、热氮化处理等),来形成绝缘层 522。高密度等离子体处理可用于代替热处理。例如,能够使用诸如 He、Ar、Kr 或 Xe 之类的稀有气体、氧、氧化氮、氨、氮、氢等的任一种的混合气体来执行高密度等离子体处理。不用说,可通过 CVD 方法、溅射方法等,来形成绝缘层。绝缘层优选地具有单层结构或堆叠层结构,其中包括包含氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽、氧化钽、硅酸钪(HfSi_xO_y ($x>0, y>0$))、添加了氮的硅酸钪($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$))、添加了氮的铝酸钪($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)) 等的膜。绝缘层的厚度能够例如为 1 nm 至 100 nm(包括两端),优选地为 10 nm 至 50 nm(包括两端)。在这里,包含氧化硅的单层绝缘层通过等离子体 CVD 方法来形成。

[0212] 导电层 524 后来将被加工成栅绝缘层。导电层 524 能够使用诸如铝、铜、钛、钽或钨之类的金属材料来形成。此外,包括导电材料的层可使用诸如多晶硅之类的半导体材料来形成。对用于形成包括导电材料的层的方法没有具体限制,并且能够采用诸如蒸发方法、CVD 方法、溅射方法和旋涂方法之类的各种膜形成方法的任一种。注意,在这个实施例中,描述使用金属材料来形成包括导电材料的层的示例。

[0213] 然后,选择性地蚀刻绝缘层 522 和导电层 524,由此栅绝缘层 522a 和栅电极 524a 在半导体层 520 之上形成(参见图 9C)。作为蚀刻,优选地执行干式蚀刻,但是可执行湿式蚀刻。蚀刻气体和蚀刻剂能够按照待蚀刻材料来适当地选择。

[0214] 然后,使用栅电极 524a 作为掩模将赋予一种导电类型的杂质元素添加到半导体层 520,由此形成沟道形成区 526 和杂质区 528(参见图 9D)。注意,在这里添加磷(P)或砷(As),以便形成 n 沟道晶体管;在形成 p 沟道晶体管时,可添加诸如硼(B)、铝(Al)或镓(Ga)之类的杂质元素。在这里,待添加杂质的浓度能够适当设置。另外,在添加杂质元素之后,执行用于活化(activation)的热处理。

[0226] < 半导体装置的截面结构和平面结构 >

[0227] 图 10A 是半导体装置的截面图, 以及图 10B 是半导体装置的平面图。在这里, 图 10A 示出沿图 10B 中的线条 G1-G2 和线条 H1-H2 所截取的截面。与图 7A 和图 7B 中所示的半导体装置相似, 图 10A 和图 10B 中所示的半导体装置在下部包括其中包括第一半导体材料的晶体管 560 以及在上部包括其中包括第二半导体材料的晶体管 562。在这里, 优选的是, 第一半导体材料和第二半导体材料相互不同。例如, 第一半导体材料能够为不是氧化物半导体的材料 (硅), 而第二半导体材料能够是氧化物半导体。包括不是氧化物半导体的半导体材料 (例如单晶硅) 的晶体管能够易于以高速度进行操作。另一方面, 包括氧化物半导体的晶体管因其特性而能够长时间保存电荷。

[0228] 图 10A 和图 10B 中的半导体装置与图 7A 和图 7B 中的半导体装置之间的差别之一是将晶体管 560 连接到晶体管 562 的方法。在图 7A 和图 7B 中的半导体装置中, 在与杂质区 528 的一部分相接触的区域中形成电极 530, 并且在下部的晶体管 560 的杂质区 528 和在上部的晶体管 562 的源或漏电极 142b 通过电极 530 相互电连接。相比之下, 在图 10A 和图 10B 中的半导体装置中, 在上部的晶体管 562 的源或漏电极 542b 与在下部的晶体管 560 的杂质区 528 直接接触。

[0229] 图 10A 和图 10B 中的半导体装置与图 7A 和图 7B 中的半导体装置之间的另一差别是连接在上部的晶体管 562 和布线 556 的方法。在图 7A 和图 7B 中的半导体装置中, 形成与源或漏电极 542b 相接触的电极 554, 并且晶体管 562 的源或漏电极 542b 和布线 556 通过电极 554 相互电连接。相比之下, 在图 10A 和图 10B 中的半导体装置中, 布线 556 与晶体管 562 的源或漏电极 542b 直接接触。

[0230] 图 10A 和图 10B 中的晶体管 560 与图 7A 和图 7B 中的晶体管 560 相同。图 10A 和图 10B 中的晶体管 562 与图 7A 和图 7B 中的晶体管 562 相同。此外, 图 10A 和图 10B 中的电容器 564 与图 7A 和图 7B 中的电容器 564 相同。能够参阅上述实施例以便获得细节。

[0231] 对于图 10A 和图 10B 中的半导体装置的制造方法, 具体来说是在上部的晶体管 562 的源或漏电极的制造方法和布线 556 的制造方法, 能够参阅上述实施例; 因此省略其描述。

[0232] 这个实施例中所述的结构、方法等能够与其它实施例中所述的结构和方法的任一个适当结合。

[0233] (实施例 3)

[0234] 在这个实施例中, 将参照图 11A 和图 11B 以及图 12A 和图 12B 来描述按照所公开的本发明的另一个实施例的半导体装置的结构和制造方法。

[0235] < 半导体装置的截面结构和平面结构 >

[0236] 图 11A 和图 11B 示出按照这个实施例的半导体装置的结构示例。图 11A 是半导体装置的截面图, 以及图 11B 是半导体装置的平面图。在这里, 图 11A 示出沿图 11B 中的线条 I1-I2 和线条 J1-J2 所截取的截面。图 11A 和图 11B 中所示的半导体装置在下部包括其中包括第一半导体材料的晶体管 160 以及在上部包括其中包括第二半导体材料的晶体管 262。在这里, 优选的是, 第一半导体材料和第二半导体材料相互不同。例如, 第一半导体材料能够为不是氧化物半导体的材料 (硅), 而第二半导体材料能够是氧化物半导体。包括不是氧化物半导体的半导体材料 (例如单晶硅) 的晶体管能够易于以高速度进行操作。另一方面, 包括氧化物半导体的晶体管因其特性而能够长时间保存电荷。

[0237] 虽然图 1A 和图 1B 中的晶体管 160 用作图 11A 和图 11B 中的下部的晶体管,但是备选地能够采用图 7A 和图 7B 中的晶体管 560。由于图 11A 和图 11B 中的上部的晶体管 262 的结构与上述实施例中的晶体管 162 的结构不同,所以详细描述晶体管 262。

[0238] 图 11A 和图 11B 中的晶体管 262 在绝缘层 128 之上包括绝缘层 243a、嵌入绝缘层 243a 的源或漏电极 242a 和源或漏电极 242b、与绝缘层 243a 的顶面以及源或漏电极 242a 和源或漏电极 242b 的顶面的部分相接触的氧化物半导体层 244、覆盖氧化物半导体层 244 的栅绝缘层 246 以及栅绝缘层 246 之上的栅电极 248a。

[0239] 另外,与氧化物半导体层 244 相接触的绝缘层 243a 的上表面的一部分(具体来说是与形成组件的表面平行的区域)具有 1 nm 或更小的均方根(RMS)粗糙度。源或漏电极 242a 的上表面与绝缘层 243a 的上表面的部分之间的高度的差或者源或漏电极 242b 的上表面与绝缘层 243a 的上表面的部分之间的高度的差小于 5 nm。

[0240] 如上所述,在所公开的本发明的一个实施例中,晶体管 262 的沟道形成区设置在均方根(RMS)粗糙度为 1 nm 或更小的极平坦区域之上。相应地,甚至在使晶体管 262 小型化时,也能够防止诸如短沟道效应之类的问题;因此,能够提供具有有利特性的晶体管 262。

[0241] 另外,通过改进其中形成氧化物半导体层 244 的表面的平面度,氧化物半导体层 244 能够具有均匀厚度;因此,晶体管 262 能够具有改进特性。此外,能够抑制可通过高度的大差异而引起的覆盖的减小,并且能够防止因氧化物半导体层 244 的阶梯(断开连接)或缺陷连接引起的断裂。

[0242] <用于制造在上部的晶体管的方法>

[0243] 接下来将参照图 12A 至图 12F 来描述半导体装置的制造方法。在这里,图 12A 至图 12F 示出图 11A 和图 11B 中所示晶体管 262 的制造方法的示例。注意,对于在下部的晶体管 160 的制造方法,可参阅图 2A 至图 2D 以及图 3A 至图 3D,并且省略其详细描述。

[0244] 在绝缘层 128、栅电极 110、电极 126 等之上形成导电层,并且选择性地蚀刻导电层,以便形成源或漏电极 242a 和源或漏电极 242b(参见图 12A)。然后,绝缘层 243 形成为覆盖源或漏电极 242a 和源或漏电极 242b(参见图 12B)。对于源或漏电极 242a、源或漏电极 242b 和绝缘层 243 的材料和形成方法,能够参阅上述实施例,并且省略其详细描述。

[0245] 注意,作为形成源或漏电极 242a 和 242b 之前的处理,优选地对绝缘层 128 执行 CMP 处理,以便暴露栅电极 110 和电极 126 的上表面。作为用于暴露栅电极 110 和电极 126 的上表面的处理,除了 CMP 处理之外还能够采用蚀刻处理等;为了改进晶体管 262 的特性,优选地使绝缘层 128 的表面尽可能平坦。

[0246] 然后,通过经由 CMP 处理使绝缘层 243 变薄,来形成绝缘层 243a(参见图 12C)。在这里,在使得源或漏电极 242a 和 242b 的表面变为外露的条件下执行 CMP 处理。另外,在使得绝缘层 243a 的表面的均方根(RMS)粗糙度成为 1 nm 或更小(优选地为 0.5 nm 或更小)的条件下执行 CMP 处理。通过在这类条件下执行 CMP 处理,其中后来形成氧化物半导体层 244 的表面的平面度能够得到改进,并且晶体管 262 的特性能够得到改进。

[0247] 注意,CMP 处理可以仅执行一次或者执行多次。当多次执行 CMP 处理时,优选的是,第一抛光以高抛光速率来执行,而最终抛光以低抛光速度来执行。通过以不同抛光速率来执行抛光,绝缘层 243a 的表面的平面度能够进一步改进。

[0248] 通过上述 CMP 处理,源或漏电极 242a 的上表面与绝缘层 243a 的上表面的部分之

间的高度的差或者源或漏电极 242b 的上表面与绝缘层 243a 的上表面的部分之间的高度的差能够设置成小于 5 nm。

[0249] 随后,覆盖上述表面的氧化物半导体层 244 形成为与绝缘层 243a 和源或漏电极 242a 和 242b 的部分相接触;然后,形成栅绝缘层 246 以便覆盖氧化物半导体层 244(参见图 12D)。

[0250] 注意,在本发明的一个实施例中,形成氧化物半导体层 244 的表面经过充分平面化。因此,甚至能够有利地形成具有小厚度的氧化物半导体层。另外,在本发明的一个实施例中,氧化物半导体层 244 优选地具有平坦截面形状,如图 12D 中所示。在氧化物半导体层 244 具有平坦截面形状的情况下,由此与氧化物半导体层 244 没有平坦截面形状的情况相比,泄漏电流能够降低。

[0251] 然后,在栅绝缘层 246 之上形成栅电极 248a 之后,绝缘层 250 形成为覆盖栅电极 248a。然后,电极 249a 在绝缘层 250 之上形成(参见图 12E)。

[0252] 电容器 264 的电极 249a 设置成与晶体管 262 的栅电极 248a 的至少一部分重叠。此外,电容器 264 的电极 249a 可设置成与晶体管 160 的栅电极 110 的至少一部分重叠。此外,电容器 264 的电极 249a 可设置成与晶体管 262 的沟道形成区的至少一部分重叠。这种平面布局允许更高集成。

[0253] 然后,绝缘层 251 形成为覆盖绝缘层 250 和电极 249a,并且绝缘层 252 在绝缘层 251 之上形成(参见图 12F)。

[0254] 通过上述步骤,能够形成晶体管 262(参见图 12F)。

[0255] 这个实施例中所述的结构、方法等能够与其它实施例中所述的结构和方法的任一个适当结合。

[0256] (实施例 4)

[0257] 在这个实施例中,将参照图 13A、图 13B 和图 13C 来描述按照所公开的本发明的一个实施例的半导体装置的电路结构和操作。在图 13A、图 13B 和图 13C 中的电路图的描述中,参考标号与图 1A 和图 1B 中的半导体装置中的那些参考标号相同。注意,在电路图中,在某个晶体管旁标有“0S”,以便指示该晶体管包括氧化物半导体。

[0258] 在图 13A 中的半导体装置中,第一布线(第 1 线)和晶体管 160 的源电极相互电连接,并且第二布线(第 2 线)和晶体管 160 的漏电极相互电连接。第三布线(第 3 线)和晶体管 162 的源或漏电极其中之一相互电连接,并且第四布线(第 4 线)和晶体管 162 的栅电极相互电连接。晶体管 160 的栅电极和晶体管 162 的源或漏电极中的另一个电连接到电容器 164 的一个电极,并且第五布线(第 5 线)和电容器 164 的另一个电极相互电连接。

[0259] 在这里,例如,包括氧化物半导体的上述晶体管用作晶体管 162。包括氧化物半导体的晶体管的断态电流极小。因此,当晶体管 162 处于截止状态时,晶体管 160 的栅电极中的电位能够保存非常长时间。通过设置电容器 164,提供给晶体管 160 的栅电极的电荷能够易于保存,并且所保存数据能够易于读取。

[0260] 注意,对晶体管 160 没有具体限制。为了提高读取数据的速度,优选的是使用例如具有高开关速度的晶体管,例如使用单晶硅所形成的晶体管。

[0261] 备选地,如图 13B 中那样,电容器 164 可省略。

[0262] 图 13A 中的半导体装置能够利用其中能够保存晶体管 160 的栅电极的电位的特

性,按如下所述进行写入、保存和读取数据。

[0263] 首先将描述数据的写入和保存。第四布线的电位设置成使晶体管 162 导通电位,由此晶体管 162 导通。因此,将第三布线的电位施加到晶体管 160 的栅电极和电容器 164。也就是说,将预定电荷施加到晶体管 160 的栅电极(数据的写入)。在这里,通过第三布线来施加用于施加两个不同电位的电荷(下文中,用于施加低电位的电荷称作电荷 Q_L ,而用于施加高电位的电荷称作电荷 Q_H)。注意,用于施加三个或更多不同电位的电荷可用于提高存储容量。此后,第四布线的电位设置成使晶体管 162 截止的电位,由此晶体管 162 截止。因此,保存施加到晶体管 160 的栅电极的电荷(数据的保存)。

[0264] 由于晶体管 162 的断态电流相当小,所以将晶体管 160 的栅电极的电荷长时间保存。

[0265] 其次将描述数据的读取。在将预定电位(固定电位)施加到第一布线的同时,将适当电位(读出电位)施加到第五布线,由此第二布线的电位根据晶体管 160 的栅电极中保存的电荷量而变化。这是因为,一般来说,当晶体管 160 是 n 沟道晶体管时,在将 Q_H 施加到晶体管 160 的栅电极的情况下的表观阈值电压 $V_{th,H}$ 低于在将 Q_L 施加到晶体管 160 的栅电极的情况下的表观阈值电压 $V_{th,L}$ 。在这里,表观阈值(apparent threshold value)指的是使晶体管 160 导通所需要的第五布线的电位。因此,通过将第五布线的电位设置成处于 $V_{th,H}$ 与 $V_{th,L}$ 之间的电位 V_0 ,能够确定施加到晶体管 160 的栅电极的电荷。例如,在写入中施加 Q_H 的情况下,当第五布线的电位设置成 $V_0 (>V_{th,H})$ 时,晶体管 160 导通。在写入中施加 Q_L 的情况下,甚至当第五布线的电位设置成 $V_0 (>V_{th,L})$ 时,晶体管 160 也保持截止。因此,能够通过测量第二布线的电位来读取所保存数据。

[0266] 注意,在排列存储器单元的情况下,必需仅从预定存储器单元来读出数据。在读出预定存储器单元的数据而不读出其它存储器单元的数据的情况下,晶体管 160 与栅电极的状态无关地处于截止状态的电位(即低于 $V_{th,H}$ 的电位)可施加到其数据将不被读取的存储器单元的第五布线。备选地,晶体管 160 与栅电极的状态无关地处于导通状态的电位(即高于 $V_{th,L}$ 的电位)可施加到其数据将不被读取的存储器单元的第五布线。

[0267] 第三,将描述数据的改写。数据的改写按照与数据的写入和保存相似的方式来执行。也就是说,第四布线的电位设置成使晶体管 162 导通电位,由此晶体管 162 导通。相应地,将第三布线的电位(新数据的电位)施加到晶体管 160 的栅电极和电容器 164。此后,第四布线的电位设置成使晶体管 162 截止的电位,由此晶体管 162 截止。因此,将新数据的电荷施加到晶体管 160 的栅电极。

[0268] 在按照所公开的本发明的半导体装置中,数据能够通过如上所述的数据的另一次写入来直接改写。因此,不需要借助于高电压从浮栅抽取电荷,而这在闪速存储器等中是需要的,并且能够抑制擦除操作所引起的操作速度的降低。换言之,能够实现半导体装置的高速操作。

[0269] 注意,晶体管 162 的源电极或漏电极电连接到晶体管 160 的栅电极,并且由此具有与用作非易失性存储器元件的浮栅晶体管的浮栅相似的效果。在一些情况下,其中晶体管 162 的源电极或漏电极和晶体管 160 的栅电极相互电连接的部分称作浮栅部分 FG。当晶体管 162 截止时,浮栅部分 FG 能够被看作是嵌入绝缘体中,并且电荷保存在浮栅部分 FG 中。包括氧化物半导体的晶体管 162 的断态电流小于或等于包括硅半导体等的晶体管的断态

电流的十万分之一；因此，浮栅部分 FG 中积聚的电荷因晶体管 162 的泄漏电流引起的损失是可忽略的。也就是说，通过包括氧化物半导体的晶体管 162，能够实现无需电力供应而能够保存数据的非易失性存储器装置。

[0270] 例如，当晶体管 162 的断态电在室温（25℃）下小于或等于 10 zA（1 zA（仄普托安培为 1×10^{-21} A）并且电容器 164 的电容值大约为 10 fF 时，数据能够保存 10^4 秒或更长时间。注意，应当理解，保存时间根据晶体管特性和电容值而变化。

[0271] 此外，在这种情况下，不存在常规浮栅晶体管中发生的栅绝缘膜（隧道绝缘膜）的降级问题。也就是说，能够解决作为常规问题的因将电子注入浮栅引起的栅绝缘膜的降级问题。这意味着，原则上对写入次数没有限制。此外，常规浮栅晶体管中进行写入或擦除所需的高电压不是必需的。

[0272] 诸如图 13A 中的半导体装置中的晶体管之类的组件能够被看作包括图 13C 中所示的电阻器和电容器。也就是说，图 13C 中，晶体管 160 和电容器 164 各被看作包括电阻器和电容器。R1 和 C1 分别表示电容器 164 的电阻值和电容值。电阻值 R1 对应于电容器 164 中包括的绝缘层的电阻值。R2 和 C2 分别表示晶体管 160 的电阻值和电容值。电阻值 R2 对应于晶体管 160 导通时的栅绝缘层的电阻值。电容值 C2 对应于所谓的栅电容（在栅电极与源电极或漏电极之间的电容以及在栅电极与沟道形成区之间的电容）的电容值。

[0273] 主要通过其中晶体管 162 的栅极泄漏电流充分小、 $R1 \geq ROS$ （R1 大于或等于 ROS）并且 $R2 \geq ROS$ （R2 大于或等于 ROS）的条件下的晶体管 162 的断态电流来确定电荷保存期（又称作数据保存期），其中 ROS 是当晶体管 162 截止时在源电极与漏电极之间的电阻（又称作有效电阻）。

[0274] 另一方面，在不满足上述条件的情况下，难以确保充分保存期，即使晶体管 162 的断态电流充分小。这是因为除了晶体管 162 的断态电流之外的泄漏电流（例如晶体管 160 的源电极与栅电极之间生成的泄漏电流）会是大的。因此可以说，这个实施例中公开的半导体装置理想地满足上述关系。

[0275] 同时，期望 $C1 \geq C2$ （C1 大于或等于 C2）。这是因为，通过增加 C1，第五布线的电位能够在浮栅部分 FG 的电位由第五布线来控制时有效地施加到浮栅部分 FG，并且施加到第五布线的电位（例如进行读取的电位和没有读取的电位）之间的差能够较小。

[0276] 当满足上述关系时，能够实现更优选的半导体装置。注意，R1 和 R2 取决于晶体管 160 的栅绝缘层和电容器 164 的绝缘层。同样的情况适用于 C1 和 C2。因此，栅绝缘层的材料、厚度等优选地适当设置成满足上述关系。

[0277] 在这个实施例中所述的半导体装置中，浮栅部分 FG 具有与闪速存储器等的浮栅晶体管的浮栅相似的效果，但是这个实施例的浮栅部分 FG 具有与闪速存储器等的浮栅本质上不同的特征。在闪速存储器中，由于施加到控制栅的电压较高，所以必需保持单元之间的适当距离，以便防止电位影响相邻单元的浮栅。这是阻碍半导体装置的高度集成的因素之一。该因素归因于闪速存储器的基本原理：通过施加高电场来生成隧道电流。

[0278] 相比之下，按照这个实施例的半导体装置通过开/关包括氧化物半导体的晶体管来操作，而没有使用通过隧道电流进行的电荷注入的上述原理。也就是说，与闪速存储器不同，用于电荷注入的高电场不是必需。相应地，不需要考虑控制栅的高电场对相邻单元的影响；因而能够促进高度集成。

[0279] 另外,还优于闪速存储器的优点是,高电场不是必需,并且大外围电路(例如升压电路)不是必需。例如,在写入两级数据(一位)的情况下,在各存储器单元中,施加到按照这个实施例的存储器单元的最高电压(同时施加到存储器单元的端子的最高电位与最低电位之间的差)能够为 5 V 或更低,优选地为 3 V 或更低。

[0280] 在电容器 164 中包括的绝缘层的介电常数 ϵ_{r1} 与晶体管 160 中包括的栅绝缘层的介电常数 ϵ_{r2} 不同的情况下,易于满足在 $2 \times S2 \geq S1$ ($2 \times S2$ 大于或等于 $S1$)、理想地在 $S2 \geq S1$ ($S2$ 大于或等于 $S1$) 的同时 $C1 \geq C2$ ($C1$ 大于或等于 $C2$) 的关系,其中 $S1$ 是电容器 164 的面积,以及 $S2$ 是晶体管 160 中具有栅电容的面积。具体来说,例如,在由诸如氧化铪之类的高 k 材料所形成的膜或者由诸如氧化铪之类的高 k 材料所形成的膜与由氧化物半导体所形成的膜的叠层用于电容器 164 中包括的绝缘层时, ϵ_{r1} 能够设置为 10 或更大,优选地为 15 或更大,并且在由氧化硅所形成的膜用于晶体管 160 中包括的栅绝缘层时, $3 \leq \epsilon_{r2} \leq 4$ (ϵ_{r2} 为 3 至 4(包括两端))。

[0281] 这类结构的组合进一步实现按照所公开的本发明的半导体装置的更高集成。

[0282] 注意,除了更高集成之外,还能够采用多级技术,以便提高半导体装置的存储容量。例如,将三级或更多级数据写到一个存储器单元,由此与写入两级数据的情况相比能够提高存储容量。能够通过例如除了用于提供低电位的电荷 Q_L 和用于提供高电位的电荷 Q_H 之外还将电荷 Q 提供给晶体管 160 的栅电极,来实现多级技术。在这种情况下,甚至当采用 F^2 不是充分小的电路结构时,也能够确保足够的存储容量。

[0283] 注意,在以上描述中使用电子是多数载流子的 n 沟道晶体管 (n 型晶体管),但是将会理解,空穴是多数载流子的 p 沟道晶体管能够用来代替 n 沟道晶体管。

[0284] 如上所述,按照这个实施例的半导体装置适合于增加集成度。注意,按照所公开的本发明的一个实施例,布线用作多个组件,并且减小接触面积;因此,能够提供集成度进一步增加的半导体装置。

[0285] 这个实施例中所述的结构、方法等能够与其它实施例中所述的结构和方法的任何一个适当结合。

[0286] (实施例 5)

[0287] 在这个实施例中,将描述以上实施例中所述的半导体装置的应用示例。具体来说,将描述其中以上实施例所述的半导体装置以矩阵排列的半导体装置的示例。

[0288] 图 14 是具有 $m \times n$ 位的存储器容量的半导体装置的电路图的示例。

[0289] 按照本发明的一个实施例的半导体装置包括:存储器单元阵列,包括 m (m 为 2 或更大的整数) 条信号线 S 、 m 条字线 WL 、 n (n 为 2 或更大的整数) 条位线 BL 、 k (k 为小于 n 的自然数) 条源线 SL 和以 m 行(沿垂直方向) \times n 列(沿水平方向)的矩阵所排列的存储器单元 1100 (1, 1) 至 (m, n) ; 以及外围电路,例如第一驱动器电路 1111、第二驱动器电路 1112、第三驱动器电路 1113 和第四驱动器电路 1114。在这里,以上实施例中所述的结构(图 13A 中的结构)应用于存储器单元 1100。

[0290] 存储器单元 1100 的每个包括第一电阻器、第二电阻器和电容器。在存储器单元 1100 的每个中,第一晶体管的栅电极、第二晶体管的源电极和漏电极其中之一以及电容器的电极之一相互电连接,并且源线 SL 和第一晶体管的源电极(源区)相互电连接。另外,位线 BL 、第二晶体管的源或漏电极中的另一个以及第一晶体管的漏电极相互电连接。字线

WL 和电容器的电极中的另一个相互电连接。信号线 S 和第二晶体管的栅电极相互电连接。换言之,源线 SL 对应于图 13A 中所示的结构中的第一布线(第 1 线),位线 BL 对应于第二布线(第 2 线)和第三布线(第 3 线),信号线 S 对应于第四布线(第 4 线),以及字线 WL 对应于第五布线(第 5 线)。

[0291] 在图 14 中所示的存储器单元阵列中,位线 BL、源线 SL、字线 WL 和信号线 S 形成矩阵。排列在同一列中的 m 个存储器单元 1100 连接到一个位线 BL。另外,排列在一行中的 n 个存储器单元 1100 连接到一个字线 WL 和一个信号线 S。此外,源线 SL 的数量比位线 BL 的数量要少;因此,源线 SL 需要连接到与至少两条位线 BL 连接的存储器单元 1100。换言之, j (j 为大于或等于 $(m+1)$ 但小于或等于 $(m \times n)$ 的整数) 个存储器单元 1100 连接到源线 SL。注意,优选的是,源线 SL 按照一对多个位线 BL 的比例(即, (n/k) 为整数) 来排列。在那种情况下,如果相等数量的存储器单元 1100 连接到各源线 SL,则 $(m \times n/k)$ 个存储器单元 1100 连接到各源线 SL。

[0292] 如同图 14 中所示的存储器单元阵列中那样,将一个存储器单元 1100 连接到另一个存储器单元的源线 SL 连接到与至少两个位线 BL 连接的存储器单元 1100,以便使源线 SL 的数量比位线 BL 的数量要少,由此能够使源线的数量充分小;因此,半导体装置的集成度能够增加。

[0293] 位线 BL 电连接到第一驱动器电路 1111。源线 SL 电连接到第二驱动器电路 1112。信号线 S 电连接到第三驱动器电路 1113。字线 WL 电连接到第四驱动器电路 1114。注意,在这里,单独设置第一驱动器电路 1111、第二驱动器电路 1112、第三驱动器电路 1113 和第四驱动器电路 1114;但是,所公开的本发明并不局限于此。可备选地使用具有上述功能的任一个或一些功能的驱动器电路。

[0294] 接下来将描述写入操作和读取操作。图 15 是图 14 中所示半导体装置的写入操作和读取操作的时序图的示例。

[0295] 虽然在这里为了简单起见,将描述两行和两列的存储器单元阵列的半导体装置的操作,但是所公开的本发明并不局限于此。

[0296] 将描述把数据写入到第一行中的存储器单元 1100(1, 1) 和存储器单元 1100(1, 2) 以及从存储器单元 1100(1, 1) 和存储器单元 1100(1, 2) 中读取数据。注意,在以下描述中,假定待写入到存储器单元 (1, 1) 的数据为“1”以及待写入到存储器单元 (1, 2) 的数据为“0”的情况。

[0297] 首先将描述写入操作。将电位 V_1 施加到第一行中的信号线 S_1 ,由此第一行中的第二晶体管导通。此外,将 0 V 电位施加到第二行中的信号线 S_2 ,由此第二行中的第二晶体管截止。

[0298] 此外,将电位 V_2 施加到第一列中的位线 BL_1 ,并且将 0 V 电位施加到第二列中的位线 BL_2 。

[0299] 因此,将电位 V_2 施加到存储器单元 (1, 1) 的浮栅部分 FG,并且将 0 V 电位施加到存储器单元 (1, 2) 的浮栅部分 FG。在这里,电位 V_2 高于第一晶体管的阈值。然后,第一行中的信号线 S_1 的电位设置为 0 V,由此第一行中的第二晶体管截止,以便完成写入。优选的是,电位 V_2 基本上等于电位 V_1 或者低于或等于电位 V_1 。

[0300] 注意,第一行中的字线 WL_1 和第二行中的字线 WL_2 在写入操作期间处于 0 V 电

位。在写入操作结束时,在第一列中的位线 BL₁ 的电位改变之前,第一行中的信号线 S₁ 的电位设置为 0 V。在写入操作之后,存储器单元的阈值在已经写入数据“0”的情况下为 V_{w0} 以及在已经写入数据“1”的情况下为 V_{w1}。在这里,存储器单元的阈值表示连接到字线 WL 的端子的电压,该电压改变第一晶体管的源电极与漏电极之间的电阻。注意,在这里满足 V_{w0}>0>V_{w1}。另外,源线 SL 的电位设置为 V₂,例如这与写入数据“1”的列中的位线的电位相同。

[0301] 其次将描述读取操作。在这里,位线 BL 电连接到图 16 中所示的读出电路。

[0302] 电位 0 V 和电位 V_L 分别施加到第一行中的字线 WL₁ 和第二行中的字线 WL₂。电位 V_L 低于阈值 V_{w1}。当字线 WL₁ 处于 0 V 电位时,在第一行中,其中保存数据“0”的存储器单元的第一晶体管截止,而其中保存数据“1”的存储器单元的第一晶体管导通。当字线 WL₂ 处于电位 V_L 时,在第二行中,保存数据“0”或数据“1”的存储器单元的第一晶体管截止。

[0303] 因此,位线 BL₁ 与源线 SL 之间的电阻较低,因为存储器单元 (1, 1) 中的第一晶体管导通,而位线 BL₂ 与源线 SL 之间的电阻较高,因为存储器单元 (1, 2) 中的第一晶体管截止。连接到位线 BL₁ 和位线 BL₂ 的读出电路能够基于位线的电阻来读取数据。

[0304] 注意,在读取操作期间,0 V 电位和电位 V_L 分别施加到信号线 S₁ 和信号线 S₂,由此所有第二晶体管截止。第一行中的浮栅部分 FG 的电位为 0 V 或 V₂;因此,能够通过将信号线 S₁ 的电位设置在 0 V,使所有第二晶体管截止。另一方面,如果将电位 V_L 施加到字线 WL₂,则第二行中的浮栅部分 FG 的电位变为低于就在数据写入之后的电位。因此,为了防止第二晶体管导通,信号线 S₂ 设置为与字线 WL₂ 的电位相同的低电位(电位 V_L)。也就是说,其中没有读取数据的行中的信号线 S 和字线 WL 的电位设置成相同的低电位(电位 V_L)。因此,所有第二晶体管能够截止。

[0305] 接下来将描述在图 16 中的电路用作读出电路的情况下的输出电位。在图 16 中所示的读出电路中,位线 BL 通过读启用信号(RE 信号)所控制的开关元件连接到时钟控制反相器(clocked inverter)以及经过二极管连接到对其施加电位 V₁ 的布线的晶体管。此外,将固定电位(例如 0 V)施加到源线 SL。由于位线 BL₁ 与源线 SL 之间的电阻较低,所以将低电位施加到时钟控制反相器,并且输出 D₁ 为高(V₁)。由于位线 BL₂ 与源线 SL 之间的电阻较低,所以将高电位施加到时钟控制反相器,并且输出 D₂ 为低(0 V)。

[0306] 操作电位能够设置如下,例如:V₁ = 2 V, V₂ = 1.5 V, V_H = 2 V, 以及 V_L = -2 V。

[0307] 接下来将描述与上述写入操作不同的写入操作。待写入数据与上述写入操作中相同。图 17 是写入操作和读取操作的时序图的示例。

[0308] 在基于图 15 的时序图的写入操作(即,写入到第一行)中,写入时的字线 WL₂ 的电位设置为 0 V 电位;因此,例如,在已经写入到存储器单元 (2, 1) 或存储器单元 (2, 2) 的数据为数据“1”的情况下,稳态电流在位线 BL₁ 与位线 BL₂ 之间流动。这是因为,在写入到第一行时,第二行中的存储器单元中的第一晶体管导通,由此位线 BL₁ 和位线 BL₂ 通过源线以低电阻连接。在图 17 中所示的写入操作中,这种稳态电流不太可能产生。

[0309] 将电位 V₁ 施加到第一行的信号线 S₁,由此第一行中的第二晶体管导通。此外,将电位 V_L 施加到第二行的信号线 S₂,由此第二行中的第二晶体管截止。

[0310] 此外,将电位 V₂ 施加到第一列中的位线 BL₁,并且将 0 V 电位施加到第二列中的

位线 BL₂。

[0311] 因此,将电位 V₂ 施加到存储器单元 (1, 1) 的浮栅部分 FG,并且将 0 V 电位施加到存储器单元 (1, 2) 的浮栅部分 FG。在这里,电位 V₂ 高于第一晶体管的阈值。然后,第一行中的信第一号线 S₁ 的电位设置为 0 V,由此第一行中的第二晶体管截止,以便完成写入。

[0312] 注意,第一行中的字线 WL₁ 和第二行中的字线 WL₂ 在写入操作期间分别处于 0 V 电位和电位 V_L。当第二行中的字线 WL₂ 处于电位 V_L 时,在第二行中,保存数据“0”或数据“1”的存储器单元的第一晶体管截止。电位 V₂ 在写入操作期间施加到源线 SL。在所有存储器单元中的所写入数据为数据“0”的情况下,0 V 电位可施加到源线。

[0313] 在写入操作结束时,在第一列中的位线 BL₁ 的电位改变之前,第一行中的信号线 S₁ 的电位设置为 0 V。在写入操作之后,存储器单元的阈值在已经写入数据“0”的情况下为 V_{w0} 以及在已经写入数据“1”的情况下为 V_{w1}。在这里满足 V_{w0}>V_{w1}。

[0314] 在写入操作中,没有对其写入数据的行(在本情况中为第二行)中的存储器单元的第一晶体管截止。因此,只有对其写入了数据的行具有位线与源线之间的稳态电流的问题。在将数据“0”写入到对其写入数据的行的存储器单元的情况下,存储器单元中的第一晶体管截止;因此,稳态电流的问题没有出现。另一方面,在将数据“1”写入到对其写入数据的行的存储器单元的情况下,存储器单元中的第一晶体管导通;因此,如果源线 SL 与位线 BL(在本情况中为位线 BL₁) 之间存在电位差,则出现稳态电流。因此,使源线 SL 的电位等于位线 BL₁ 的电位 V₂,由此能够防止位线与源线之间的稳态电流。

[0315] 如上所述,在写入操作中能够防止写入操作时的稳态电流的产生。换言之,写入操作时所消耗的功率能够在写入操作中充分降低。

[0316] 注意,读取操作按照与上述读取操作相似的方式来执行。

[0317] 其断态电流极低的包括氧化物半导体的半导体装置用作图 14 中的半导体装置,由此已存储数据能够保存极长时期。换言之,刷新操作变得不是必需,或者刷新操作的频率能够极低,这引起功率消耗的充分降低。此外,已存储数据甚至在没有提供电力时也能够长时期保存。

[0318] 此外,图 14 中的半导体装置不需要用于写入数据的高电压,并且元件的降级不成问题。因此,图 14 中的半导体装置对改写次数没有限制,这一直是常规非易失性存储器的问题,并且因而具有显著提高的可靠性。此外,由于通过使晶体管导通和截止来写入数据,所以能够易于实现高速操作。另外一个优点在于,不需要用于擦除数据的操作。

[0319] 由于包括不是氧化物半导体的材料的晶体管能够以充分高的速度进行操作,所以当它与包括氧化物半导体的晶体管相结合时,半导体装置能够以充分高的速度执行操作(例如读取数据)。此外,通过包括不是氧化物半导体的材料的晶体管,能够适当地实现需要以高速度进行操作的各种电路(例如,逻辑电路或驱动器电路)。

[0320] 半导体装置包括其中包括不是氧化物半导体的材料的晶体管以及其中包括氧化物半导体的晶体管,由此半导体装置能够具有新特征。

[0321] 此外,在图 14 中所示的半导体装置中,每存储器单元的布线数量能够减少。相应地,存储器单元的面积能够减小,并且半导体装置的每单位面积的存储容量能够增加。

[0322] 这个实施例中所述的结构、方法等能够与其它实施例中所述的结构和方法的任何一个适当结合。

[0323] (实施例 6)

[0324] 在这个实施例中,将参照图 18A 至图 18F 来描述以上实施例中所述的半导体装置应用于电子装置的情况。在这个实施例中,将描述以上半导体装置应用于诸如计算机、移动电话机(又称作移动电话或移动电话装置)、便携信息终端(包括便携游戏控制台、音频播放器等)、数码相机、数字摄像机、电子纸或电视装置(又称作电视或电视接收器)之类的电子装置的情况。

[0325] 图 18A 示出笔记本个人计算机,其中包括壳体 701、壳体 702、显示部分 703、键盘 704 等。壳体 701 和壳体 702 中的至少一个设置有以上实施例中所述的半导体装置。因此,能够实现具有充分低功耗的笔记本个人计算机,其中数据的写入和读取能够高速执行,并且数据能够长时间保存。

[0326] 图 18B 示出便携信息终端(个人数字助理(PDA))。主体 711 设置有显示部分 713、外部接口 715、操作按钮 714 等。此外,还提供用于操作便携信息终端等的触控笔 712。上述实施例中所述的半导体装置设置在主体 711 中。因此,能够实现具有充分低功耗的便携信息终端,其中数据的写入和读取能够高速执行,并且数据能够长时间保存。

[0327] 图 18C 示出安装电子纸的电子书阅读器 720。电子书阅读器具有两个壳体,即壳体 721 和壳体 723。壳体 721 和壳体 723 分别设置有显示部分 725 和显示部分 727。壳体 721 和壳体 723 通过铰链 737 连接,并且能够沿铰链 737 开启和闭合。此外,壳体 721 设置有电源开关 731、操作按键 733、扬声器 735 等。因此,能够实现具有充分低功耗的电子书阅读器,其中数据的写入和读取能够高速执行,并且数据能够长时间保存。

[0328] 图 18D 示出包括两个壳体(壳体 740 和壳体 741)的移动电话。此外,处于如图 18D 中所示来展开的状态中的壳体 740 和 741 能够滑动,使得一个重叠于另一个之上,并且移动电话的尺寸能够减小,这使移动电话适合携带。壳体 741 设置有显示面板 742、扬声器 743、麦克风 744、操作按键 745、定点装置 746、摄像装置镜头 747、外部连接端子 748 等。壳体 740 设置有对移动电话充电的太阳能电池 749、外部存储器插槽 750 等。此外,天线结合在壳体 741 中。壳体 740 和壳体 741 中的至少一个设置有以上实施例中所述的半导体装置。因此,能够实现具有充分低功耗的移动电话,其中数据的写入和读取能够高速执行,并且数据能够长时间保存。

[0329] 图 18E 示出一种数码相机,其中包括主体 761、显示部分 767、目镜 763、操作开关 764、显示部分 765、电池 766 等。上述实施例中所述的半导体装置设置在主体 761 中。因此,能够实现具有充分低功耗的数字相机,其中数据的写入和读取能够高速执行,并且数据能够长时间保存。

[0330] 图 18F 示出一种电视装置 770,其中包括壳体 771、显示部分 773、支架 775 等。电视装置 770 能够通过壳体 771 的操作开关或遥控 780 来操作。上述实施例中所述的半导体装置安装在壳体 771 和遥控 780 中。因此,能够实现具有充分低功耗的电视装置,其中数据的写入和读取能够高速执行,并且数据能够长时间保存。

[0331] 因此,按照上述实施例的半导体装置安装在这个实施例中所述的电子装置中。相应地,能够实现具有低功耗的电子装置。

[0332] 本申请基于 2010 年 3 月 19 日向日本专利局提交的日本专利申请序号 2010-064900,通过引用将其完整内容结合于此。

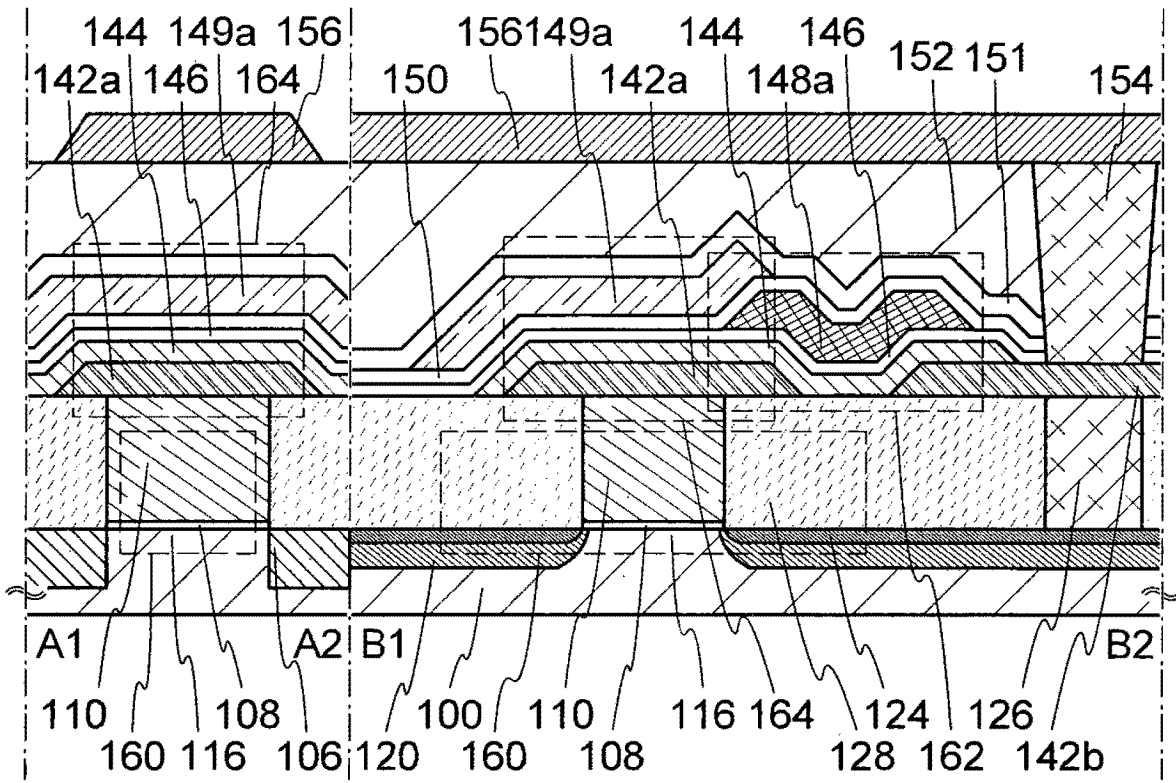


图 1A

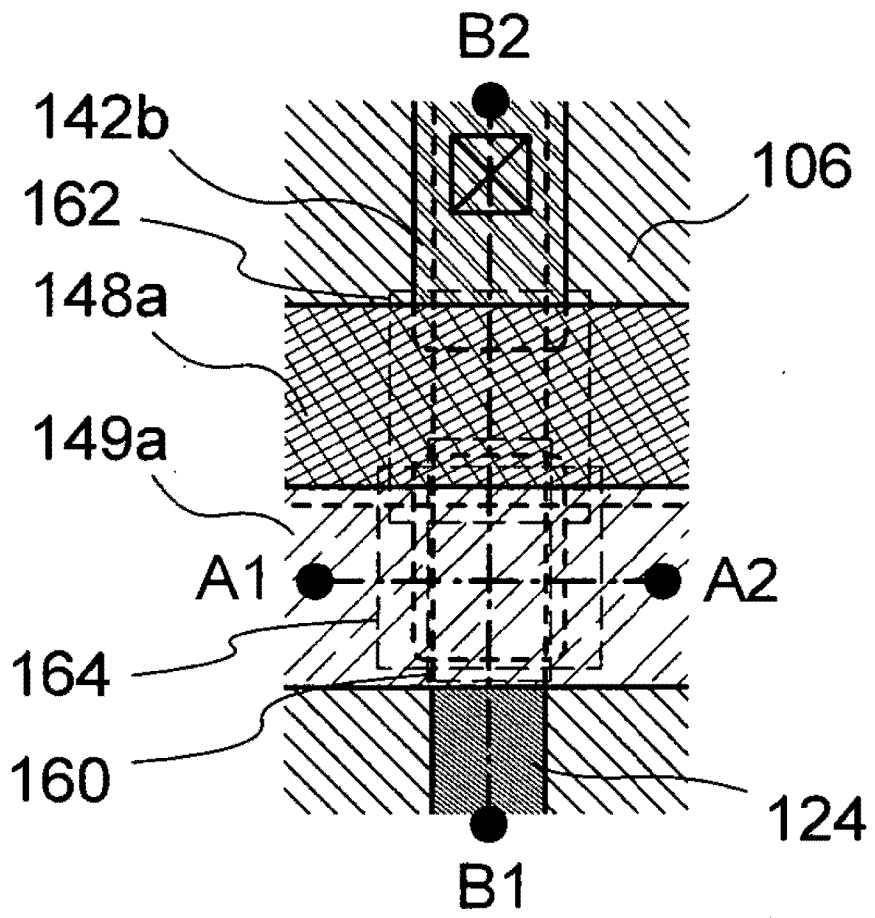


图 1B

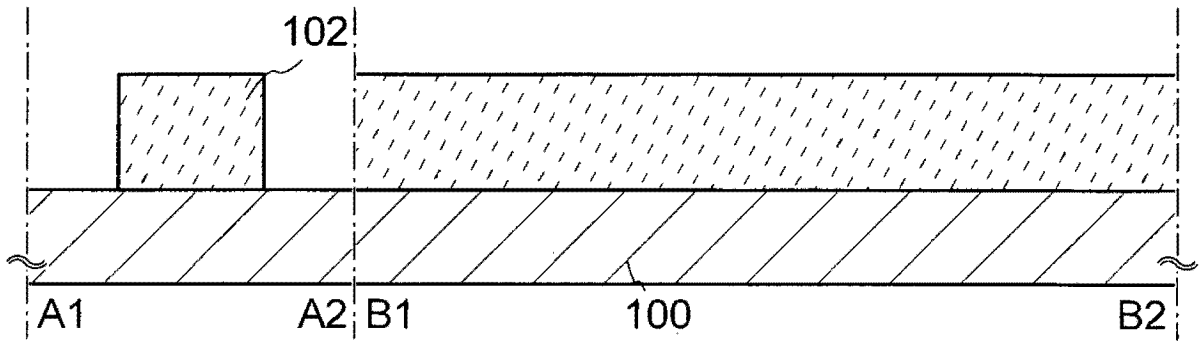


图 2A

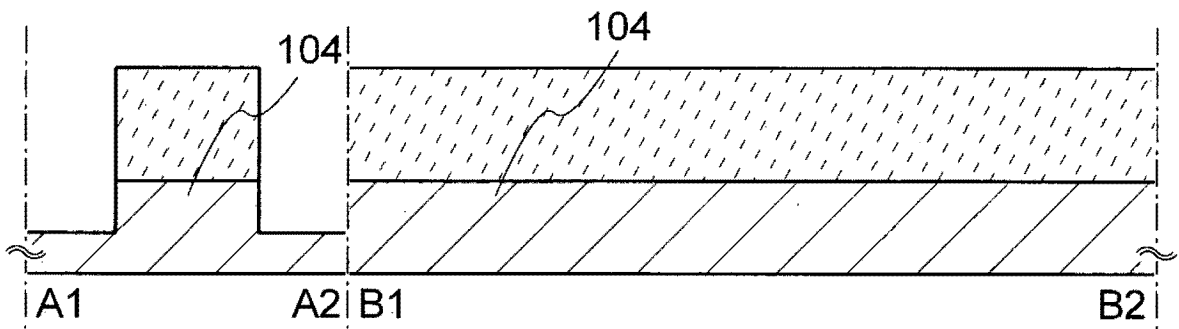


图 2B

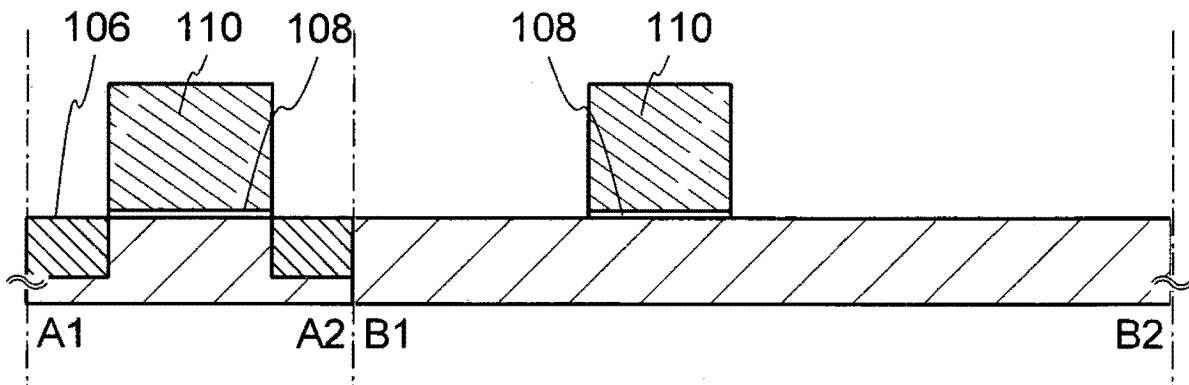


图 2C

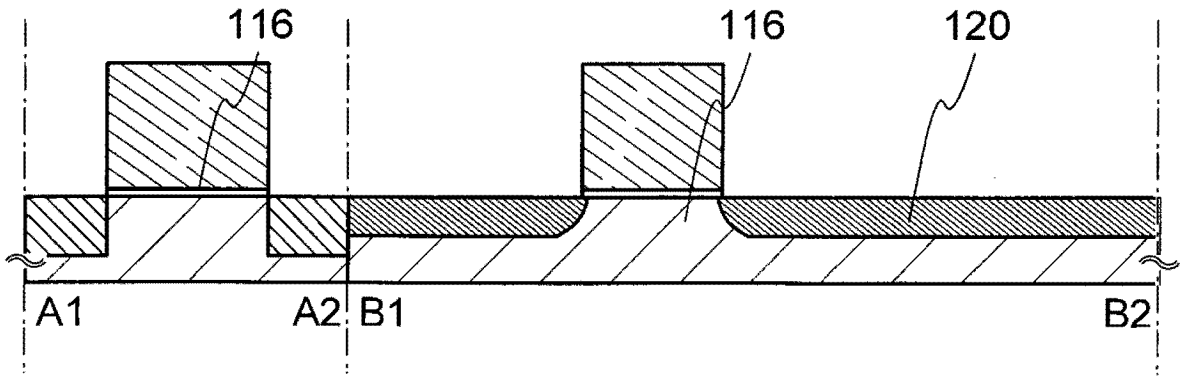


图 2D

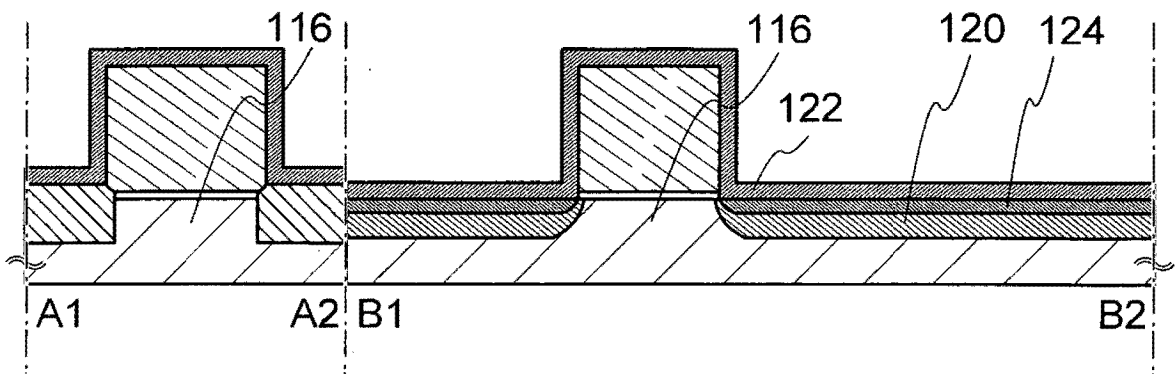


图 3A

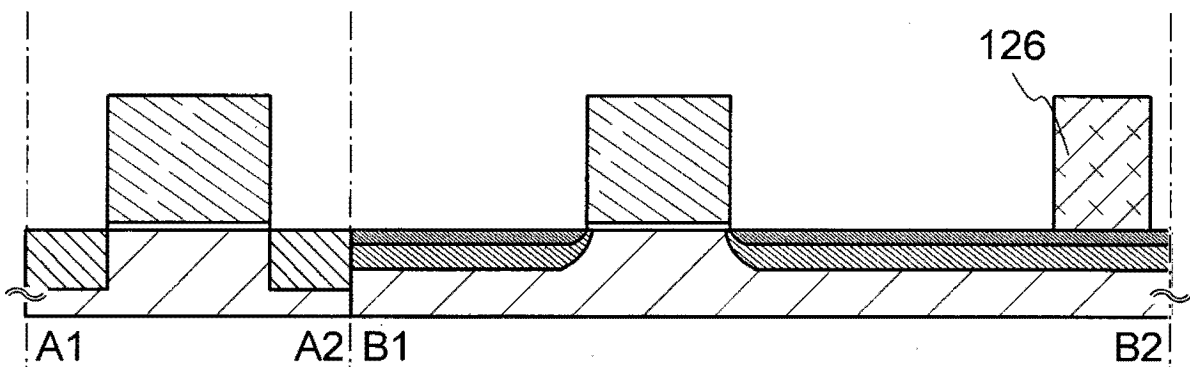


图 3B

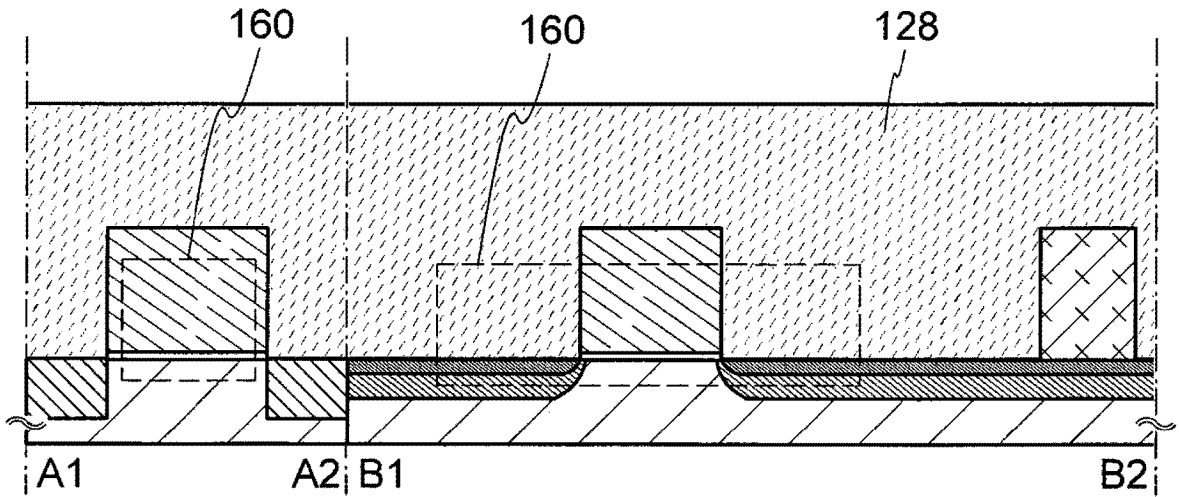


图 3C

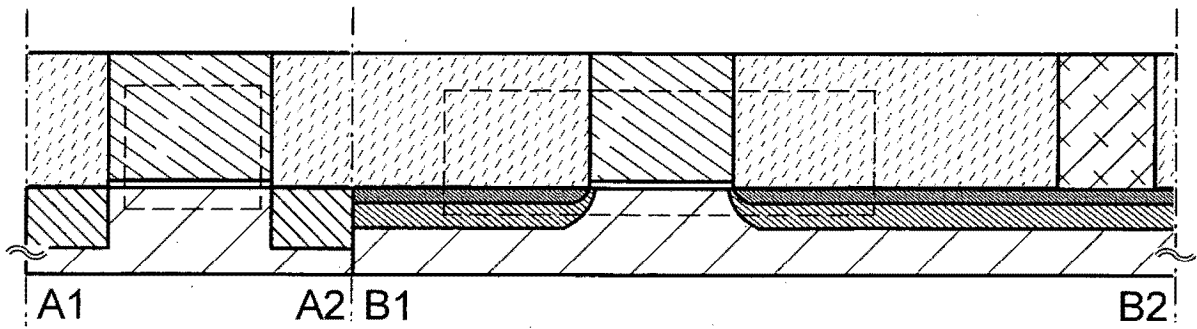


图 3D

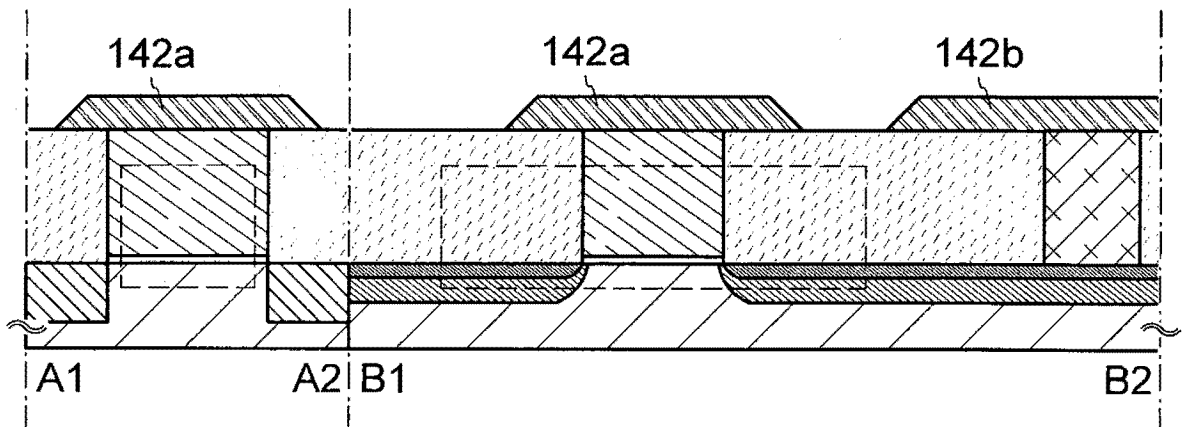


图 4A

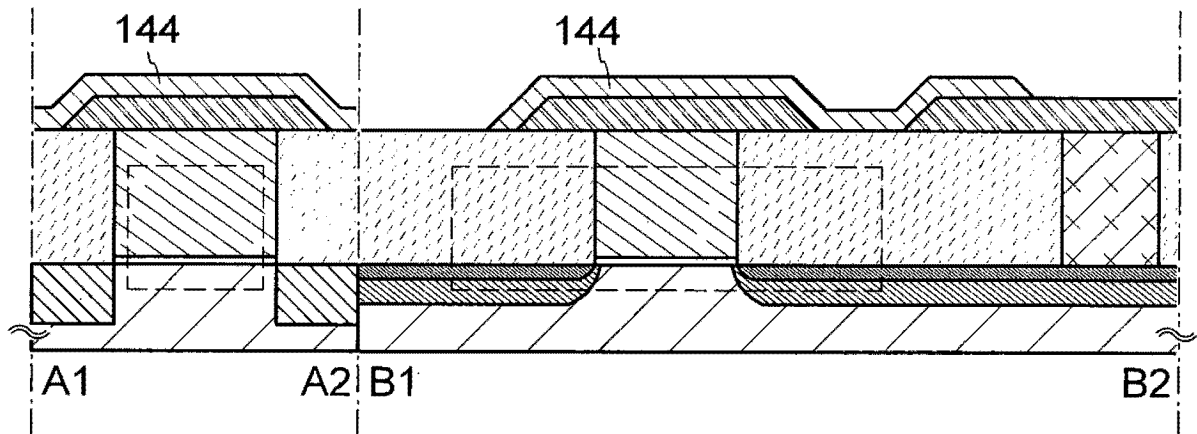


图 4B

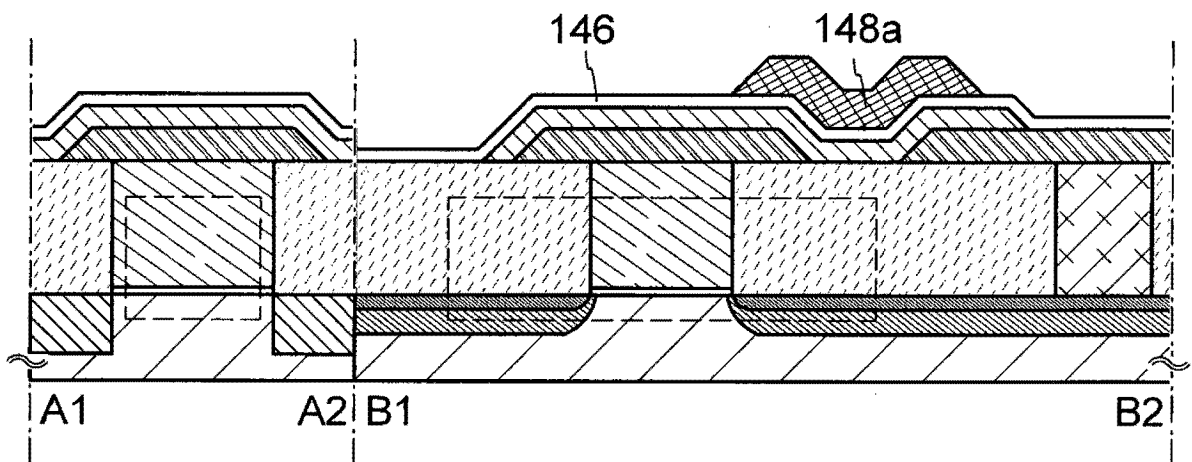


图 4C

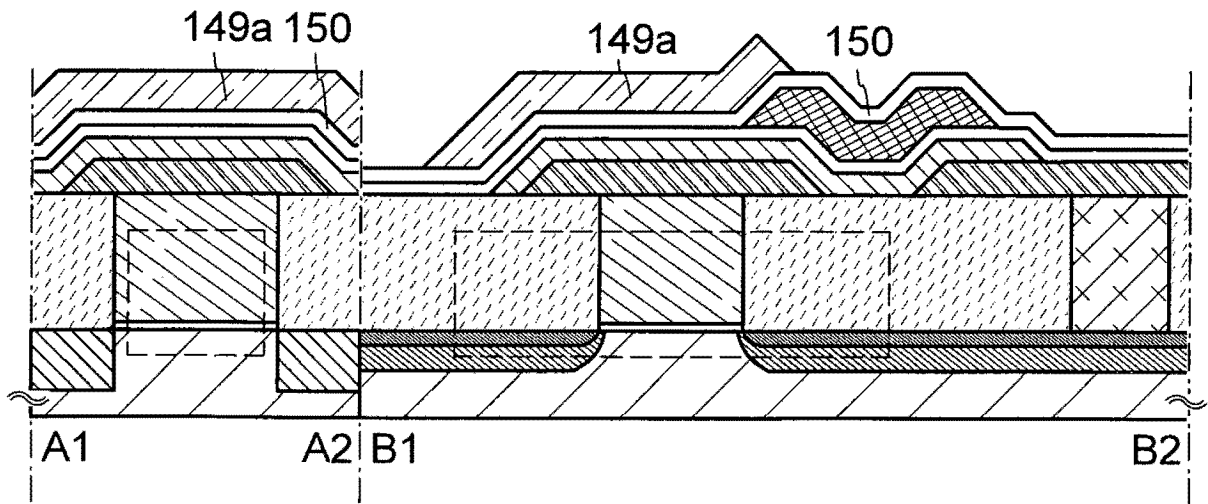


图 4D

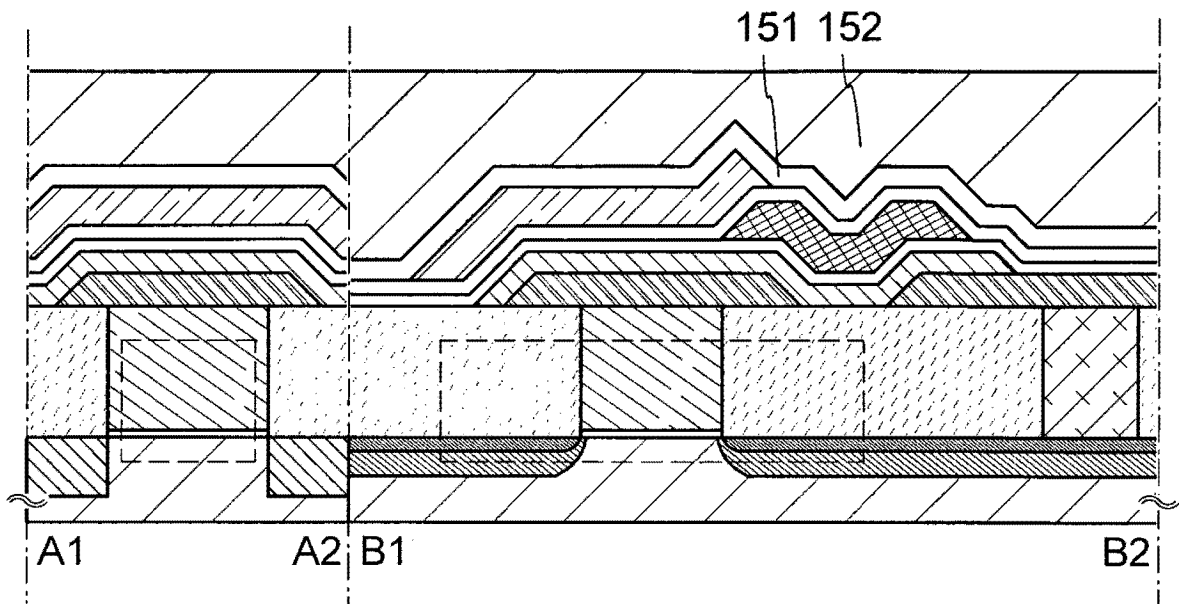


图 5A

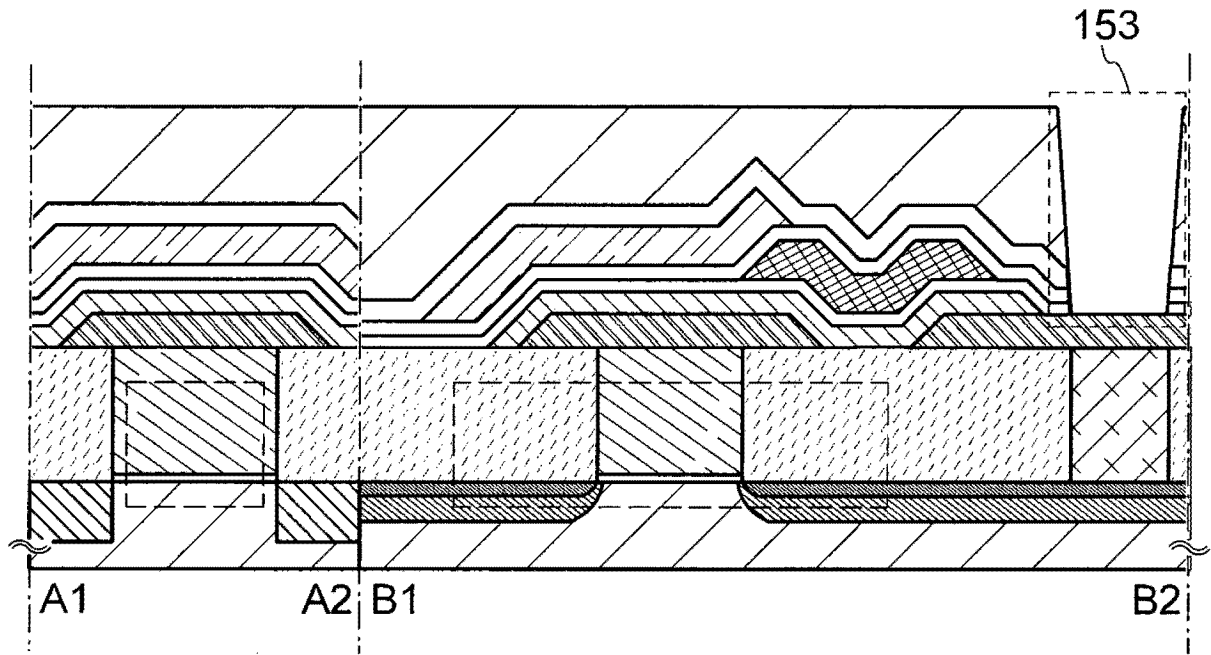


图 5B

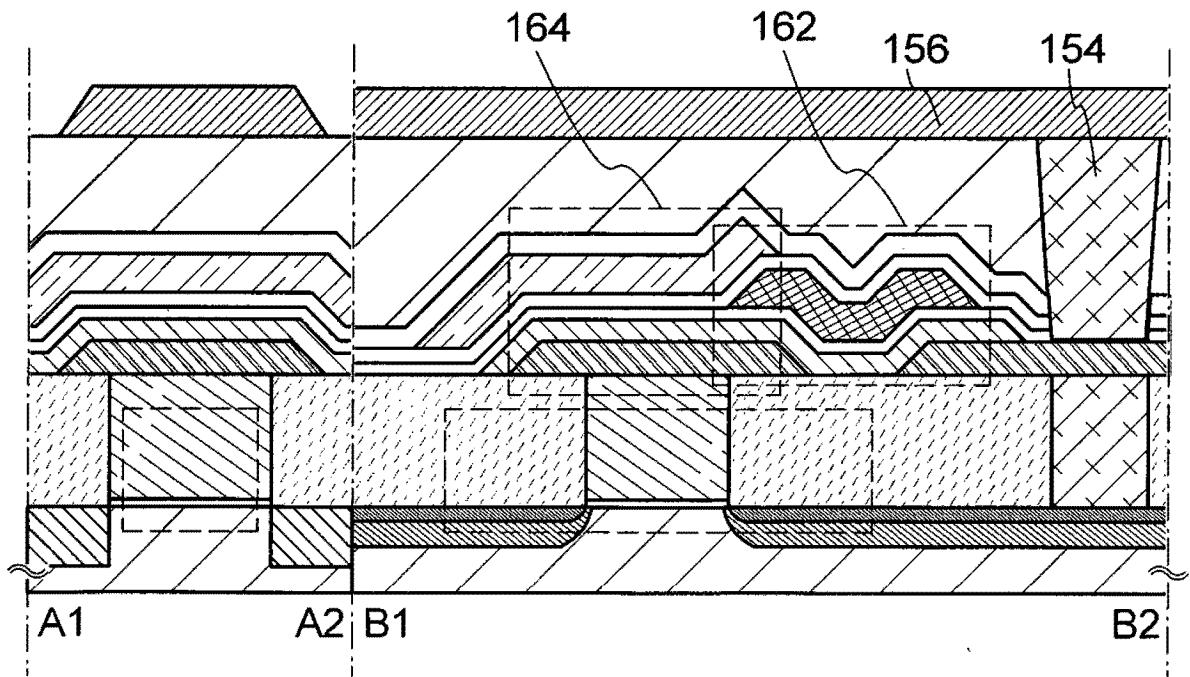


图 5C

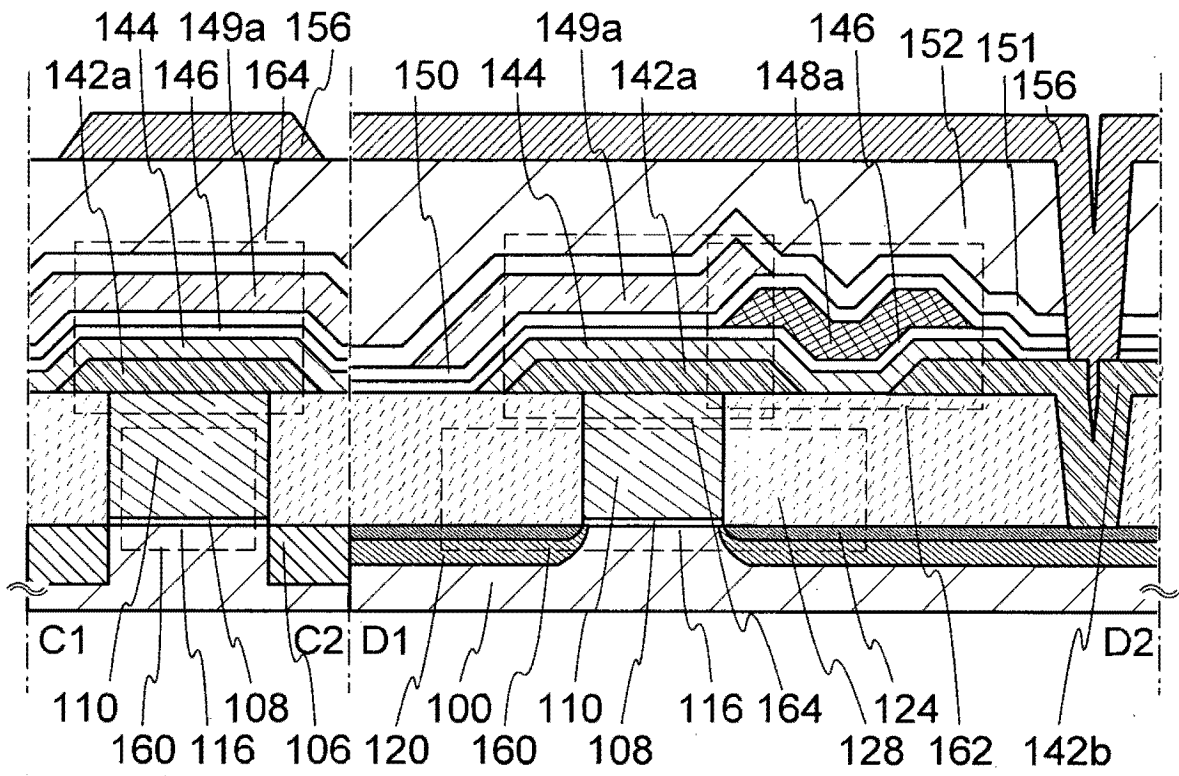


图 6A

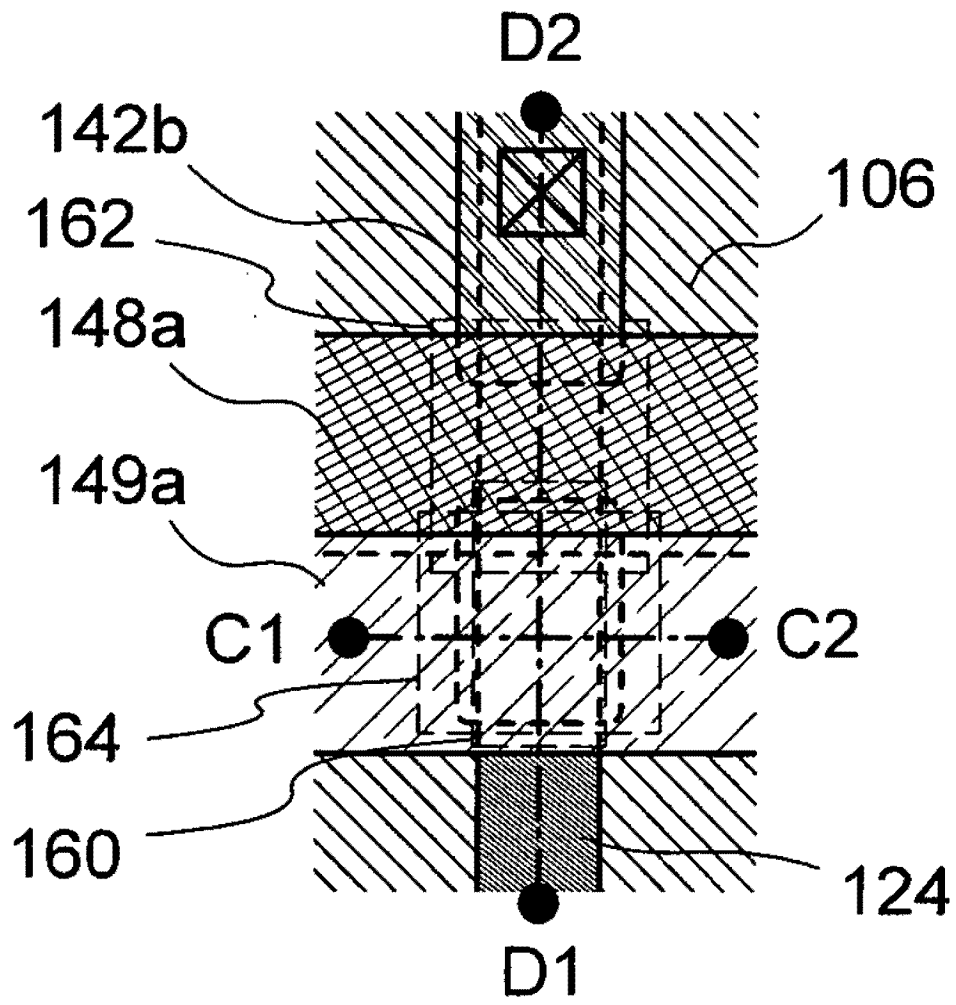


图 6B

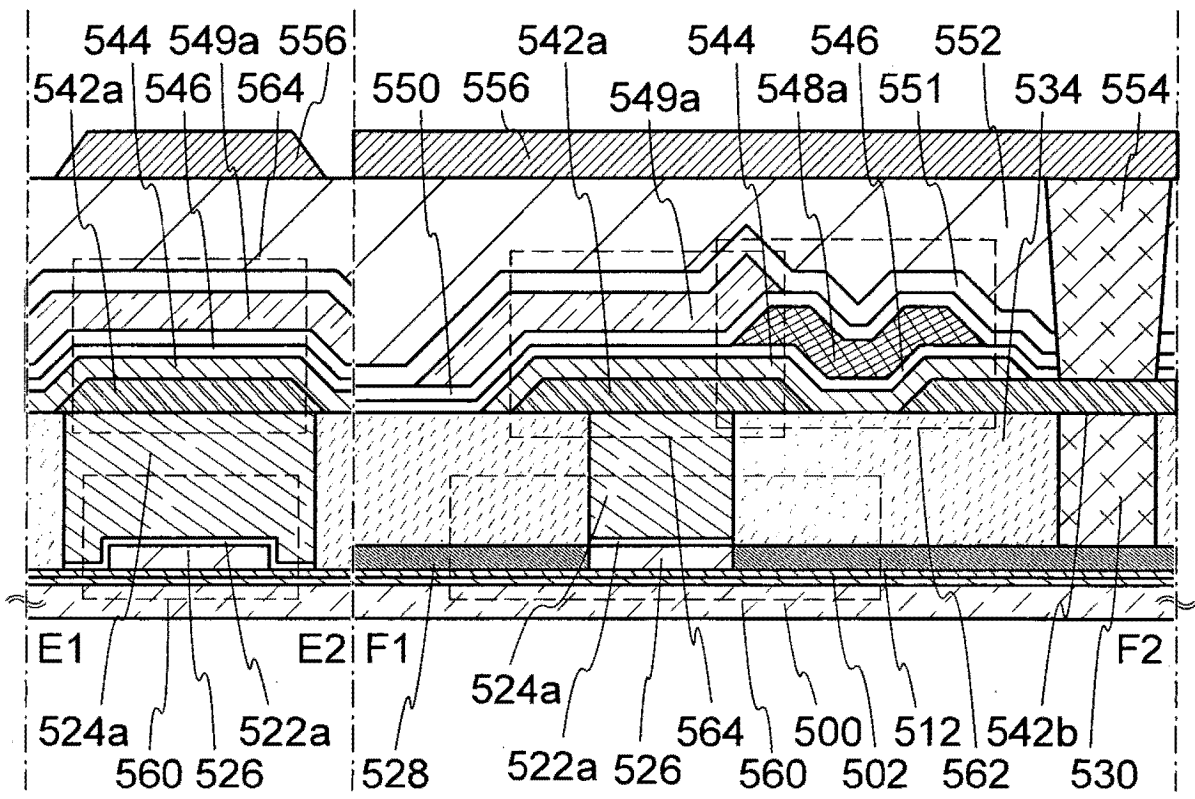


图 7A

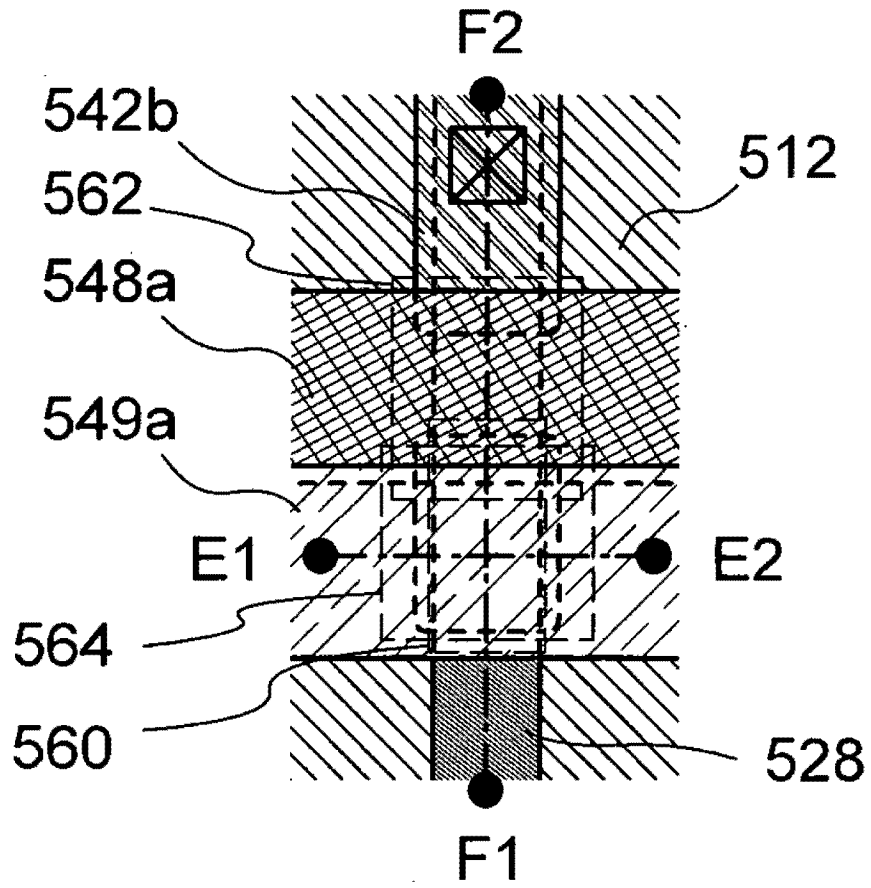


图 7B

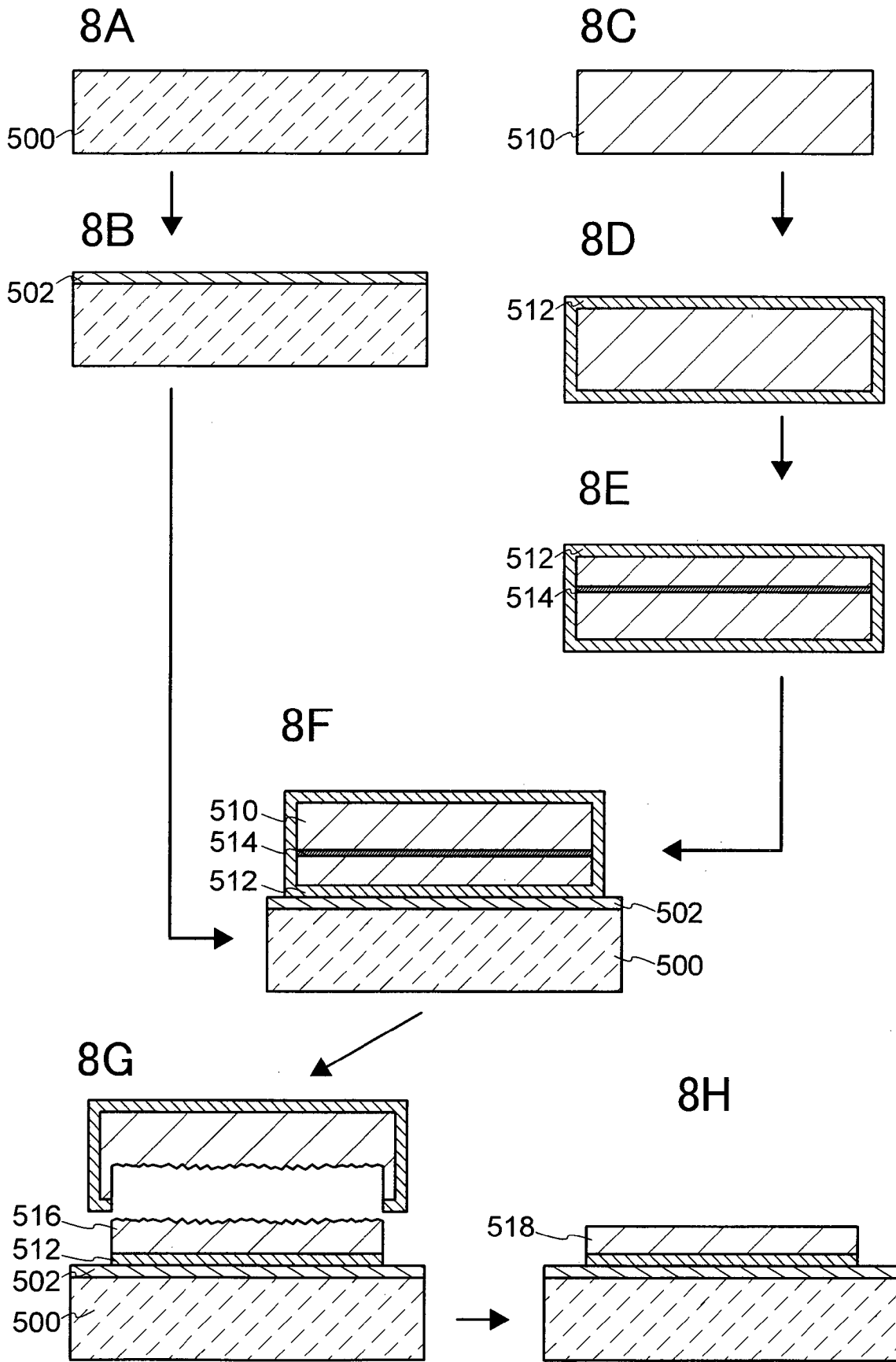


图 8A, 图 8B, 图 8C, 图 8D, 图 8E, 图 8F, 图 8G 和图 8H

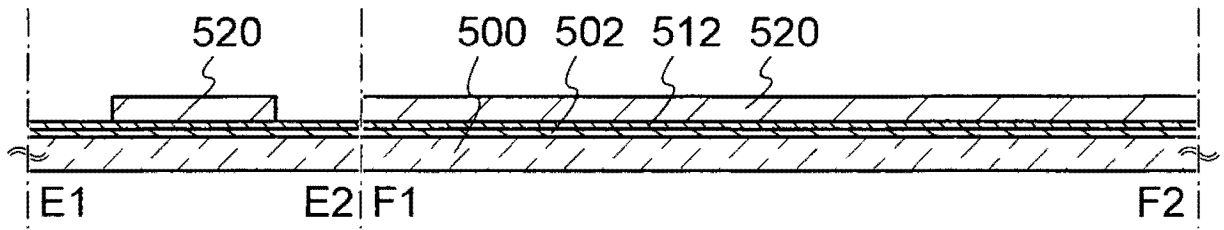


图 9A

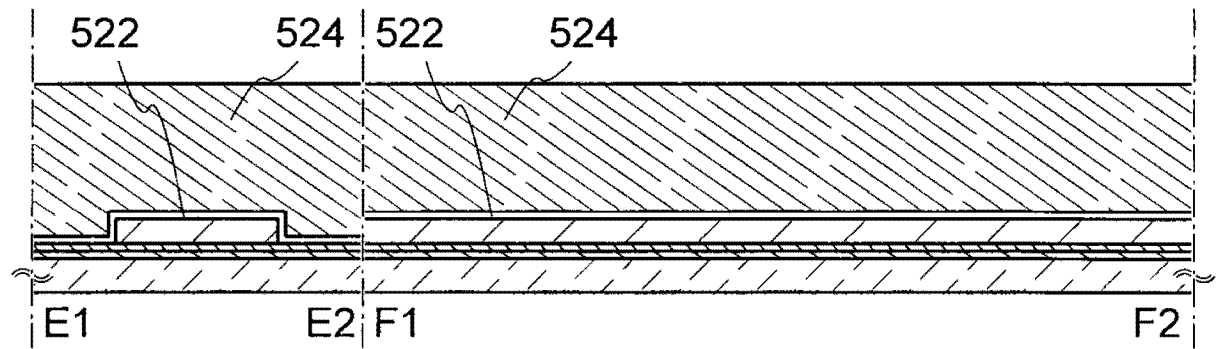


图 9B

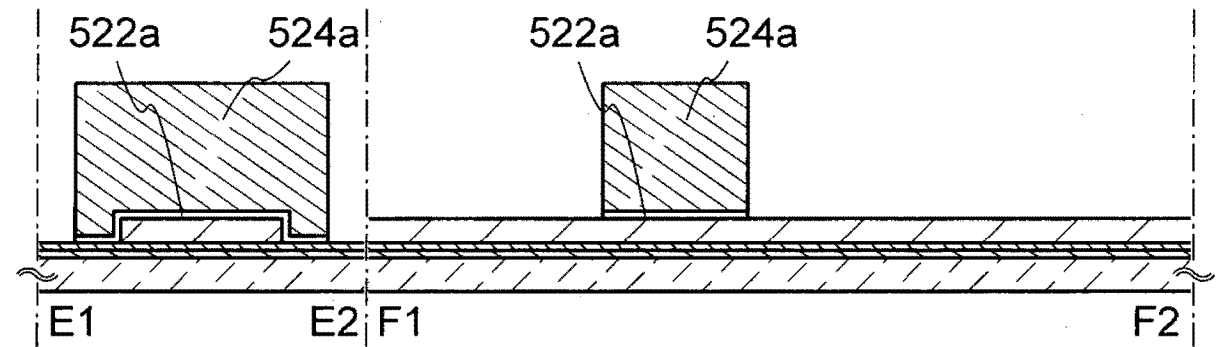


图 9C

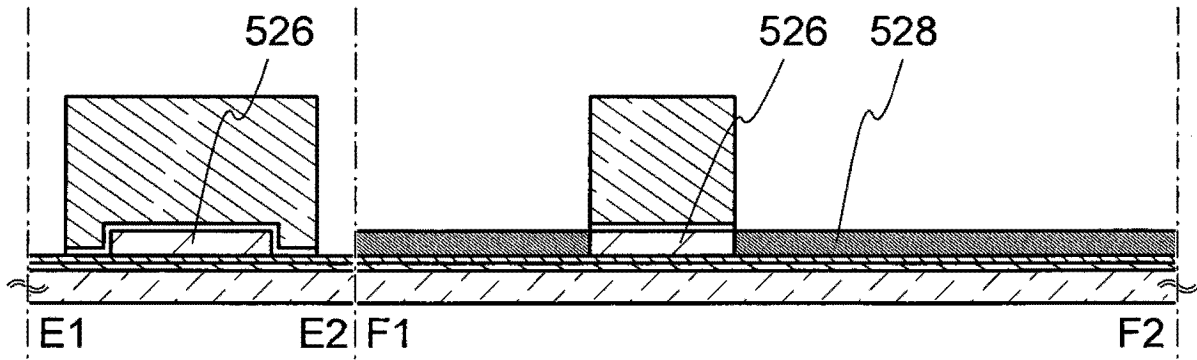


图 9D

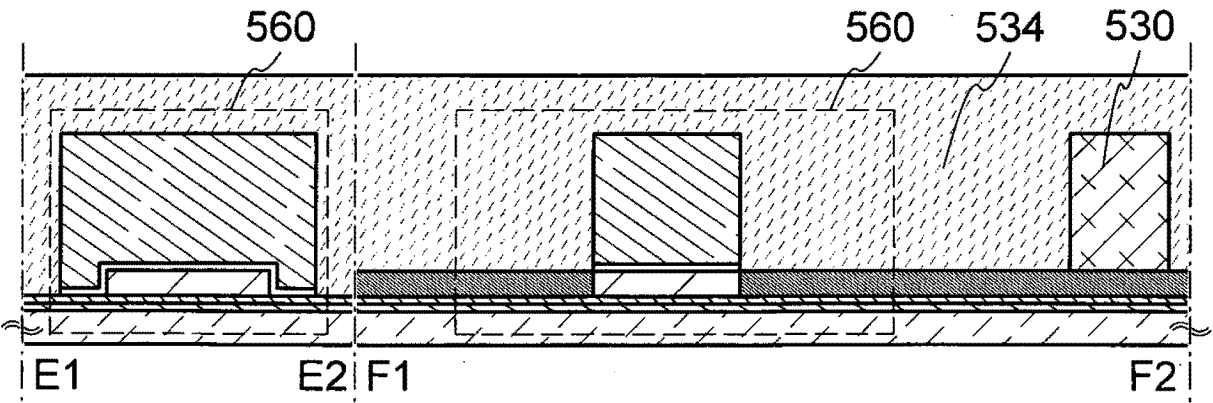


图 9E

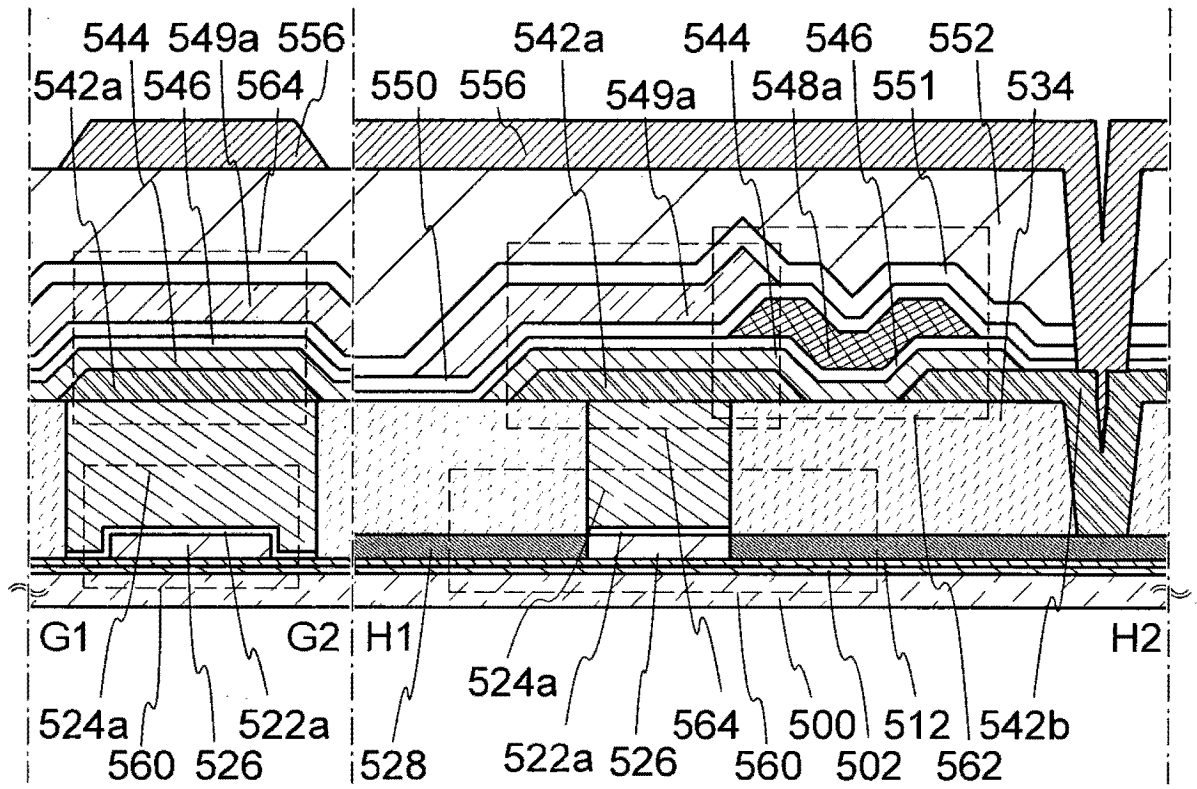


图 10A

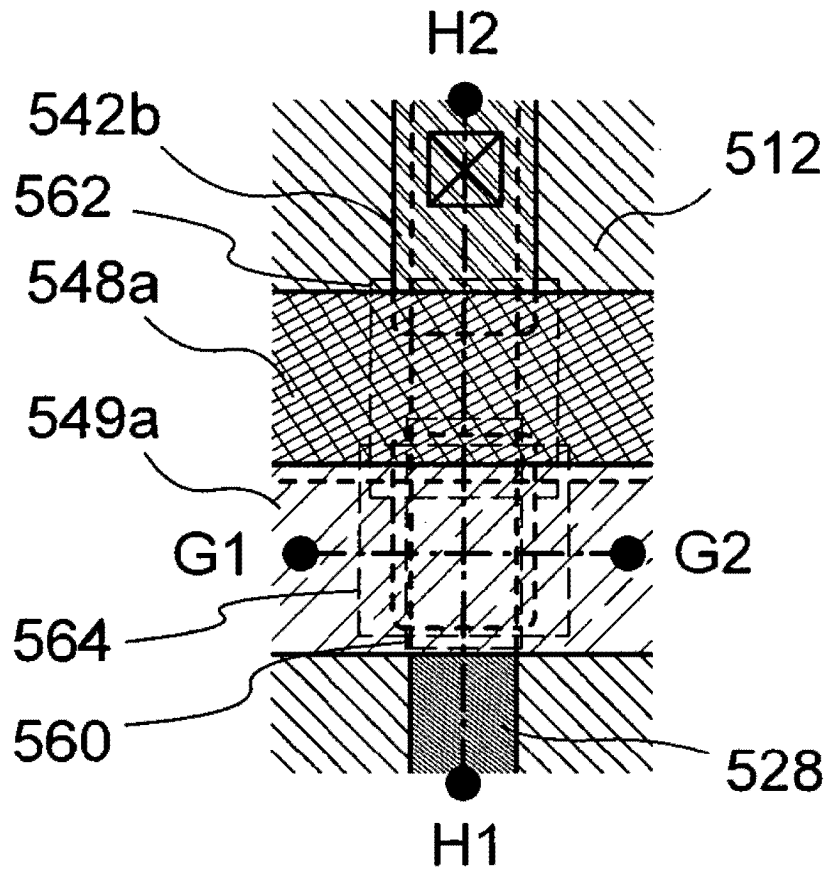


图 10B

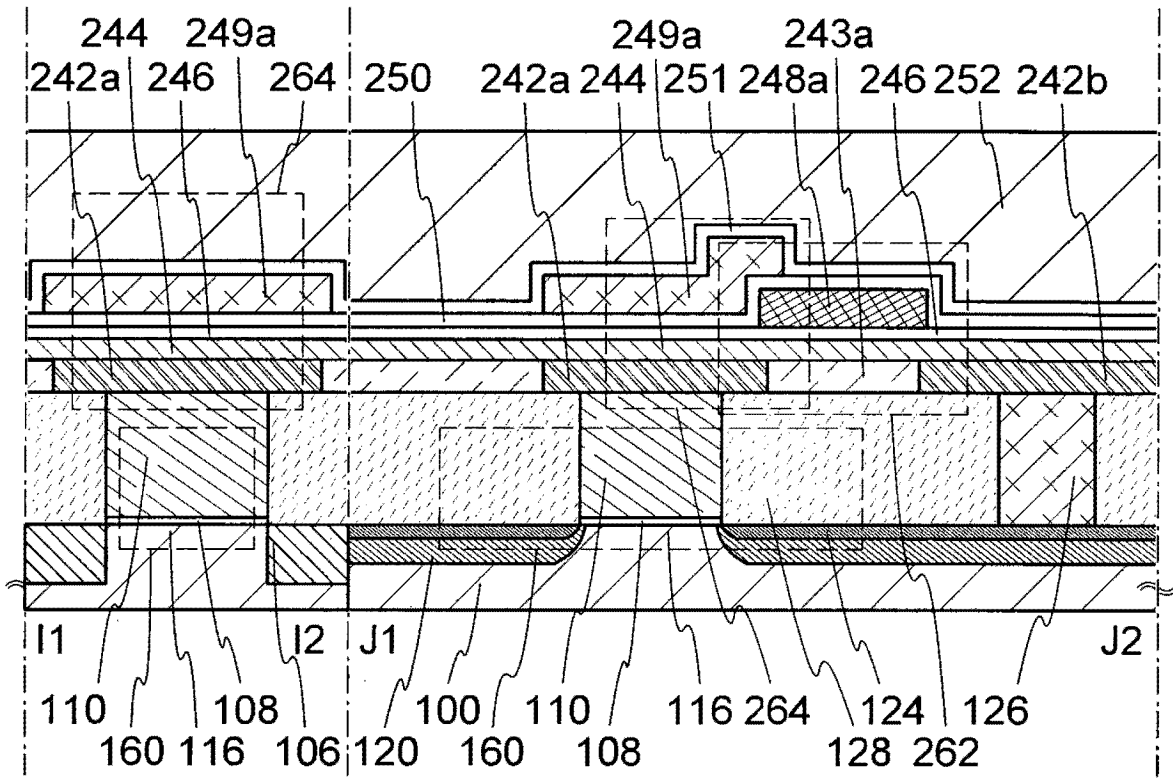


图 11A

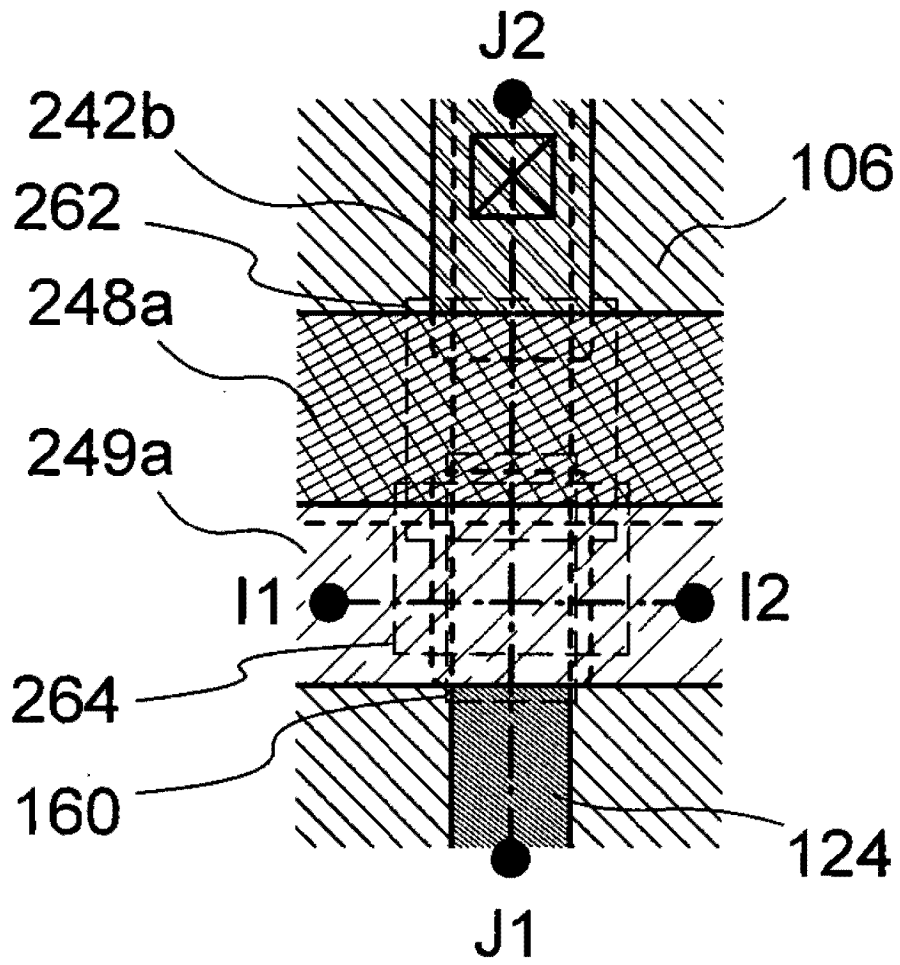


图 11B

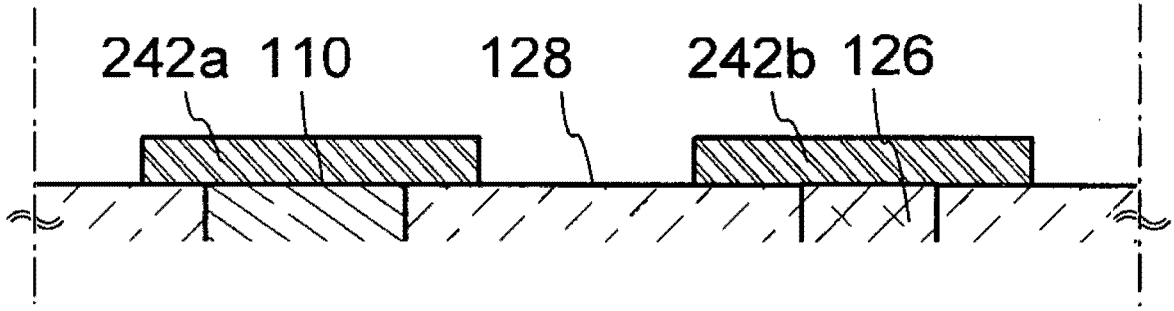


图 12A

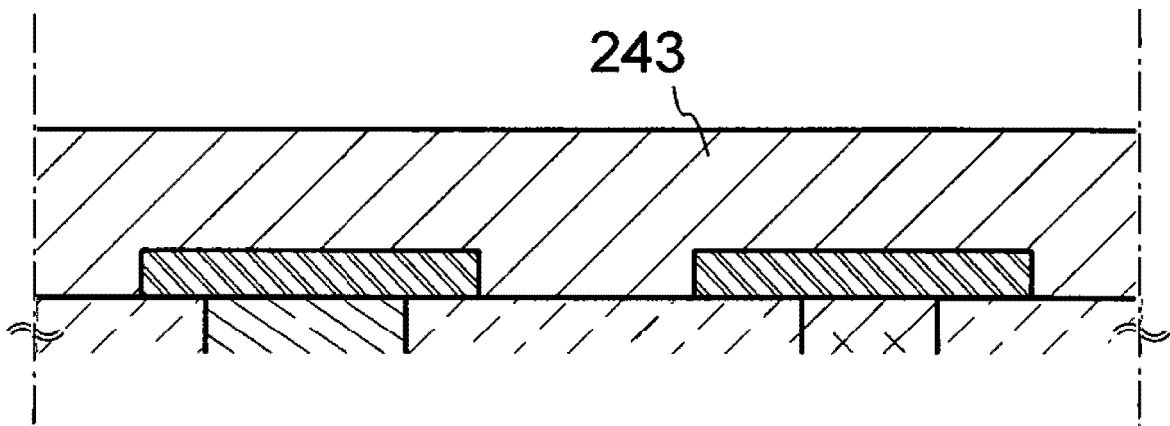


图 12B

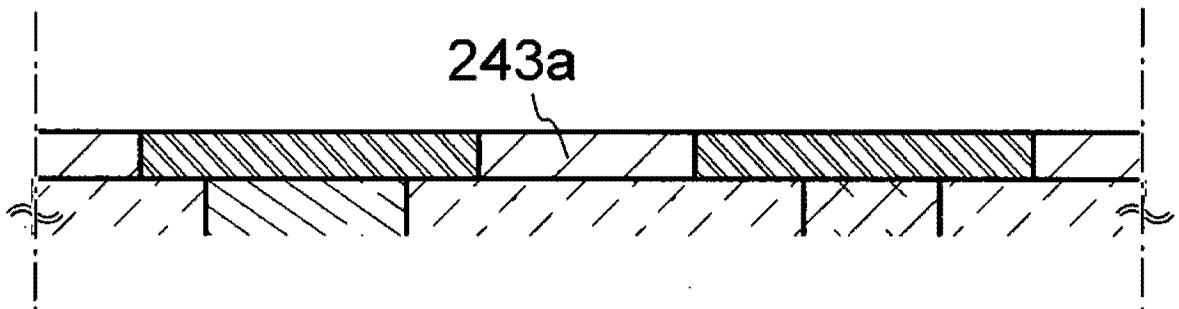


图 12C

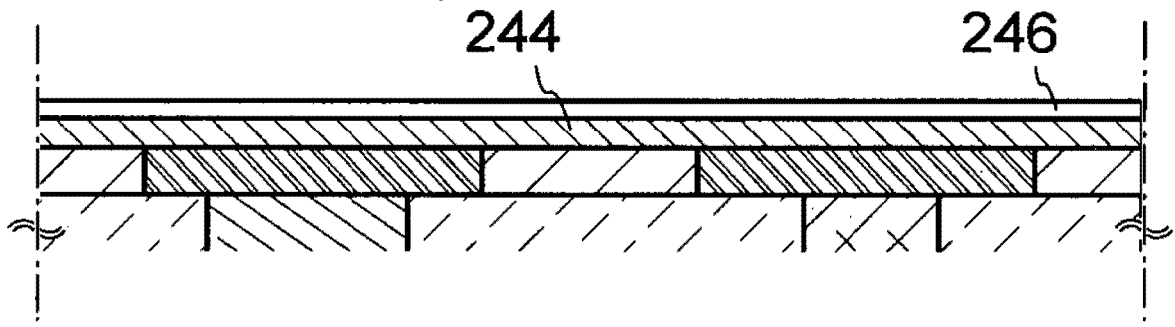


图 12D

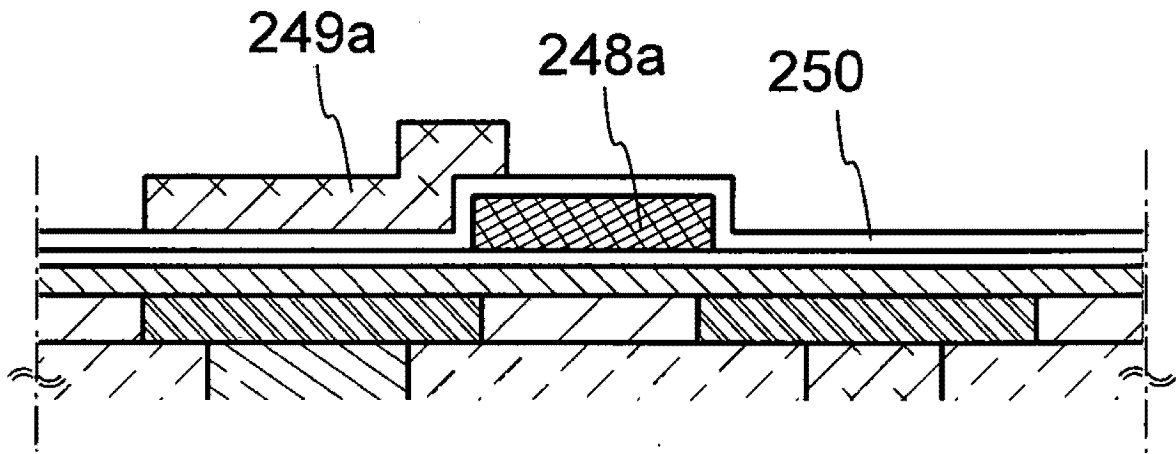


图 12E

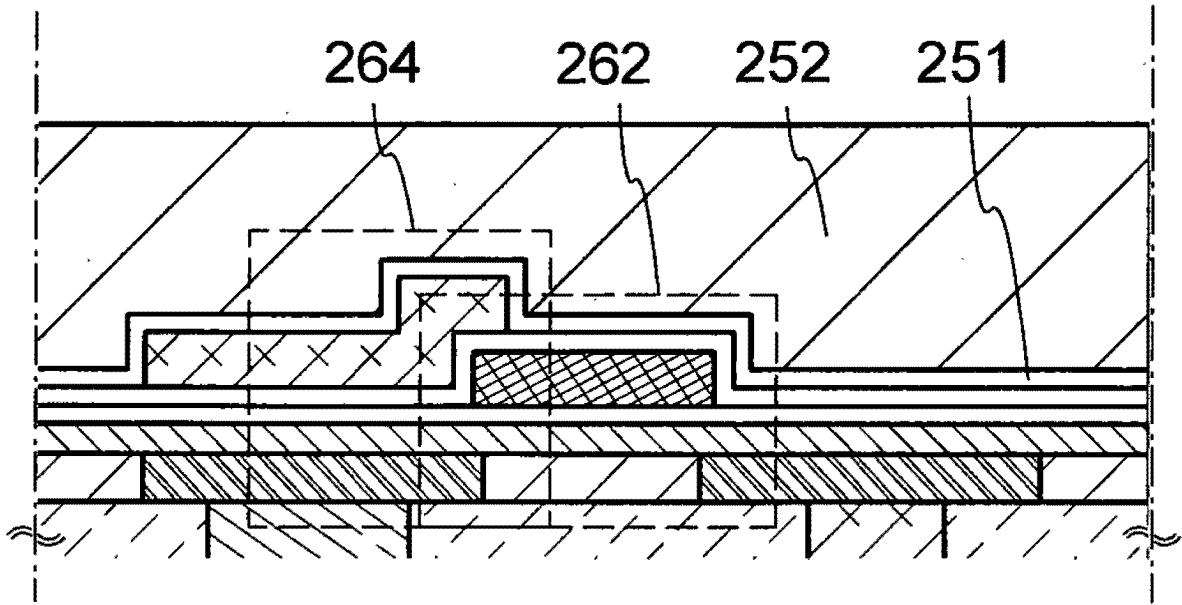


图 12F

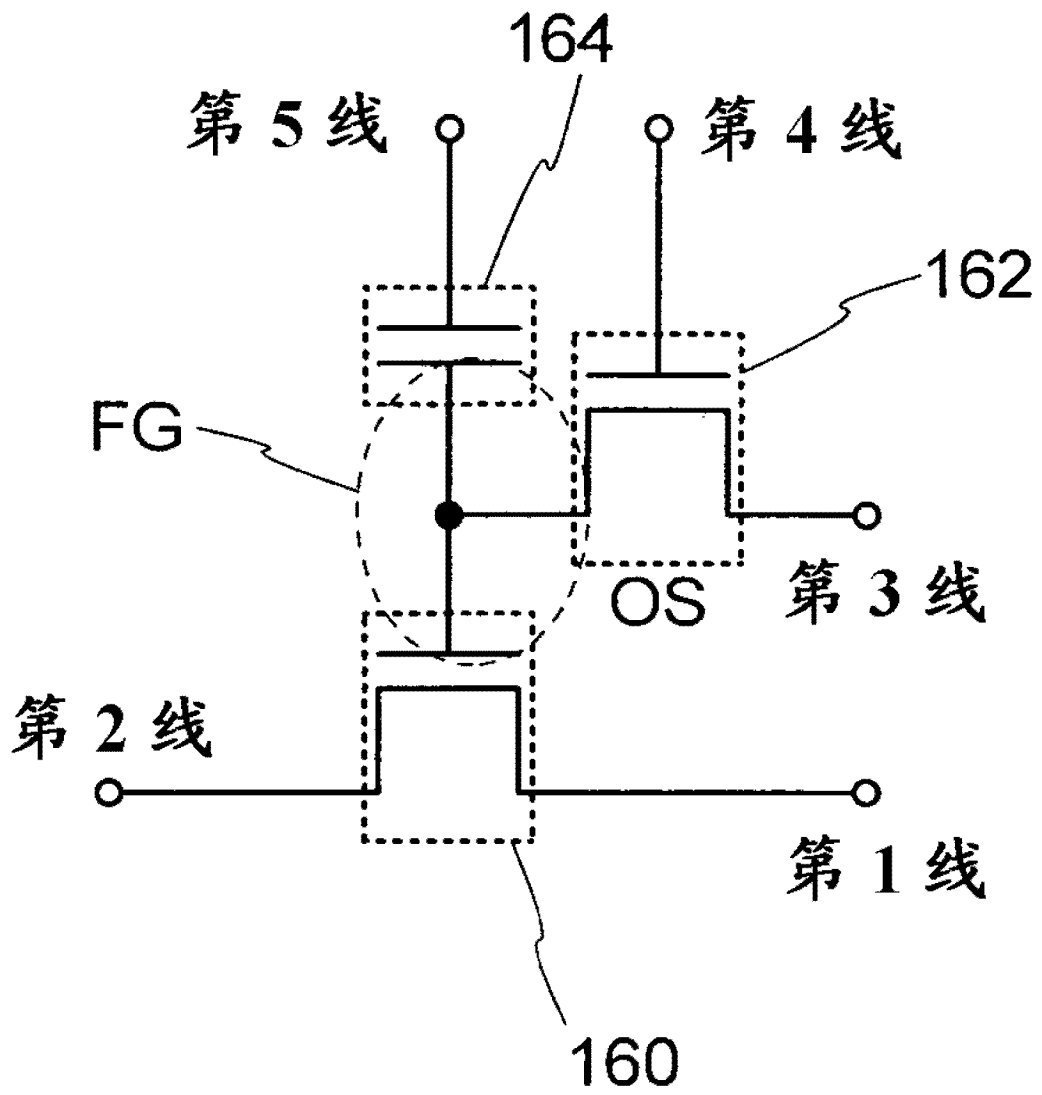


图 13A

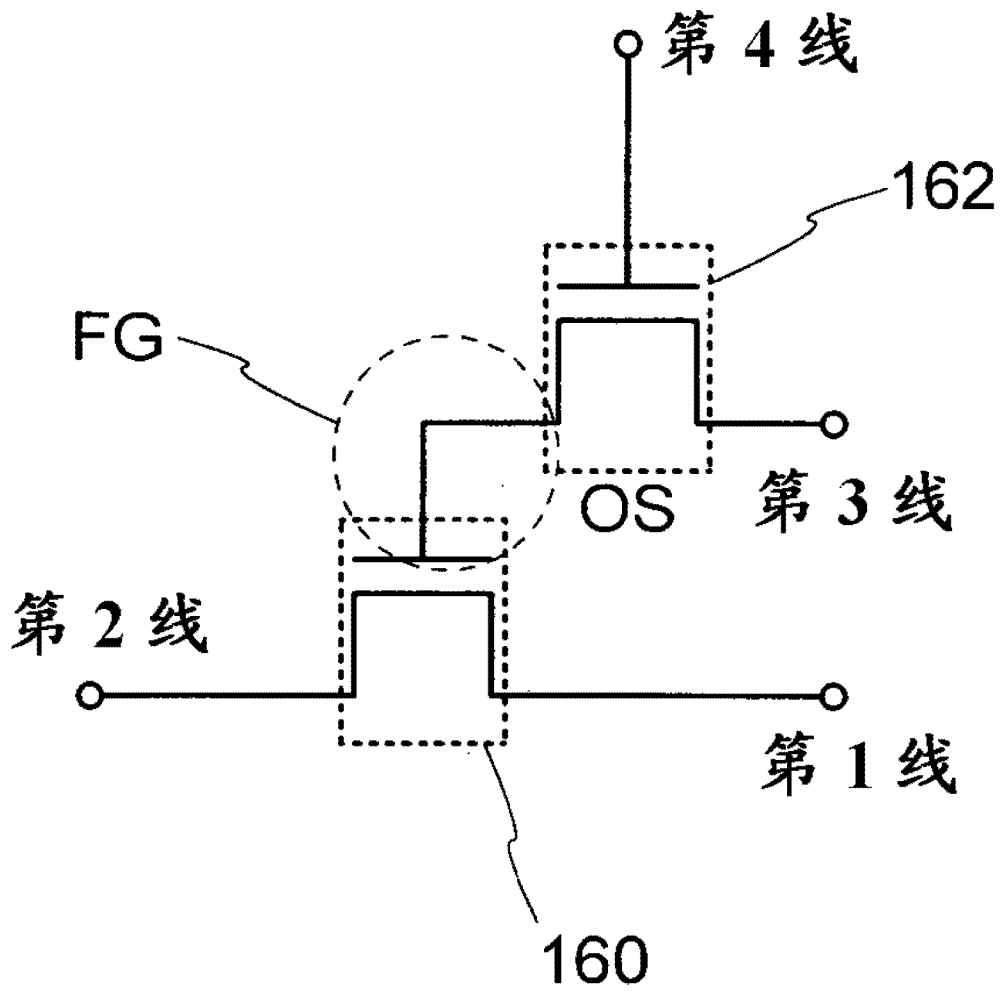


图 13B

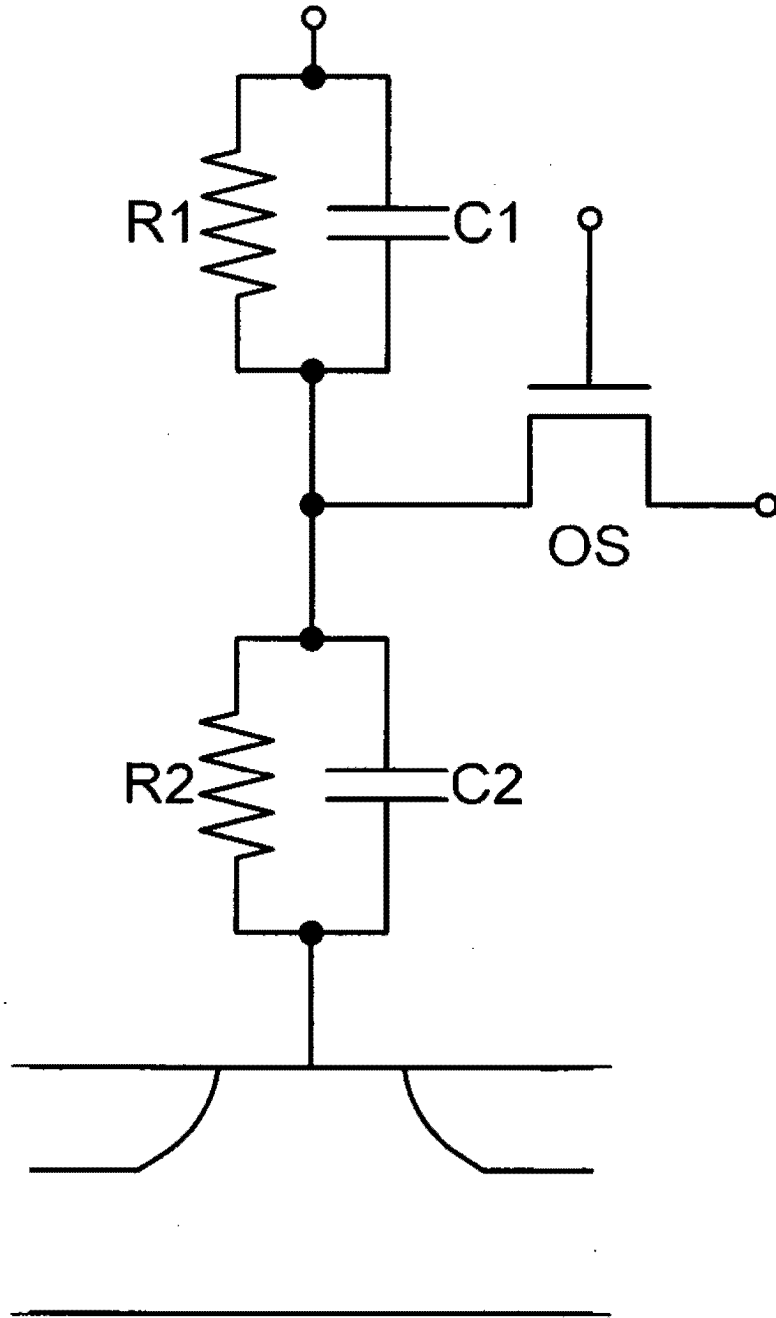


图 13C

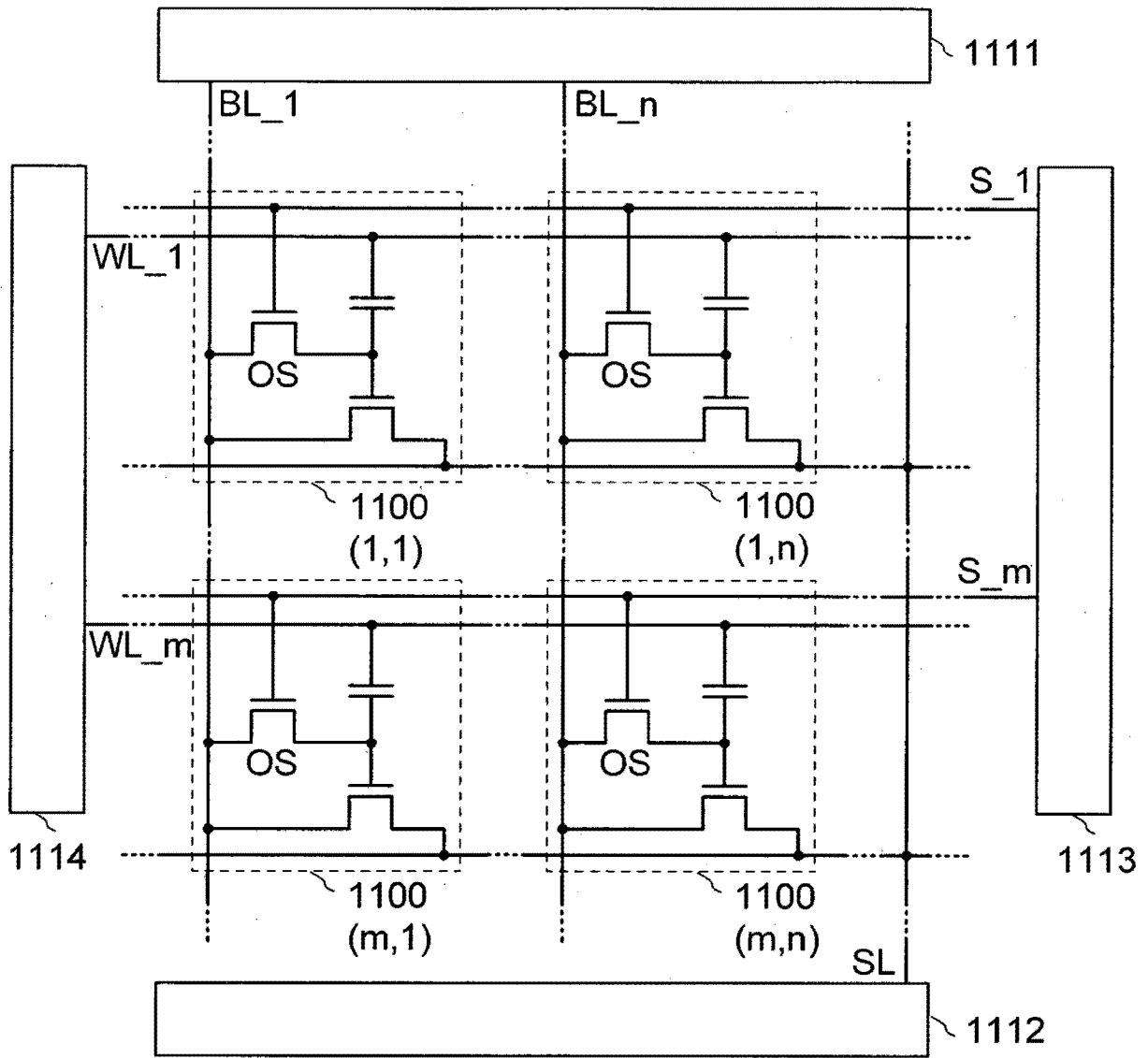


图 14

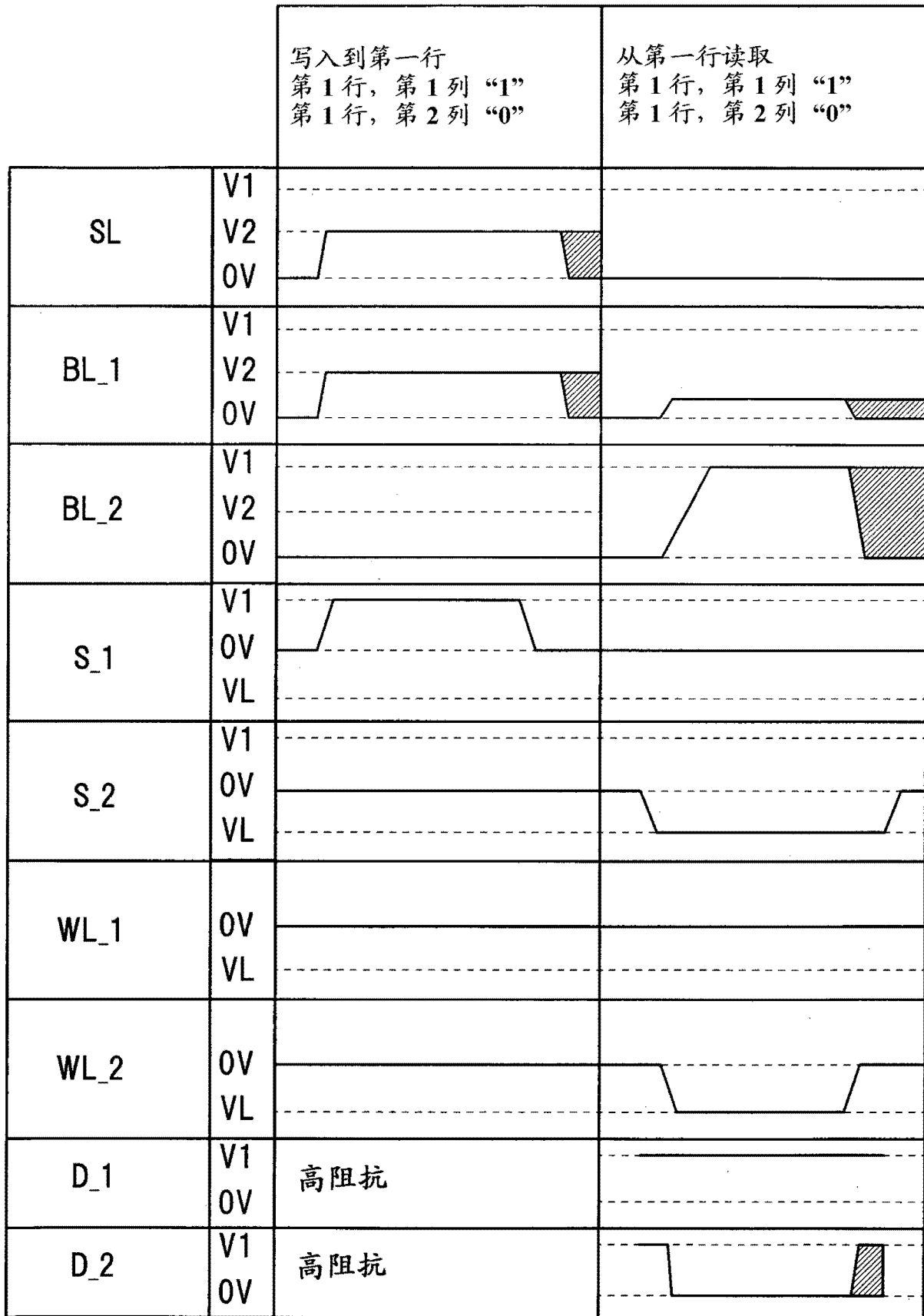


图 15

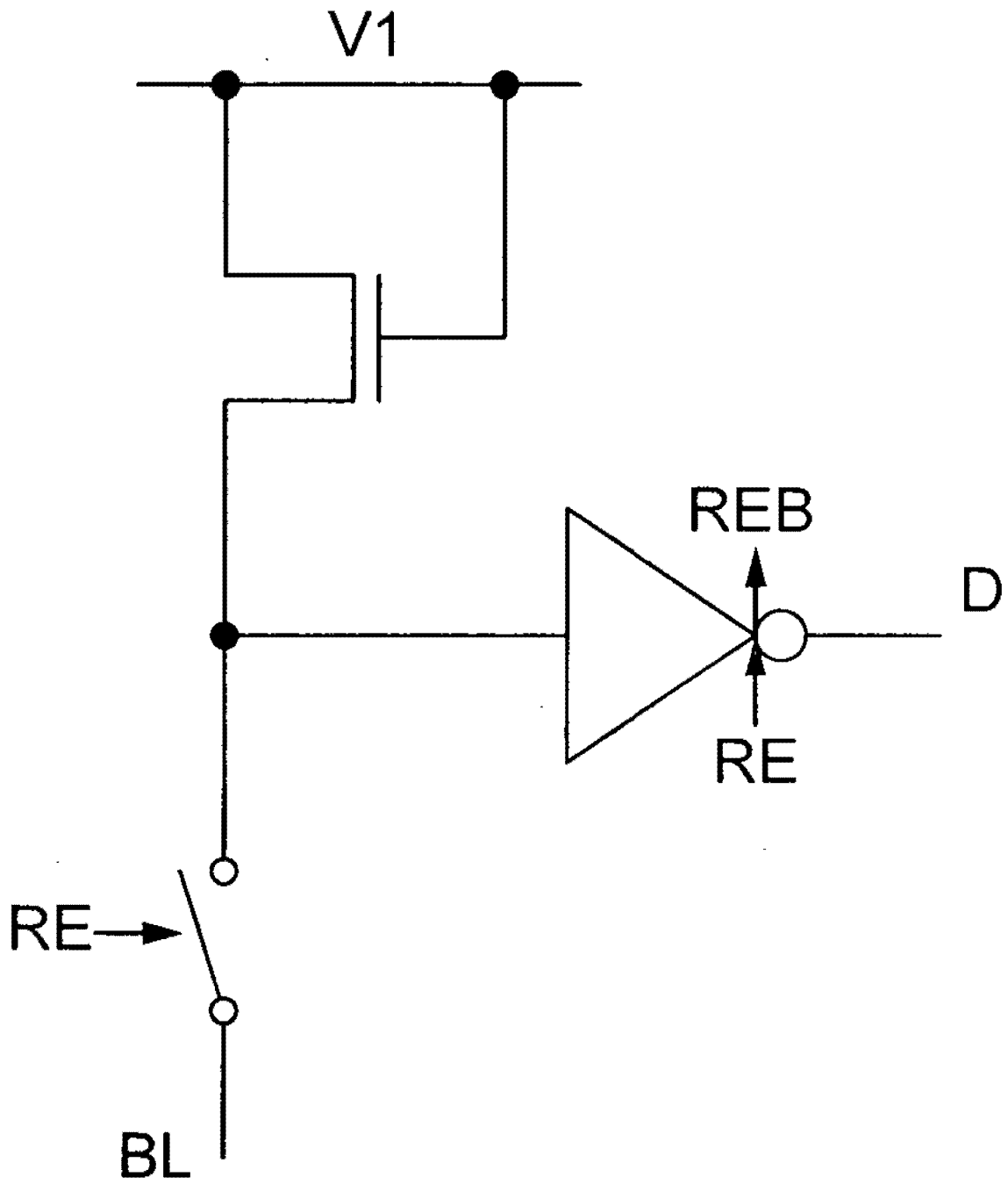


图 16

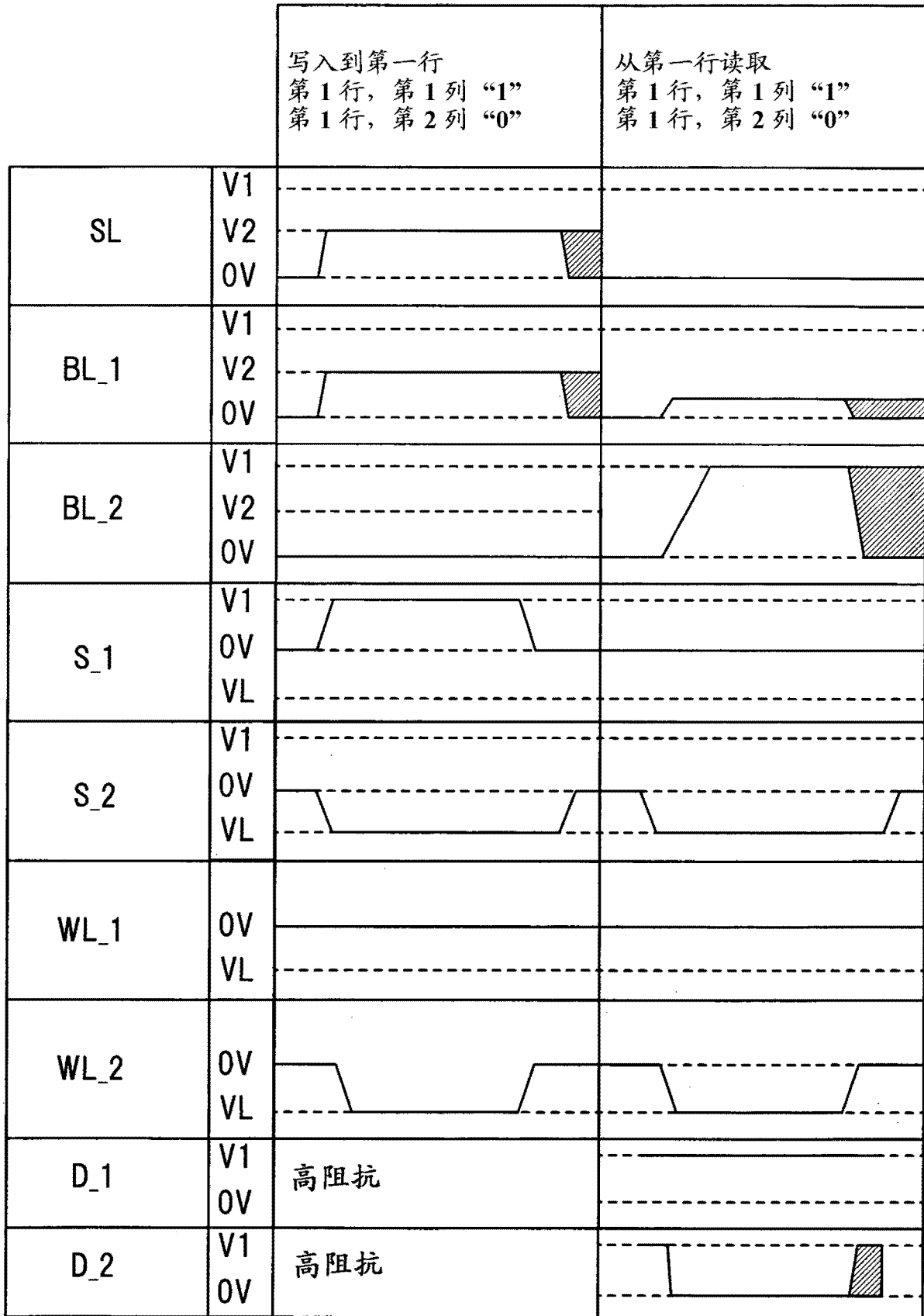


图 17

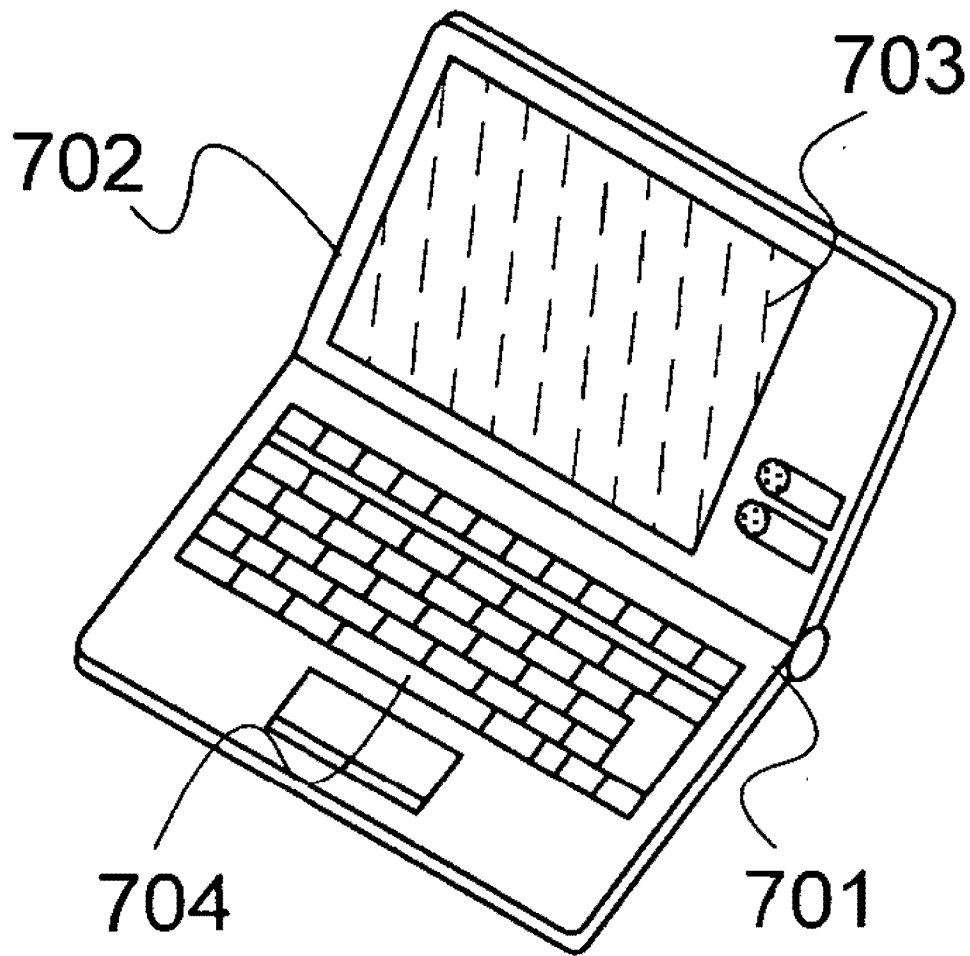


图 18A

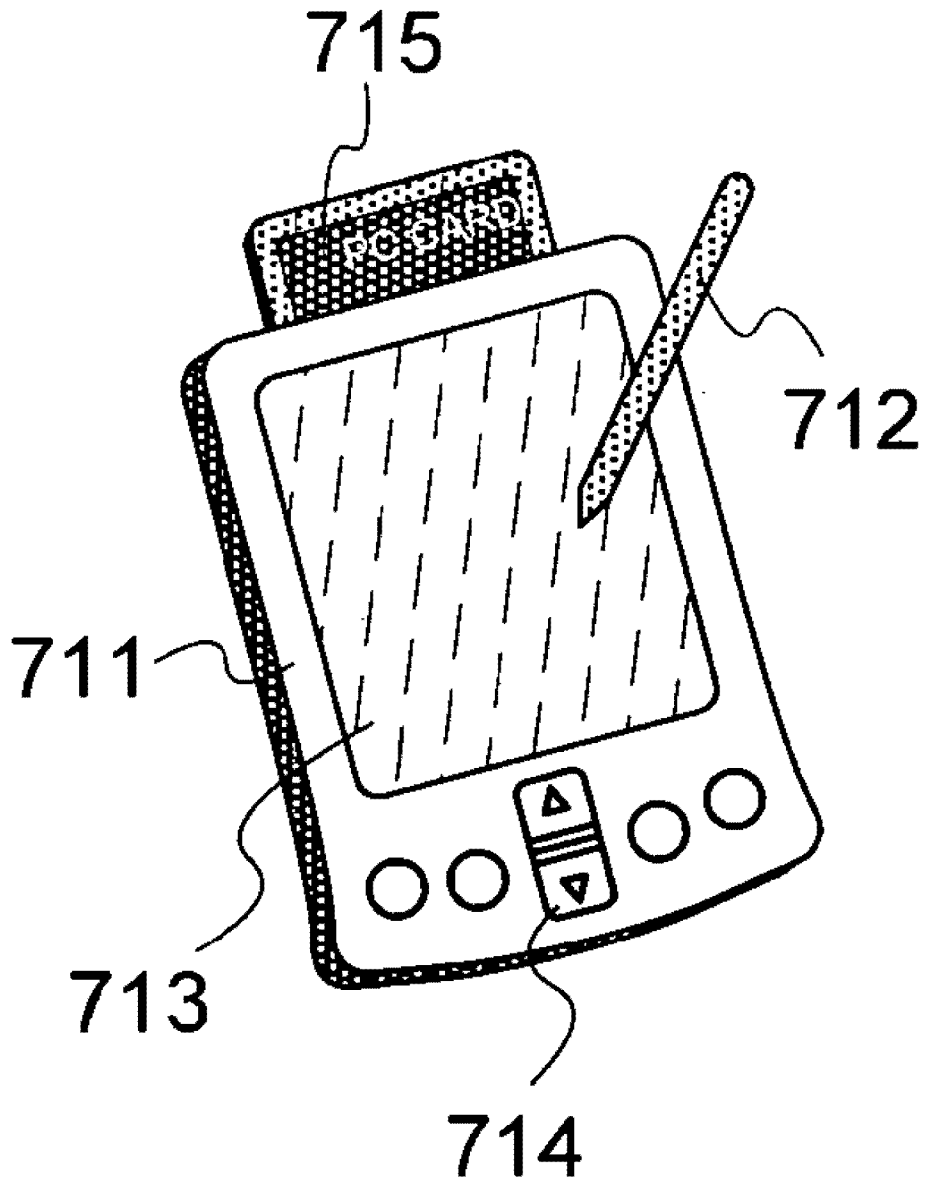


图 18B

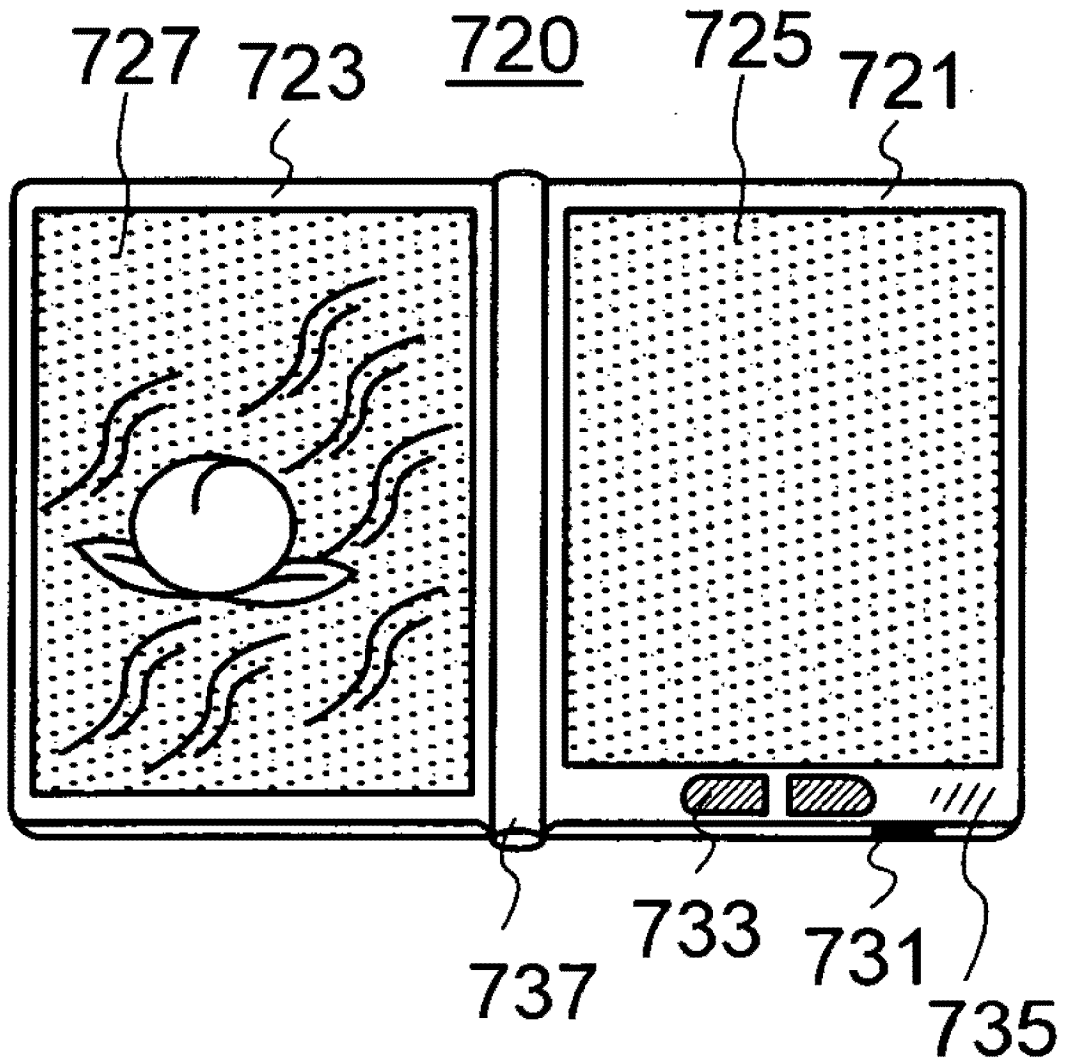


图 18C

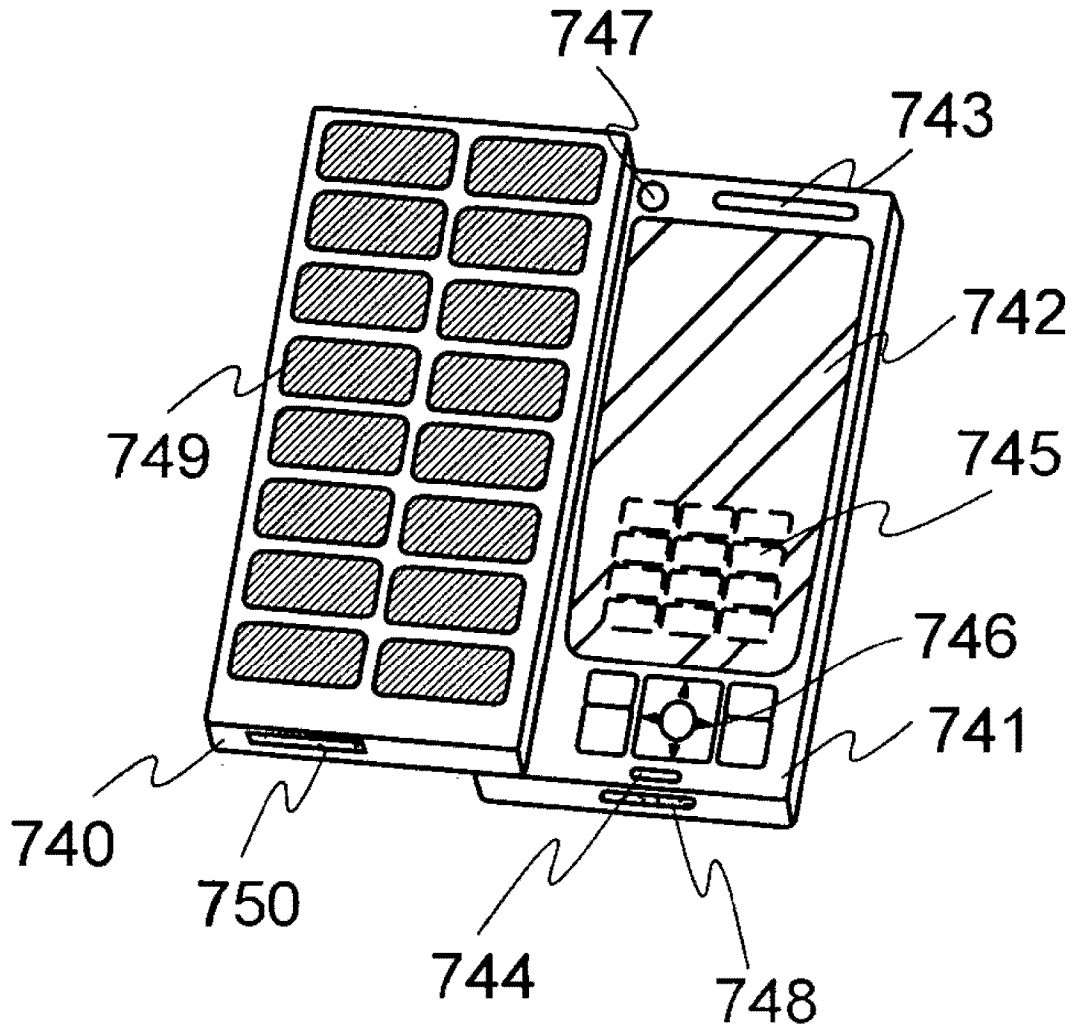


图 18D

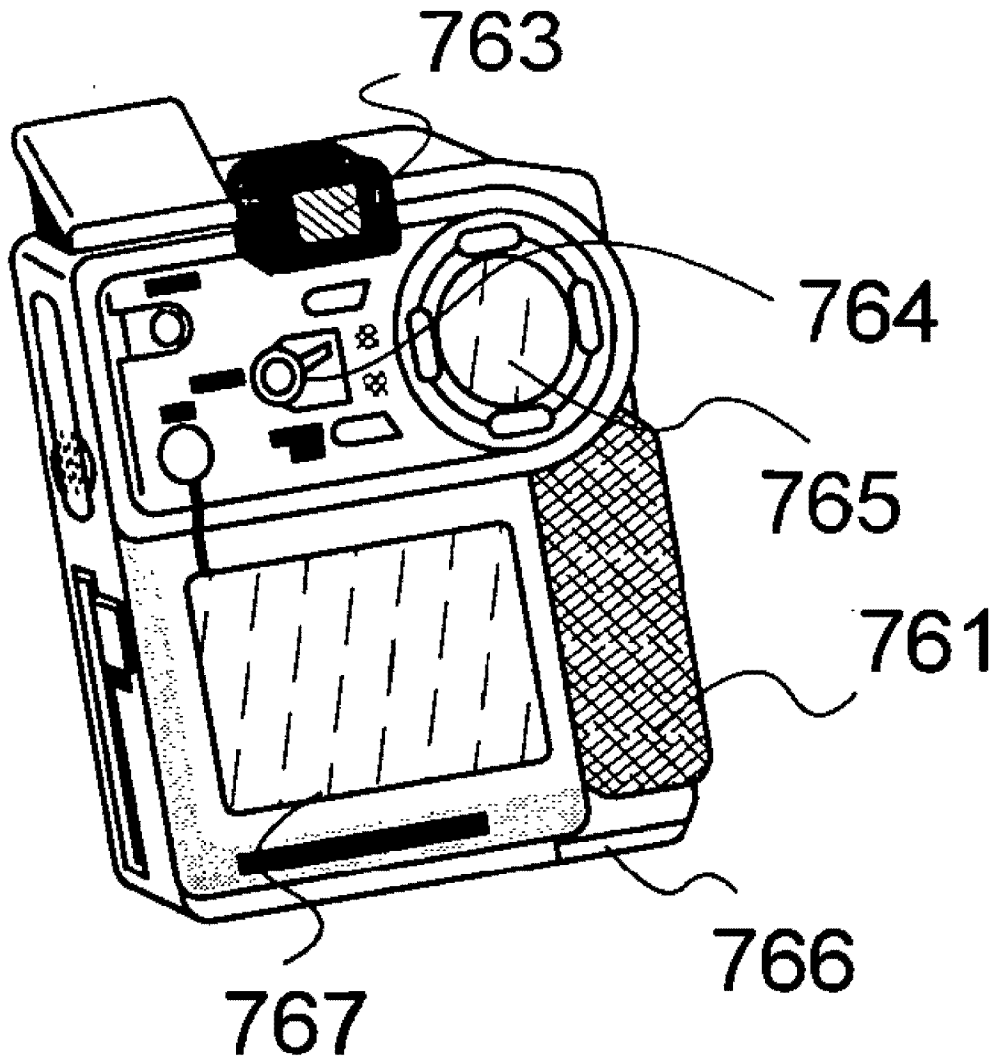


图 18E

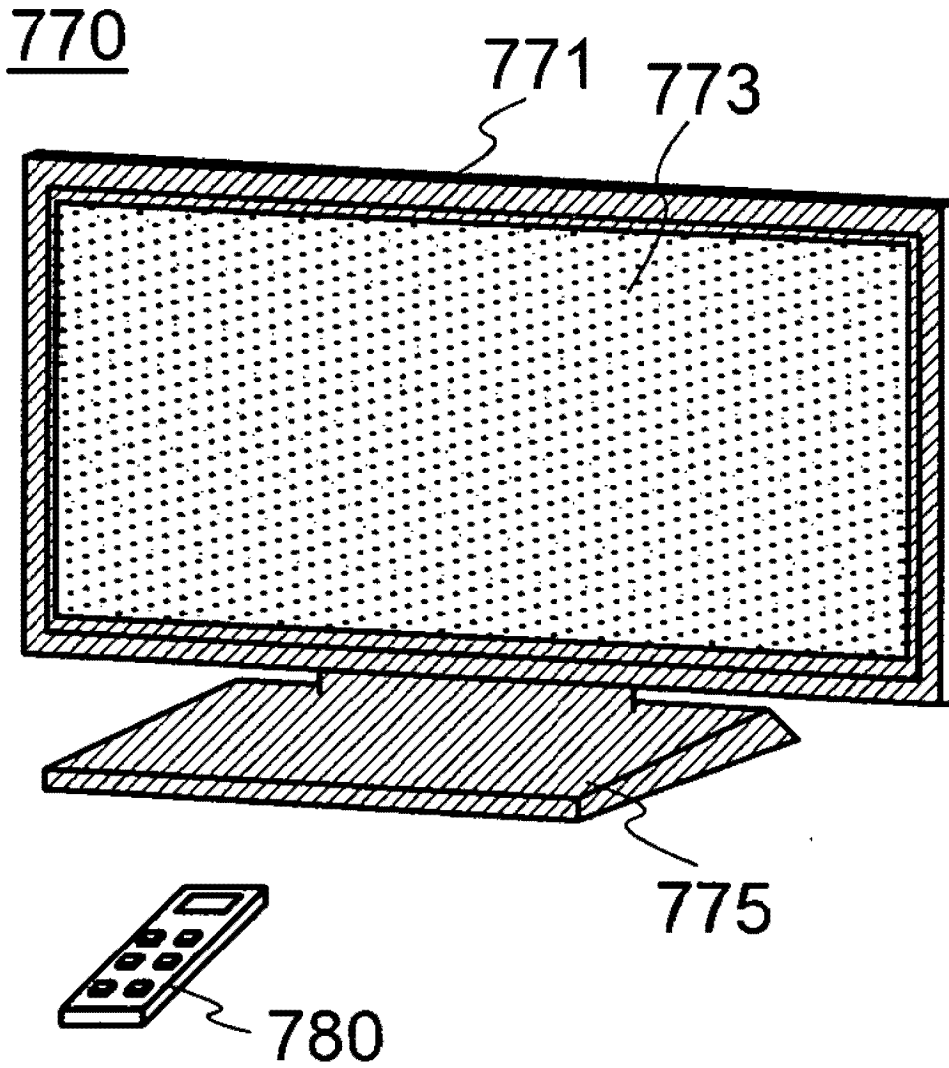


图 18F

参考标号说明

100: 衬底, 102: 保护层, 104: 半导体区, 106: 元件隔离绝缘层, 108: 栅绝缘层, 110: 栅电极, 116: 沟道形成区, 120: 杂质区, 122: 金属层, 124: 金属化合物区, 126: 电极, 128: 绝缘层, 142a: 源或漏电极, 142b: 源或漏电极, 144: 氧化物半导体层, 146: 栅绝缘层, 148a: 栅电极, 149a: 电极, 150: 绝缘层, 151: 绝缘层, 152: 绝缘层, 153: 开口, 154: 电极, 156: 布线, 160: 晶体管, 162: 晶体管, 164: 电容器, 242a: 源或漏电极, 242b: 源或漏电极, 243: 绝缘层, 243a: 绝缘层, 244: 氧化物半导体层, 246: 栅绝缘层, 248a: 栅电极, 249a: 电极, 250: 绝缘层, 251: 绝缘层, 252: 绝缘层, 262: 晶体管, 264: 电容器, 500: 基底衬底, 502: 含氮层, 510: 单晶半导体衬底, 512: 氧化物膜, 514: 脆化区, 516: 单晶半导体层, 518: 单晶半导体层, 520: 半导体层, 522: 绝缘层, 522a: 栅绝缘层, 524: 导电层, 524a: 栅电极, 526: 沟道形成区, 528: 杂质区, 530: 电极, 534: 绝缘层, 542a: 源或漏电极, 542b: 源或漏电极, 544: 氧化物半导体层, 546: 栅绝缘层, 548a: 栅电极, 549a: 电极, 550: 绝缘层, 551: 绝缘层, 552: 绝缘层, 554: 电极, 556: 布线, 560: 晶体管, 562: 晶体管, 564: 电容器, 701: 壳体, 702: 壳体, 703: 显示部分, 704: 键盘, 711: 主体, 712: 触控笔, 713: 显示部分, 714: 操作按钮, 715: 外部接口, 720: 电子书阅读器, 721: 壳体, 723: 壳体, 725: 显示部分, 727: 显示部分, 731: 电源开关, 733: 操作按键, 735: 扬声器, 737: 铰链, 740: 壳体, 741: 壳体, 742: 显示面板, 743: 扬声器, 744: 麦克风, 745: 操作按键, 746: 定点装置, 747: 摄像装置镜头, 748: 外部连接端子, 749: 太阳能电池, 750: 外部存储器插槽, 761: 主体, 763: 目镜, 764: 操作开关, 765: 显示部分, 766: 电池, 767: 显示部分, 770: 电视装置, 771: 壳体, 773: 显示部分, 775: 支架, 780: 遥控, 1100: 存储器单元, 1111: 驱动器电路, 1112: 驱动器电路, 1113: 驱动器电路, 1114: 驱动器电路。