

公告本

申請日期	89 年 5 月 11 日
案 號	89109034
類 別	H01L 27/15

A4
C4

461096

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、 發明 名稱	中 文	半導體記憶裝置
	英 文	
二、 發明 創作人	姓 名	(1) 久本大 (2) 片山弘造
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

日本 1999年 5月 13日 11-132332 有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

〔技術領域〕

本發明是關於使用可大規模積體化的絕緣閘極型電場效應電晶體之半導體記憶裝置。

〔背景技術〕

目前具代表性的積體半導體記憶裝置，例如有：由記憶格所構成之動態隨機存取記憶體(DRAM)，該記憶格是由一個電場效應電晶體與一個電容元件所構成。第1圖是表示使用此DRAM之記憶格的等效電路圖。該記憶格是以電容元件C1所持有的電荷量作為資訊而予以保持之構成。並且，在藉由字元線WL來使電晶體T1形成ON的狀態下，可由外部來對電容元件C1進行存取，而改變電荷量。就使用該記憶格的積體半導體記憶裝置而言，是將儲存於電容C1中的電荷讀出於資料線DL，並讀取該資料線的電位變化，而來進行資訊的讀出操作。但，若為了達成高積體化而使單元微細化的話，則電容元件所具有容量也會跟著變小，且讀出信號會變小。

就迴避此情況發生的方法而言，例如有使用讀出時取出比所保持的電荷量還要大的信號電荷量之增益單元，而來放大電荷之記憶格方式。如圖2之以等效電路所示之3元件的動態記憶格方式。在此，RW為讀出字元線，WW為寫入字元線，RB為讀出資料線，WB為寫入資料線。經由電晶體T1來將電荷保持於電晶體T2的閘極電極。並且，經由電晶體T3，T2來讀出該閘極的電位。此刻

五、發明說明(2)

，保持於電晶體 T 2 的閘極的電荷不會受到讀出動作的影響，而能夠根據被驅動的通道電荷來取出（作為信號）。亦即，電晶體 T 2 的閘極電荷可藉由電晶體 T 2，T 3 而被放大。

但，由於此方式需要 3 個電晶體，因此積體性要比圖 1 所示的元件構造來得低。又，為了要提高資訊保持性能的可靠度，而必須要使用設置電容元件（連結於電晶體 T 2 的閘極）等之構成。

在此，藉由 2 個電晶體來進行動作的增益單元構造被提案。有關此構造方面，例如有記載於（International Electron Devices Meeting, pp.1006-1008, 1992）中。圖 3 是表示該等效電路。經由連接於位元線 B L 的寫入電晶體 T 1 來使電晶體 T 2 的閘極 G 1 的電荷變化。並且，電晶體 T 2 具有層疊後的閘極 G 1 與閘極 G 2。因此，可藉由閘極 G 2 的電位變化來經由連結後的電容使閘極 G 1 的電位變化，而使電晶體 T 2 的通道能夠進行電場效應電晶體動作。此刻，閘極 G 1 的電位可根據保持於閘極 G 1 中的電荷量來改變。

此構成的特徵是以 P M O S 來作成寫入電晶體 T 1，及以 N M O S 來構成讀出電晶體 T 2。因此，寫入，讀出及待機時的字元線操作是會形成圖 4 所示一般。亦即，由於寫入時是使寫入電晶體 T 1 形成 O N 狀態，因此會使字元線 W L 的電壓 V_{wL} 形成低寫入電壓 $V_w(W)$ ，待機時設定成保持電壓 $V_w(S)$ ，讀出時設定成與寫入時呈相反

五、發明說明(3)

的高讀出電壓 $V_w(R)$ 。又，由於讀出時寫入電晶體是形成 OFF 狀態，因此可以非破壞性地讀出記憶格所持有的資訊。又，圖中 $I(RM'1)$ 是表示讀出值為 '1' 時的汲極電流， $I(RM'0)$ 是表示讀出值為 '0' 時的汲極電流。

但，就此構成而言，位元線 BL 是連接於寫入電晶體 T1 及讀出電晶體 T2 雙方的電極而共用。因此，寫入時讀出電晶體 T2 會根據位元線電位而形成 ON 狀態，消耗電流會增大。又，因為是以使用多結晶矽的 TFT (Thin Film Transistor) 來構成讀出電晶體，所以讀出電流小。並且在元件配置中，由於在平面佈局中並列配置 2 個電晶體，因此需要較大的面積。

又，於日本特開平 10-200001 公報的圖 20 中揭示有可實現高速、高積體性的記憶裝置，亦即由電場效應型電晶體與縱型構造型件所構成的記憶裝置。縱型構造型件是以相當於電場效應型電晶體的源極、汲極路徑上的閘極的部份作為記憶節點，並於此記憶節點上設置由多重隧道障壁構造所構成的隧道障壁構造，且於多重障壁構造的上壁設置控制電極，及於側壁設置閘極。

又，該記憶裝置會在控制電極與記憶節點間施加電壓，而使控制電極的電壓變化，藉此而使能夠控制由控制電極穿過隧道障壁構造而到達記憶節點的電子個數，亦即電荷量，並且利用設置於側壁的閘極來將附加的電場施加於多重隧道障壁構造中，藉此電子會穿過多重隧道障壁構造

五、發明說明(4)

，而來控制儲存於記憶節點者而寫入。又，由於可利用寫入記憶節點中的電荷來影響電場效應型電晶體的源極·汲極路徑的導電性，因此可藉由此狀況的監控來讀出資料。

又，該縱型構造元件是以施加於閘極（設置於側壁）的電壓來使多重隧道障壁構造的障壁高度變化，藉此來控制穿過隧道障壁構造的電子個數，亦即電荷量，而形成載流子為N型的元件。又，在使用該多重隧道障壁構造的縱型構造元件中並無控制作為載流子的正孔（hole）之概念，亦即並未考量有關執行P型電場效應型電晶體動作的縱型構造元件。

〔發明之揭示〕

本發明之目的在於提供一種可以抑制消耗電力，使具有良好的讀出特性及良好的資訊保持能力之積體性高的半導體記憶裝置。

本發明之半導體記憶裝置是以形成於基板面上的絕緣閘極型電場效應電晶體作為讀出電晶體，並以與該讀出電晶體的通道領域重疊的位置上和基板面呈垂直的方向上具有通道的絕緣閘極型電場效應電晶體（亦即形成縱型構造的絕緣閘極型電場效應電晶體）作為寫入電晶體，而形成層疊構造，且寫入電晶體與讀出電晶體為相反導電型。又，利用層疊構造來分離寫入電晶體的位元線與讀出電晶體的位元線。

其次，利用圖5（表示本發明之代表性的元件構造）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

來說明所能取得的效果。在圖5中形成有：以基板100上的擴散層電極220與320作為源極，汲極，及以層350作為閘極電極之NMOS電場效應電晶體T2。並且，在經由絕緣膜980而形成通道的層（以下稱為通道部）150中配置有：帶來電場效應的閘極電極500，及以電極350與250來作為源極，汲極之縱型配置的電場效應電晶體T1。又，電極250是摻雜高濃度的P型雜質，而形成導電化的擴散層電極，層976是以矽氧化物而形成之絕緣層。

圖6是表示圖5所示之構造的記憶格的等效電路。在本元件構造中，電晶體T1為寫入元件，電晶體T2為讀出元件。兩電晶體是以彼此呈相反的導電型而構成，因此與上述習知例同樣的，由於各閘極電極是電氣性地動作於相反方向，因此可在不破壞資訊的情況下讀出。又，由於兩電晶體是被層疊著，因此可縮小面積。又，由於讀出元件T2是根據以基板作為通道部的電晶體來形成，因此可確保良好的讀出電流。

其次，針對記憶格的動作加以說明。在此，D1為讀出位元線，D2為寫入字元線，D3為寫入資料線，D4為讀出位元（字元）線。根據寫入字元線D2來使電晶體T1形成ON狀態，而來將寫入資料線D3的電位予以寫入記憶保持部（閘極電極350）中，並且根據寫入字元線D2來使電晶體T1形成OFF狀態，而使保持電荷。此刻，讀出用電晶體T2的閘極電位會被決定。例如，開

五、發明說明(6)

極電位超過電晶體 T 2 的臨界值時，若在讀出位元線 D 1，D 2 間賦予電位差，則會有電流流動。另一方面，閘極電位低於臨界值時，即使在讀出位元線 D 1，D 2 間賦予電位差，電流也不會流動。因此，可根據該電流來讀出閘極電位。

就此構造而言，由於寫入部與讀出部在動作上是被分離，因此即使形成積體化，也不會有讀出動作破壞其他記憶格的資訊之情況發生。在此，雖讀出位元線 D 1 與寫入字元線 D 2，寫入資料線 D 3 與讀出位元（字元）線 D 4 是以能夠形成平行而配置，但由於讀出與寫入是被分離，因此只要使讀出位元線 D 1 與讀出位元（字元）線 D 4，寫入字元線 D 2 與寫入資料線 D 3 能夠垂直而配置即可。有關這方面，在之後的實施例中會加以說明。

此外，可兼用寫入與讀出的字元線。又，雖然為了說明動作，而於圖 6 中使用虛線來描繪電容元件，但在實際的構造中，由於在電極間有重疊的情況存在，因此不須追加製程，而能夠形成電容元件。例如，寫入元件為 P 型，讀出元件為 N 型時，寫入元件 T 1 會在字元線 D 2 中追加負電位的情況下形成 ON 狀態，資料線 D 3 的電位被寫入。另一方面，在讀出元件 T 2 中，在字元線 D 2 中追加正電位的情況下，通道形成 ON 狀態。亦即，可在字元線 D 2 中追加正電位的情況下根據電容連接器來將正電位賦予讀出元件 T 2 的閘極。此刻，在寫入元件 T 2 中，由於 OFF 狀態會被更為強化，因此可抑止電荷洩漏。

五、發明說明()
7

相對的，就圖 2 所示之習知增益單元而言，由於相輔的動作無法進行，因此在寫入（消去）時，賦予最高閘極電壓，而使不會破壞該資訊，藉此必須在低電壓讀出。因此，可作為資訊使用的電位範圍會變得狹窄，而使得難以持有多值資訊。

在相輔的動作中，由於在讀出時的字元線 D 2 的電位中並沒有如此限制，因此至少可使用 3 個以上的資訊，亦即多值的資訊（多階段的電位狀態）。又，因為在讀出時的閘極電位中並沒有受限於資料破壞，所以可以自由地賦予施加電位，因此可使保持電荷狀態呈連續狀態讀出。又，因為會根據閘極施加電壓與保持電荷狀態而被賦予讀出結果，所以可利用此讀出結果來進行運算處理。

[用以實施發明之最佳形態]

以下，參照圖面來詳細說明本發明。

（實施例 1）

圖 7 是表示本發明半導體記憶裝置之具代表性的元件剖面構造圖。

圖-8 是表示以 2 個記憶格為基本單位時之平面佈局例圖。圖 8 中的虛線矩形領域是表示 2 位元的領域。又，圖 8 中的元件符號 1 0 所示的部份是表示連接讀出元件 T 2 的一方擴散層電極（源極或汲極電極）與配線層 D 4 之接觸孔，又，元件符號 1 1 是表示連接讀出元件 T 2 的另一方擴

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

8

散層電極（汲極或源極電極）與配線層 D 1 之接觸孔，又，以斜線所示之領域 1 2 為寫入元件 T 1 的柱狀領域，1 3 為淺溝元件分離絕緣膜的境界領域。又，D 1 是表示對應於圖 6 之讀出位元線 D 1 的配線層，D 2 是表示對應於圖 6 之寫入位元線 D 2 的配線層，D 3 是表示對應於圖 6 之寫入位元線 D 3 的配線層，D 4 是表示對應於圖 6 之讀出位元（字元）線 D 4 的配線層。

又，圖 9 ~ 圖 1 2 是根據圖 8 中的 A - A 線及 B - B 線來說明製造過程。並且，在圖 9 ~ 圖 1 2 中，左側為沿著 A - A 線的剖面，右側為沿著 B - B 線的剖面。

又，圖 7 中，符號 2 5 0，3 5 0 為形成縱型構造電晶體的源極，汲極的層。又，閘極 5 0 0 會經由絕緣膜 9 8 0 而從兩側來對通道部 1 5 0 產生電場效應。這將形成寫入用電晶體 T 1。又，以形成於單結晶基板 1 0 0 的擴散層電極 2 2 0 及 3 2 0 作為源極及汲極，以寫入用電晶體 T 1 的層 3 5 0 作為閘極之電晶體，是經由絕緣膜 9 8 0 來使閘極 3 5 0 對源極，汲極間的通道產生電場效應，而得以取得電場效應型電晶體動作。這將形成讀出用電晶體 T 2。

圖 7 所示之構造中，由於擴散層 2 2 0，3 2 0 與擴散層 2 5 0，3 5 0 是藉由相反的導電型雜質而形成之擴散層電極，因此可實現具有不同的導電型之電晶體的積層。擴散層 2 5 0 與藉由金屬矽化物而形成的層 2 5 1 是對應於圖 6 之寫入資料線 D 3 而層疊的配線層，符號 9 7 6

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

9

所示的層為絕緣層，985為層間絕緣層，986為絕緣膜，600為對應於圖6的配線D4之配線層。

以下，利用圖9～圖12來說明該製造過程。首先，如圖9所示，使用P型矽基板100，藉由習知的淺溝隔離法來形成元件分離層900。在此，利用離子植入法來進行通道摻雜，而使能夠設定成讀出元件T2的必要臨界值。又，使基板表面氧化，並且利用CVD(Chemical Vapor Deposition)法來層疊矽氮化膜，而形成閘極絕緣膜970。然後，堆積摻雜P型雜質之多結晶矽350(形成讀出元件T2的閘極，寫入元件T1的源極或汲極電極)，及含微量的N型雜質之多結晶矽層150。接著，在與圖8所示之A-A線平行的方向上利用習知之光學微影成像技術來進行圖案加工，而形成溝。藉此，在沿著B-B線的斷面中會出現絕緣膜層970。

其次，如圖10所示，在堆積絕緣膜975後，利用CMP(Chemical Mechanical Polishing)法來去除溝以外堆積的絕緣膜975，藉此以能夠使多結晶矽層150的頭部出現之方式來形成平坦化。然後，藉由CVD法來層疊植入P型雜質的多結晶矽層250及鎢矽化物層251，並且堆積矽氮化物層976。

其次，如圖11所示，在與圖8所示之B-B線平行的方向上對這些層疊膜圖案加工成溝狀，而藉此來形成由多結晶矽層250與金屬矽化物層251所構成的資料線D3，及寫入元件T1的縱型構造。接著，以該層疊構造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

10

作為光罩，而藉由植入 N 型雜質來形成讀出元件 T 2 的擴散層電極 2 2 0，3 2 0，然後在表面上堆積閘極絕緣膜 9 8 0（層疊氮化物後的閘極絕緣膜）。

其次，如圖 1 2 所示，藉由摻雜高濃度的雜質（形成寫入元件 T 1 的閘極）來堆積金屬化後的層 5 0 0，並且對字元線 D 2 進行圖案加工。

以下，將藉由層間絕緣膜的堆積及兩層配線的進行來對讀出元件 T 2 的擴散層電極 2 2 0，3 2 0 形成配線 D 1，D 2。藉此，將能夠取得圖 7 所示之構造的記憶格。

本構造是由：寫入元件 T 1 為使用多結晶矽的 P 型 MOSFET，及讀出元件 T 2 為使用基板單結晶矽的 N 型 MOSFET 所構成，而能夠形成具有良好的讀出特性之層疊構造的 2 個電晶體記憶格。並且，可藉由使圖 6 之字元線 D 2 的電位動作於負側來使寫入電晶體 T 1 形成 ON 狀態，而來寫入資料線 D 3 的電位。另一方面，可藉由字元線 D 2 位於正側來使讀出電晶體 T 2 形成 ON 狀態。此刻，寫入元件 T 1 會開始形成 OFF 狀態，因此被寫入讀出元件 T 2 的閘極的資訊不會被破壞。又，可藉由此刻的保持電荷量來改變讀出元件 T 2 的狀態。

又，讀出元件 T 2 的擴散層電極 2 2 0，3 2 0 會分別從位元線 D 1，D 4 被引出，並且在此實施例中形成垂直配列。因此，可進行藉由位元線 D 1，D 4 而讀出之記憶格的選擇。亦即，即使不改變字元線 D 2 的電位，還是

五、發明說明 ()

11

可以藉由對閘極 350 的擴散層電位的改變來讀出保持於閘極 350 的電荷量。當然，亦可與字元線 D2 的電位組合而使動作。

圖 13 是表示使用習知所謂非揮發性記憶體（例如 EEPROM 或 FLASH）之增益單元的動作。在此，3 值為 ' - 1 ' ， ' 0 ' ， ' 1 ' ，縱軸為汲極電流，橫軸為字元線的電壓 V_{WL} ，分別表示讀出時的狀態。又，圖中 $I(RM ' 1 ')$ 是表示讀出值為 ' 1 ' 時的汲極電流， $I(RM ' 0 ')$ 是表示讀出值為 ' 0 ' 時的汲極電流， $I(RM ' - 1 ')$ 是表示讀出值為 ' - 1 ' 時的汲極電流。又， $V_w(S)$ 為保持電壓， $V_w(R)$ 為讀出電壓。

寫入時（消去）時，賦予最高的閘極電壓，而使不會破壞該資訊，藉此必須在低電壓讀出。在此，字元線的寫入電壓 $V_w(W)$ 為 V_{m1} ，及供以能夠在不破壞所保持的資訊下進行讀出的動作界限為 V_{m2} 。因此，可作為資訊使用的電位範圍會形成以 V_{m1} 與 V_{m2} 的差所示之狹窄的範圍。又，為了使持有多值資訊，而必須分割該電位範圍，將難以使記憶體動作。又，在相輔動作中，由於在讀出時的字元線電位中並沒有如此的限制，因此可以使用多值的資訊（多階段的電位狀態）。

又，於寫入動作中，由於目前為止的非揮發性記憶體是根據藉由高電場而產生的載流子的注入量來改變所保持的電荷量，因此使多值動作進行時，必須以時間等來控制

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

12

寫入注入量，而一邊進行所謂查證（verify）的檢證動作，一邊進行寫入。就本發明構造的多值動作而言，基本上可藉由注入電荷量的控制來利用電晶體的通道進行寫入，因此可以控制電位本身。亦即，將寫入元件 T 1 的資料線 D 3 的電位予以寫入，而於不進行檢證動作的情況下，例如在至少具有 3 個複數的記憶格情況時，在 1 次週期中使至少 3 個的電荷狀態進行寫入動作，亦即使多值動作進行。

圖 1 4 是表示記憶格的配置例，為配置圖 8 所示之 2 個基本單位的例子。由於讀出元件 T 2 的配線是取 2 層配線，因此可藉由交互重複配置來將圖中斜線所示的 D 1 配線佈局成高密度。在此，雖是拉成 2 層配線，但亦可根據擴散層配線（將一方形成於基板）來形成。此情況，將可減少 1 層分量的配線層形成過程。

此外，讀出元件的位元配線 D 1，D 4，可將一方固定於與基板電位相同的電位而使動作。此情況，可使擴散層與基板電氣性短路，而固定於同電位。此方式，由於基板可作為給電部，因此能夠容易形成配線。

就此構成而言，由於可在所有的擴散層電極中個別配線，因此能夠取各式各樣的記憶格陣列配線。圖 1 5 中，讀出位元線 D 1，寫入資料線 D 3，讀出位元（字元）線 D 4 為平行配置，且以能夠與這些線呈垂直之方式來配置寫入字元線 D 2。又，藉 1 位元的記憶格來將實際的佈局例表示於圖 1 6 中。又，圖 1 5 之電路圖中，針對縱型構

裝

訂

線

五、發明說明 ()

13

造元件的寫入元件 T 1，爲了與通常的 M O S 電晶體有所區別，而以虛線的電晶體記號來表示相當於通道部的部份，取代通常 M O S 電晶體記號。

另外，利用圖 1 7 的等效電路圖來表示平行配置讀出位元線 D 1，寫入字元線 D 3，讀出位元（字元）線 D 4，且以能夠與這些線呈垂直之方式來配置寫入電晶體 T 1 的資料 D 3。又，利用 1 位元的記憶格來將此刻的實際佈局例表示於圖 1 8 中。

本發明之記憶格的特徵，如以上所述，所有的端子可個別被引出，且可非破壞地讀出資料。其特徵可使用記憶格來進行運算。圖 1 9 是表示具代表性的 O R 運算的構成例。亦即，以能夠共有讀出線 D 1，D 4 之方式來並列配置記憶格。藉此，可根據記憶格的讀出操作來實現 O R 運算電路。在此雖於每一記憶格配置字元線 D 2，但由於寫入元件 T 1 的資料線 D 3 被分離，因此可使字元線共有。

圖 2 0 是表示供以使 A N D 運算進行之縱疊後的記憶格配置例。形成運算處理所有記憶格的讀出電晶體 T 2 爲 O N 狀態時及除此以外時之電路構成。在此雖可藉由分離各個記憶格的字元線 D 2 來共用寫入元件 T 1 的資料線 D 3，但亦可如圖 2 1 所示，使字元線 D 2 形成共通化，對個別的寫入元件 T 1 放置資料線 D 3。

在此所示之 O R 及 A N D 的運算電路的構成例爲運算基本例，亦可藉由組合來形成各種的運算處理閘極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

14

(實施例2)

圖22是表示提高本發明構造之記憶格的電荷保持能力，亦即形成所謂非揮發性記憶體之第2實施例。並且，在圖22中與第1實施例的圖5所示之構成部份相同的構成部份賦予同樣的元件符號。

圖22之元件構造是在圖5所示之本發明的代表性元件構造中形成將絕緣膜931挾持於電極350與通道部150之間的構造。亦即，由於電極350是藉由絕緣膜來包圍其周圍，因此會形成所謂浮動閘極之類的構造。

另一方面，為了取得寫入元件動作，而使絕緣膜931形成非常薄，且電荷可利用隧道現象而透過。藉此，即使挾持絕緣膜931，寫入元件T1的基本動作還是能夠取得與上述實施例相同者。

此情況的特徵為：挾持隧道絕緣膜931而放置的通道部150是利用閘極500的電場效應而控制，因此可使來自電極350的電荷洩漏形成非常的低。又，由於是使用金屬材料來形成電極350，而得以調整與絕緣膜931的障壁高度，因此將能夠控制隧道電流。

有關此元件的動作方面將進行以下的考察。在此元件構造中，由於可以抑止形成記憶保持部之電極350的電荷洩漏，因此可視為形成挾持絕緣層（在金屬與半導體之間防止電荷洩漏的障壁）之構造。亦即，在肖脫基（Schottky）接合中可藉由所謂肖脫基勢壘的障壁 P_m 來抑制漏電流。在此，可藉由挾持具有比肖脫基障壁 P_m 的障壁

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

15

高度 P_i 還要大的絕緣膜 931 來減低由金屬側通過半導體側的載流子。

又，亦可以挾持絕緣層的構造之接合 (MIS 接合) 來取代該肖脫基接合。例如有：Sze 著 "Physics of Semiconductor Devices, second edition, JOHN WILEY & SONS" 540 ~ 553 頁中所記載者。即使挾持具有高障壁高度 P_i 的絕緣膜，還是可以藉由使絕緣層的膜厚形成非常薄來促進隧道現象，而使接合的開關動作能夠進行。

一般，藉由隧道現象而穿透該絕緣膜的載流子是依存於障壁高度，膜厚及載流子的能量。又，裝置構造可藉由控制金屬材料與絕緣膜間的障壁高度，絕緣膜的厚度，及非平衡狀態的電位分布來控制漏電流。又，由於目前為止可使讀出元件 T2 的性能良好，因此可利用 N 型讀出元件來構成記憶格。但，以使用此處所示之通道的電場效應電晶體來作為寫入元件 T1 時，由於寫入元件的驅動能力良好，因此能以 N 型來形成寫入元件，以 P 型來形成讀出元件，而取得良好的特性。

本實施例的構造是藉由縱型的通道配置來形成不會使平面面積增加之通道長的大裝置。藉此，將可抑制短通道化之漏電流的增大。並且，在兩側配置閘極，更可有效地活用電場效應。而且，藉由此縱型構造，將可容易形成以往難以達成之非對稱型系的電晶體。因此，絕緣膜 931 的障壁可僅接觸於形成縱型構造元件的儲存節點的一側的電極 350 而形成，進而能夠抑止驅動能力的下降。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

16

其次，利用圖 2 3 ~ 圖 2 8 來依過程次序說明圖 2 2 所示之構造的代表性記憶格的製造方法。這些圖是表示剖面構造。

首先，如圖 2 3 所示，在矽基板 1 0 0 上藉由通常 M O S L S I 形成時所使用的淺溝元件分離法來形成元件分離絕緣膜 9 0 0 之後，對露出的矽表面進行熱氧化，而來形成讀出元件 T 2 用閘極絕緣膜 9 7 0。並且在上面層疊形成記憶節點的金屬電極 3 5 0 及隧道膜 9 3 1，以及形成通道部的層 1 5 0。

此情況，由於障壁高度是根據與絕緣膜 9 3 1 的界面而定，因此可使金屬電極 3 5 0 形成層疊構造。亦即，可在閘極絕緣膜 9 7 0 上放置摻雜高濃度的雜質而活化後的多結晶矽層之後，堆積金屬層（例如鈦矽化物），以及堆積鈦氧化膜之後，放置形成通道部 1 5 0 的多結晶矽層。

又，可在通道部的多結晶矽堆積前堆積鎳薄膜，然後堆積非結晶狀的矽，並且施加 5 0 0 °C ~ 6 0 0 °C 的低溫熱處理而使結晶化，藉此而能夠形成具有良好的結晶性之通道部。又，可在結晶化後去除移動至表面側的鎳層。

其次，如圖 2 4 所示，可藉由熱光阻法來針對形成通道部的多結晶矽層 1 5 0，隧道膜 9 3 1 及電極 3 5 0 進行圖案加工，並且利用離子植入法來形成擴散層 2 2 0。

其次，如圖 2 5 所示，在基板上堆積氧化膜 9 2 1 之後，藉由 C M P 法來使其平坦化，且蝕刻至露出多結晶矽 1 5 0 為止。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

17

其次，如圖 2 6 所示，爲了制止雜質擴散，而在形成薄氮化膜（圖中未示）之後，堆積形成寫入元件 T 1 的資料線 D 3 之摻雜高濃度雜質的多結晶矽 1 5 0 及電極保護膜 9 5 0，並對該層疊膜進行圖案加工。此刻，可根據所摻雜的雜質來決定寫入元件 T 1 的導電型。N 型的情況時，例如摻雜砷，P 型的情況時，例如摻雜硼即可。又，可使用在矽、鍺混晶中摻雜砷（N 型時）或硼（P 型時）者來取代多結晶矽。藉此，即使在低溫也能夠使雜質活化。

其次，如圖 2 7 所示，對寫入元件 T 1 的閘極形成部的氧化膜進行蝕刻，而形成溝，並且在露出的通道部多結晶矽 1 5 0 的側面等堆積閘極絕緣膜 9 8 0。在此，由於在擴散層上所形成的絕緣膜較容易產生耐壓劣化，因此放置形成間隔件的絕緣膜 9 3 5 來提高耐壓。又，亦可在藉由去除間隔件及擴散層，以及在基板上形成閘極絕緣膜的情況下根據閘極的電場效應的反轉層來形成源極及汲極，而來取代擴散層 2 2 0。

其次，如圖 2 8 所示，在堆積形成閘極的電極層 5 0 0 之後，針對作爲寫入元件 T 1 的字元線 D 2 之閘極電極層 5 0 0 進行圖案加工。

如以上所述，由於本記憶格是形成於矽基板 1 0 0 上，因此能夠整合性良好地與習知之 MOSFET 集成。

以下，將利用圖 2 9 ~ 圖 3 5 來說明與上述不同之本實施例的記憶格的製造方法。在圖中與上述同樣的是組合兩個剖面構造。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

18

首先，如圖 3 0 所示，在讀出資料線方向上對層疊膜進行圖案加工而成溝狀，並且藉由離子植入法來形成擴散層 2 2 0。

其次，如圖 3 1 所示，在與資料線垂直的字元線方向上根據字元線圖案來對層疊膜進行加工。

其次，如圖 3 2 所示，在形成閘極絕緣膜 9 8 0 之後，堆積形成閘極的電極層 5 0 0，且藉由蝕刻在柱狀層疊膜周圍形成間隔狀的閘極電極 5 0 0。此刻，如圖中右側所示，使字元線方向的柱間隔比資料線方向（圖中左側）來得狹窄，且使閘極電極層 5 0 0 的堆積厚度形成字元線方向間隔的 $1/2$ 以上，以及形成資料線方向間隔的 $1/2$ 以下，而使能夠自我整合地連接閘極電極。

其次，如圖 3 3 所示，在去除電極保護膜 9 5 0 及堆積金屬配線層 6 2 5 之後進行圖案加工，而使能夠形成寫入元件 T 1 的資料線 D 3。

又，本記憶格的製造方法中，在閘極電極層 5 0 0 的形成前（圖 3 1 之後）可藉由一時在氧化膜形成平坦化及進行蝕刻來形成間隔件層 9 3 5（如圖 3 5 所示）。又，可利用該間隔件層 9 3 5 來減少寫入元件 T 1 與讀出元件 T 2 的相互干擾，並且能夠提高讀出元件 T 2 的耐壓。又，間隔件層 9 3 5 的材料，例如可使用矽氧化膜。

又，本實施例的元件構造，如圖 3 6 所示，有利於組合層疊多段的記憶格之所謂 NAND 型陣列。又，由於可以相輔地作動，因此能夠藉由依次（A 0 0 ~ A 7 7）施

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()
19

加電壓來讀出連結於同一讀出資料線 B 0 0 , B 1 1 , B 2 2 的記憶格。又，由於資料線 B 0 0 , B 1 1 , B 2 2 是根據擴散層與通道而形成，因此可以減少配線及接觸孔的形成。藉此，將容易形成記憶格的微細化，而能夠達成高積體化。又，D 0 0 , D 1 1 , D 2 2 為寫入資料線。

圖 3 7 是表示將本實施例的記憶格配置成陣列狀之一例。圖圖中，符號 C 0 為寫入字元線的驅動部，符號 C 1 為寫入資料線的驅動部，符號 C 2 為讀出字元線的驅動部，符號 C 3 為讀出資料線的感測部。

本記憶元件的構造之漏電流的抑制，可藉由閘極電極 5 0 0 來有效地控制挾持於電極 3 5 0 與通道部 1 5 0 的絕緣膜 9 3 1 而達成。亦即，保持寫入元件 T 1 的閘極 5 0 0 與記憶保持部的電極 3 5 0 的電位關係，在漏電流減低中極為重要。在此，於本記憶元件應用中，可藉由裝置 R (可在某電位狀態下使寫入字元線安定化) 的設置來經常維持抑止漏電流的狀態 (不使用電力)。這對於形成非揮發性記憶的動作極為有效。例如，當裝置 R 連接電阻時，可使電位形成接地電位。亦即，即使該記憶裝置被切斷電源，字元線照樣會被固定於接地電位，而能夠抑止漏電流，因此可長時間持續保持資訊。當使用阻抗作為裝置 R 時，在動作狀態中，亦即在字元線被選擇的狀態中，雖然會使消耗電力增大，但只要被選擇的字元線為最大且陣列中的一條，而選擇適當大小的阻抗，便可在不使消耗電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
20

力增大的情況下取得良好的資訊保持特性。

(實施例 3)

利用圖 3 8 ~ 4 8 來說明本發明之記憶格的其他製造方法。圖 4 8 為記憶格的佈局例，在此是使用 1 2 單元。並且，圖 3 8 ~ 圖 4 7 是分別將沿著圖 4 8 之 A - A 線及 B - B 線的剖面予以分成左右而同時顯示者。又，於佈局圖中，符號 A 1 1 ~ A 6 6 為寫入資料線，B 1 1 ~ B 4 4 為讀出位元線，D 0 0 ~ D 3 3 為讀出位元線或讀出字元線。又，寫入字元線是位於橫方向剖面線部上。

首先，如圖 3 8 所示，本實施例是利用 S O I (Silicon On Insulator) 基板來形成記憶格之方法。當然在上述記憶格中也是將讀出元件形成於 S O I 基板上。並使用在埋入氧化膜 9 6 0 上具有矽層 (S O I) 1 0 1 及保護層 9 1 0 的晶圓。

其次，如圖 3 9 所示，利用習知的淺溝分離法來再度形成元件分離領域 9 0 0 及保護膜 9 1 0。

其次，如圖 4 0 所示，使接觸形成部的保護膜 9 1 0 形成開口，並堆積高濃度摻雜後的多結晶矽 3 6 0，且對讀出字元線 (圖中左側) 及引出層 (圖中右側) 進行圖案加工。然後，在多結晶矽 3 6 0 的表面及側面形成絕緣膜 9 1 1, 9 1 2。

其次，如圖 4 1 所示，在引出層上部形成接觸孔，再度堆積高濃度摻雜後的多結晶矽 6 6 0，而形成讀出資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
21

料線 (圖 4 1 右側所示的圖) 。並且，利用熱處理來形成以多結晶矽 3 6 0 作為擴散源之必要的擴散層 2 2 0 。又，符號 9 1 3 為絕緣膜，可使該層從形成多結晶矽 6 6 0 圖案以外處完全除去。藉此，而能夠形成圖 4 8 之配線 D 0 0 ， D 1 1 ， D 2 2 ， D 3 3 。

其次，如圖 4 2 所示，在堆積層間絕緣膜 9 2 2 及 9 2 3 之後，藉由 C M P 法來表面平坦化。

其次，如圖 4 3 所示，去除寫入元件形成部的層間絕緣膜 9 2 2 ， 9 2 3 及保護膜 9 1 0 ，而使矽層 1 0 1 的表面露出。

其次，如圖 4 4 所示，在形成閘極氧化膜 9 7 0 之後，堆積金屬電極 3 5 0 ，通道膜 9 3 1 ，多結晶矽 1 5 0 。

其次，如圖 4 5 所示，至層間絕緣膜 9 2 3 表面為止，將該層疊膜加工成柱狀之後，堆積層間絕緣膜 9 2 1 ，並利用回蝕刻來使多結晶矽層 1 5 0 露出。

其次，如圖 4 6 所示，形成具備絕緣膜 9 2 4 的寫入資料線 2 5 0 ，並利用層間絕緣膜 9 2 6 來形成平坦化。

其次，如圖 4 7 所示，在層間絕緣膜 9 2 6 ， 9 2 1 中形成閘極圖案的溝，而形成閘極絕緣膜 9 8 0 及寫入資料線 5 0 0 。

若根據上述製造方法，則可形成具有良好的寫入及記憶保持性能的半導體記憶裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
22

(實施例 4)

圖 4 9 是表示讀出元件 T 2 的不同實施例。寫入時，讀出元件表面會根據字元線 5 0 0 而形成儲存狀態，且保持於 O F F 狀態。即使是在保持狀態下，字元線照樣可以控制讀出元件特性，而使能夠提高字元線的控制性。因此，可以提高讀出元件的電極電位設定的自由度。

在此，可在讀出元件 T 2 的閘極電極 3 5 0 形成層 L 1 與 L 2 的層疊構造下來設定臨界值。亦即，閘極 3 5 0 可由矽·鍺混晶的層 L 1 與鎢矽化物的層 L 2 所形成。此刻，由於可藉由改變混晶的組成來改變功函數，因此而能夠改變讀出元件的臨界值。

(產業上之利用可能性)

由於本發明之半導體記憶裝置是利用 2 個電場效應型電晶體來形成寫入元件與讀出元件之半導體記憶裝置，因此可以藉由彼此相反的導電型元件來形成 2 個電場效應型電晶體，而使能夠進行相輔的動作，進而可以非破壞性地讀出資訊。又，可利用縱型構造的電晶體來層疊 2 個電晶體，而使能夠有效地形成積體性良好的半導體記憶裝置。

〔圖面之簡單說明〕

第 1 圖是表示習知半導體記憶裝置之記憶格的等效電路圖。

第 2 圖是表示習知半導體記憶裝置之其他記憶格的等

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
23

效電路圖。

第 3 圖是表示習知半導體記憶裝置之其他記憶格的等效電路圖。

第 4 圖是用以說明第 3 圖之記憶格的動作之電位關係圖。

第 5 圖是用以說明本發明之代表性的元件構造的元件剖面模式圖。

第 6 圖是表示第 5 圖之本發明元件構造的等效電路圖。

第 7 圖是表示本發明之半導體記憶裝置的第 1 實施例之記憶格的剖面構造圖。

第 8 圖是表示第 7 圖之記憶格的平面配置之一例的平面佈局圖。

第 9 圖是表示依過程次序來說明第 7 圖之記憶格的製造方法的最初剖面構造圖。

第 10 圖是用以說明第 9 圖之製造過程的下一個過程的剖面構造圖。

第 11 圖是用以說明第 10 圖之製造過程的下一個過程的剖面構造圖。

第 12 圖是用以說明第 11 圖之製造過程的下一個過程的剖面構造圖。

第 13 圖是表示在使用習知非揮發性記憶體的增益單元之多值動作的電位關係圖。

第 14 圖是表示第 7 圖之記憶格的平面配置之其他例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
24

的平面佈局圖。

第 15 圖是表示第 7 圖之記憶格的其他配線例的等效電路圖。

第 16 圖是表示第 15 圖之配線例的平面佈局圖。

第 17 圖是表示第 7 圖之記憶格的其他配線例的等效電路圖。

第 18 圖是表示第 17 圖之配線例的平面佈局圖。

第 19 圖是表示構成 OR 閘極時之記憶格的配線例的等效電路圖。

第 20 圖是表示構成 AND 閘極時之記憶格的配線例的等效電路圖。

第 21 圖是表示構成 AND 閘極時之記憶格的其他配線例的等效電路圖。

第 22 圖是表示本發明之半導體記憶裝置的第 2 實施例之記憶格的剖面構造圖。

第 23 圖是表示依過程次序來說明第 22 圖之記憶格的製造方法的最初剖面構造圖。

第 24 圖是用以說明第 23 圖之製造過程的下一個過程的剖面構造圖。

第 25 圖是用以說明第 24 圖之製造過程的下一個過程的剖面構造圖。

第 26 圖是用以說明第 25 圖之製造過程的下一個過程的剖面構造圖。

第 27 圖是用以說明第 26 圖之製造過程的下一個過

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
25

程的剖面構造圖。

第 28 圖是用以說明第 27 圖之製造過程的下一個過程的剖面構造圖。

第 29 圖是表示依過程次序來說明第 22 圖之記憶格的其他製造方法的最初剖面構造圖。

第 30 圖是用以說明第 29 圖之製造過程的下一個過程的剖面構造圖。

第 31 圖是用以說明第 30 圖之製造過程的下一個過程的剖面構造圖。

第 32 圖是用以說明第 31 圖之製造過程的下一個過程的剖面構造圖。

第 33 圖是用以說明第 32 圖之製造過程的下一個過程的剖面構造圖。

第 34 圖是用以說明第 33 圖之製造過程的下一個過程的剖面構造圖。

第 35 圖是用以說明第 34 圖之製造過程的下一個過程的剖面構造圖。

第 36 圖是表示記憶格陣列之一例的等效電路圖。

第 37 圖是表示記憶格陣列之其他例的等效電路圖。

第 38 圖是表示依過程次序來說明記憶格之其他製造方法的最初剖面構造圖。

第 39 圖是用以說明第 38 圖之製造過程的下一個過程的剖面構造圖。

第 40 圖是用以說明第 39 圖之製造過程的下一個過

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
26

程的剖面構造圖。

第 4 1 圖是用以說明第 4 0 圖之製造過程的下一個過程的剖面構造圖。

第 4 2 圖是用以說明第 4 1 圖之製造過程的下一個過程的剖面構造圖。

第 4 3 圖是用以說明第 4 2 圖之製造過程的下一個過程的剖面構造圖。

第 4 4 圖是用以說明第 4 3 圖之製造過程的下一個過程的剖面構造圖。

第 4 5 圖是用以說明第 4 4 圖之製造過程的下一個過程的剖面構造圖。

第 4 6 圖是用以說明第 4 5 圖之製造過程的下一個過程的剖面構造圖。

第 4 7 圖是用以說明第 4 6 圖之製造過程的下一個過程的剖面構造圖。

第 4 8 圖是表示記憶格之其他平面配置例的平面佈局圖。

第 4 9 圖是表示本發明之半導體記憶裝置的記憶格的其他實施例的剖面構造圖。

〔符號之說明〕

1 0 : 接觸孔

1 1 : 接觸孔

1 3 : 淺溝元件分離絕緣膜的境界領域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
27

- 1 0 0 : 單結晶基板 (P 型矽基板)
- 1 0 1 : 矽層 (S O I)
- 1 5 0 : 通道部 (多結晶矽層)
- 2 2 0 , 2 5 0 , 3 2 0 , 3 5 0 : 擴散層
- 2 5 1 : 鎢矽化物層
- 3 6 0 , 6 6 0 : 多結晶矽
- 5 0 0 : 閘極 (閘極電極層)
- 6 0 0 : 配線層
- 6 2 5 : 金屬配線層
- 9 0 0 : 元件分離層
- 9 1 0 : 保護膜
- 9 1 1 , 9 1 2 , 9 1 3 , 9 3 1 , 9 3 5 , 9 7 0
, 9 7 5 , 9 8 0 , 9 8 6 : 絕緣膜
- 9 2 1 : 氧化膜 (層間絕緣膜)
- 9 2 2 , 9 2 3 , 9 2 6 , 9 8 5 : 層間絕緣膜
- 9 3 5 : 基層
- 9 5 0 : 電極保護膜
- 9 6 0 : 埋入氧化膜
- 9 7 6 : 絕緣膜層 (矽氮化物層)
- A 1 1 ~ A 6 6 : 寫入字元線
- B 1 1 ~ B 4 4 : 讀出位元線
- C 0 : 寫入字元線的驅動部
- C 1 : 寫入資料線的驅動部
- C 2 : 讀出線的驅動部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()
28

C 3 : 讀出線的感測部

D 1 ~ D 4 : 配線層

D 0 0 ~ D 3 3 : 讀出位元線或讀出字元線

T 1 : 寫入元件 (寫入用電晶體)

T 2 : 讀出元件 (讀出用電晶體)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

半導體記憶裝置)

本發明是有關半導體記憶裝置，是屬於一種藉由積體性良好的2個電晶體而形成之半導體記憶裝置。亦即，層疊配置寫入元件(縱型電晶體)與讀出元件(形成於以該縱型電晶體的下部電極作為閘極之基板)，並且藉由彼此不同導電型的電場效應電晶體來形成該2個的電晶體。藉此，可以形成記憶格的相輔動作，而使能夠取得具有良好的記憶特性之可高積體化的半導體記憶裝置。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

象

90年7月	修正 補充
-------	----------

六、申請專利範圍

第89109034號專利申請案

中文申請專利範圍修正本

民國90年7月修正

1. 一種半導體記憶裝置，其特徵具有：

第1絕緣閘極型電場效應電晶體；該第1絕緣閘極型電場效應電晶體是由縱型電晶體（具有配置於基板面上垂直方向的通道）所構成；及

第2絕緣閘極型電場效應電晶體；該第2絕緣閘極型電場效應電晶體是形成於基板面的通道領域對基板面而言配置於與上述第1絕緣閘極型電場效應電晶體重疊的位置；

且，上述第1絕緣閘極型電場效應電晶體與上述第2絕緣閘極型電場效應電晶體是具有彼此相異的導電型。

2. 如申請專利範圍第1項之半導體記憶裝置，其中上述第1絕緣閘極型電場效應電晶體是由：形成源極的電極，及形成汲極的電極，及設置於兩電極間的半導體通道部所構成，上述兩電極之至少形成儲存節點的電極是由金屬材料所形成之金屬電極。

3. 如申請專利範圍第2項之半導體記憶裝置，其中在上述金屬電極與上述半導體通道部之間配置有接觸於上述金屬電極的絕緣膜。

4. 如申請專利範圍第3項之半導體記憶裝置，其中上述金屬電極是由含高濃度雜質金屬化的多結晶矽所構成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

5. 如申請專利範圍第 2, 3 或 4 項之半導體記憶裝置, 其中上述金屬電極是由功函數相異之至少兩種材料的層疊膜所構成, 由該層疊膜所構成的金屬電極是兼具上述第 2 絕緣閘極型電場效應電晶體, 該閘極電極的功函數與由上述第 2 絕緣閘極型電場效應電晶體的源極, 汲極所構成之電極的功函數不同。

6. 如申請專利範圍第 1, 2, 3 或 4 項之半導體記憶裝置, 其中上述第 1 絕緣閘極型電場效應電晶體為資訊寫入元件, 上述第 2 絕緣閘極型電場效應電晶體為讀出元件。

7. 如申請專利範圍第 6 項之半導體記憶裝置, 其中是以能夠在上述寫入元件的閘極電極, 汲極電極或源極電極, 上述讀出元件的源極電極, 及汲極電極的 4 端子中獨立賦予電位之方式來進行配線。

8. 如申請專利範圍第 7 項之半導體記憶裝置, 其中在資訊讀出時, 並非改變讀出元件的源極, 汲極電位, 而是藉由讀出元件的源極, 汲極電位的變化來進行讀出操作。

9. 一種半導體記憶裝置的動作方法, 是屬於一種具有:

第 1 絕緣閘極型電場效應電晶體; 該第 1 絕緣閘極型電場效應電晶體是由縱型電晶體 (具有配置於基板面上垂直方向的通道) 所構成; 及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第 2 絕緣閘極型電場效應電晶體；該第 2 絕緣閘極型電場效應電晶體是形成於基板面的通道領域對基板面而言配置於與上述第 1 絕緣閘極型電場效應電晶體重疊的位置；

且，上述第 1 絕緣閘極型電場效應電晶體與上述第 2 絕緣閘極型電場效應電晶體是具有彼此相異的導電型之半導體記憶裝置的動作方法；其特徵為：

以上述第 1 絕緣閘極型電場效應電晶體作為資訊的寫入元件，以上述第 2 絕緣閘極型電場效應電晶體作為資訊的讀出元件，而於資訊讀出時，當上述寫入元件的閘極電位為 $V_w(W)$ ，保持時的閘極電位為 $V_w(S)$ ，讀出時的閘極電位為 $V_w(R)$ 為 $V_w(R)$ 時，寫入時與讀出時的電位差 $|V_w(W) - V_w(R)|$ 要比寫入時與保持時的電位差 $|V_w(W) - V_w(S)|$ 來得大。

10. 一種積體半導體記憶裝置，其特徵具有：

第 1 絕緣閘極型電場效應電晶體；該第 1 絕緣閘極型電場效應電晶體是由縱型電晶體（具有配置於基板面上垂直方向的通道）所構成；及

第 2 絕緣閘極型電場效應電晶體；該第 2 絕緣閘極型電場效應電晶體是形成於基板面的通道領域對基板面而言配置於與上述第 1 絕緣閘極型電場效應電晶體重疊的位置；

且，上述第 1 絕緣閘極型電場效應電晶體與上述第 2 絕緣閘極型電場效應電晶體是具有彼此相異的導電型；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

使用複數個以上述第 1 絕緣閘極型電場效應電晶體作為資訊的寫入元件，以上述第 2 絕緣閘極型電場效應電晶體作為資訊的讀出元件之半導體記憶裝置，而配置成陣列狀；

以連接於上述讀出元件的源極，汲極電極的配線層能夠呈垂直之方式而平面配置。

1 1 . 一種半導體記憶裝置，是屬於一種具有：

第 1 絕緣閘極型電場效應電晶體；該第 1 絕緣閘極型電場效應電晶體具有配置於基板面上垂直方向的通道，且由：從該通道的兩側或外周包圍通道之閘極型的縱型電晶體所構成；及

第 2 絕緣閘極型電場效應電晶體；該第 2 絕緣閘極型電場效應電晶體是形成於基板面的通道領域對基板面而言配置於與上述第 1 絕緣閘極型電場效應電晶體重疊的位置；

且，上述第 1 絕緣閘極型電場效應電晶體與上述第 2 絕緣閘極型電場效應電晶體是具有彼此相異的導電型。

1 2 . 如申請專利範圍第 1 1 項之半導體記憶裝置，其中上述第 1 絕緣閘極型電場效應電晶體為資訊寫入元件，上述第 2 絕緣閘極型電場效應電晶體為讀出元件。

1 3 . 如申請專利範圍第 1 2 項之半導體記憶裝置，其中是以能夠在上述寫入元件的閘極電極，汲極電極或源極電極，上述讀出元件的源極電極，及汲極電極的 4 端子中獨立賦予電位之方式來進行配線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 4 . 如申請專利範圍第 1 3 項之半導體記憶裝置，其中上述讀出元件為 P 型時，在不改變寫入元件的閘極電位下，將讀出元件的汲極電位與上述寫入元件的閘極電壓作比較，而賦予正的電位，藉此來進行讀出操作；

上述讀出元件為 N 型時，在不改變寫入元件的閘極電位下，將讀出元件的汲極電位與上述寫入元件的閘極電壓作比較，而賦予負的電位，藉此來進行讀出操作。

1 5 . 一種積體半導體記憶裝置，其特徵具有：

第 1 絕緣閘極型電場效應電晶體；該第 1 絕緣閘極型電場效應電晶體是由縱型電晶體（具有配置於基板面上垂直方向的通道）所構成；及

第 2 絕緣閘極型電場效應電晶體；該第 2 絕緣閘極型電場效應電晶體是形成於基板面的通道領域對基板面而言配置於與上述第 1 絕緣閘極型電場效應電晶體重疊的位置；

且，上述第 1 絕緣閘極型電場效應電晶體與上述第 2 絕緣閘極型電場效應電晶體是具有彼此相異的導電型；

使用複數個以上述第 1 絕緣閘極型電場效應電晶體作為資訊的寫入元件，以上述第 2 絕緣閘極型電場效應電晶體作為資訊的讀出元件之半導體記憶裝置，而配置成陣列狀；

又，在上述寫入元件的閘極中配置有裝置電源切斷時供以固定閘極電位的元件，以連接於上述讀出元件的源極，汲極電極的配線層能夠呈垂直之方式而平面配置。

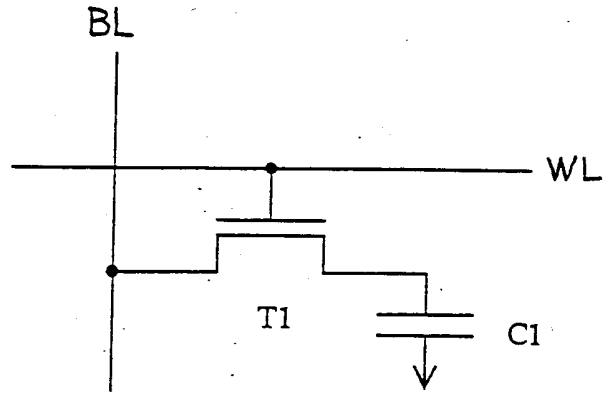
（請先閱讀背面之注意事項再填寫本頁）

裝

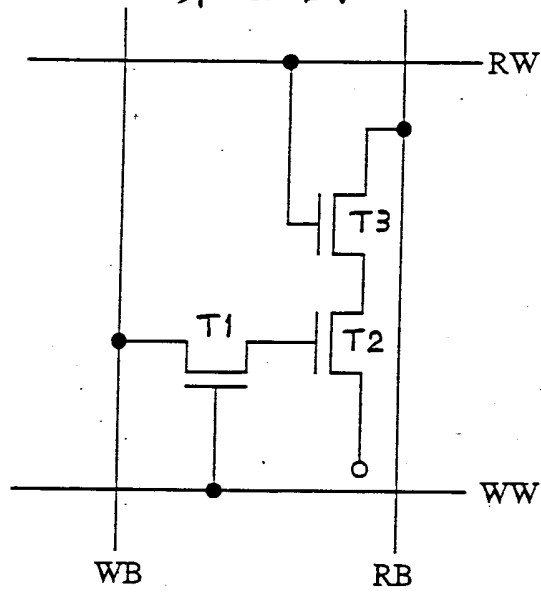
訂

線

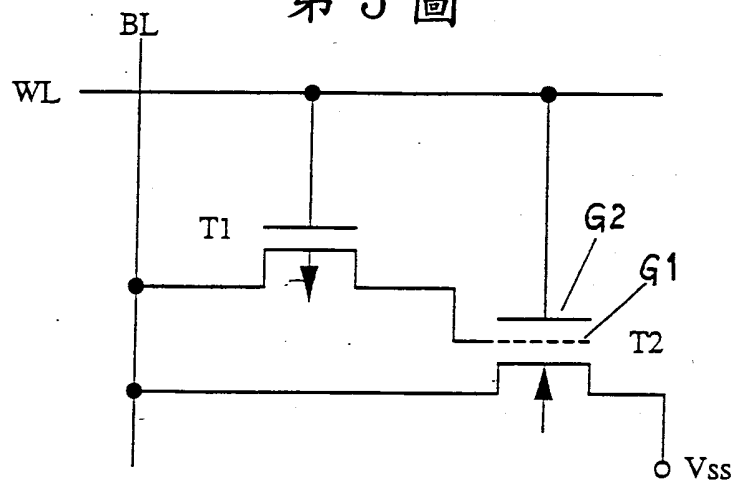
第 1 圖



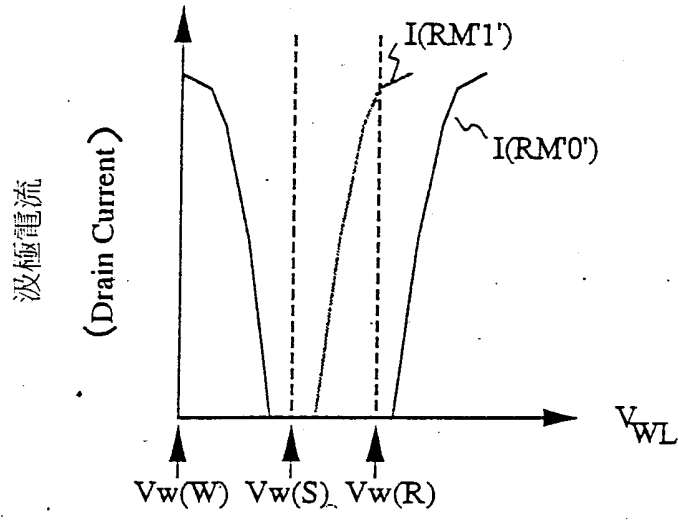
第 2 圖



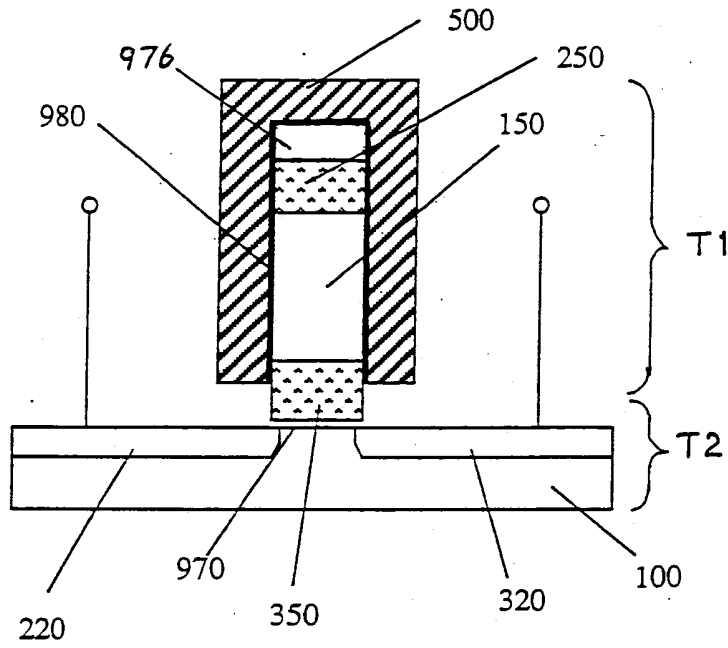
第 3 圖



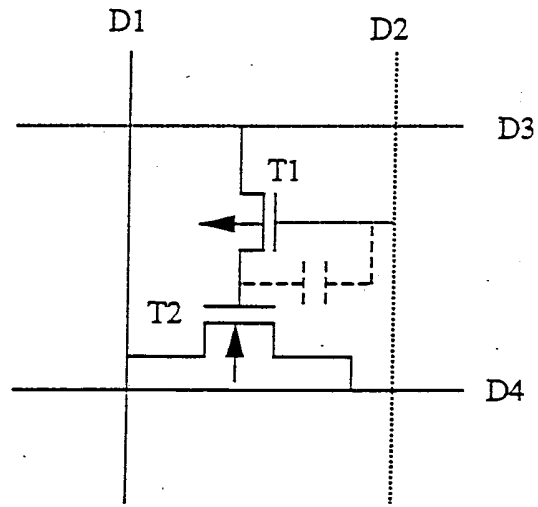
第 4 圖



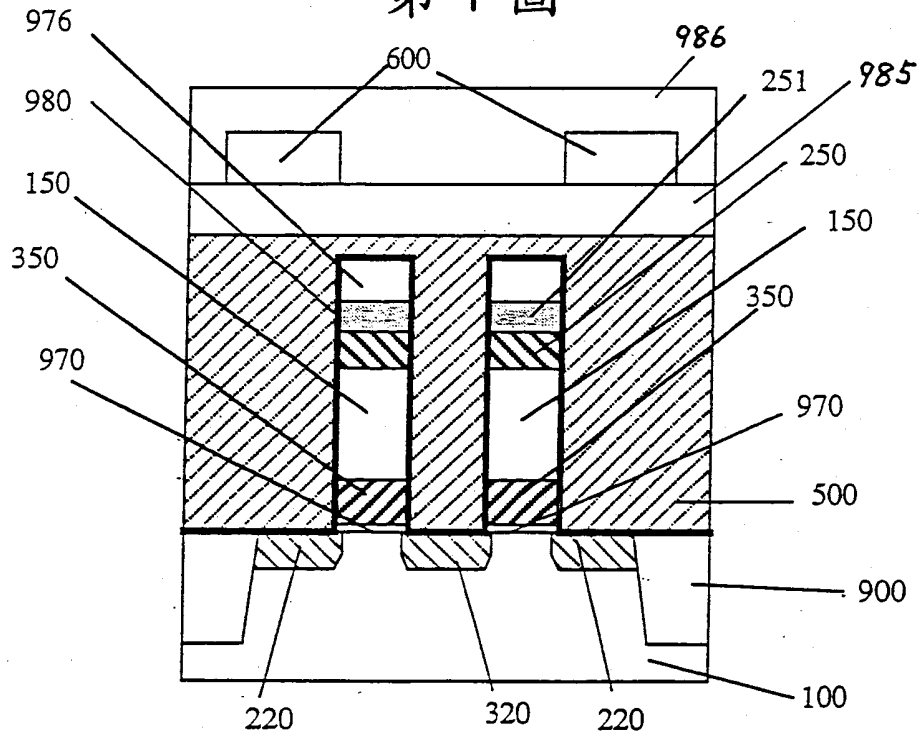
第 5 圖



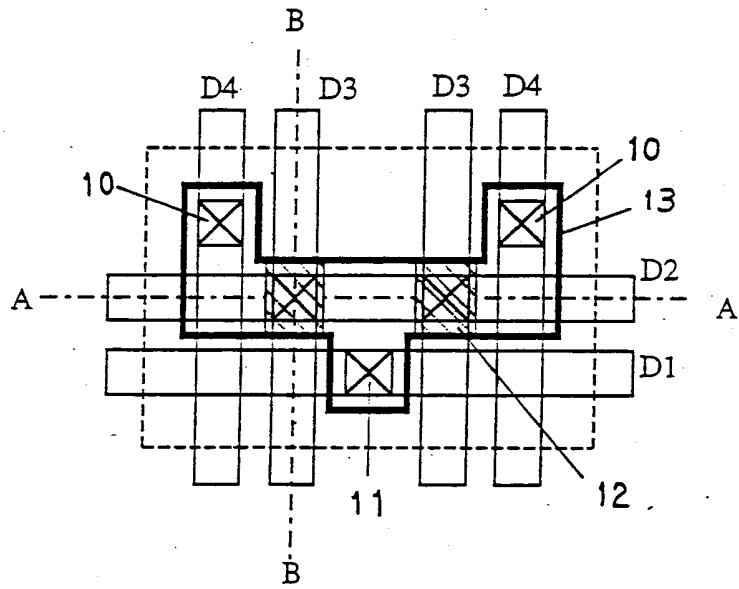
第 6 圖



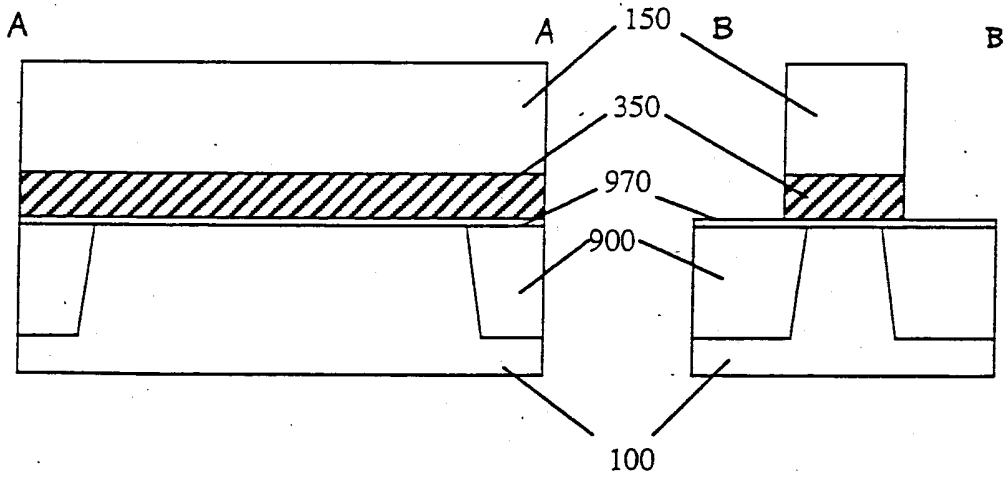
第 7 圖



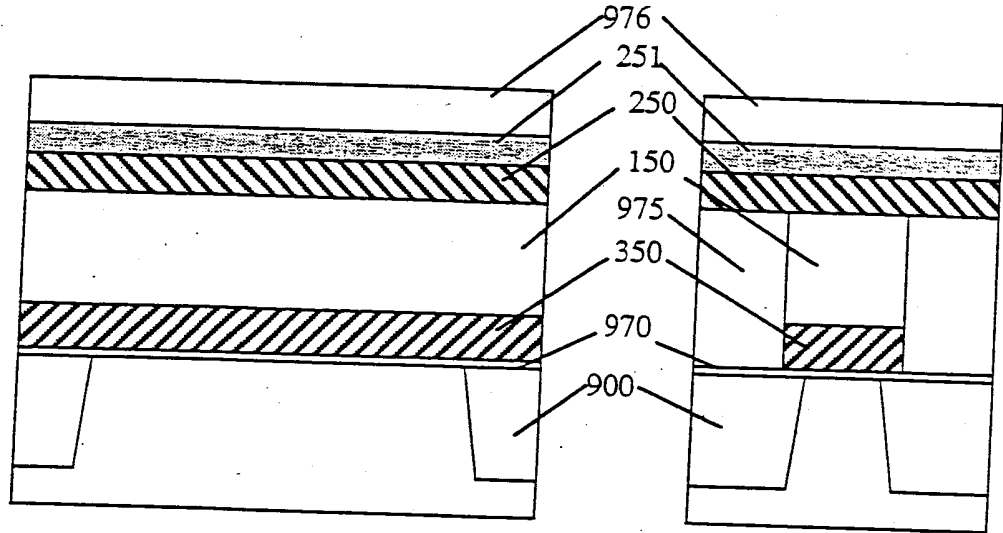
第 8 圖



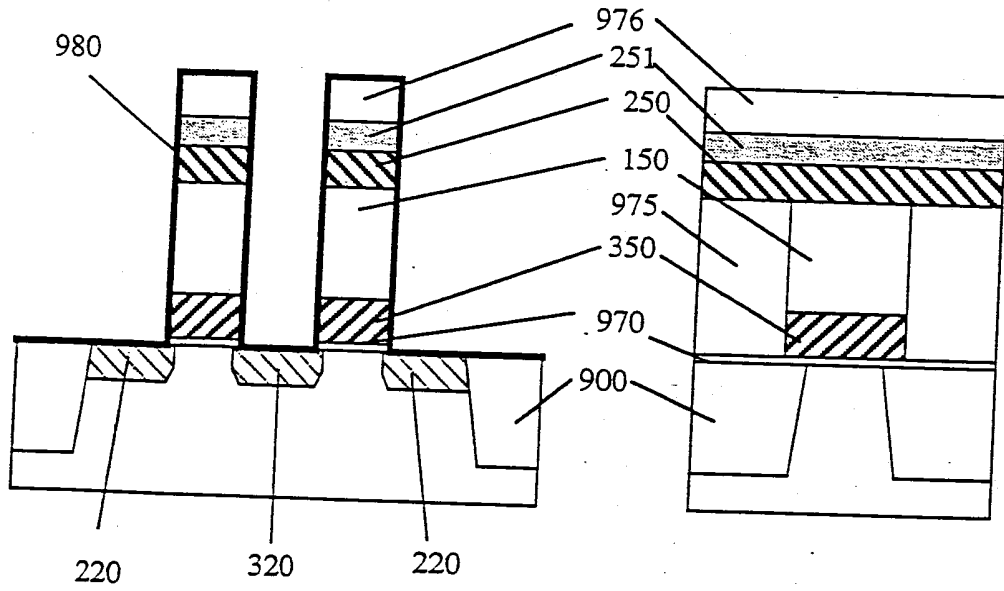
第 9 圖



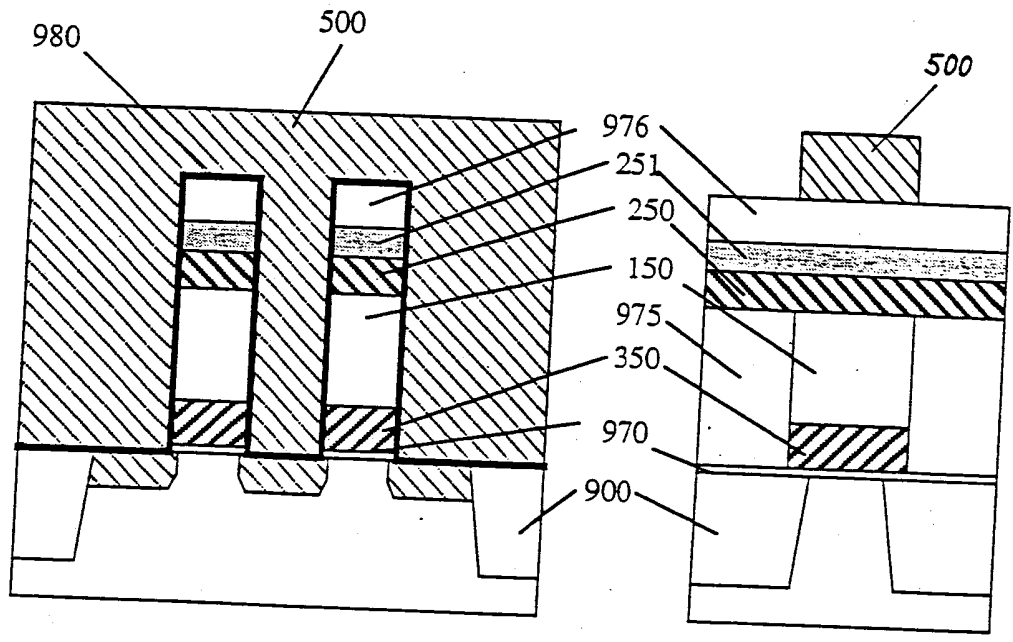
第 10 圖



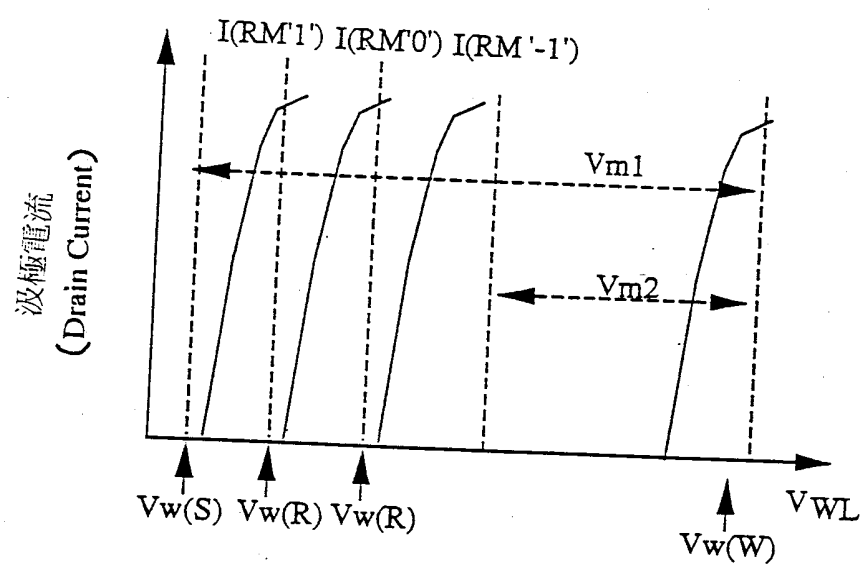
第 11 圖



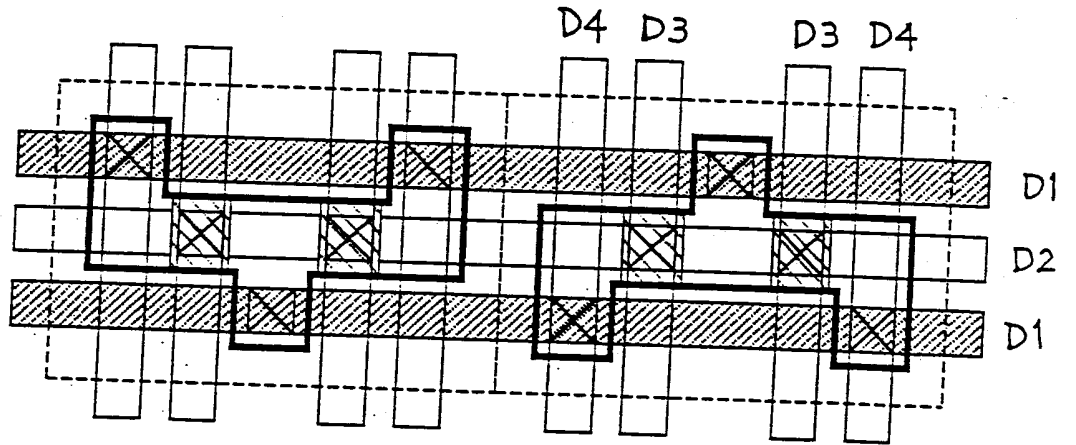
第 12 圖



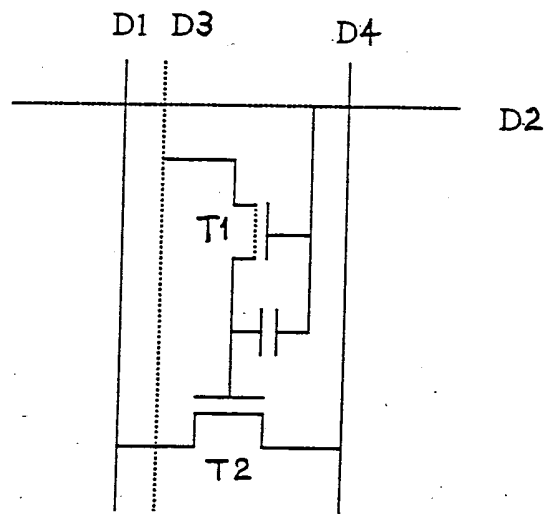
第 13 圖



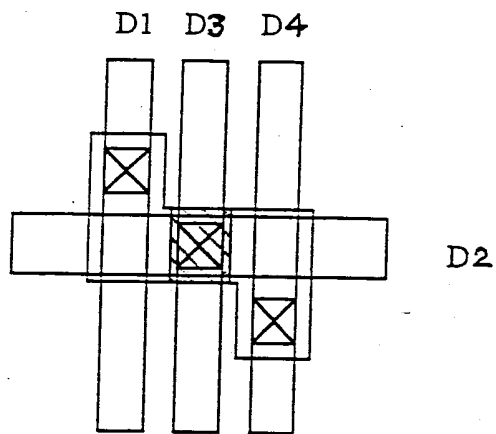
第 14 圖



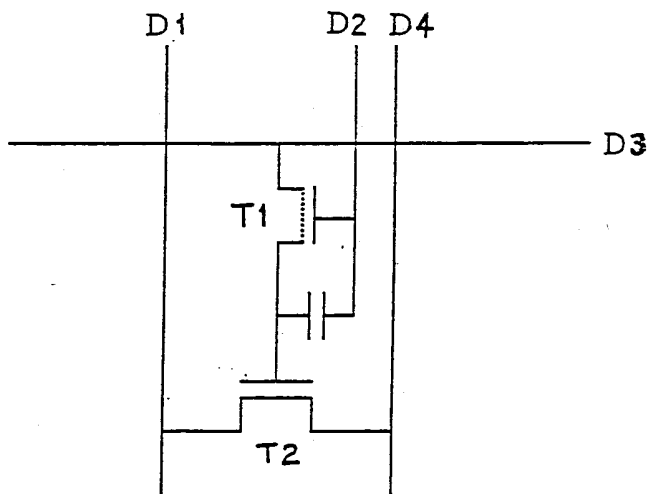
第 15 圖



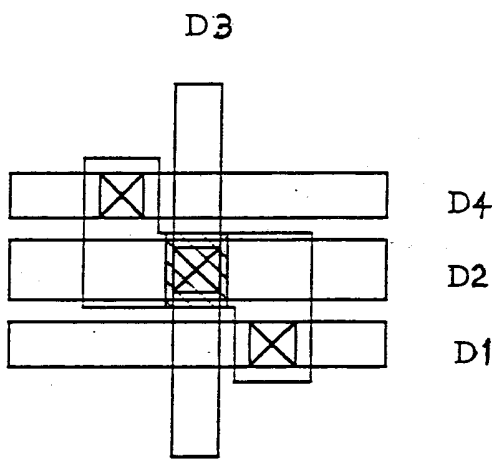
第 16 圖



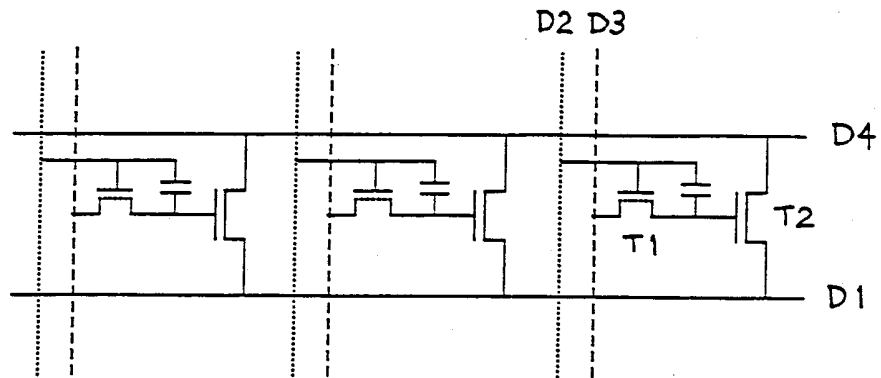
第 17 圖



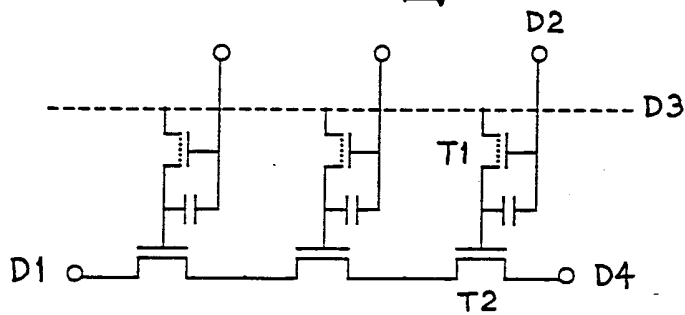
第 18 圖



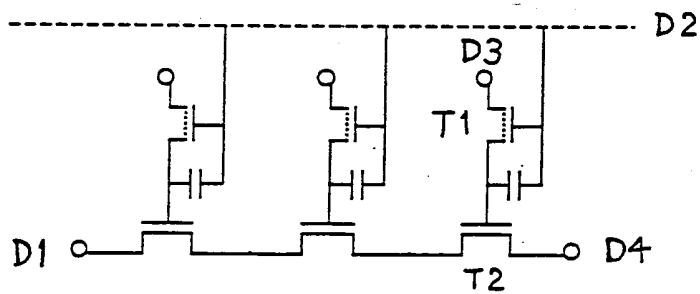
第 19 圖



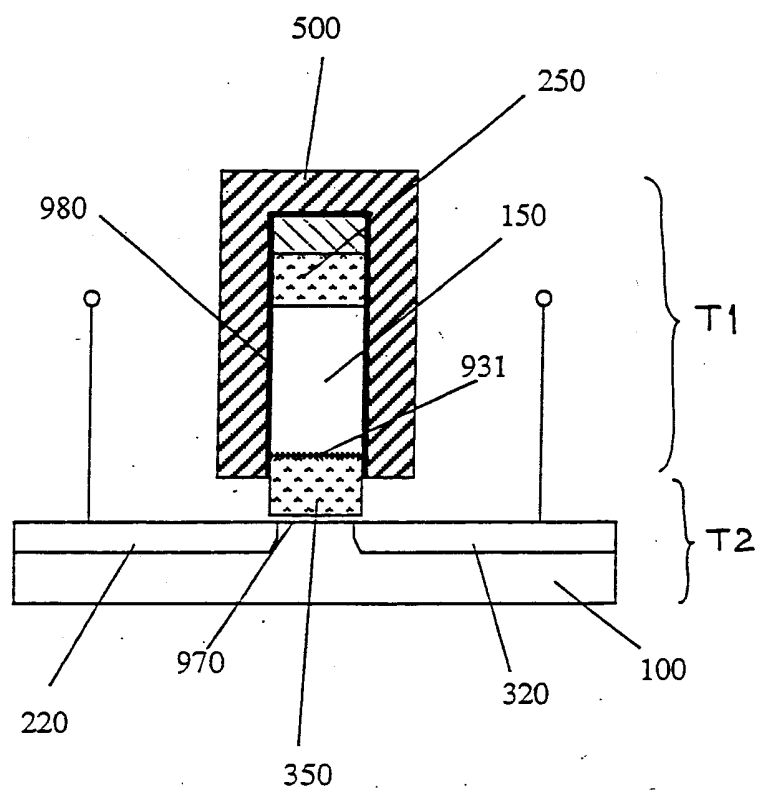
第 20 圖



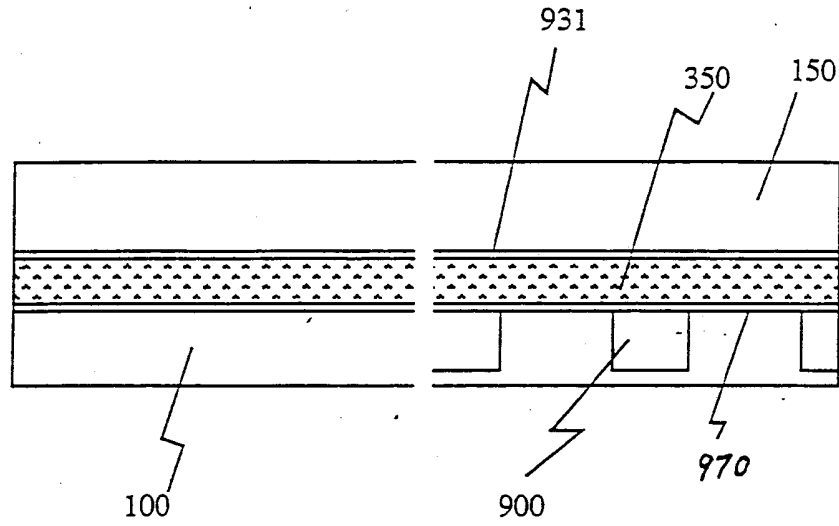
第 21 圖



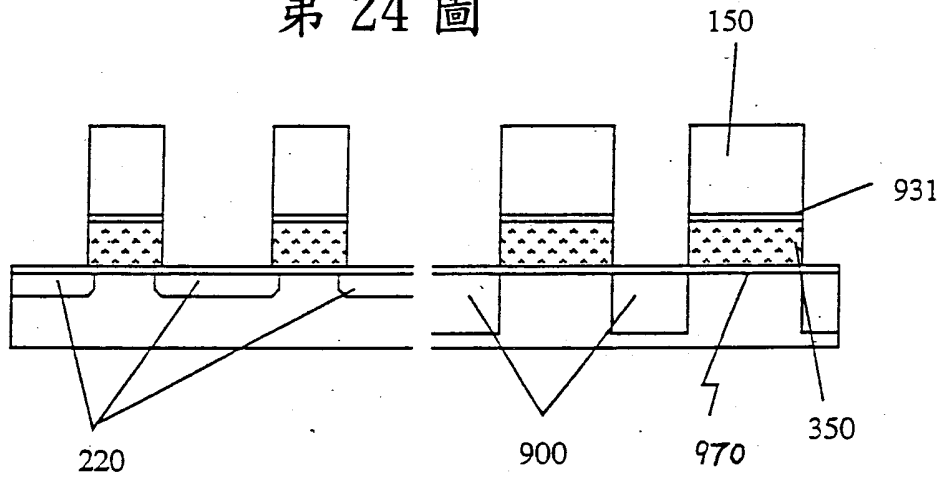
第 22 圖



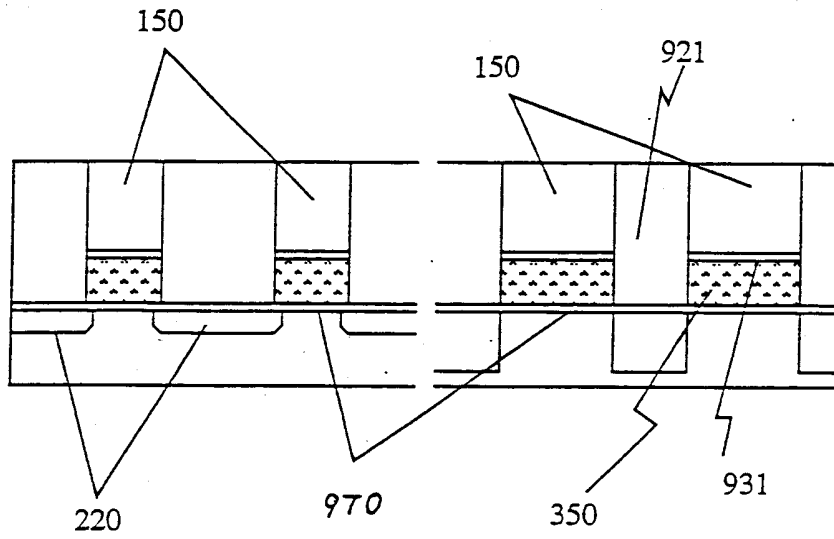
第 23 圖



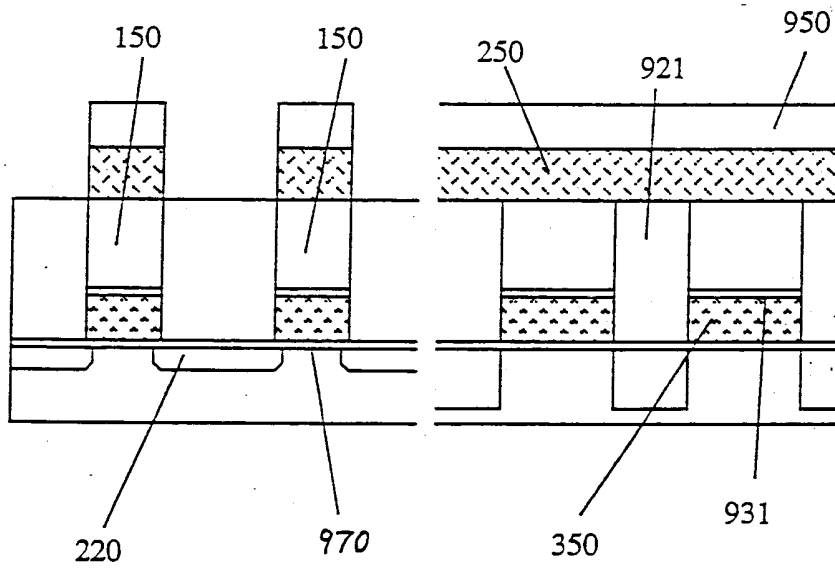
第 24 圖



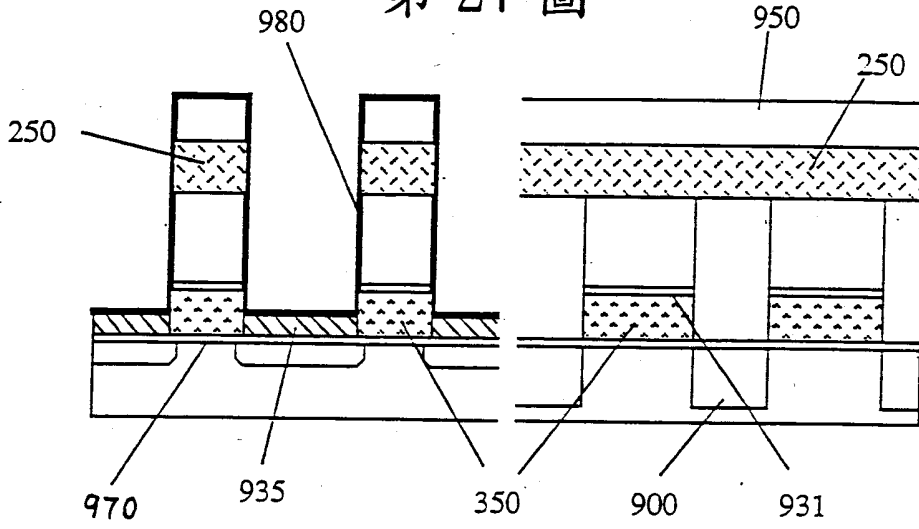
第 25 圖



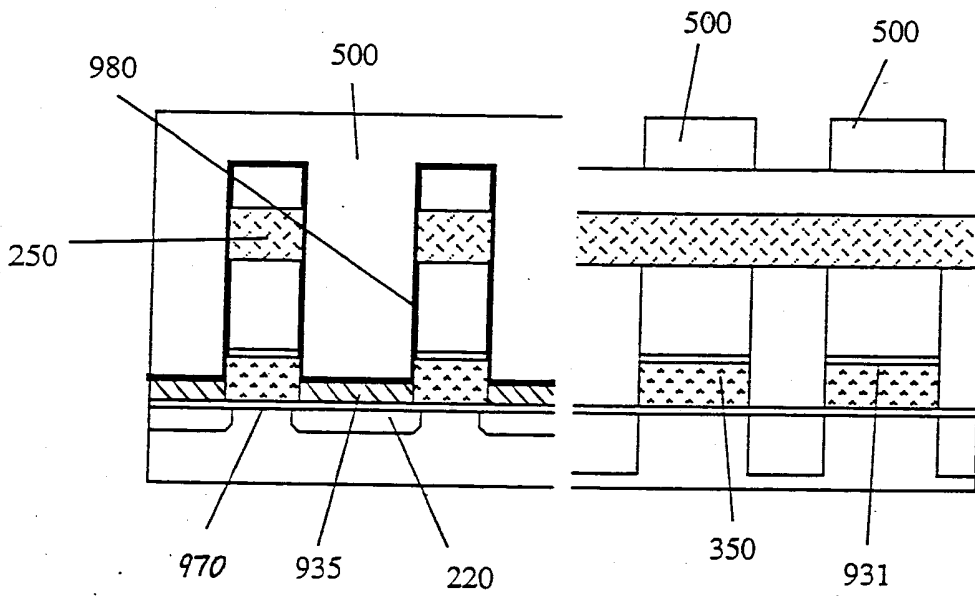
第 26 圖



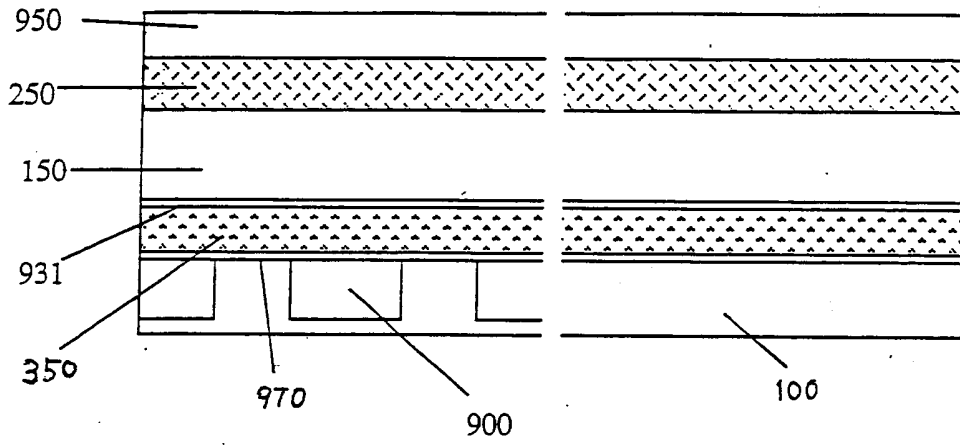
第 27 圖



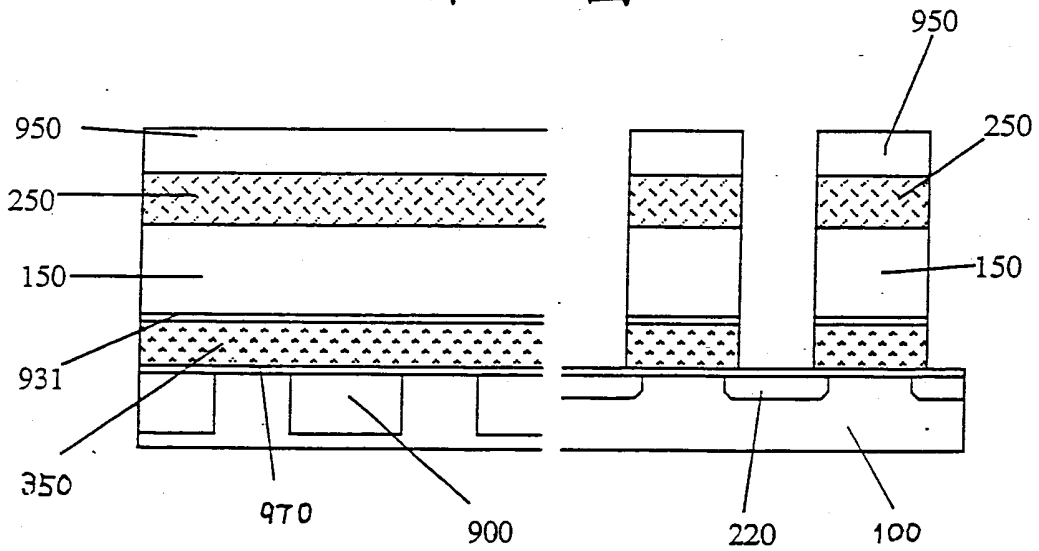
第 28 圖



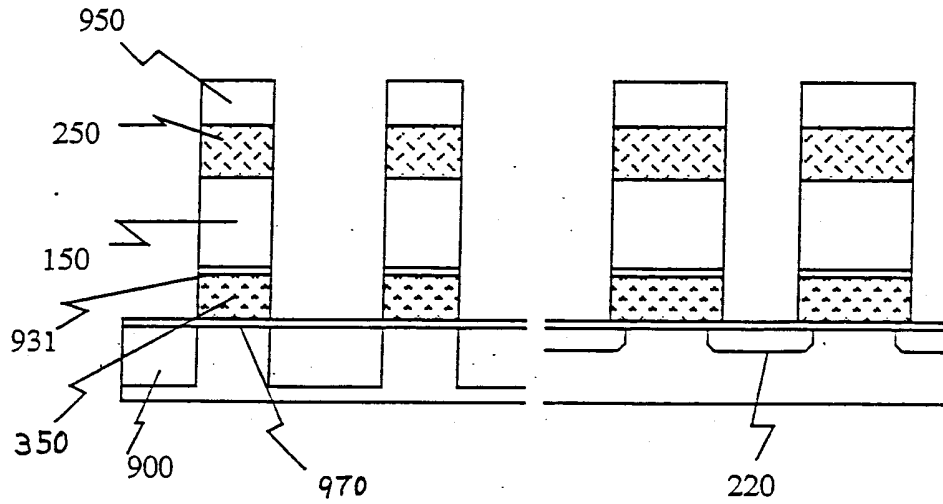
第 29 圖



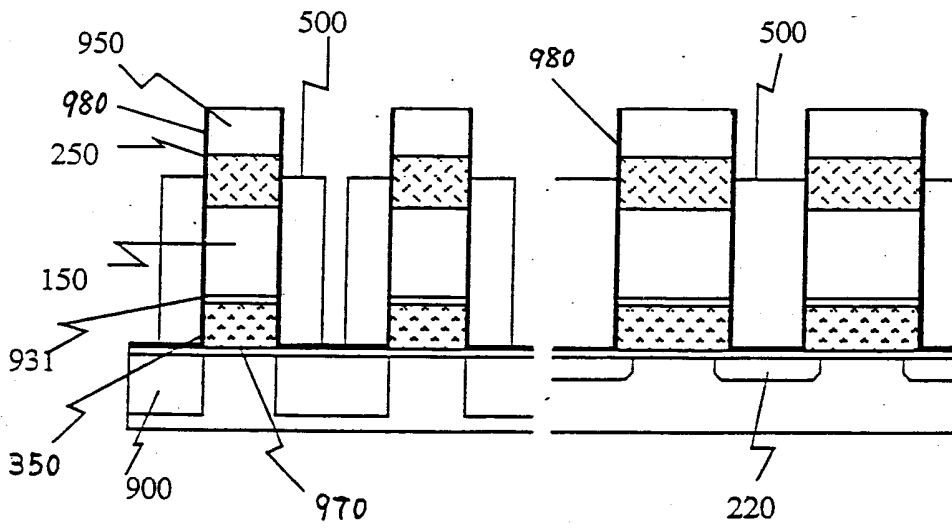
第 30 圖



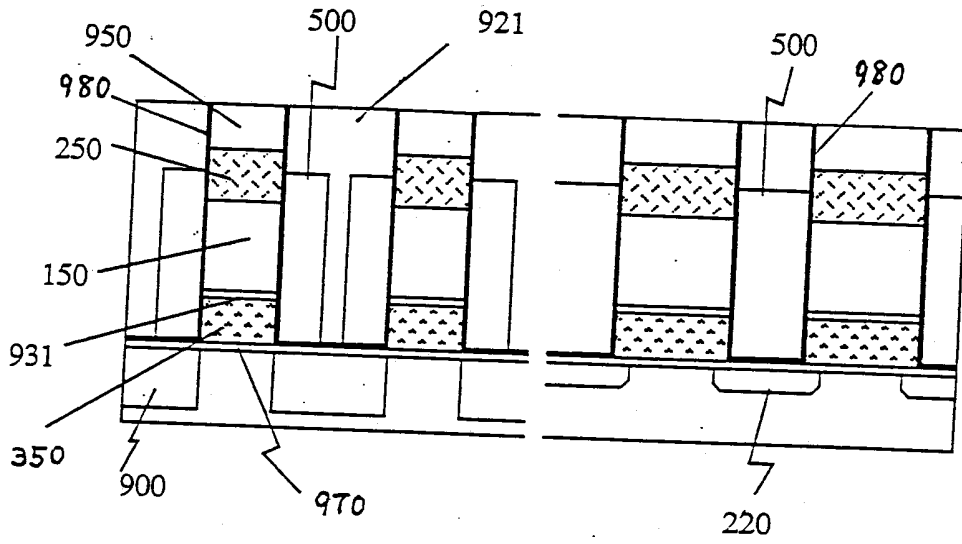
第 31 圖



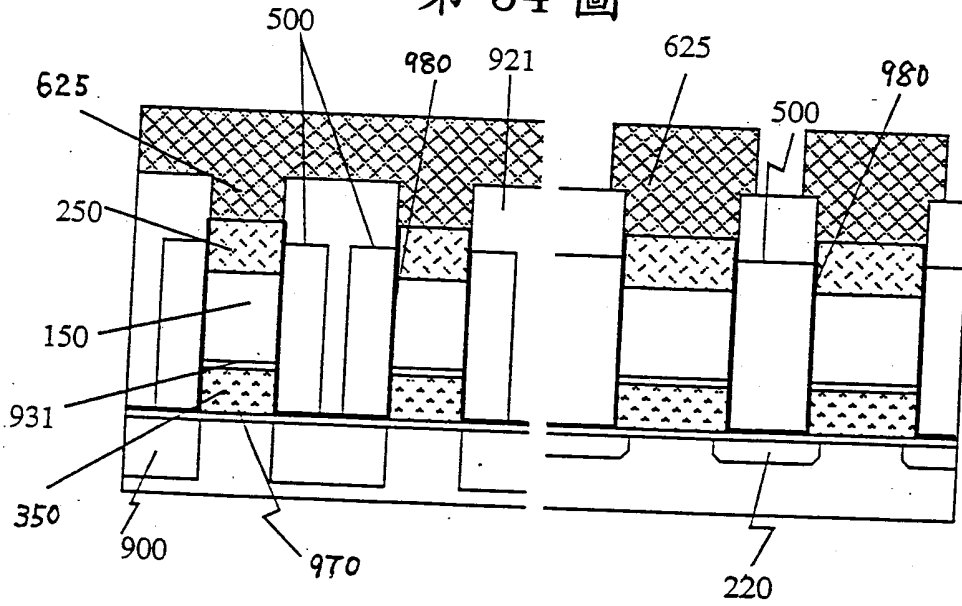
第 32 圖



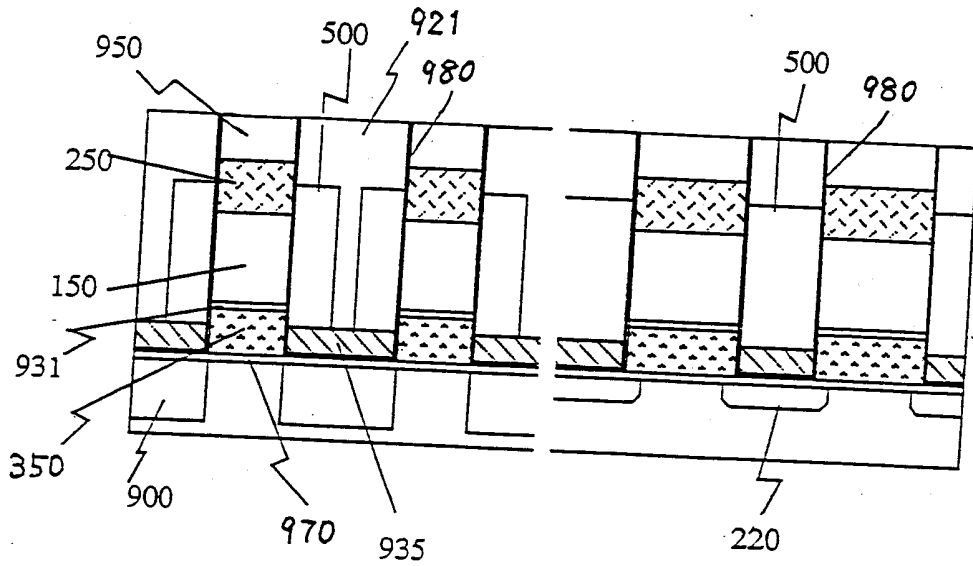
第 33 圖



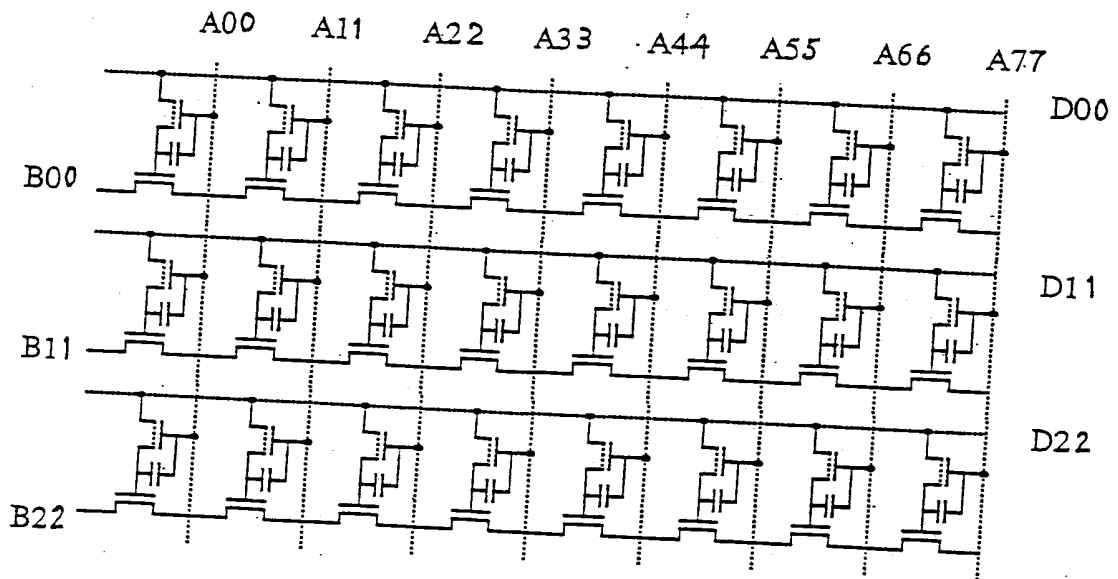
第 34 圖



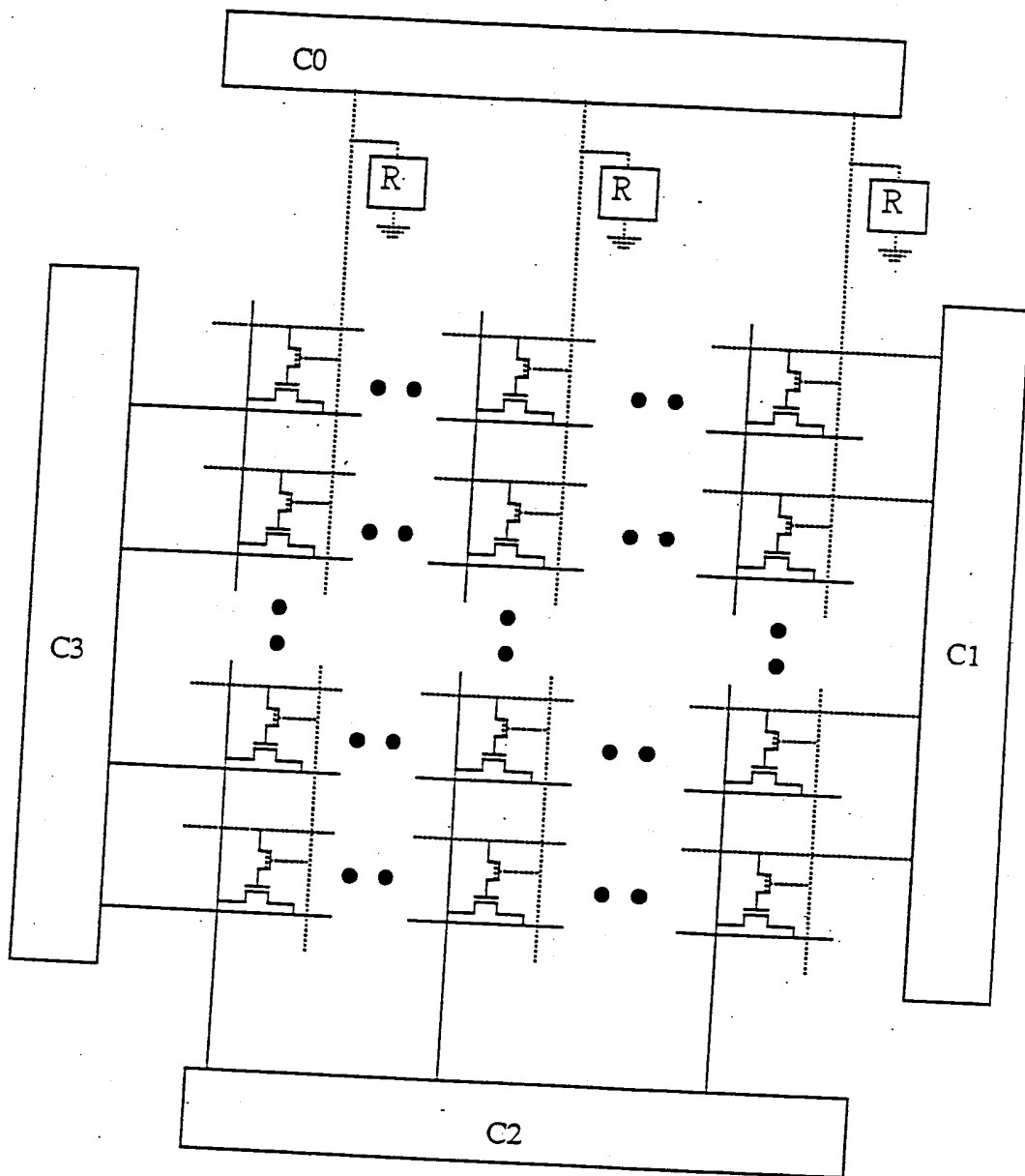
第 35 圖



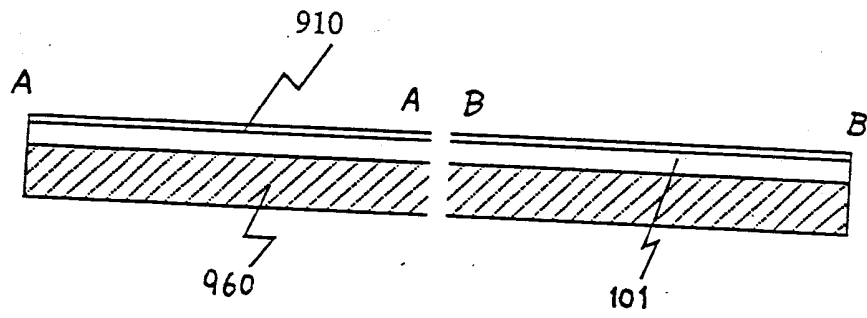
第 36 圖



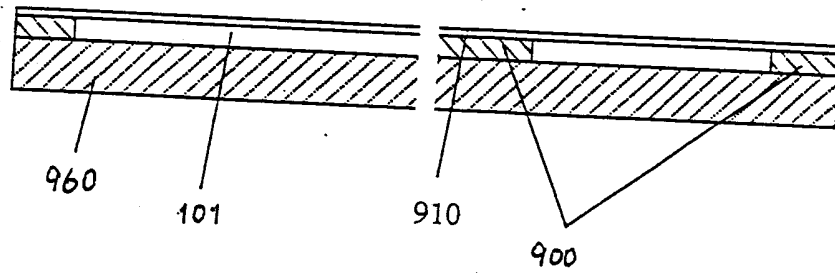
第 37 圖



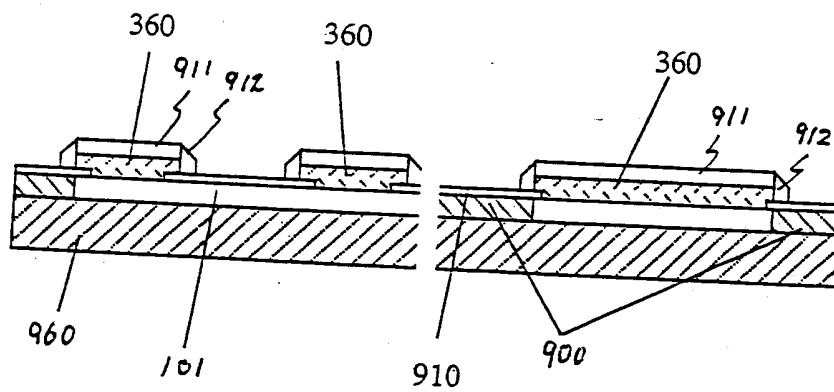
第 38 圖



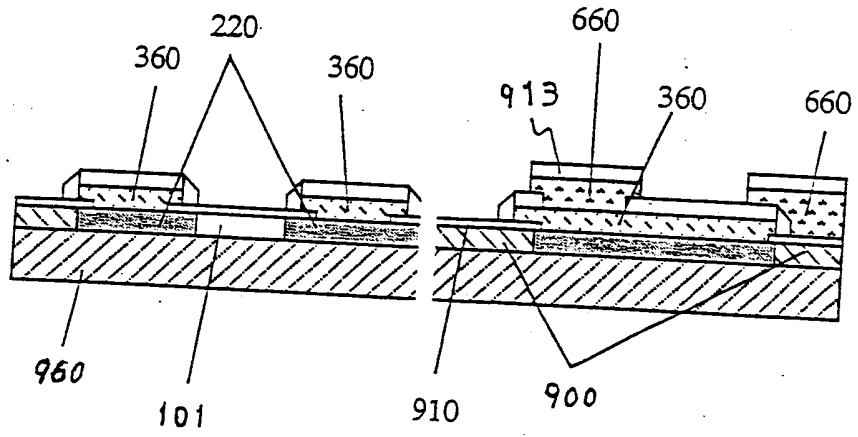
第 39 圖



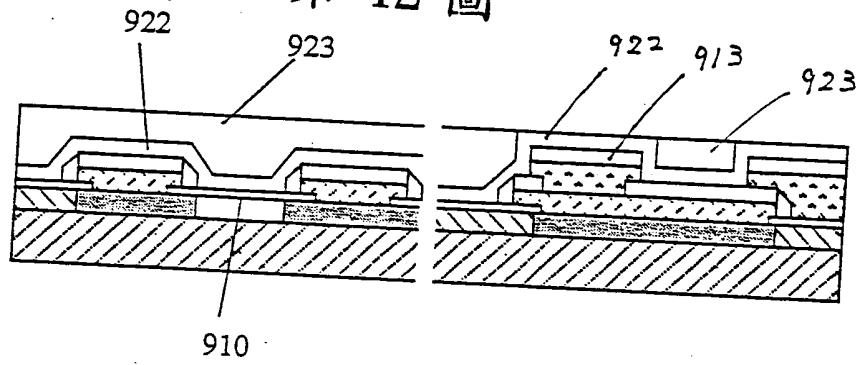
第 40 圖



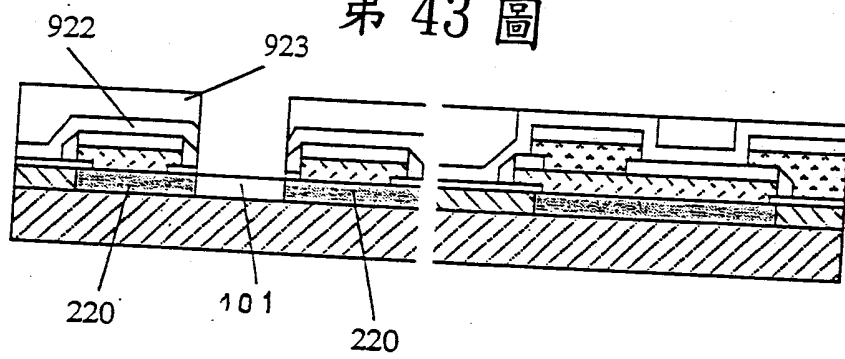
第 41 圖



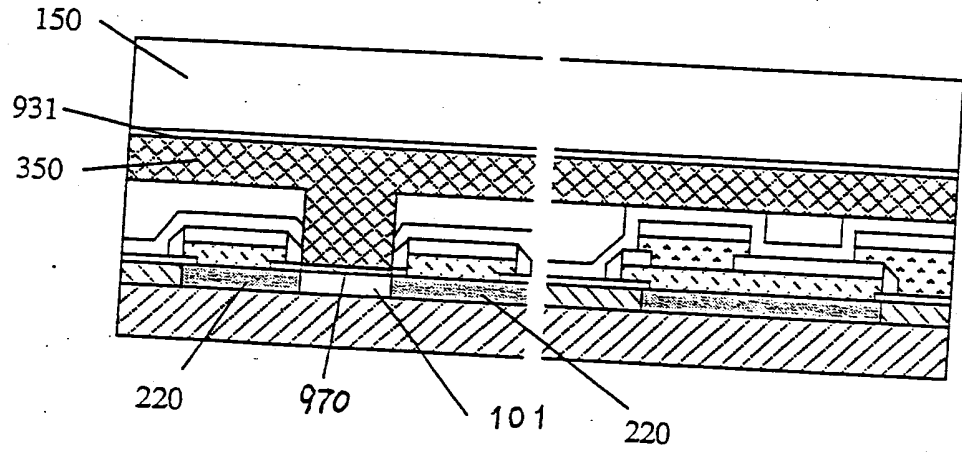
第 42 圖



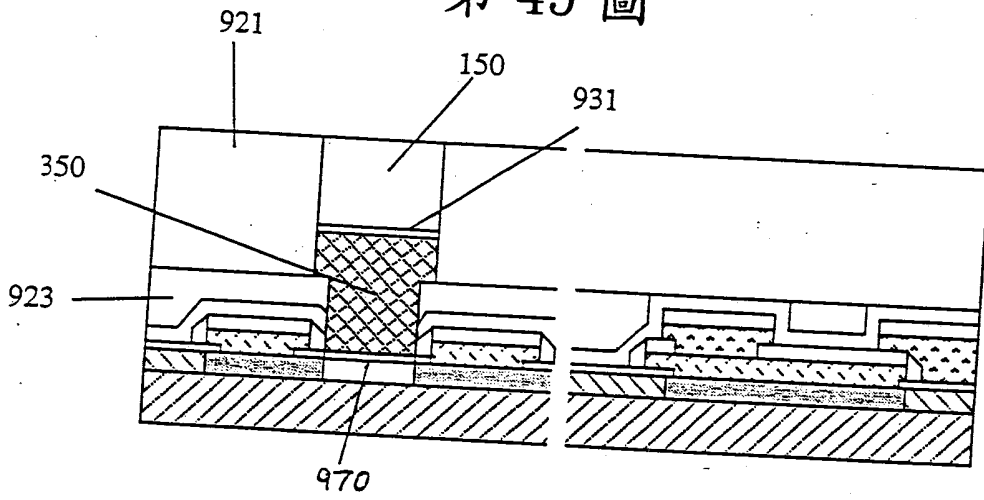
第 43 圖



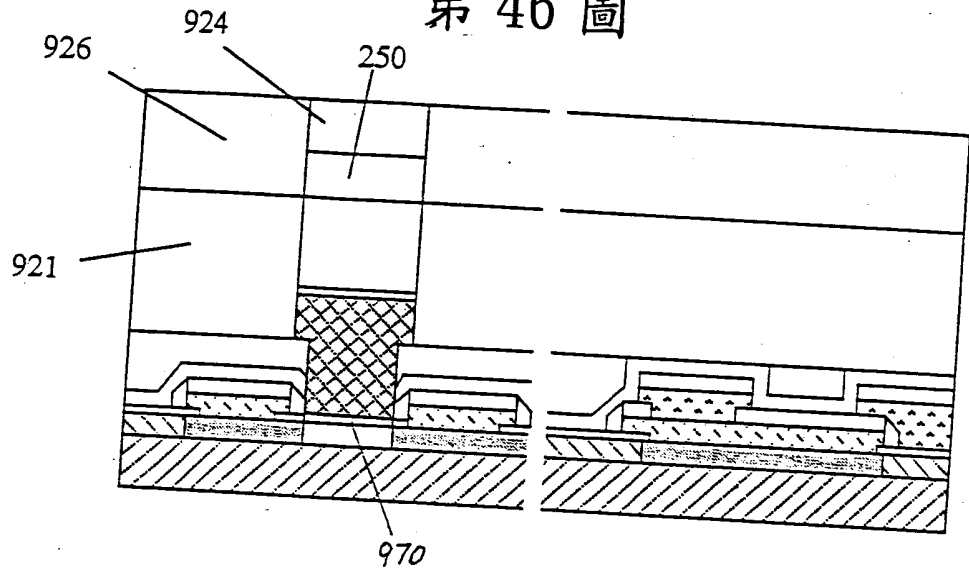
第 44 圖



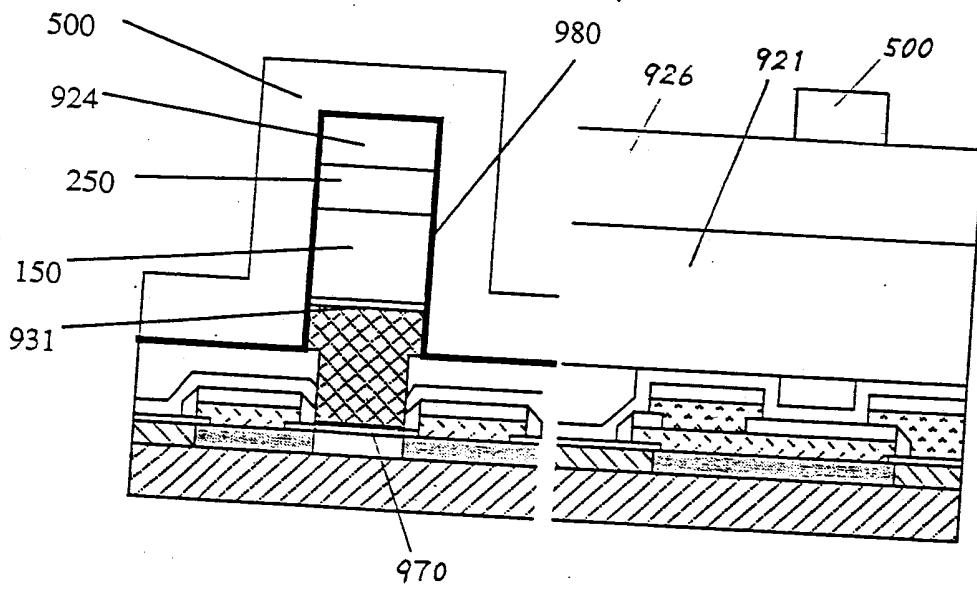
第 45 圖



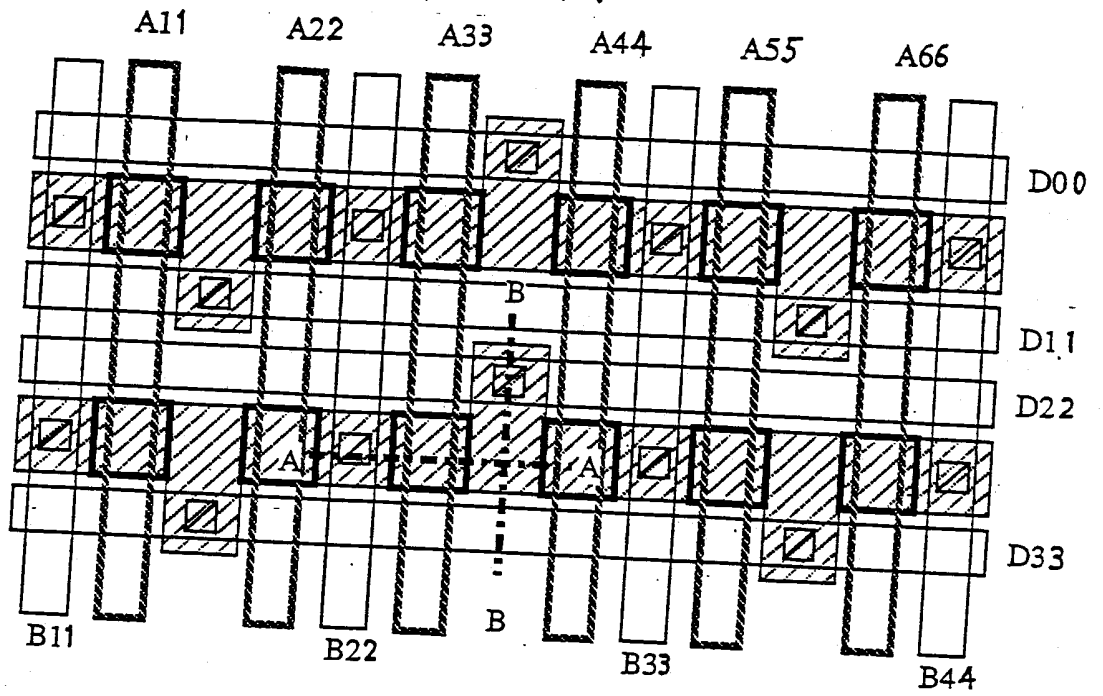
第 46 圖



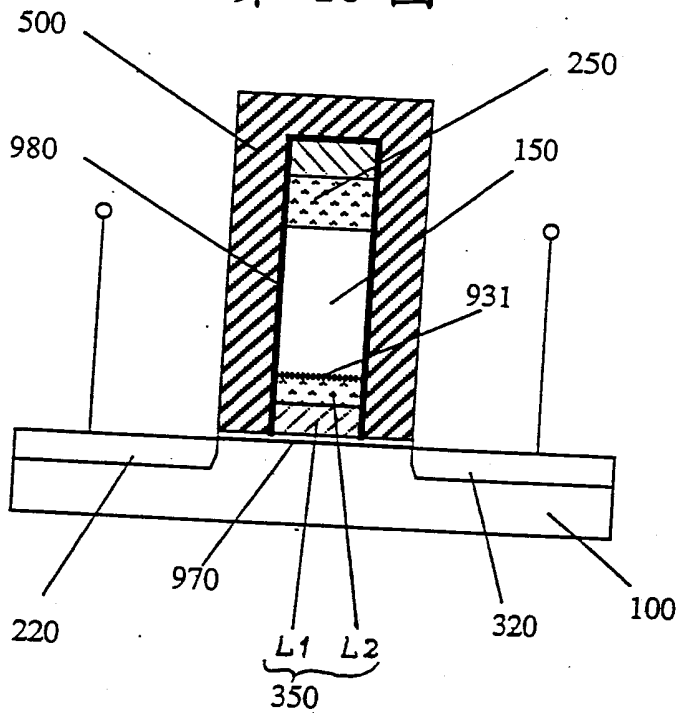
第 47 圖



第 48 圖



第 49 圖



90年7月	修正 補充
-------	----------

六、申請專利範圍

第89109034號專利申請案

中文申請專利範圍修正本

民國90年7月修正

1. 一種半導體記憶裝置，其特徵具有：

第1絕緣閘極型電場效應電晶體；該第1絕緣閘極型電場效應電晶體是由縱型電晶體（具有配置於基板面上垂直方向的通道）所構成；及

第2絕緣閘極型電場效應電晶體；該第2絕緣閘極型電場效應電晶體是形成於基板面的通道領域對基板面而言配置於與上述第1絕緣閘極型電場效應電晶體重疊的位置；

且，上述第1絕緣閘極型電場效應電晶體與上述第2絕緣閘極型電場效應電晶體是具有彼此相異的導電型。

2. 如申請專利範圍第1項之半導體記憶裝置，其中上述第1絕緣閘極型電場效應電晶體是由：形成源極的電極，及形成汲極的電極，及設置於兩電極間的半導體通道部所構成，上述兩電極之至少形成儲存節點的電極是由金屬材料所形成之金屬電極。

3. 如申請專利範圍第2項之半導體記憶裝置，其中在上述金屬電極與上述半導體通道部之間配置有接觸於上述金屬電極的絕緣膜。

4. 如申請專利範圍第3項之半導體記憶裝置，其中上述金屬電極是由含高濃度雜質金屬化的多結晶矽所構成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線