



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월05일
(11) 등록번호 10-1102690
(24) 등록일자 2011년12월28일

- (51) Int. Cl.
H01L 21/205 (2006.01) H01L 21/20 (2006.01)
- (21) 출원번호 10-2009-7006183
- (22) 출원일자(국제출원일자) 2007년09월28일
심사청구일자 2009년03월26일
- (85) 번역문제출일자 2009년03월26일
- (65) 공개번호 10-2009-0043598
- (43) 공개일자 2009년05월06일
- (86) 국제출원번호 PCT/JP2007/069041
- (87) 국제공개번호 WO 2008/038787
국제공개일자 2008년04월03일
- (30) 우선권주장
JP-P-2006-267742 2006년09월29일 일본(JP)
- (56) 선행기술조사문헌
JP2006019413 A*
WO2004008519 A1*
US20040152340 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
도쿄엘렉트론가부시키키가이샤
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1코
- (72) 발명자
가베 요시로
일본 효고켄 아마가사키시 후소쵸 1-8 도쿄 엘렉트론 에이티 가부시키키가이샤 내
고바야시 다카시
일본 효고켄 아마가사키시 후소쵸 1-8 도쿄 엘렉트론 에이티 가부시키키가이샤 내
(뒷면에 계속)
- (74) 대리인
제일특허법인

전체 청구항 수 : 총 8 항

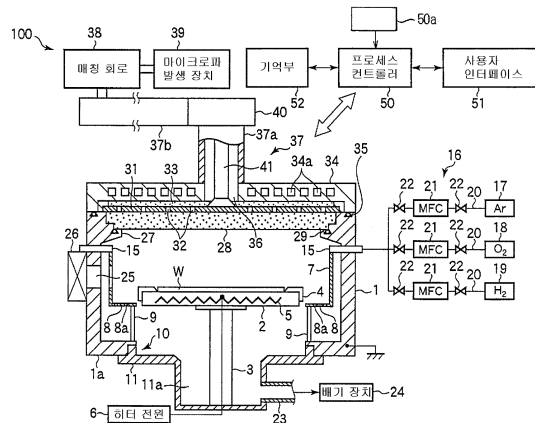
심사관 : 이성준

(54) 실리콘 산화막의 형성 방법, 플라즈마 처리 장치 및 기억 매체

(57) 요약

플라즈마 산화 처리의 장점을 손상하는 일이 없이, 절연 내성이 우수하고, 반도체 장치의 원료에 대한 제품의 비율을 향상시킬 수 있는 양질의 막질의 실리콘 산화막을 형성한다. 처리 가스중의 산소의 비율이 1% 이하에서, 또한 압력이 133Pa 이하의 제 1 처리 조건에서 플라즈마를 형성하고, 해당 플라즈마에 의해, 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성한다(제 1 산화 처리 공정). 상기 제 1 산화 처리 공정에 이어서, 처리 가스중의 산소의 비율이 20% 이상에서, 또한 압력이 400~1333Pa의 제 2 처리 조건에서 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면을 산화하고, 또한 실리콘 산화막을 형성한다(제 2 산화 처리 공정).

대표도



(72) 발명자

시오자와 도시히코

일본 효고켄 아마가사키시 후소쵸 1-8 도쿄 엘렉트
론 에이티 가부시카가이샤 내

기타가와 준이치

일본 효고켄 아마가사키시 후소쵸 1-8 도쿄 엘렉트
론 에이티 가부시카가이샤 내

특허청구의 범위

청구항 1

플라즈마 처리 장치의 처리실내에서, 처리 가스중의 산소의 비율이 0.2~1%이고, 또한 압력이 0.133~133Pa의 제 1 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 제 1 산화 처리 공정과,

상기 제 1 산화 처리 공정에 이어서, 처리 가스중의 산소의 비율이 20~50%이고, 또한 압력이 400~1333Pa의 제 2 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면을 산화해서 또한 실리콘 산화막을 형성하고, 또한 상기 실리콘 산화막의 막질을 개선하는 제 2 산화 처리 공정을 포함하는 것을 특징으로 하는

실리콘 산화막의 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 산화 처리 공정의 처리 시간은 1~600초인

실리콘 산화막의 형성 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 산화 처리 공정 및 상기 제 2 산화 처리 공정에 있어서 형성된 상기 실리콘 산화막의 합계 막 두께에 대하여, 상기 제 2 산화 처리 공정에 있어서 형성된 상기 실리콘 산화막의 막 두께의 비율이 0.1~5%인

실리콘 산화막의 형성 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 제 1 산화 처리 공정에 있어서, 상기 처리 가스는 수소를 0.1~10%의 비율로 포함한

실리콘 산화막의 형성 방법.

청구항 7

제 1 항에 있어서,

처리 온도가 200~800℃인

실리콘 산화막의 형성 방법.

청구항 8

제 1 항에 있어서,

상기 플라즈마는, 상기 처리 가스와, 복수의 슬롯을 갖는 평면 안테나에 의해 상기 처리실내에 도입되는 마이크로로파에 의해 형성되는 마이크로파 여기 플라즈마인

실리콘 산화막의 형성 방법.

청구항 9

실리콘제의 피처리체를 처리하기 위한 진공 배기 가능한 처리실과,
 처리실내에 처리 가스를 공급하는 처리 가스 공급부와,
 처리실내에서 처리 가스의 플라즈마를 발생시키고, 상기 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 플라즈마 공급원과,
 상기 처리실내의 압력을 조정하는 배기 장치와,
 상기 처리 가스 공급부, 상기 플라즈마 공급원, 및 상기 배기 장치를 제어하는 제어부를 포함하고,
 상기 제어부는 처리 가스 공급부, 상기 플라즈마 공급원, 및 상기 배기 장치를 제어하고,
 상기 처리실내에서, 상기 처리 가스중의 산소의 비율이 0.2~1%이고, 또한 압력이 0.133~133Pa의 제 1 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 제 1 산화 처리 공정과,
 상기 제 1 산화 처리 공정에 이어서, 상기 처리 가스중의 산소의 비율이 20~50%이고, 또한 압력이 400~1333Pa의 제 2 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면을 산화해서 또한 실리콘 산화막을 형성하고, 또한 상기 실리콘 산화막의 막질을 개선하는 제 2 산화 처리 공정을 실행하는 것을 특징으로 하는
 플라즈마 처리 장치.

청구항 10

컴퓨터에, 실리콘 산화막의 형성 방법을 실행시키기 위한 컴퓨터 프로그램을 저장한 컴퓨터 독해 가능한 기억 매체에 있어서,
 상기 실리콘 산화막의 형성 방법은,
 플라즈마 처리 장치의 처리실내에서, 처리 가스중의 산소의 비율이 0.2~1%이고, 또한 압력이 0.133~133Pa의 제 1 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 제 1 산화 처리 공정과,
 상기 제 1 산화 처리 공정에 이어서, 처리 가스중의 산소의 비율이 20~50%이고, 또한 압력이 400~1333Pa의 제 2 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면을 산화해서 또한 실리콘 산화막을 형성하고, 또한 상기 실리콘 산화막의 막질을 개선하는 제 2 산화 처리 공정을 구비한 것을 특징으로 하는
 기억 매체.

명세서

기술분야

[0001] 본 발명은 실리콘 산화막의 형성 방법, 플라즈마 처리 장치 및 기억 매체에 관한 것이고, 상세하게는 예컨대 각종 반도체 장치의 제조 과정에서 절연막으로서의 실리콘 산화막을 형성할 경우 등에 적용 가능한 실리콘 산화막의 형성 방법, 플라즈마 처리 장치 및 기억 매체에 관한 것이다.

배경기술

[0002] 각종 반도체 장치의 제조 과정에서는, 예를 들면 트랜지스터의 게이트 절연막 등의 절연막으로서 SiO₂ 등의 실리콘 산화막의 형성이 행하여지고 있다. 이러한 실리콘 산화막을 형성하는 방법으로서, 산화로나 RTP(Rapid Thermal Process) 장치를 이용하는 열산화 처리와, 플라즈마 처리 장치를 이용하는 플라즈마 산화 처리로 크게 구별된다. 예컨대, 열산화 처리의 하나인 산화로에 의한 웨트 산화 처리에서는, 800℃ 초의 온도로 실리콘 기판을 가열하고, 산소와 수소를 연소해서 수증기(H₂O)를 생성하는 WVG(Water Vapor Generator) 장치를 이용하여

실리콘 기판을 산화 분위기에 노출시키는 것에 의해 실리콘 표면을 산화시켜서 실리콘 산화막을 형성한다.

- [0003] 한편, 플라즈마 산화 처리로서는, 아르곤 가스와 산소 가스를 포함하고, 산소의 유량 비율이 약 1%의 처리 가스를 이용할 수 있다. 133.3Pa의 챔버내 압력에서 형성된 마이크로파 여기 플라즈마를 실리콘 표면에 작용시켜서 플라즈마 산화 처리를 실행하는 것에 의해, 막 두께의 컨트롤이 용이해서 양질의 실리콘 산화막을 형성할 수 있다(예컨대, 특허문헌 1).
- [0004] [특허문헌 1 : 제 WO 2004/008519 호
- [0005] 열산화 처리는 양질의 실리콘 산화막을 형성할 수 있는 방법이라고 생각되고 있다. 그러나, 800℃ 초의 고온에 의한 처리가 필요하기 때문에, 열적 예산(thermal budget)이 증대하고, 열응력에 의해 실리콘 기판에 왜곡 등을 생기게 해버리는 한다는 문제가 있다.
- [0006] 한편, 상기 특허문헌 1의 플라즈마 산화 처리에서는, 처리 온도가 400℃ 전후이기 때문에, 열산화 처리에 있어서의 열적 예산의 증대나 기판의 왜곡 등의 문제를 회피할 수 있다. 또한, 처리 가스중의 O₂ 유량 1%, 처리 압력 133.3Pa 정도의 조건(설명의 편의상, "저압력, 저산소 농도 조건"이라고 한다)에서 플라즈마 처리를 실행하는 것에 따라, 높은 산화 레이트를 얻을 수 있다.
- [0007] 그러나, 플라즈마 산화 처리에 의해 얻을 수 있는 실리콘 산화막은, 플라즈마 산화 처리 조건에 의해 절연 특성에 변동을 볼 수 있고, 플라즈마 산화 처리에 의한 실리콘 산화막을 절연막으로서 사용하는 MOS 캐패시터 등의 디바이스의 제조에 있어서, 초기 내압 불량 발생하고, 원료에 대한 제품의 비율의 저하를 초래하는 등의 우려가 있었다.

발명의 상세한 설명

- [0008] 따라서, 본 발명의 목적은, 저압력, 저산소 농도 조건에서의 플라즈마 산화 처리의 장점을 손상하는 일이 없이, 절연 내성이 우수하고, 반도체 장치의 제조의 원료에 대한 제품의 비율을 향상시킬 수 있는 양질의 막질의 실리콘 산화막을 형성하는 방법을 제공하는 것이다.
- [0009] 본 발명은, 플라즈마 처리 장치의 처리실내에서, 처리 가스중의 산소의 비율이 1% 이하이고, 또한 압력이 0.133~133Pa의 제 1 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 제 1 산화 처리 공정과, 상기 제 1 산화 처리 공정에 이어서, 처리 가스중의 산소의 비율이 20% 이상이고, 또한 압력이 400~1333Pa의 제 2 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면을 산화해서 또한 실리콘 산화막을 형성하고, 또한 상기 실리콘 산화막의 막질을 개선하는 제 2 산화 처리 공정을 구비하는 것을 특징으로 하는 실리콘 산화막의 형성 방법이다.
- [0010] 본 발명은, 상기 제 2 산화 처리 공정의 처리 시간은 1~600초인 실리콘 산화막의 형성 방법이다.
- [0011] 본 발명은, 상기 제 1 산화 처리 공정 및 상기 제 2 산화 처리 공정에 있어서 형성된 상기 실리콘 산화막의 합계 막 두께에 대하여, 상기 제 2 산화 처리 공정에 있어서 형성된 상기 실리콘 산화막의 막 두께의 비율이 0.1~5%인 실리콘 산화막의 형성 방법이다.
- [0012] 본 발명은, 상기 제 1 산화 처리 공정에 있어서 상기 처리 가스중의 산소의 비율이 0.2~1%인 실리콘 산화막의 형성 방법이다.
- [0013] 본 발명은, 상기 제 2 산화 처리 공정에 있어서 상기 처리 가스중의 산소의 비율이 20~50%인 실리콘 산화막의 형성 방법이다.
- [0014] 본 발명은, 상기 제 1 산화 처리 공정에 있어서, 상기 처리 가스는 수소를 0.1~10%의 비율로 포함한 실리콘 산화막의 형성 방법이다.
- [0015] 본 발명은, 처리 온도가 200~800℃인 실리콘 산화막의 형성 방법이다.
- [0016] 본 발명은, 상기 플라즈마는, 상기 처리 가스와, 복수의 슬롯을 갖는 평면 안테나에 의해 상기 처리실내에 도입되는 마이크로파에 의해 형성되는 마이크로파 여기 플라즈마인 실리콘 산화막의 형성 방법이다.
- [0017] 본 발명은, 실리콘제의 피처리체를 처리하기 위한 진공 배기 가능한 처리실과, 처리실내에 처리 가스를 공급하는 처리 가스 공급부와, 처리실내에서 처리 가스의 플라즈마를 발생시키고, 상기 피처리체 표면의 실리콘을 산

화해서 실리콘 산화막을 형성하는 플라즈마 공급원과, 상기 처리실내의 압력을 조정하는 배기 장치와, 상기 처리 가스 공급부, 상기 플라즈마 공급원, 및 상기 배기 장치를 제어하는 제어부를 구비하고, 상기 제어부는 처리 가스 공급부, 상기 플라즈마 공급원, 및 상기 배기 장치를 제어하고, 상기 처리실내에서, 상기 처리 가스중의 산소의 비율이 1% 이하이고, 또한 압력이 0.133~133Pa의 제 1 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 제 1 산화 처리 공정과, 상기 제 1 산화 처리 공정에 이어서, 상기 처리 가스중의 산소의 비율이 20% 이상이고, 또한 압력이 400~1333Pa의 제 2 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면을 산화해서 또한 실리콘 산화막을 형성하고, 또한 상기 실리콘 산화막의 막질을 개선하는 제 2 산화 처리 공정을 실행하는 것을 특징으로 하는 플라즈마 처리 장치이다.

[0018] 본 발명은, 컴퓨터에, 실리콘 산화막의 형성 방법을 실행시키기 위한 컴퓨터 프로그램을 저장한 컴퓨터 독해 가능한 기억 매체에 있어서, 상기 실리콘 산화막의 형성 방법은, 플라즈마 처리 장치의 처리실내에서, 처리 가스중의 산소의 비율이 1% 이하이고, 또한 압력이 0.133~133Pa의 제 1 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 피처리체 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 제 1 산화 처리 공정과, 상기 제 1 산화 처리 공정에 이어서, 처리 가스중의 산소의 비율이 20% 이상이고, 또한 압력이 400~1333Pa의 제 2 처리 조건에서 해당 처리 가스의 플라즈마를 형성하고, 해당 플라즈마에 의해, 상기 피처리체 표면을 산화해서 또한 실리콘 산화막을 형성하고, 또한 상기 실리콘 산화막의 막질을 개선하는 제 2 산화 처리 공정을 구비한 것을 특징으로 하는 기억 매체이다.

[0019] 본 발명에 의하면, 처리 가스중의 산소의 비율이 1% 이하이고, 또한 압력이 133Pa 이하의 제 1 처리 조건에서 실리콘 산화막을 형성하는 제 1 산화 처리 공정을 실행한다. 제 1 산화 처리 공정에 이어서, 처리 가스중의 산소의 비율이 20% 이상이고, 또한 압력이 400~1333Pa의 제 2 처리 조건(설명의 편의상, "고압력·고산소 농도 조건"이라고 한다)에서 실리콘 산화막을 형성하는 제 2 산화 처리 공정을 실행한다. 이 제 1 산화 처리 공정 및 제 2 산화 처리 공정에 의해, 플라즈마 산화 처리에 있어서의 고산화 레이트, 패턴 슐더부 및 바닥 연부의 둥근 모양 형성, 면방위 의존성의 억제 등, 제 1 처리 조건에 있어서의 플라즈마 산화 처리의 장점을 손상하는 일이 없이, 절연 내압이 우수한 실리콘 산화막을 형성할 수 있다.

[0020] 즉, 제 2 산화 처리 공정에서, 고압력·고산소 농도에서의 플라즈마 처리를 실행하는 것에 의해, 제 1 처리 조건에 의한 플라즈마 산화 처리의 단점이었던 초기 내압 시험에 있어서의 낮은 원료에 대한 제품의 비율이나, 막질 불량이 개선되고, 치밀해서 Si-O 결합 결합이 적은 실리콘 산화막을 얻을 수 있다.

[0021] 따라서, 이 방법에 의해 얻을 수 있는 실리콘 산화막을 절연막으로서 사용하는 반도체 장치에 양호한 전기적 특성을 부여할 수 있다.

실시예

[0031] 이하, 도면을 참조하면서, 본 발명의 바람직한 형태에 대해서 설명한다.

[0032] 도 1은 본 발명의 실리콘 산화막의 형성 방법의 실시예 알맞은 플라즈마 처리 장치의 예를 모식적으로 도시하는 단면도이다. 이 플라즈마 처리 장치는, 복수의 슬롯을 갖는 평면 안테나, 특히 RLSA(Radial Line Slot Antenna : 래디얼 라인 슬롯 안테나)를 포함하고, 이 안테나에 의해 처리실내에 마이크로파를 도입해서 플라즈마를 발생시키는 것에 의해, 고밀도 또한 저전자 온도의 마이크로파 플라즈마를 발생시키는 RLSA 마이크로파 플라즈마 처리 장치로 되어 있고, 예컨대 트랜지스터의 게이트 절연막을 비롯한 각종 반도체 장치에 있어서의 절연막의 형성에 양호하게 이용할 수 있다.

[0033] 이 플라즈마 처리 장치(100)는 기밀하게 구성되고, 접지된 대략 원통형의 챔버(처리실)(1)를 갖고 있다. 챔버(1)의 저벽(1a)의 대략 중앙부에는 원형의 개구부(10)가 형성되어 있고, 저벽(1a)에는 이 개구부(10)와 연통하고, 하방을 향해서 돌출하는 배기실(11)이 마련되어 있다.

[0034] 챔버(1)내에는 피처리 기관인 반도체 웨이퍼(이하, "웨이퍼"라고 한다)(W)를 수평으로 지지하기 위한 AlN 등의 세라믹스로 이루어지는 서셉터(2)가 마련되어 있다. 또한, 웨이퍼(W)는 표면에 요철 패턴을 갖고, 실리콘제로 되어 있다. 서셉터(2)는 배기실(11)의 바닥부 중앙으로부터 상방으로 연장되는 원통형의 AlN 등의 세라믹스로 이루어지는 지지 부재(3)에 의해 지지되어 있다. 서셉터(2)의 외연부에는 웨이퍼(W)를 가이드하기 위한 가이드 링(4)이 마련되어 있다. 또한, 서셉터(2)에는 저항 가열형의 히터(5)가 매설되어 있고, 이 히터(5)는 히터 전원(6)으로부터 급전되는 것에 의해 서셉터(2)를 가열하고, 그 열로 피처리체인 웨이퍼(W)를 가열한다. 이 때, 히터(5)는 예를 들면 실온으로부터 800℃까지의 범위에서 처리 온도가 제어 가능하게 되어 있다. 또한, 챔버

(1)의 내주에는, 석영으로 이루어지는 원통형의 라이너(7)가 마련되어 있다. 또한, 서셉터(2)의 외주측에는, 챔버(1)내를 균일 배기하기 위해서, 다수의 배기 구멍(8a)을 갖는 석영체의 배플 플레이트(8)가 환상으로 마련되고, 이 배플 플레이트(8)는 복수의 지주(9)에 의해 지지되어 있다.

[0035] 서셉터(2)에는, 웨이퍼(W)를 지지해서 승강시키기 위한 웨이퍼 지지 핀(도시하지 않음)이 서셉터(2)의 표면에 대하여 돌출함몰 가능하게 마련되어 있다.

[0036] 챔버(1)의 측벽에는 환상을 이루는 가스 도입 부재(15)가 마련되어 있고, 균등하게 가스 방사 구멍이 형성되어 있다. 이 가스 도입 부재(15)에는 가스 공급계(16)가 접속되어 있다. 가스 도입 부재는 샤워 형상으로 배치해도 좋다. 이 가스 공급계(16)는, 예를 들면 Ar 가스 공급원(17), O₂ 가스 공급원(18), H₂ 가스 공급원(19)을 갖고 있고, 이들의 가스가 각각 가스 라인(20)을 거쳐서 가스 도입 부재(15)에 도달하고, 가스 도입 부재(15)의 가스 방사 구멍으로부터 챔버(1)내에 균일하게 도입된다. 가스 라인(20)의 각각에는, 매스 플로우 컨트롤러(21) 및 그 전후의 개폐 밸브(22)가 마련되어 있다. 또한, Ar 가스 대신에 다른 회가스, 예를 들면 Kr, He, Ne, Xe 등의 가스를 이용하여도 좋고, 또한 후술하는 바와 같이 회가스는 포함하지 않아도 좋다.

[0037] 상기 배기실(11)의 측면에는 배기관(23)이 접속되어 있고, 이 배기관(23)에는 고속 진공 펌프를 포함하는 배기 장치(24)가 접속되어 있다. 그래서, 이 배기 장치(24)를 작동시킴으로써 챔버(1)내의 가스가 배기실(11)의 공간(11a)내에 균일하게 배출되어, 배기관(23)을 거쳐서 배기된다. 이에 의해, 챔버(1)내를 소정의 진공도, 예를 들면 0.133Pa까지 고속으로 감압하는 것이 가능하게 되어 있다.

[0038] 챔버(1)의 측벽에는, 플라스마 처리 장치(100)에 인접하는 반송실(도시하지 않음)과의 사이에서 웨이퍼(W)의 반출입을 실행하기 위한 반입·반출구(25)와, 이 반입·반출구(25)를 개폐하는 게이트 밸브(26)가 마련되어 있다.

[0039] 챔버(1)의 상부는 개구부로 되어 있고, 이 개구부의 주연부에 따라 링형상의 지지부(27)가 마련되어 있다. 이 지지부(27)에 유전체, 예를 들면 석영이나 Al₂O₃ 등의 세라믹스로 이뤄지고, 마이크로파를 투과하는 마이크로파 투과판(28)이 시일 부재(29)를 거쳐서 기밀로 마련되어 있다. 따라서, 챔버(1)내는 기밀로 유지된다.

[0040] 마이크로파 투과판(28)의 상방에는, 서셉터(2)와 대향하도록, 원판형상의 평면 안테나판(31)이 마련되어 있다. 이 평면 안테나판(31)은 챔버(1)의 측벽 상단에 결합되어 있다. 평면 안테나판(31)은, 예를 들면 8인치 사이즈의 웨이퍼(W)에 대응할 경우에는, 직경이 300~400mm, 두께가 0.1~수mm(예를 들면 1mm)의 도전성 재료로 이루어지는 원판이다. 평면 안테나판(31)은, 구체적으로는, 예를 들면 표면이 은 또는 도금된 동판 또는 알루미늄판으로 되고, 다수의 마이크로파 방사 구멍(32)(슬롯)이 쌍으로 되어서 소정의 패턴으로 관통해서 형성되어 있다. 이 마이크로파 방사 구멍(32)은, 예를 들면 도 2에 도시하는 바와 같이 긴 홈 형상을 이루고, 전형적으로는 인접하는 마이크로파 방사 구멍(32)끼리가 "T"자 형상으로 배치되고, 이들 복수의 마이크로파 방사 구멍(32)이 동심원 형상으로 배치되어 있다. 마이크로파 방사 구멍(32)의 길이나 배열 간격은, 마이크로파의 파장(λ_g)에 따라 결정되고, 예를 들면 마이크로파 방사 구멍(32)의 간격은 $\lambda_g/4$, $\lambda_g/2$ 또는 λ_g 로 되도록 배치된다. 또한, 도 2에 있어서는, 동심원 형상으로 형성된 인접하는 마이크로파 방사 구멍(32)끼리의 간격을 Δr 로 도시하고 있다.

[0041] 또한, 마이크로파 방사 구멍(32)은 원형 형상, 원호 형상 등의 다른 형상이라도 좋다. 또한, 마이크로파 방사 구멍(32)의 배치 형태는 특별히 한정되지 않고, 동심원 형상의 외에, 예컨대 나선 형상, 방사상으로 배치하는 것도 가능하다.

[0042] 이 평면 안테나판(31)의 상면에는, 진공보다도 큰 유전율을 갖는 예컨대 석영, 폴리테트라플루오르에틸렌, 폴리이미드 등의 수지로 이루어지는 지파재(33)가 마련되어 있다. 이 지파재(33)는 진공중에서는 마이크로파의 파장이 길어지기 때문에, 마이크로파의 파장을 짧게 해서 플라스마를 조정하는 기능을 갖고 있다. 또한, 평면 안테나판(31)과 마이크로파 투과판(28)과의 사이, 또한 지파재(33)와 평면 안테나판(31)과의 사이는 각각 밀착해서 배치되어 있지만, 이간해서 배치되어 있어도 좋다.

[0043] 챔버(1)의 상면에는, 이들 평면 안테나판(31) 및 지파재(33)를 덮도록, 예를 들면 알루미늄이나 스테인리스강, 동 등의 금속재로 이루어지는 실드 덮개(34)가 마련되어 있다. 챔버(1)의 상면과 실드 덮개(34)는 시일 부재(35)에 의해 밀봉되어 있다. 실드 덮개(34)와 평면 안테나판(31)은 도파로를 구성하고, 마이크로파를 균일하게 방사상으로 전파시킨다. 실드 덮개(34)에는 냉각 수류로(34a)가 형성되고 있고, 거기에 냉각수를 통류시킴으로써, 실드 덮개(34), 지파재(33), 평면 안테나판(31), 마이크로파 투과판(28)을 냉각하게 되어 있다. 또한, 실드 덮개(34)는 접지되어 있다.

- [0044] 실드 덮개(34)의 상벽의 중앙에는 개구부(36)가 형성되어 있고, 이 개구부에는 도파관(37)이 접속되어 있다. 이 도파관(37)의 단부에는, 매칭 회로(38)를 거쳐서 마이크로파 발생 장치(39)가 접속되어 있다. 이에 의해, 마이크로파 발생 장치(39)에서 발생한 예컨대 주파수 2.45GHz의 마이크로파가 도파관(37)을 거쳐서 상기 평면 안테나판(31)에 전파되게 되어 있다. 또한, 마이크로파의 주파수로서는 8.35GHz, 198GHz 등을 이용할 수도 있다.
- [0045] 도파관(37)은 상기 실드 덮개(34)의 개구부(36)로부터 상방으로 연장하는 단면 원형 형상의 동축 도파관(37a)과, 이 동축 도파관(37a)의 상단부에 모드 변환기(40)를 거쳐서 접속된 수평 방향으로 연장되는 직사각형 도파관(37b)을 갖고 있다. 직사각형 도파관(37b)과 동축 도파관(37a)과의 사이의 모드 변환기(40)는, 직사각형 도파관(37b)내를 TE 모드로 전파하는 파이크로파를 TEM 모드로 변환하는 기능을 갖고 있다. 동축 도파관(37a)의 중심에는 내도체(41)가 연재되어 있고, 이 내도체(41)의 하단부는 평면 안테나판(31)의 중심으로 접속 고정되어 있다. 이에 의해, 마이크로파는 동축 도파관(37a)의 내도체(41)를 거쳐서 평면 안테나판(31)에 균일하게 효율적으로 전파된다.
- [0046] 플라즈마 처리 장치(100)의 각 구성부는 CPU를 구비한 프로세스 컨트롤러(50)에 접속되어서 제어되는 구성으로 되어 있다. 프로세스 컨트롤러(50)에는, 공정 관리자가 플라즈마 처리 장치(100)를 관리하기 위해서 명령의 입력 조작 등을 실행하는 키보드나, 플라즈마 처리 장치(100)의 가동 상황을 가시화해서 표시하는 디스플레이 등으로 이루어지는 사용자 인터페이스(51)가 접속되어 있다.
- [0047] 또한, 프로세스 컨트롤러(50)에는, 플라즈마 처리 장치(100)에서 실행되는 각종 처리를 프로세스 컨트롤러(50)의 제어로 실현하기 위한 제어 프로그램(소프트웨어)나 처리 조건 데이터 등이 기록된 레시피가 저장된 기억부(52)가 접속되어 있다.
- [0048] 그리고, 필요에 따라서, 사용자 인터페이스(51)로부터의 지시 등에서 임의의 레시피를 기억부(52)로부터 호출해서 프로세스 컨트롤러(50)에 실행시키는 것에 의해, 프로세스 컨트롤러(50)의 제어하에서, 플라즈마 처리 장치(100)에서의 소망의 처리가 행하여진다. 또한, 상기 제어 프로그램이나 처리 조건 데이터 등의 레시피는 컴퓨터 판독 가능한 기억 매체(50a), 예를 들면 CD-ROM, 하드디스크, 플래시블 디스크, 플래시 메모리 등에 저장된 상태의 것을 이용하거나, 또는 다른 장치로부터, 예를 들면 전용 회선을 거쳐서 수시로 전송시켜서 온라인으로 이용하거나 하는 것도 가능하다.
- [0049] 이와 같이 구성된 플라즈마 처리 장치(100)는, 800℃ 이하, 보다 바람직하게는 500℃ 이하의 낮은 온도에서도 손상 없는 플라즈마 처리에 의해, 양질인 막을 형성할 수 있는 동시에, 플라즈마 균일성이 우수하고, 프로세스의 균일성을 실현할 수 있다.
- [0050] 이 플라즈마 처리 장치(100)는, 예컨대 트랜지스터의 게이트 절연막으로서의 실리콘 산화막을 형성할 경우나, 반도체 장치의 제조 과정에서 소자 분리 기술로서 이용되고 있는 샬로우 트렌치 이솔레이션(Shallow Trench Isolation ; STI)에 있어서 트렌치내에 산화막을 형성할 경우 등에 적합하게 이용 가능한 것이다.
- [0051] 다음에, 플라즈마 처리 장치(100)를 이용한 실리콘 산화막 형성 방법에 대해서 설명한다. 도 3은 본 발명의 일 실시형태에 따른 실리콘 산화막 형성 방법의 개요를 도시하는 흐름도이다. 본 실시형태의 실리콘 산화막의 형성 방법에서는, 우선 단계(S2)에 있어서, 저압력·저산소 농도 조건인 제 1 처리 조건에 의해 제 1 산화 처리 공정을 실행하고, 다음에, 단계(S3)에 있어서, 제 1 처리 조건보다도 고압력·고산소 농도 조건인 제 2 산화 처리 공정을 실시한다. 이하, 제 1 및 제 2 산화 처리 공정의 상세에 대해서 설명을 실행한다.
- [0052] 우선, 게이트 밸브(26)를 개방으로 해서 반입·반출구(25)로부터 예를 들면 트렌치 등의 오목부가 형성된 실리콘체의 웨이퍼(W)를 챔버(1)내에 반입하고, 서셉터(2)상에 탑재한다(단계(S1)). 그리고, 가스 공급계(16)의 Ar 가스 공급원(17) 및 O₂ 가스 공급원(18)으로부터, Ar 가스 및 O₂ 가스를 소정의 유량으로 가스 도입 부재(15)를 거쳐서 챔버(1)내에 도입하고, 챔버내 압력 및 서셉터 온도를 제 1 처리 조건으로 조정한다. 이 제 1 처리 조건으로서, 처리 가스중의 산소의 비율은 예를 들면 1% 이하가 바람직하고, 0.2~1%로 하는 것이 보다 바람직하다. 처리 가스의 유량은, Ar 가스 : 50~5000mL/분, O₂ 가스 : 0.5~50mL/분의 범위로부터, 전 가스 유량에 관한 산소의 비율이 상기 값으로 되도록 선택할 수 있다.
- [0053] 또한, 처리 압력은 133Pa 이하가 바람직하고, 90~133Pa가 보다 바람직하다.
- [0054] 또한, 처리 온도는 200℃~800℃에서의 범위로부터 선택할 수 있고, 400℃~500℃가 바람직하다.

- [0055] 또한, Ar 가스 공급원(17) 및 O₂ 가스 공급원(18)으로부터의 Ar 가스 및 O₂ 가스에 추가해서, H₂ 가스 공급원(19)으로부터 H₂ 가스를 소정 비율로 도입할 수 있다. H₂ 가스를 공급하는 것에 의해, 플라즈마 산화 처리에 있어서의 산화 레이트를 향상시킬 수 있다.
- [0056] 이것은, H₂ 가스를 공급하는 것에 의해 OH 라디칼이 생성되고, 이것이 산화 레이트 향상에 기여하기 위한 것이다. 이 경우, H₂의 비율은 처리 가스 전체의 양에 대하여 0.1~10%로 되도록 하는 것이 바람직하고, 0.1~5%가 보다 바람직하고, 0.1~2%가 바람직하다.
- [0057] 다음에, 마이크로파 발생 장치(39)로부터의 마이크로파를 매칭 회로(38)를 거쳐서 도파관(37)에 도입한다. 마이크로파는, 직사각형 도파관(37b), 모드 변환기(40), 및 동축 도파관(37a)을 순차적으로 통과하여 평면 안테나관(31)에 공급되고, 평면 안테나관(31)으로부터 마이크로파 투과관(28)을 거쳐서 챔버(1)내에 있어서 웨이퍼(W)의 상방 공간으로 방사된다. 마이크로파는, 직사각형 도파관(37b)내에서는 TE 모드로 전파하고, 이 TEM 모드의 마이크로파는 모드 변환기(40)로 TEM 모드로 변환되어서, 동축 도파관(37a)내를 평면 안테나관(31)을 향해서 전파되어 간다. 이 때, 마이크로파 발생 장치(39)의 파워는 0.41~4.19W/cm²가 바람직하고, 또한 0.5~5kW로 하는 것이 바람직하다.
- [0058] 평면 안테나관(31)으로부터 마이크로파 투과관(28)을 거쳐서 챔버(1)내에 방사된 마이크로파에 의해 챔버(1)내에서 전자계가 형성되고, Ar 가스, O₂ 가스 등이 플라즈마화하고, 이렇게 하여 형성된 플라즈마에 의해 웨이퍼(W)에 형성된 오목부내에 노출한 실리콘 표면을 산화한다. 이렇게 하여, 제 1 산화 처리 공정이 행하여진다(단계(S2)).
- [0059] 이 마이크로파 플라즈마는, 마이크로파가 평면 안테나관(31)의 다수의 마이크로파 방사 구멍(32)으로부터 방사되는 것에 의해, 대략 $1 \times 10^{10} \sim 5 \times 10^{12} / \text{cm}^3$ 또는 그 이상의 고밀도의 플라즈마가 되고, 그 전자 온도는 0.5~2eV 정도, 플라즈마 밀도의 균일성은 $\pm 5\%$ 이하이다. 따라서, 저온 또한 높은 산화 레이트로 단시간의 산화 처리를 행해서 얇고 균일한 산화막을 형성하는 것이 가능하고, 더구나 산화막에의 플라즈마중의 이온 등에 의한 손상이 작고, 양질인 실리콘 산화막을 형성할 수 있다고 하는 메리트가 있다.
- [0060] 이상의 제 1 산화 처리 공정은, 후에 계속되는 제 2 산화 처리 공정에 있어서 제 2 처리 조건과 비교해서 저압력·저산소 농도인 제 1 처리 조건에 특유의 고산화 레이트로 한다는 장점을 최대한으로 살린다. 이 때문에 제 1 산화 처리 공정은, 형성되는 실리콘 산화막의 막 두께가 목적으로 하는 산화 막 두께로 성장하기 직전, 예를 들면 목적 막 두께의 95% 정도, 바람직하게는 99% 정도, 보다 바람직하게는 99.9% 정도의 막 두께에 도달할 때까지 실행한다.
- [0061] 다음에 상기 제 1 산화 처리 공정에 이어서, 제 2 처리 조건으로 플라즈마를 형성하고, 플라즈마에 의해 웨이퍼(W) 표면의 실리콘을 산화해서 실리콘 산화막을 형성하는 제 2 산화 처리 공정을 실행한다(단계(S3)). 제 2 산화 처리 공정에서는 가스 공급계(16)의 Ar 가스 공급원(17) 및 O₂ 가스 공급원(18)으로부터, Ar 가스 및 O₂ 가스를 소정의 유량으로 가스 도입 부재(15)를 거쳐서 챔버(1)내에 도입하고, 챔버내 압력 및 서셉터 온도를 제 2 처리 조건으로 조정한다.
- [0062] 이 제 2 처리 조건으로서, 처리 가스중의 산소의 비율은, 예를 들면 20~100%가 바람직하고, 20~50%가 보다 바람직하고, 20~30%가 바람직하다. 처리 가스의 유량은, Ar 가스 : 0~5000mL/분, O₂ 가스 10~5000mL/분의 범위로부터, 전 가스 유량에 대한 산소의 비율이 상기 값으로 되도록 선택할 수 있다.
- [0063] 또한, 처리 압력은 400Pa 이상 1333Pa 이하가 바람직하고, 400~667Pa가 보다 바람직하다.
- [0064] 또한, 처리 온도는 200℃~800℃의 범위로부터 선택할 수 있고, 400℃~500℃가 바람직하다.
- [0065] 또한, 제 2 처리 조건에 있어서도, Ar 가스 공급원(17) 및 O₂ 가스 공급원(18)으로부터의 Ar 가스 및 O₂ 가스에 추가해서, H₂ 가스 공급원(19)으로부터 H₂ 가스를 소정 비율로 도입하는 것이 가능하다. 이 경우, H₂의 비율은, 처리 가스 전체의 양에 대하여 0.1~10%로 되도록 하는 것이 바람직하고, 0.1~5%가 보다 바람직하고, 0.1~2%가 바람직하다. 단, 제 1 산화 처리 공정에 비해 단시간에 행하여지는 제 2 산화 처리 공정에서는 산화 레이트를 향상시킬 필요성이 적기 때문에, H₂의 첨가는 임의이다.
- [0066] 이어서, 마이크로파 발생 장치(39)로부터의 마이크로파를 매칭 회로(38)를 거쳐서 도파관(37)으로 유도한다.

마이크로파는 직사각형 도파관(37b), 모드 변환기(40), 및 동축 도파관(37a)을 순차적으로 통과하여 평면 안테나판(31)에 공급되고, 평면 안테나판(31)으로부터 마이크로파 투과판(28)을 거쳐서 챔버(1)내에 있어서 웨이퍼(W)의 상방 공간으로 방사된다. 마이크로파는 직사각형 도파관(37b)내에서는 TE 모드로 전파하고, 이 TE 모드의 마이크로파는 모드 변환기(40)로 TEM 모드로 변환되어서, 동축 도파관(37a)내를 평면 안테나판(31)을 향해서 전파되어 간다. 이 때, 마이크로파 발생 장치(39)의 파워는 0.41~4.19W/cm²이 바람직하고, 또한 0.5~5kW로 하는 것이 바람직하다.

- [0067] 이상의 제 2 산화 처리 공정(단계(S4))이 종료하고, 기판이 반출된다.
- [0068] 이와 같이 제 2 산화 처리 공정은, 선행하는 제 1 산화 처리 공정의 제 1 처리 조건과의 비교에 있어서 고압력 · 고산소 농도의 조건에서 행하여진다. 이 제 2 산화 처리 공정은, 실리콘 산화막의 증가 막이 되기 보다는, 제 1 산화 처리 공정에 있어서 형성된 실리콘 산화막의 막질 개선을 주 목적으로 하는 공정이다.
- [0069] 따라서, 처리 공정 시간 전체를 단축화하는 관점으로부터, 제 2 산화 처리 공정의 공정 시간은 챔버(1)내에서 생성한 플라즈마가 안정화한 후는 짧은 쪽이 바람직하고, 예를 들면 600초 이하, 바람직하게는 1~60초, 보다 바람직하게는 1~10초이며, 플라즈마의 안정화시키는 관점으로부터 바람직하게는 5~10초이다.
- [0070] 또한, 목적으로 하는 막 두께, 즉 제 1 산화 처리 공정 및 제 2 산화 처리 공정에 있어서 형성되는 실리콘 산화막의 막 두께에 대하여, 제 2 산화 처리 공정에 있어서 형성되는 상기 실리콘 산화막의 막 두께의 비는 5% 이하, 바람직하게는 1~0.1%로 한다.
- [0071] 저압력 또한 저산소 농도의 제 1 처리 조건에서 행하여지는 제 1 산화 처리 공정과, 고압력 또한 고산소 농도의 제 2 처리 조건에서 행하여지는 제 2 산화 처리 공정을 조합시키는 2단계의 플라즈마 산화 처리에 의해, 절연 내성이 우수한 실리콘 산화막을 높은 산화 레이트로 형성할 수 있다. 따라서, 이 방법에 의해 얻을 수 있는 실리콘 산화막을 절연막으로서 사용하는 반도체 장치에 양호한 전기적 특성을 부여할 수 있다.
- [0072] 다음에, 도 4를 참조하면서, 본 발명의 실리콘 산화막의 형성 방법을 STI에 있어서의 트렌치 내부의 산화막 형성에 적용한 예에 대해서 설명을 실행하는 도 4의 (a) 내지 (i)는 STI에 있어서의 트렌치의 형성과 그 나중에 행하여지는 산화막 형성까지의 공정을 도시하고 있다.
- [0073] 우선, 도 4의 (a) 및 (b)에 있어서, 실리콘 기판(101)에 예를 들면 열산화 등의 방법에 의해 SiO₂ 등의 실리콘 산화막(102)을 형성한다. 다음에, 도 4의 (c)에서는, 실리콘 산화막(102)상에, 예를 들면 CVD(Chemical Vapor Deposition)에 의해 Si₃N₄ 등의 실리콘(34) 질화막(103)을 형성한다. 또한, 도 4의 (d)에서는, 실리콘 질화막(103)상에, 포토 레지스트를 도포한 후, 포토리소그래피 기술에 의해 패터닝해서 레지스트층(104)을 형성한다.
- [0074] 다음에, 레지스트층(104)을 에칭 마스크로 하고, 예를 들면 할로젠계의 에칭 가스를 이용하여 실리콘 질화막(103)과 실리콘 산화막(102)을 선택적으로 에칭함으로써, 레지스트층(104)의 패턴에 대응해서 실리콘 기판(101)을 노출시킨다(도 4의 (e)). 즉, 실리콘 질화막(103)에 의해, 트렌치를 위한 마스크 패턴이 형성된다. 도 4의 (f)는, 예를 들면 산소 등을 포함하는 처리 가스를 이용한 산소 함유 플라즈마에 의해, 소위 애싱 처리를 실시하고, 레지스트층(104)을 제거한 상태를 도시한다.
- [0075] 도 4의 (g)에서는, 실리콘 질화막(103) 및 실리콘 산화막(102)을 마스크로 하고, 실리콘 기판(101)에 대하여 선택적으로 에칭을 실시함으로써, 트렌치(105)를 형성한다. 이 에칭은, 예를 들면 Cl₂, HBr, SF₆, CF₄ 등의 할로젠 또는 할로젠 화합물이나, O₂ 등을 포함하는 에칭 가스를 사용해서 실행할 수 있다.
- [0076] 도 4의 (h)는, STI에 있어서의 에칭후의 웨이퍼(W)의 트렌치(105)에 대하여, 실리콘 산화막을 형성하는 공정을 도시하고 있다. 여기에서는, 저압력 · 저산소 농도에서의 제 1 처리 조건에 의한 제 1 산화 처리 공정과, 고압력 · 고산소 농도에서의 제 2 처리 조건에 의한 제 2 산화 처리 공정을 포함하는 플라즈마 산화 처리가 행하여진다. 이와 같이 조건을 바꾸어서 2단계의 플라즈마 산화 처리를 실행하는 것에 의해, 트렌치(105)의 솔더부(105a)의 실리콘(101)에 둥근모양을 갖게 할 수 있다. 트렌치(105)의 솔더부(105a)의 실리콘(101)에 둥근모양 형상을 도입함으로써, 이 부위가 예각으로 형성되어 있을 경우와 비교하여, 리크 전류의 발생을 억제할 수 있다. 마찬가지로, 트렌치(105)의 바닥 연부(105b)에도 둥근모양 형상을 형성하는 것이 가능하다. 또한, 실리콘의 면방위에 의존하지 않고, 트렌치(105)의 내면(측벽부, 바닥부)에 균일한 막 두께로 실리콘 산화막(111a, 111b)을 형성할 수 있다. 이러한 효과는, 저압력 · 저산소 농도의 제 1 처리 조건에서 행하여지는 제 1 산화 처

리 공정에 있어서, 주로 플라즈마중으로 $O(^1D_2)$ 라디칼이 지배적으로 되는 것에 의해 얻을 수 있는 것으로 생각된다.

- [0077] 또한, 본 발명의 실리콘 산화막의 형성 방법에 의해 실리콘 산화막(111)을 형성한 후는, STI에 의한 소자 분리 영역 형성의 순서에 따라, 예를 들면 CVD법에 의해 트렌치(105)내에 SiO_2 등의 절연막을 매립한 후, 실리콘 질화막(103)을 스토퍼층으로서 CMP에 의해 연마를 실행해 평탄화한다. 평탄화한 후는, 예칭에 의해 실리콘 질화막(103) 및 매립 절연막의 상부를 제거함으로써, 소자 분리 구조를 형성할 수 있다.
- [0078] 다음에, 본 발명의 효과를 확인한 시험 결과에 대해서 설명을 실행한다.
- [0079] 도 5는 하기의 조건 A 및 조건 B의 플라즈마 산화 처리에 의해 EPI 기판(단결정 기판)상에 형성된 실리콘 산화막을 이용하여, 시험용 MOS-캐패시터를 제작하고, 절연막 신뢰성 평가 시험(TZDB 시험)을 실시한 결과이다. 또한, TZDB 측정 대상의 실리콘 산화막의 막 두께(T_{ox})는 11.5nm, 셀 면적(S)은 $5mm^2$, 측정 개소(N)는 (112) 포인트로 했다.
- [0080] <조건 A : 본 발명 방법> ... 2단계 처리
- [0081] 제 1 산화 처리 공정 : 저압력 · 저산소 농도 플라즈마 산화 처리 조건
- [0082] Ar 유량 : 500mL/분(sccm)
- [0083] O_2 유량 : 5mL/분(sccm)
- [0084] H_2 유량 : 5mL/분(sccm)
- [0085] O_2 가스 비율 : 약 1%
- [0086] 처리 압력 : 133.3Pa(1Torr)
- [0087] 마이크로파 파워 : 2.3W/cm²(2750W)
- [0088] 처리 온도 : 400°C
- [0089] 처리 시간 : 235초
- [0090] 제 2 산화 처리 공정 : 고압력 · 고산소 농도 플라즈마 산화 처리 조건
- [0091] Ar 유량 : 20mL/분(sccm)
- [0092] O_2 유량 : 37mL/분(sccm)
- [0093] H_2 유량 : 3mL/분(sccm)
- [0094] O_2 가스 비율 : 약 23%
- [0095] 처리 압력 : 666.5Pa(5Torr)
- [0096] 마이크로파 파워 : 2.3W/cm²(2750W)
- [0097] 처리 온도 : 400°C
- [0098] 처리 시간 : 0초, 30초, 60초 및 700초
- [0099] <조건 B : 비교 방법> ... 저압력 · 저산소 농도 플라즈마 산화 처리만
- [0100] Ar 유량 : 500mL/분(sccm)
- [0101] O_2 유량 : 5mL/분(sccm)
- [0102] H_2 유량 : 5mL/분(sccm)
- [0103] O_2 가스 비율 : 약 1%

[0104] 처리 압력 : 133.3Pa(1Torr)

[0105] 마이크로파 파워 : 2.3W/cm²(2750W)

[0106] 처리 온도 : 400℃

[0107] 처리 시간 : 235초

[0108] 도 5에 의해, 저압력·저산소 농도만으로는 플라즈마 처리(즉, 조건 A의 고압력·고산소 농도 조건에서의 처리 시간이 제로)에 의한 조건 B에서 실리콘 산화막을 형성한 비교 방법에 비교해서, 저압력·저산소 농도+고압력·고산소 농도에 의한 2단계의 조건 A에서 플라즈마 처리를 실행한 본 발명 방법의 경우, 원료에 대한 제품의 비율[합격 기준 : >15MV/cm]이 향상해서 초기 내압이 개선되어 있는 것을 알 수 있다.

[0109] 또한, 원료에 대한 제품의 비율을 개선하기 위해서는, 제 2 산화 처리 공정의 처리 시간이 10초 이하에서 충분한 효과를 얻을 수 있는 것도 확인되었다. 실리콘 산화막 형성의 합계 시간을 단축화하기 위해서는, 산화 레이트가 높은 저압력·저산소 농도에 의한 제 1 산화 처리 공정의 시간을 될 수 있는 한 길게 잡고, 제 2 산화 처리 공정의 공정 시간은, 원료에 대한 제품의 비율 개선 효과를 얻을 수 있는 범위에서 짧은 것이 좋다. 한편, 마이크로파 파워를 온(ON)으로 해서 플라즈마를 착화하고, 제 2 산화 처리 공정을 시작하고 나서, 일정 시간 플라즈마를 안정화시키는 것이 프로세스의 재현성을 유지하는 동시에 바람직하다. 도 6에 파장 777nm에 있어서의 플라즈마중의 산소 라디칼의 발광 스펙트럼(OES)과 프로세스 시간과의 관계를 도시한다. 이 도 6으로부터, 프로세스 시간 34초의 시점에서 마이크로파 파워를 온(ON)으로 하고 부터 산소 라디칼의 발광이 안정화할 때까지 약 5초 정도의 시간을 필요로 하는 것을 알았다. 이상의 것부터, 제 2 산화 처리 공정의 공정 시간은, 예를 들면 600초 이하, 바람직하게는 1~60초, 보다 바람직하게는 1~10초, 바람직하게는 5~10초이다.

[0110] 다음에, 상기 조건 A, 조건 B 및 하기의 조건 C에서 플라즈마 산화 처리를 실행하고, 플라즈마 산화 처리에 있어서의 산화 레이트, 패턴 솔더부의 형상, 실리콘 산화막 형성에 있어서의 면방위 의존성, 시간경과 절연 파괴 시험(TDDB 시험), 에칭 내성, ESR(전자 스핀 공명) 분석에 의한 막중의 Si-O 결합의 결손량(E'), SiO₂/Si 계면의 거칠기(roughness)에 대해서 조사했다. 이들의 결과를 표 1에 나타낸다. 또한, 표 1에는, 상기 TZDB 시험(Time Zero 절연 파괴 시험)의 결과에 관해서도 병기했다.

[0111] <조건 C : 비교 방법> ... 고압력·고산소 농도 플라즈마 산화 처리만

[0112] Ar 유량 : 20mL/분(sccm)

[0113] O₂ 유량 : 37mL/분(sccm)

[0114] H₂ 유량 : 3mL/분(sccm)

[0115] O₂ 가스 비율 : 약 23%

[0116] 처리 압력 : 666.5Pa(5Torr)

[0117] 마이크로파 파워 : 2.3W/cm²(2750W)

[0118] 처리 온도 : 400℃

[0119] 처리 시간 : 500초

[0120] [표 1]

시험 항목	조건 A (2단계 처리)	조건 B (저압력·저산소 농도)	조건 C (고압력·고산소 농도)
산화 레이트	○(높음)	○(높음)	△
패턴 솔더부의 형상	○(등근모양 형상)	○(등근모양 형상)	×
면방위 의존성	○(적음)	○(적음)	×
TZDB 시험	○(높은 원료에 대한 제품의 비율)	×(낮은 원료에 대한 제품의 비율)	○(높은 원료에 대한 제품의 비율)
TDDB 시험	○(높은 원료에 대한 제품의 비율)	○(높은 원료에 대한 제품의 비율)	×(낮은 원료에 대한 제품의 비율)

에칭 내성 (회 불산 처리)	○(높음)	×(낮음)	○(높음)
ESR 분석 (Si-O 결합의 결손량 (E'))	○(검출 한계 이하)	×(높음)	○(검출 한계 이하)
SiO ₂ /Si 계면 거칠기 (평탄성)	○(평탄)	○(평탄)	×(거칠)

[0122] ○ : 양호, △ : 허용 가능, × : 불량을 의미함.

[0123] 패턴 솔더부의 형상은, 도 7에 도시하는 것 같은 요철 패턴(110)이 형성된 단결정 실리콘(101)의 표면을 상기 조건 A-C에 의해 플라즈마 산화 처리해서 실리콘 산화막(111)을 형성하고, 패턴 솔더부(112)의 실리콘(101)의 형상이 등근모양을 띠고 있을 것인가 아닌가를 관찰함으로써 측정했다. 또한, 실리콘 산화막 형성의 면방위 의존성은, 도 7에 도시하는 a부와 b부의 막 두께로부터, 실리콘의 (100)면과 (110)면의 산화 레이트의 차이를 측정하는 것에 의해 구했다. 또한, 패턴(110)의 오프부의 깊이와 개구폭과의 비(어스펙트비)는 2.5이었다.

[0124] TDDB 시험은, 상기 TZDB 시험과 마찬가지로, 상기 조건 A-C에 의해 형성한 실리콘 산화막을 이용하여 MOS 캐패시터(도시 생략)를 작성하고, 평가했다.

[0125] 에칭 내성은, 상기 조건 A-C에 의해 형성한 실리콘 산화막을 회 불산(HF : H₂O=1:100) 용액에 10초간 침지해서 습식 에칭 처리를 했을 경우의 실리콘 산화막의 막 두께의 감소량에 근거해 평가했다. 습식 에칭에 의한 막 두께의 감소량이 적은 만큼 치밀해서 양질인 막인 것을 도시하고 있다.

[0126] 실리콘 산화막중의 Si-O 결합의 결손량(E')은 상기 조건 A-C에 의해 형성한 실리콘 산화막에 대해서, ESR(전자 스핀 공명) 분석 장치에 의해 측정했다. 또한, Si-O 결합의 결손량(E')의 검출 한계는 약 5×10^{16} [spins/cm²] 이하이다.

[0127] SiO₂/Si 계면의 거칠기(제곱 평균 평방근 거칠기 : Rms)는 AFM(원자간력 현미경) 분석에 의해 측정했다.

[0128] 표 1로부터, 저압력·저산소 농도 + 고압력·고산소 농도에 의한 조건 A의 2단계의 플라즈마 처리를 실행한 본 발명 방법의 경우, 저압력·저산소 농도에 의한 조건 B의 플라즈마 산화 처리의 장점인 고산화 레이트, 패턴 솔더부(112)의 등근모양 형상, 면방위 의존성의 억제라고 하는 특징을 유지하면서, 더구나 제 2 산화 처리 공정에서, 고압력·고산소 농도에서의 플라즈마 처리를 실행하는 것에 의해, 조건 B의 플라즈마 산화 처리의 단점이었던 초기 내압 시험에 있어서의 낮은 원료에 대한 제품의 비율이나, 막질 불량이 개선되어, 치밀(고 에칭 내성)로 Si-O 결합 결함이 적은(저 E')의 실리콘 산화막을 얻을 수 있는 것이 나타났다.

[0129] 이와 같이, 저압력·저산소 농도 + 고압력·고산소 농도에 의한 2단계의 플라즈마 처리에 의해 실리콘 산화막을 형성함으로써, 저압력·저산소 농도 조건에서의 플라즈마 산화 처리의 장점을 살리면서, 그 단점을 보충하는 것을 확인할 수 있었다. 여기에서, 이러한 효과를 얻을 수 있을 이유에 대해서 고찰한다.

[0130] 도 8은 플라즈마 처리 장치(100)내에서 생성하는 플라즈마중의 라디칼인 O(¹D₂) 및 O(³P₂)의 원자 밀도와 처리 압력과의 관계에 대해서 도시하고 있다. 플라즈마 형성 조건은, Ar 유량 500mL/분(sccm), O₂ 유량 5mL/분(sccm)[O₂ 가스 혼합 비율 약 1%], 처리 온도(400)에서, 마이크로파 파워 1500W(1.25W/cm²)로 처리 압력을 90~667Pa의 사이에서 변화시켰다.

[0131] 이 도 8로부터, O(¹D₂) 밀도는 약 133.3Pa 전후에서 피크가 되고, 처리 압력이 높게 됨에 따라 O(³P₂) 밀도에 비교해서 조속히 감소하는 경향을 볼 수 있다.

[0132] 도 9는 플라즈마중의 O(¹D₂) 밀도 및 O(³P₃) 밀도와 처리 가스의 유량 비율과의 관계에 대해서 나타내고 있다. 플라즈마 형성 조건은, 처리 압력 133.3Pa(1Torr), 처리 온도 400℃, 마이크로파 파워 1500W(1.25W/cm²)로 하고, Ar 유량 300~500mL/분(sccm), O₂ 유량 1~200mL/분(sccm)[O₂ 가스 유량 비율 : 여기서는 (O₂/Ar+O₂)×100으로 해서 0.2~40%]의 사이에서 변화시켰다.

- [0133] 도 9로부터, $O(^3P_3)$ 밀도는, 처리 가스중의 O_2 가스 유량 비율 $[(O_2/Ar+O_2)\times 100]$ 에 의한 영향을 거의 받지 않지만, $O(^1D_2)$ 밀도는 처리 가스중의 O_2 유량 비율이 낮은 정도 높고, 1% 전후로 급준한 피크가 존재하는 것을 알았다.
- [0134] 도 8 및 도 9로부터, 플라즈마 처리 장치(100)에 있어서, 133.3Pa, O_2 농도 1%의 저압력, 저산소 농도 조건에서는, $O(^1D_2)$ 나 $O(^3P_2)$ 의 밀도가 가장 높은 플라즈마가 형성되는 것을 알았다. 제 1 산화 처리 공정에서는 이러한 라디칼 주체의 플라즈마에 의해 실리콘을 산화하는 것에 의해, 고산화 레이트, 패턴 솔더부(112)의 둥근모양 형성, 면방위 의존성의 억제라고 하는 효과가 달성된다. 또한, 고압력·고산소 농도의 제 2 산화 처리 공정에서는, 도 8 및 도 9로부터 이해되는 바와 같이, $O(^3P_2)$ 라디칼 주체의 플라즈마에 제 1 산화 처리 공정에서 형성된 실리콘 산화막이 노출된다. 이에 의해, 실리콘 산화막이 깨질되고, 초기 내압 시험에 있어서의 낮은 원료에 대한 제품의 비율이나, 막질 불량이 개선되어, 치밀(고 에칭 내성)에서 Si-O 결합 결합이 적은(저 E')의 실리콘 산화막이 형성되는 것으로 생각된다.
- [0135] 이상, 본 발명의 실시형태를 설명했지만, 본 발명은 상기 실시형태에 제한되는 일이 없고, 다양한 변형이 가능하다. 예를 들면 도 1에서는, RLSA 방식의 플라즈마 처리 장치(100)를 예로 들었지만, 예를 들면 ICP 플라즈마 방식, ECR 플라즈마 방식, 표면 반사파 플라즈마 방식, 마그네트론 플라즈마 방식 등의 플라즈마 처리 장치이라도 좋다.
- [0136] 또한, 본 발명은, 도 7에 예시되는 것과 같은 요철 패턴에 따라 고품질의 산화막 형성할 필요성이 높은 적용예, 예를 들면 STI에 있어서의 트렌치 내부의 산화막 형성이나 트랜지스터의 폴리 실리콘 게이트 전극 측벽의 산화막 형성 등에 적용할 수 있다. 또한, 요철이 형성되어서 부위에 의한 면방위가 상이한 실리콘 표면, 예를 들면 핀(fin) 구조나 홈 게이트 구조의 3차원 트랜지스터의 제조 과정에서 게이트 절연막 등으로서의 실리콘 산화막을 형성할 경우에도, 본 발명을 적용 가능하다. 또한, 플래시 메모리 등의 터널 산화막의 형성 등에도 적용 가능하다. 또한, 실리콘 기관으로서, 단결정 실리콘을 이용하여도 좋고, 다결정 실리콘, 부정형 실리콘을 이용하여도 좋다.
- [0137] 또한, 상기 실시형태에서는, 절연막으로서 실리콘 산화막을 형성하는 방법에 관해서 설명했지만, 본 발명 방법에 의해 형성된 실리콘 산화막을 더욱 질화 처리해서 실리콘 산 질화막(SiON막)을 형성하는 것도 가능하다. 이 경우, 질화 처리의 방법은 상관없지만, 예를 들면 Ar 가스와 N_2 가스를 포함하는 혼합 가스를 이용하여 플라즈마 질화 처리를 하는 것이 바람직하다.

산업상 이용 가능성

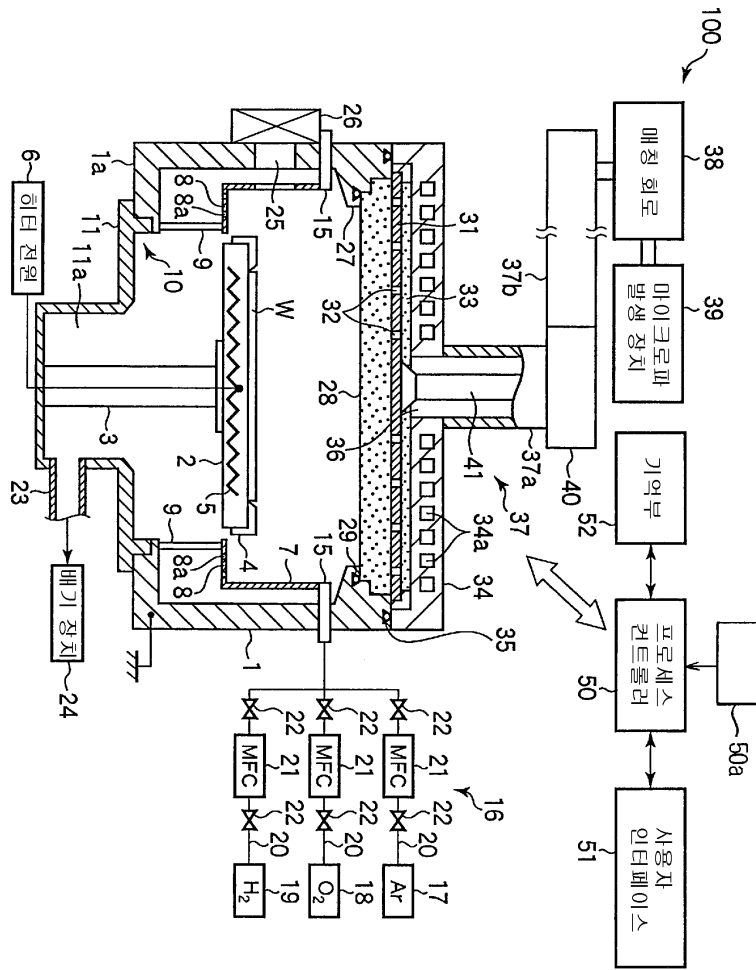
[0138] 본 발명은 각종 반도체 장치의 제조에 있어서, 실리콘 산화막을 형성할 경우 등에 적합하게 이용할 수 있다.

도면의 간단한 설명

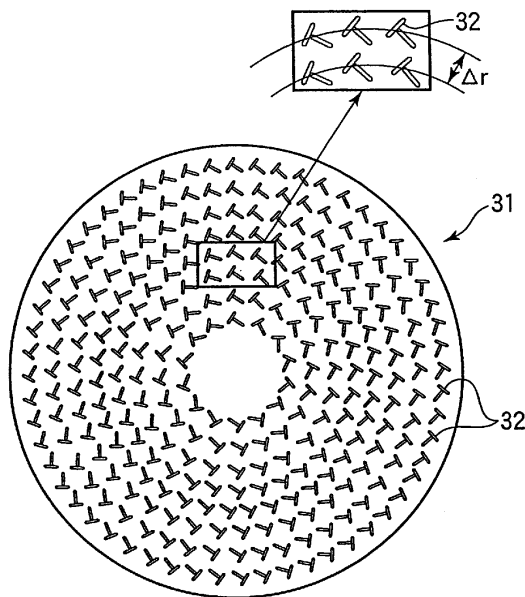
- [0022] 도 1은 본 발명 방법의 실시예에 적합한 플라즈마 처리 장치의 일 예를 나타내는 개략 단면도,
- [0023] 도 2는 평면 안테나판의 구조를 도시한 도면,
- [0024] 도 3은 본 발명의 실리콘 산화막의 형성 방법의 공정 순서의 일 예를 나타내는 흐름도,
- [0025] 도 4의 (a) 내지 (i)는 STI에 의한 소자 분리로의 적용예를 나타내는 웨이퍼 단면의 모식도,
- [0026] 도 5는 TZDB 시험의 결과를 도시하는 결과를 도시하는 그래프,
- [0027] 도 6은 프로세스 시간과 플라즈마중의 산소 발광 강도와의 관계를 도시하는 그래프,
- [0028] 도 7은 패턴이 형성된 웨이퍼 표면 부근의 종단면을 도시하는 모식도,
- [0029] 도 8은 처리 압력과 플라즈마중의 라디칼의 밀도와의 관계를 도시하는 그래프,
- [0030] 도 9는 처리 가스 유량 비율과 플라즈마중의 라디칼의 밀도와의 관계를 도시하는 그래프.

도면

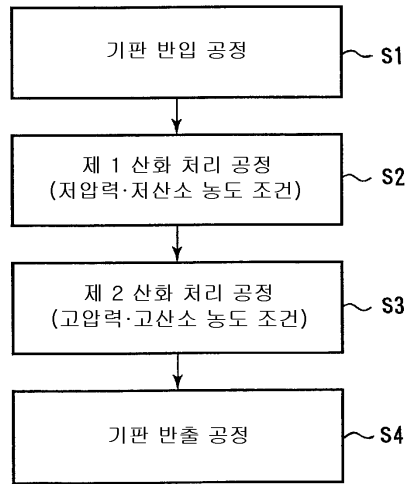
도면1



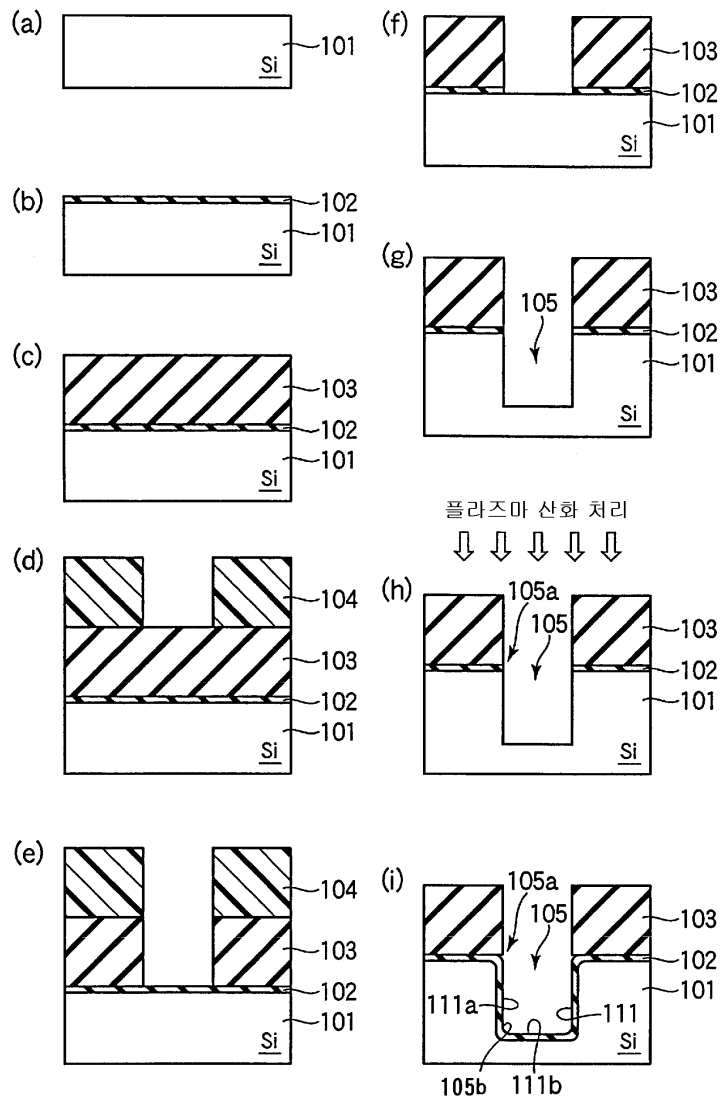
도면2



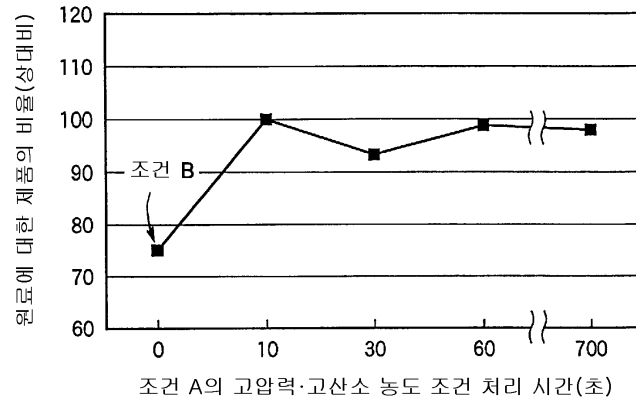
도면3



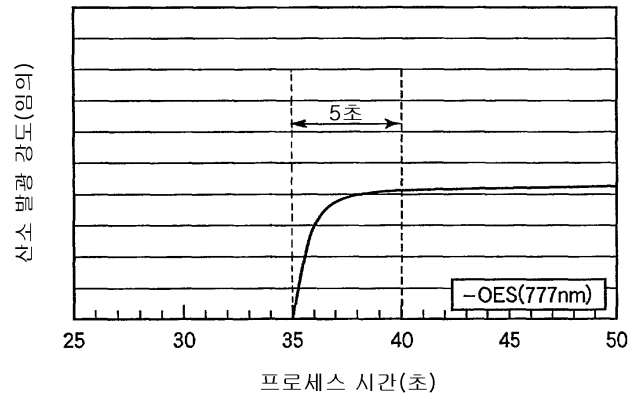
도면4



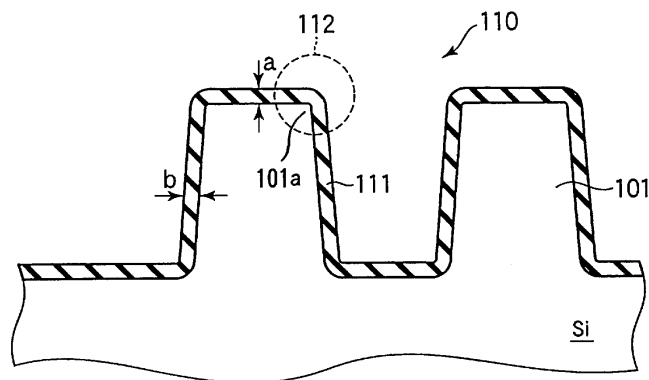
도면5



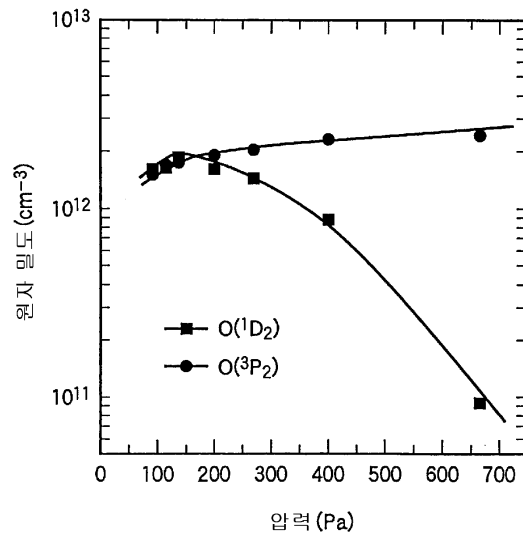
도면6



도면7



도면8



도면9

