



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0146093
(43) 공개일자 2021년12월03일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) G11C 16/04 (2006.01)
G11C 16/08 (2006.01) G11C 16/30 (2006.01)
(52) CPC특허분류
G11C 16/3404 (2013.01)
G11C 16/0483 (2013.01)
(21) 출원번호 10-2020-0063136
(22) 출원일자 2020년05월26일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이종훈
경기도 수원시 영통구 봉영로1517번길 76, 623동
1902호(영통동, 동보.신명 아파트)
(74) 대리인
오중한, 문용호

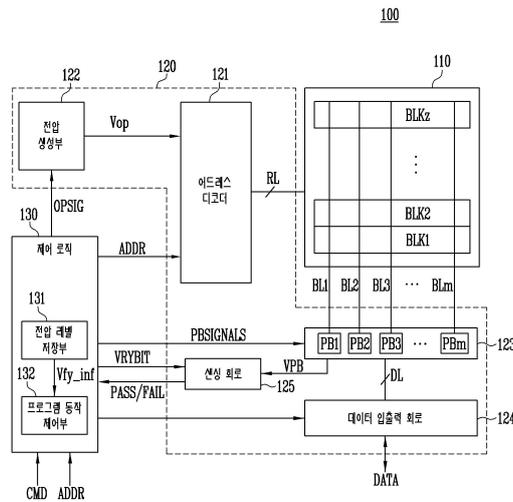
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 메모리 장치 및 그 동작 방법

(57) 요약

본 기술은 전자 장치에 관한 것으로, 본 기술에 따른 메모리 장치는 셀 스트링, 주변 회로 및 제어 로직을 포함한다. 셀 스트링은 선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 선택 트랜지스터 및 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 추가적으로 더 포함한다. 주변 회로는 복수의 더미 셀들에 대한 더미 프로그램 동작을 수행한다. 제어 로직은 더미 프로그램 동작 시, 복수의 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 주변 회로를 제어한다.

대표도 - 도2



(52) CPC특허분류

G11C 16/08 (2013.01)

G11C 16/30 (2013.01)

G11C 16/3459 (2013.01)

명세서

청구범위

청구항 1

선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 상기 선택 트랜지스터 및 상기 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 셀 스트링;

상기 복수의 더미 셀들에 대한 더미 프로그램 동작을 수행하는 주변 회로; 및

상기 더미 프로그램 동작 시, 상기 복수의 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 상기 주변 회로를 제어하는 제어 로직을 포함하는 메모리 장치.

청구항 2

제 1항에 있어서, 상기 제어 로직은,

상기 더미 프로그램 동작 시, 상기 복수의 더미 셀들과 연결된 복수의 더미 워드라인들 중 적어도 둘 이상의 더미 워드라인들에 서로 다른 크기를 갖는 더미 프로그램 검증 전압들을 인가하도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 3

제 2항에 있어서, 상기 더미 프로그램 동작은,

상기 복수의 메모리 셀들에 대한 노멀 프로그램 동작 이전에 수행되는 메모리 장치.

청구항 4

제 2항에 있어서, 상기 제어 로직은,

상기 서로 다른 크기를 갖는 더미 프로그램 검증 전압들의 레벨 정보를 저장하는 전압 레벨 저장부; 및

상기 더미 프로그램 동작 시, 상기 주변 회로가 상기 더미 프로그램 검증 전압들의 레벨 정보를 기초로 상기 서로 다른 크기를 갖는 더미 프로그램 검증 전압들을 상기 복수의 더미 워드라인들에 인가할 수 있도록 제어 신호를 생성하는 프로그램 동작 제어부를 포함하는 메모리 장치.

청구항 5

제 2항에 있어서, 상기 제어 로직은,

상기 더미 프로그램 동작 시, 상기 복수의 더미 셀들 중 상기 선택 트랜지스터로부터 상기 복수의 메모리 셀들에 가까운 더미 셀 일수록 낮은 문턱 전압 분포를 갖도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 6

제 2항에 있어서, 상기 제어 로직은,

상기 복수의 더미 워드라인들 중 상기 선택 트랜지스터로부터 상기 복수의 메모리 셀들에 가까운 더미 워드라인 일수록, 낮은 더미 프로그램 검증 전압이 인가되도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 7

제 2항에 있어서, 상기 제어 로직은,

상기 더미 프로그램 동작 시, 상기 복수의 더미 셀들 중 적어도 두 개의 더미 셀들이 같은 문턱 전압을 갖도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 8

제 2항에 있어서, 상기 제어 로직은,

상기 더미 프로그램 동작 시, 상기 복수의 더미 워드라인들 중 적어도 두 개의 더미 워드라인들에 같은 더미 프로그램 검증 전압이 인가 되도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 9

제 3항에 있어서, 상기 제어 로직은,

상기 노멀 프로그램 동작 시, 상기 복수의 더미 워드라인들에 동일한 전압이 인가될 수 있도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 10

선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 상기 선택 트랜지스터 및 상기 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 메모리 장치의 동작 방법에 있어서,

상기 복수의 더미 셀들과 연결된 복수의 더미 워드라인들 중 선택된 더미 워드라인에 더미 셀 프로그램 전압을 인가하는 단계;

상기 선택된 더미 워드라인과 상기 복수의 메모리 셀들 간의 거리에 따라 결정된 더미 셀 프로그램 검증 전압을 상기 선택된 더미 워드라인에 인가하는 단계;를 포함하는 메모리 장치의 동작 방법.

청구항 11

제 10항에 있어서, 상기 더미 셀 프로그램 검증 전압을 상기 선택된 더미 워드라인에 인가하는 단계는,

상기 선택된 더미 워드라인이 상기 복수의 메모리 셀들에 인접한 더미 워드라인일수록, 상기 선택된 더미 워드라인에 더 작은 전압 레벨을 갖는 상기 더미 셀 프로그램 검증 전압을 인가하는 메모리 장치의 동작 방법.

청구항 12

제 10항에 있어서, 상기 더미 셀 프로그램 검증 전압을 상기 선택된 더미 워드라인에 인가하는 단계는,

상기 선택된 더미 워드라인이 상기 선택 트랜지스터에 인접한 더미 워드라인일수록, 상기 선택된 더미 워드라인에 더 큰 전압 레벨을 갖는 상기 더미 셀 프로그램 검증 전압을 인가하는 메모리 장치의 동작 방법.

청구항 13

제 10항에 있어서, 상기 더미 셀 프로그램 검증 전압을 상기 선택된 더미 워드라인에 인가하는 단계는,

상기 선택된 더미 워드라인에 상기 선택된 더미 워드라인과 인접한 더미 워드라인에 인가된 더미 셀 프로그램 검증 전압과 같은 전압을 인가하는 메모리 장치의 동작 방법.

청구항 14

선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 상기 선택 트랜지스터 및 상기 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 셀 스트링;

상기 복수의 더미 셀들에 대한 더미 프로그램 동작을 수행하는 주변 회로; 및

상기 더미 프로그램 동작 시에, 상기 복수의 메모리 셀들까지의 거리가 가까운 더미 셀 일수록 더 낮은 문턱 전압을 갖도록 상기 주변 회로를 제어하는 제어 로직을 포함하는 메모리 장치.

청구항 15

제 14항에 있어서, 상기 제어 로직은,

상기 더미 프로그램 동작 시에, 상기 선택 트랜지스터에 인접한 더미 셀 일수록 더 높은 문턱 전압을 갖도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 16

제 14항에 있어서, 상기 복수의 더미 셀들은,

상기 복수의 메모리 셀들에 데이터를 저장하는 노멀 프로그램 동작 시, 동일한 레벨의 전압을 제공받는 메모리 장치.

청구항 17

제 14항에 있어서, 상기 주변 회로는,

상기 더미 프로그램 동작에 사용되는 전압들을 생성하는 전압 생성부를 더 포함하는 메모리 장치.

청구항 18

선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 상기 선택 트랜지스터 및 상기 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 메모리 장치의 동작 방법에 있어서,

상기 복수의 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 프로그램 하는 단계;

상기 복수의 더미 셀들과 연결된 복수의 더미 워드라인들에 동일한 전압을 인가하는 단계; 및

상기 복수의 메모리 셀들에 대한 노멀 프로그램 동작을 수행하는 메모리 장치의 동작 방법.

청구항 19

제 18항에 있어서, 상기 복수의 더미 워드라인들에 동일한 전압을 인가하는 단계는,

상기 복수의 더미 워드라인들 중 상기 선택 트랜지스터로부터 상기 복수의 메모리 셀들에 가까운 더미 워드라인 일수록, 큰 채널 전압을 형성하는 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로 본 발명은 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 저장 장치는 컴퓨터나 스마트폰 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 저장 장치는 데이터가 저장되는 메모리 장치와 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다. 메모리 장치는 휘발성 메모리 장치 (Volatile Memory)와 비휘발성 메모리 장치 (Non Volatile Memory)로 구분된다.

[0003] 휘발성 메모리 장치는 전원이 공급된 경우에만 데이터를 저장하고, 전원 공급이 차단되면 저장된 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치는 정적 랜덤 액세스 메모리 (Static Random Access Memory; SRAM), 동적 랜덤 액세스 메모리 (Dynamic Random Access Memory; DRAM) 등이 있다.

[0004] 비휘발성 메모리 장치는 전원이 차단되어도 데이터가 소멸되지 않는 메모리 장치로서, 롬(Read Only Memory; ROM), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM) 및 플래시 메모리(Flash Memory) 등이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시 예는, 감소된 칩 사이즈를 갖는 메모리 장치 및 그 동작 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 메모리 장치는, 선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 선택 트랜지스터 및 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 셀 스트링; 복수의 더미 셀들에 대한 더미 프로그램 동작을 수행하는 주변 회로; 및 더미 프로그램 동작 시, 복수의 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 주변 회로를 제어하는 제어 로직;을 포함할 수 있다.

[0007] 본 발명의 실시 예에 따른 메모리 장치는, 선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 선택 트랜지스터 및 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 셀 스트링; 복수의 더미 셀들에 대한 더미 프로그램 동작을 수행하는 주변 회로; 및 더미 프로그램 동작 시에, 복수의 메모리 셀들까지의 거리가 가까운 더미 셀 일수록 더 낮은 문턱 전압을 갖도록 주변 회로를 제어하는 제어 로직을 포함할 수 있다.

[0008] 본 발명의 실시 예에 따른 메모리 장치의 동작 방법은, 선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 선택 트랜지스터 및 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 메모리 장치의 동작 방법에 있어서, 복수의 더미 셀들과 연결된 복수의 더미 워드라인들 중 선택된 더미 워드라인에 더미 셀 프로그램 전압을 인가하는 단계; 및 선택된 더미 워드라인과 복수의 메모리 셀들간의 거리에 따라 결정된 더미 셀 프로그램 검증 전압을 선택된 더미 워드라인에 인가하는 단계를 포함할 수 있다.

[0009] 선택 트랜지스터 및 복수의 메모리 셀들을 포함하고, 선택 트랜지스터 및 복수의 메모리 셀들 사이에 직렬로 연결된 복수의 더미 셀들을 포함하는 메모리 장치의 동작 방법에 있어서, 복수의 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 프로그램 하는 단계; 복수의 더미 셀들과 연결된 복수의 더미 워드라인들에 동일한 전압을 인가하는 단계; 및 복수의 메모리 셀들에 대한 노멀 프로그램 동작을 수행하는 단계를 포함할 수 있다.

발명의 효과

[0010] 본 기술에 따르면 칩 사이즈가 감소된 메모리 장치 및 그 동작 방법이 제공된다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 실시 예에 따른 저장 장치를 설명하기 위한 도면이다.
- 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- 도 3은 도 2의 메모리 셀 어레이를 설명하기 위한 도면이다.
- 도 4는 일 실시 예에 따른, 도 3의 셀 스트링을 설명하기 위한 도면이다.
- 도 5는 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- 도 6은 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- 도 7은 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- 도 8은 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- 도 9는 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- 도 10은 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- 도 11은 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- 도 12는 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- 도 13은 일 실시 예에 따른 도 1의 메모리 장치의 소거 동작 및 소프트 프로그램 동작을 설명하기 위한 순서도이다.
- 도 14는 일 실시 예에 따른 도 1의 메모리 장치의 더미 프로그램 동작 및 노멀 프로그램 동작을 설명하기 위한 순서도이다.
- 도 15는 도 14의 더미 프로그램 동작을 상세히 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.
- [0013] 도 1은 본 발명의 실시예에 따른 저장 장치를 설명하기 위한 도면이다.
- [0014] 도 1을 참조하면, 저장 장치(50)는 메모리 장치(100) 및 메모리 장치의 동작을 제어하는 메모리 컨트롤러(200)를 포함할 수 있다. 저장 장치(50)는 휴대폰, 스마트폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 태블릿 PC 또는 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트(300)의 제어에 따라 데이터를 저장하는 장치이다.
- [0015] 저장 장치(50)는 호스트(300)와의 통신 방식인 호스트(300) 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치(50)는 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0016] 저장 장치(50)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치(50)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi-chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0017] 메모리 장치(100)는 데이터를 저장할 수 있다. 메모리 장치(100)는 메모리 컨트롤러(200)의 제어에 응답하여 동작한다. 메모리 장치(100)는 데이터를 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이를 포함할 수 있다.
- [0018] 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0019] 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있다. 각 메모리 블록은 복수의 메모리 셀들을 포함할 수 있다. 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다. 실시예에서, 페이지는 메모리 장치(100)에 데이터를 저장하거나, 메모리 장치(100)에 저장된 데이터를 리드하는 단위일 수 있다.
- [0020] 메모리 블록은 데이터를 지우는 단위일 수 있다. 실시예에서, 메모리 장치(100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND flash memory), 수직형 낸드 플래시 메모리(Vertical NAND), 노아 플래시 메모리(NOR flash memory), 저항성 램(resistive random access memory: RRAM), 상변화 메모리(phase-change memory: PRAM), 자기저항 메모리(magnetoresistive random access memory: MRAM), 강유전체 메모리(ferroelectric random access memory: FRAM), 스핀주입 자화반전 메모리(spin transfer torque random access memory: STT-RAM) 등이 될 수 있다. 본 명세서에서는 설명의 편의를 위해, 메모리 장치(100)가 낸드 플래시 메모리인 경우를 가정하여 설명한다.
- [0021] 메모리 장치(100)는 메모리 컨트롤러(200)로부터 커맨드 및 어드레스를 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스하도록 구성된다. 즉, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 대해 커맨드가 지시하는 동작을 수행할 수 있다. 예를 들면, 메모리 장치(100)는 쓰기 동작(프로그램 동작), 리드 동작 및 소거 동작을 수행할 수 있다. 프로그램 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 데이터를 프로그램 할 것이다. 리드 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역으로부터 데이

터를 읽을 것이다. 소거 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 저장된 데이터를 소거할 것이다.

- [0022] 메모리 컨트롤러(200)는 저장 장치(50)의 전반적인 동작을 제어한다.
- [0023] 저장 장치(50)에 전원이 인가되면, 메모리 컨트롤러(200)는 펌웨어(firmware, FW)를 실행할 수 있다. 메모리 장치(100)가 플래시 메모리 장치인 경우, 메모리 컨트롤러(200)는 호스트(300)와 메모리 장치(100) 간의 통신을 제어하기 위한 플래시 변환 레이어(Flash Translation Layer, FTL)와 같은 펌웨어를 실행할 수 있다.
- [0024] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터 데이터와 논리 블록 어드레스(Logical Block Address, LBA)를 입력 받고, 논리 블록 어드레스를 메모리 장치(100)에 포함된 데이터가 저장될 메모리 셀들의 주소를 나타내는 물리 블록 어드레스(Physical Block Address, PBA)로 변환할 수 있다.
- [0025] 메모리 컨트롤러(200)는 호스트(300)의 요청(request)에 따라 프로그램 동작, 리드 동작 또는 소거 동작 등을 수행하도록 메모리 장치(100)를 제어할 수 있다. 프로그램 동작 시, 메모리 컨트롤러(200)는 쓰기 커맨드, 물리 블록 어드레스 및 데이터를 메모리 장치(100)에 제공할 수 있다. 리드 동작 시, 메모리 컨트롤러(200)는 리드 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다. 소거 동작 시, 메모리 컨트롤러(200)는 소거 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다.
- [0026] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터의 요청과 무관하게 자체적으로 커맨드, 어드레스 및 데이터를 생성하고, 메모리 장치(100)에 전송할 수 있다. 예를 들면, 메모리 컨트롤러(200)는 웨어 레벨링(wear leveling)을 위한 프로그램 동작, 가비지 컬렉션(garbage collection)을 위한 프로그램 동작과 같은 배경(background) 동작들을 수행하기 위해 커맨드, 어드레스 및 데이터를 메모리 장치(100)로 제공할 수 있다.
- [0027] 실시 예에서, 메모리 컨트롤러(200)가 적어도 둘 이상의 메모리 장치(100)들을 제어할 수 있다. 이 경우, 메모리 컨트롤러(200)는 동작 성능의 향상을 위해 메모리 장치(100)들을 인터리빙 방식에 따라 제어할 수 있다. 인터리빙 방식은 적어도 둘 이상의 메모리 장치(100)들의 동작 구간을 중첩시키는 동작 방식일 수 있다.
- [0028] 호스트(300)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 저장 장치(50)와 통신할 수 있다.
- [0029] 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- [0030] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 주변 회로(120) 및 제어 로직(130)을 포함할 수 있다.
- [0031] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 복수의 메모리 블록들(BLK1~BLKz)은 행 라인들(RL)을 통해 어드레스 디코더(121)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz)은 비트라인들(BL1 내지 BLm)을 통해 읽기 및 쓰기 회로(123)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다. 복수의 메모리 셀들 중 동일 워드 라인에 연결된 메모리 셀들은 하나의 물리 페이지로 정의된다. 즉 메모리 셀 어레이(110)는 다수의 물리 페이지들로 구성된다. 본 발명의 실시 예에 따르면, 메모리 셀 어레이(110)에 포함된 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 더미 셀들을 포함할 수 있다. 더미 셀들은 드레인 선택 트랜지스터와 메모리 셀들 사이와 소스 선택 트랜지스터와 메모리 셀들 사이에 적어도 하나 이상 직렬로 연결될 수 있다.
- [0032] 메모리 장치(100)의 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0033] 주변 회로(120)는 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)를 포함할 수 있다.
- [0034] 주변 회로(120)는 메모리 셀 어레이(110)를 구동한다. 예를 들어 주변 회로(120)는 프로그램 동작, 리드 동작

및 소거 동작을 수행하도록 메모리 셀 어레이(110)를 구동할 수 있다.

- [0035] 어드레스 디코더(121)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 행 라인들(RL)은 드레인 선택 라인들, 워드라인들, 소스 선택 라인들 및 공통 소스 라인을 포함할 수 있다. 본 발명의 실시 예에 따르면, 워드라인들은 노멀 워드라인들과 더미 워드라인들을 포함할 수 있다. 본 발명의 실시 예에 따르면, 행 라인들(RL)은 파이프 선택 라인을 더 포함할 수 있다.
- [0036] 어드레스 디코더(121)는 제어 로직(130)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(121)는 제어 로직(130)으로부터 어드레스(ADDR)를 수신한다.
- [0037] 어드레스 디코더(121)는 수신된 어드레스(ADDR) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)는 디코딩된 블록 어드레스에 따라 메모리 블록들(BLK1~BLKz) 중 적어도 하나의 메모리 블록을 선택한다. 어드레스 디코더(121)는 수신된 어드레스(ADDR) 중 로우 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)는 디코딩된 로우 어드레스에 따라 선택된 메모리 블록의 워드라인들 중 적어도 하나의 워드라인을 선택할 수 있다. 어드레스 디코더(121)는 선택된 워드라인에 전압 생성부(122)로부터 공급받은 동작 전압(Vop)을 인가할 수 있다.
- [0038] 프로그램 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 프로그램 전압을 인가하고 비선택된 워드라인들에 프로그램 전압보다 낮은 레벨의 패스 전압을 인가할 것이다. 프로그램 검증 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 검증 전압을 인가하고 비선택된 워드라인들에 검증 전압보다 높은 레벨의 검증 패스 전압을 인가할 것이다.
- [0039] 리드 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 읽기 전압을 인가하고, 비선택된 워드라인들에 읽기 전압보다 높은 레벨의 읽기 패스 전압을 인가할 것이다.
- [0040] 본 발명의 실시 예에 따르면, 메모리 장치(100)의 소거 동작은 메모리 블록 단위로 수행된다. 소거 동작 시에 메모리 장치(100)에 입력되는 어드레스(ADDR)는 블록 어드레스를 포함한다. 어드레스 디코더(121)는 블록 어드레스를 디코딩하고, 디코딩된 블록 어드레스에 따라 적어도 하나의 메모리 블록을 선택할 수 있다. 소거 동작 시, 어드레스 디코더(121)는 선택된 메모리 블록에 입력되는 워드라인들에 접지 전압을 인가할 수 있다.
- [0041] 본 발명의 실시 예에 따르면, 어드레스 디코더(121)는 전달된 어드레스(ADDR) 중 컬럼 어드레스를 디코딩하도록 구성될 수 있다. 디코딩된 컬럼 어드레스는 읽기 및 쓰기 회로(123)에 전달될 수 있다. 예시적으로, 어드레스 디코더(121)는 로우 디코더, 컬럼 디코더, 어드레스 버퍼 등과 같은 구성 요소들을 포함할 수 있다.
- [0042] 전압 생성부(122)는 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 발생하도록 구성된다. 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0043] 실시 예로서, 전압 생성부(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성할 수 있다. 전압 생성부(122)에서 생성된 내부 전원 전압은 메모리 장치(100)의 동작전압으로서 사용된다.
- [0044] 실시 예로서, 전압 생성부(122)는 외부 전원 전압 또는 내부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 생성할 수 있다. 전압 생성부(122)는 메모리 장치(100)에서 요구되는 다양한 전압들을 생성하도록 구성될 수 있다. 예를 들어, 전압 생성부(122)는 복수의 소거 전압들, 복수의 프로그램 전압들, 복수의 더미 프로그램 전압들, 복수의 패스 전압들, 복수의 선택 읽기 전압들, 복수의 비선택 읽기 전압들을 생성할 수 있다.
- [0045] 전압 생성부(122)는 다양한 전압 레벨들을 갖는 복수의 동작 전압(Vop)들을 생성하기 위해서, 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(130)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화하여 복수의 동작 전압(Vop)들을 생성할 것이다.
- [0046] 생성된 복수의 동작 전압(Vop)들은 어드레스 디코더(121)에 의해 메모리 셀 어레이(110)에 공급될 수 있다.
- [0047] 읽기 및 쓰기 회로(123)는 제1 내지 제 m 페이지 버퍼들(PB1~PBm)을 포함한다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 각각 제1 내지 제 m 비트라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)에 연결된다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 제어 로직(130)의 제어에 응답하여 동작한다.
- [0048] 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124)와 데이터(DATA)를 통신한다. 프로그램 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124) 및 데이터 라인들(DL)을 통해 저장될 데이터(DATA)를 수신한다.

- [0049] 프로그램 동작 시, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 워드라인에 프로그램 전압이 인가될 때, 저장될 데이터(DATA)를 데이터 입출력 회로(124)를 통해 수신한 데이터(DATA)를 비트라인들(BL1~BLm)을 통해 선택된 메모리 셀들에 전달할 것이다. 전달된 데이터(DATA)에 따라 선택된 페이지의 메모리 셀들은 프로그램된다. 프로그램 허용 전압(예를 들면, 접지 전압)이 인가되는 비트라인과 연결된 메모리 셀은 상승된 문턱 전압을 가질 것이다. 프로그램 금지 전압(예를 들면, 전원 전압)이 인가되는 비트라인과 연결된 메모리 셀의 문턱 전압은 유지될 것이다. 프로그램 검증 동작 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 메모리 셀들로부터 비트라인들(BL1~BLm)을 통해 메모리 셀들에 저장된 데이터(DATA)를 읽는다.
- [0050] 리드 동작 시, 읽기 및 쓰기 회로(123)는 선택된 페이지의 메모리 셀들로부터 비트라인들(BL)을 통해 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 저장할 수 있다.
- [0051] 소거 동작 시에, 읽기 및 쓰기 회로(123)는 비트라인들(BL)을 플로팅(floating) 시킬 수 있다. 실시 예로서, 읽기 및 쓰기 회로(123)는 열 선택 회로를 포함할 수 있다.
- [0052] 데이터 입출력 회로(124)는 데이터 라인들(DL)을 통해 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 연결된다. 데이터 입출력 회로(124)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0053] 데이터 입출력 회로(124)는 입력되는 데이터(DATA)를 수신하는 복수의 입출력 버퍼들(미도시)을 포함할 수 있다. 프로그램 동작 시, 데이터 입출력 회로(124)는 외부 컨트롤러(미도시)로부터 저장될 데이터(DATA)를 수신한다. 데이터 입출력 회로(124)는 리드 동작 시, 읽기 및 쓰기 회로(123)에 포함된 제1 내지 제 m 페이지 버퍼들(PB1~PBm)로부터 전달된 데이터(DATA)를 외부 컨트롤러로 출력한다.
- [0054] 센싱 회로(125)는 리드 동작 또는 검증 동작 시, 제어 로직(130)이 생성한 허용 비트(VRYBIT) 신호에 응답하여 기준 전류를 생성하고, 읽기 및 쓰기 회로(123)로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호 또는 페일 신호를 제어 로직(130)으로 출력할 수 있다.
- [0055] 제어 로직(130)은 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)에 연결될 수 있다. 제어 로직(130)은 메모리 장치(100)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(130)은 외부 장치로부터 전달되는 커맨드(CMD)에 응답하여 동작할 수 있다.
- [0056] 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 여러 가지 신호를 생성하여 주변 회로(120)를 제어할 수 있다. 예를 들면, 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 동작 신호(OPSIG), 어드레스(ADDR), 읽기 및 쓰기 제어신호(PBSIGNALS) 및 허용 비트(VRYBIT)를 생성할 수 있다. 제어 로직(130)은 동작 신호(OPSIG)는 전압 생성부(122)로 출력하고, 어드레스(ADDR)는 어드레스 디코더(121)로 출력하고, 읽기 및 쓰기 제어신호는 읽기 및 쓰기 회로(123)로 출력하고, 허용 비트(VRYBIT)는 센싱 회로(125)로 출력할 수 있다. 또한, 제어 로직(130)은 센싱 회로(125)가 출력한 패스 또는 페일 신호(PASS/FAIL)에 응답하여 검증 동작이 패스 또는 페일 되었는지를 판단할 수 있다.
- [0057] 실시 예에서, 제어 로직(130)은 전압 레벨 저장부(131) 및 프로그램 동작 제어부(132)를 포함할 수 있다.
- [0058] 실시 예에서, 전압 레벨 저장부(131)는 복수의 더미 셀들에 대한 프로그램 검증 동작시 복수의 더미 셀들에 인가될 더미 프로그램 검증 전압의 레벨에 관한 정보(Vfy_inf)를 저장할 수 있다. 복수의 더미 셀들은 선택 트랜지스터 및 복수의 메모리 셀들 사이에 직렬로 연결될 수 있다.
- [0059] 구체적으로, 더미 프로그램 검증 전압의 레벨에 관한 정보(Vfy_inf)는 복수의 더미 셀들과 연결된 복수의 더미 워드라인들 각각에 인가될 프로그램 검증 전압의 레벨 정보를 포함할 수 있다. 실시 예에서, 복수의 더미 워드라인들 각각에 인가될 더미 프로그램 검증 전압의 레벨들은 각 더미 워드라인 별로 다를 수 있다. 실시 예에서, 복수의 더미 워드라인들 중 적어도 둘 이상의 더미 워드라인들에 인가되는 더미 프로그램 검증 전압의 레벨들은 같을 수 있다.
- [0060] 실시 예로서, 프로그램 동작 제어부(132)는 전압 레벨 저장부(131)로부터 수신한 더미 프로그램 검증 전압의 레벨에 관한 정보(Vfy_inf)를 기초로 복수의 더미 셀들에 대한 프로그램 동작 및 프로그램 검증 동작을 수행하도록 주변 회로(120)를 제어할 수 있다. 실시 예에서, 프로그램 동작 제어부(132)는 복수의 더미 워드라인들의 위치에 따라 각 복수의 더미 워드라인들과 연결된 복수의 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 주변 회로(120)를 제어할 수 있다. 실시 예에서, 프로그램 동작 제어부(132)는 프로그램 검증 동작 시, 선택 트랜지스터로부터 복수의 메모리 셀들에 가까운 더미 워드라인일수록, 더미 워드라인에 낮은 레벨의 더미 프로그램 검증 전압을 인가하도록 주변 회로(120)를 제어할 수 있다. 실시 예에서, 프로그램 동작 제어부(132)는 프로그램

검증 동작 시, 선택 트랜지스터로부터 복수의 메모리 셀들에 먼 더미 워드라인 일수록, 더미 워드라인에 높은 레벨의 더미 프로그램 검증 전압을 인가하도록 주변 회로(120)를 제어할 수 있다. 실시 예에서, 프로그램 동작 제어부(132)는 프로그램 검증 동작 시 서로 인접한 더미 워드라인들에 동일한 레벨의 더미 프로그램 검증 전압을 인가하도록 주변 회로(120)를 제어할 수 있다.

- [0061] 도 3은 도 2의 메모리 셀 어레이를 설명하기 위한 도면이다.
- [0062] 도 3을 참조하면, 제1 내지 제 z 메모리 블록들(BLK1~BLKz)은 제1 내지 제m 비트 라인들(BL1~BLm)에 공통 연결된다. 도 3에서, 설명의 편의를 위해 복수의 메모리 블록들(BLK1~BLKz) 중 제1 메모리 블록(BLK1)에 포함된 요소들이 도시되고, 나머지 메모리 블록들(BLK2~BLKz) 각각에 포함된 요소들은 생략된다. 나머지 메모리 블록들(BLK2~BLKz) 각각은 제1 메모리 블록(BLK1)과 마찬가지로 구성됨이 이해될 것이다.
- [0063] 메모리 블록(BLK1)은 복수의 셀 스트링들(CS1_1~CS1_m, (m은 양의 정수))을 포함할 수 있다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)은 각각 제1 내지 제m 비트 라인들(BL1~BLm)에 연결된다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)은 각각 드레인 선택 트랜지스터(DST), 직렬로 연결된 복수의 드레인 더미 셀들(DDMC1~DDMCL, (L은 양의 정수)), 직렬 연결된 복수의 메모리 셀들(MC1~MCN, (N은 양의 정수)), 직렬로 연결된 복수의 소스 더미 셀들(SDMC1~SDMCK, (K는 양의 정수)) 및 소스 선택 트랜지스터(SST)를 포함한다.
- [0064] 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 드레인 선택 트랜지스터(DST)의 게이트 단자는 드레인 선택 라인(DSL)에 연결된다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 제1 내지 제L 드레인 더미 셀들(DDMC1~DDMCL)의 게이트 단자 각각은 제1 내지 제L 드레인 더미 워드라인들(DDWL_1~DDWL_L)에 연결된다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 제1 내지 제N 메모리 셀들(MC1~MCN)의 게이트 단자 각각은 제1 내지 제N 노멀 워드라인들(WL_1~WL_N)에 연결된다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 제1 내지 제K 소스 더미 셀들(SDMC1~SDMCK)의 게이트 단자 각각은 제1 내지 제K 소스 더미 워드라인들(SDWL_1~SDWL_K)에 연결되고, 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 소스 선택 트랜지스터(SST)의 게이트 단자는 소스 선택 라인(SSL)에 연결된다.
- [0065] 설명의 편의를 위해 복수의 셀 스트링들(CS1_1~CS1_m) 중 제1 셀 스트링(CS1_1)을 기준으로 셀 스트링의 구조를 설명한다. 하지만 나머지 셀 스트링들(CS1_2~CS1_m) 각각도 제1 셀 스트링(CS1_1)과 마찬가지로 구성됨이 이해될 것이다.
- [0066] 제1 셀 스트링(CS1_1)에 포함된 드레인 선택 트랜지스터(DST)의 드레인 단자는 제1 비트 라인(BL1)에 연결된다. 제1 셀 스트링(CS1_1)에 포함된 드레인 선택 트랜지스터(DST)의 소스 단자는 제1 셀 스트링(CS1_1)에 포함된 제L 드레인 더미 셀(DDMCL)의 드레인 단자에 연결된다. 제1 내지 제L 드레인 더미 셀들(DDMC1~DDMCL)은 서로 직렬로 연결되고, 제1 내지 제N 메모리 셀들(MC1~MCN)은 서로 직렬로 연결된다. 또한, 제1 내지 제K 소스 더미 셀들(SDMC1~SDMCK)은 직렬로 연결되고, 제1 드레인 더미 셀(DDMC1)과 제N 메모리 셀(MCN)은 직렬로 연결되고, 제1 메모리 셀(MC1)은 제K 소스 더미 셀(SDMCK)과 직렬로 연결된다. 제1 셀 스트링(CS1_1)에 포함된 소스 선택 트랜지스터(SST)의 드레인 단자는 제1 셀 스트링(CS1_1)에 포함된 제1 소스 더미 셀(SDMC1)의 소스 단자에 연결된다. 제1 셀 스트링(CS1_1)에 포함된 소스 선택 트랜지스터(SST)의 소스 단자는 공통 소스 라인(CSL)에 연결된다. 실시 예로서, 공통 소스 라인(CSL)은 제1 내지 제 z 메모리 블록들(BLK1~BLKz)에 공통 연결될 수 있다.
- [0067] 드레인 선택 라인(DSL), 제1 내지 제L 드레인 더미 워드라인들(DDWL_1~DDWL_L), 제1 내지 제N 노멀 워드라인들(WL_1~WL_N), 제1 내지 제K 소스 더미 워드라인들(SDWL_1~SDWL_K) 및 소스 선택 라인(SSL)은 도 2의 행 라인들(RL)에 포함된다. 드레인 선택 라인(DSL), 제1 내지 제L 드레인 더미 워드라인들(DDWL_1~DDWL_L), 제1 내지 제N 노멀 워드라인들(WL_1~WL_N), 제1 내지 제K 소스 더미 워드라인들(SDWL_1~SDWL_K) 및 소스 선택 라인(SSL)은 어드레스 디코더(121)에 의해 제어된다. 공통 소스 라인(CSL)은 제어 로직(130)에 의해 제어된다. 제1 내지 제m 비트 라인들(BL1~BLm)은 읽기 및 쓰기 회로(123)에 의해 제어된다.
- [0068] 도 4는 일 실시 예에 따른, 도 3의 셀 스트링을 설명하기 위한 도면이다.
- [0069] 도 4를 참조하면, 도 3을 참조하여 설명된 셀 스트링들(CS1_1~CS1_m) 중 어느 하나의 셀 스트링의 구조가 도시된다. 하나의 셀 스트링은 소스 선택 트랜지스터(SST), 복수의 소스 더미 셀들(SDMC1~SDMCK), 복수의 메모리 셀들(MC1~MCN), 복수의 드레인 더미 셀들(DDMC1~DDMCL) 및 드레인 선택 트랜지스터(DST)를 포함할 수 있다.
- [0070] 하나의 셀 스트링에 포함되는 드레인 선택 트랜지스터의 개수 및 소스 선택 트랜지스터의 개수는 본 실시 예에 제한되지 않는다. 다양한 실시 예에서 하나의 셀 스트링은 드레인 더미 셀들 및 소스 더미 셀들 중 어느 하나의

더미 셀들만을 포함할 수 있다.

- [0071] 도 4에서, 드레인 선택 라인(DSL)은 드레인 선택 트랜지스터(DST)와 연결될 수 있다. 복수의 드레인 더미 워드 라인들(DDWL₁~DDWL_L)은 복수의 드레인 더미 셀들(DDMC1~DDMCL)과 연결될 수 있다. 복수의 노멀 워드라인들(WL₁~WL_N)은 복수의 메모리 셀들(MC1~MCN)과 연결될 수 있다. 복수의 소스 더미 워드라인들(SDWL₁~SDWL_K)은 복수의 소스 더미 셀들(SDMC1~SDMCK)과 연결될 수 있다. 소스 선택 라인(SSL)은 소스 선택 트랜지스터(SST)와 연결될 수 있다.
- [0072] 본 발명의 실시 예에 따르면, 복수의 드레인 더미 셀들(DDMC1~DDMCL) 및 복수의 소스 더미 셀들(SDMC1~SDMCK)은 해당 셀 스트링의 전압 또는 전류를 안정적으로 제어하기 위해 제공될 수 있다. 예를 들면, 복수의 소스 더미 셀들(SDMC1~SDMCK)은 소스 선택 트랜지스터(SST)와 복수의 메모리 셀들(MC1~MCN) 사이의 채널 전위 차이를 감소시키는 버퍼 역할을 수행할 수 있다. 복수의 드레인 더미 셀들(DDMC1~DDMCL)은 드레인 선택 트랜지스터(DST)와 복수의 메모리 셀들(MC1~MCN) 사이의 채널 전위 차이를 감소시키는 버퍼 역할을 수행할 수 있다.
- [0073] 실시 예에서, 임의의 메모리 블록에 대한 소거 동작 이후에, 메모리 블록에 포함된 복수의 드레인 더미 셀들(DDMC1~DDMCL) 및 복수의 소스 더미 셀들(SDMC1~SDMCK)이 타겟 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다.
- [0074] 설명의 편의상 복수의 드레인 더미 셀들(DDMC1~DDMCL)에 대한 더미 프로그램 동작을 예시로 설명하기로 한다. 복수의 소스 더미 셀들(SDMC1~SDMCK)에 대한 더미 프로그램 동작도 복수의 드레인 더미 셀들(DDMC1~DDMCL)에 대한 더미 프로그램 동작과 마찬가지로 설명될 수 있다.
- [0075] 실시 예에서, 복수의 드레인 더미 셀들(DDMC1~DDMCL)은 서로 다른 문턱 전압을 갖도록 프로그램될 수 있다. 구체적으로, 복수의 드레인 더미 셀들(DDMC1~DDMCL)이 서로 다른 문턱 전압을 갖도록, 더미 프로그램 검증 동작 시에, 복수의 드레인 더미 워드라인들(DDWL₁~DDWL_L)에 서로 다른 더미 프로그램 검증 전압이 인가될 수 있다. 이때, 더미 프로그램 검증 전압의 레벨은 각 더미 워드라인들의 위치에 따라 다를 수 있다. 다양한 실시 예에서, 인접한 적어도 둘 이상의 드레인 더미 워드라인들에 같은 레벨의 더미 프로그램 검증 전압이 인가될 수 있다.
- [0076] 예를 들어, 드레인 선택 트랜지스터(DST)로부터 복수의 메모리 셀들(MC1~MCN)에 더 가까운 드레인 더미 워드라인일수록, 드레인 더미 워드라인에 더 낮은 더미 프로그램 검증 전압이 인가될 수 있다. 복수의 메모리 셀들(MC1~MCN)에 가까운 제1 드레인 더미 워드라인(DDWL₁)에 제L 드레인 더미 워드라인(DDWL_L)보다 더 낮은 더미 프로그램 검증 전압이 인가될 수 있다.
- [0077] 실시 예에서, 더미 프로그램 동작이 수행된 이후, 복수의 메모리 셀들(MC1~MCN)에 대한 노멀 프로그램 동작이 수행될 수 있다. 실시 예에서, 노멀 프로그램 동작 시, 복수의 드레인 더미 워드라인들(DDWL₁~DDWL_L)에 동일한 레벨의 더미 워드라인 전압이 인가될 수 있다. 노멀 프로그램 동작 시, 복수의 소스 더미 워드라인들(SDWL₁~SDWL_K)에는 동일한 레벨의 더미 워드라인 전압이 인가될 수 있다.
- [0078] 도 5는 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- [0079] 도 5를 참조하면, 가로 축은 선택 라인 및 워드라인의 순번을 나타내고, 세로 축은 셀 스트링의 채널 전위를 나타낸다. 채널 전위는 각 워드라인에 인가되는 전압과 워드라인과 연결된 메모리 셀의 문턱 전압의 차이를 기초로 결정될 수 있다.
- [0080] 도 5에서, 셀 스트링은 제1 내지 제3 드레인 더미 셀들을 포함하는 것으로 가정하여 설명한다. 다만, 셀 스트링에 포함되는 드레인 더미 셀들의 개수는 본 실시 예에 제한되지 않는다. 제1 드레인 더미 셀은 제1 드레인 더미 워드라인(DDWL₁)과 연결될 수 있다. 제2 드레인 더미 셀은 제2 드레인 더미 워드라인(DDWL₂)과 연결될 수 있다. 제3 드레인 더미 셀은 제3 드레인 더미 워드라인(DDWL₃)과 연결될 수 있다.
- [0081] 제1 내지 제3 드레인 더미 셀들은 동일한 문턱 전압을 갖도록 프로그램될 수 있다. 예를 들어, 제1 드레인 더미 셀의 문턱 전압(Vdfya), 제2 드레인 더미 셀의 문턱 전압(Vdfyb) 및 제3 드레인 더미 셀의 문턱 전압(Vdfyc)은 서로 동일할 수 있다.
- [0082] 실시 예에서, 복수의 메모리 셀들에 대한 노멀 프로그램 동작 시, 복수의 메모리 셀들과 연결된 복수의 노멀 워드라인들 중 선택된 워드라인에는 프로그램 펄스 전압이 인가될 수 있다. 복수의 노멀 워드라인들 중 비선택된 워드라인에는 패스 전압이 인가될 수 있다. 복수의 더미 워드라인들(DDWL₁~DDWL₃)에 동일한 더미 워드라인 전

압이 인가될 수 있다.

- [0083] 구체적으로, 노멀 프로그램 동작에서, 제1 드레인 더미 워드라인(DDWL_1)에 제1 더미 워드라인 전압(Vddw1_1)이 인가될 수 있다. 제2 드레인 더미 워드라인(DDWL_2)에 제2 더미 워드라인 전압(Vddw1_2)이 인가될 수 있다. 제3 드레인 더미 워드라인(DDWL_3)에 제3 더미 워드라인 전압(Vddw1_3)이 인가될 수 있다. 복수의 더미 워드라인 전압들(Vddw1_1~Vddw1_3)의 크기는 동일할 수 있다. 이 경우 제1 내지 제3 드레인 더미 셀들의 채널 전위는 동일하게 형성될 수 있다.
- [0084] 이 경우, 제3 드레인 더미 셀의 채널과 드레인 선택 트랜지스터의 채널의 급격한 전위 차가 발생하고 인접한 워드라인에 핫 캐리어 인젝션(Hot Carrier Injection, HCI) 디스터브가 발생될 수 있다.
- [0085] 도 6은 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- [0086] 도 6을 참조하면, 셀 스트링의 구조는 도 5를 참조하여 설명된 셀 스트링의 구조와 동일할 수 있다. 도 6에서, 제1 내지 제3 드레인 더미 셀들의 문턱 전압(Vdfya~Vdfyc)의 크기는 서로 동일할 수 있다. 노멀 프로그램 동작 시 제1 내지 제3 드레인 더미 워드라인들(DDWL_1~DDWL_3)에 인가되는 더미 워드라인 전압의 크기는 다를 수 있다.
- [0087] 구체적으로, 노멀 프로그램 동작 시, 드레인 선택 라인(DSL)과 가장 인접한 드레인 더미 워드라인에는 가장 낮은 레벨의 더미 워드라인 전압이 인가될 수 있다. 드레인 더미 워드라인이 드레인 선택 라인(DSL)으로부터 노멀 워드라인에 가까워 질수록, 드레인 더미 워드라인에 높은 레벨의 더미 워드라인 전압이 인가될 수 있다. 즉, 제1 드레인 더미 워드라인(DDWL_1)에서 제3 드레인 더미 워드라인(DDWL_3)으로 갈수록 더미 워드라인에 인가되는 더미 워드라인 전압의 크기는 감소할 수 있다. 예를 들어, 제3 더미 워드라인 전압(Vddw1_3)은 제2 더미 워드라인 전압(Vddw1_2)보다 작을 수 있다. 제2 더미 워드라인 전압(Vddw1_2)은 제1 더미 워드라인 전압(Vddw1_1)보다 작을 수 있다.
- [0088] 따라서, 제1 내지 제3 드레인 더미 셀들은 동일한 문턱 전압을 가지나, 서로 다른 크기의 더미 워드라인 전압이 인가되므로, 노멀 프로그램 동작시 완만한 기울기를 갖는 채널 전위가 형성될 수 있다.
- [0089] 예를 들어, 제1 드레인 더미 워드라인(DDWL_1)으로부터 제3 드레인 더미 워드라인(DDWL_3)으로 갈수록, 더미 워드라인에 인가되는 더미 워드라인 전압의 크기는 감소하므로, 제1 내지 제3 드레인 더미 셀들의 채널 전위(DCh1~Dch3)는 완만하게 감소할 수 있다.
- [0090] 따라서, 도 5를 참조하여 설명된 급격한 채널 전위 차로 인한 HCI 디스터브가 개선될 수 있다. 다만, 각 드레인 더미 워드라인에 서로 다른 레벨의 더미 워드라인 전압을 인가하기 위해 추가되는 별도의 전압 생성 회로로 인해 칩 사이즈가 증가될 수 있다.
- [0091] 도 7은 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- [0092] 도 7을 참조하면, 셀 스트링의 구조는 도 5를 참조하여 설명된 셀 스트링의 구조와 동일할 수 있다. 도 7에서, 제1 내지 제3 드레인 더미 셀들 각각의 문턱 전압(Vdfya~Vdfyc)의 크기는 서로 상이할 수 있다. 노멀 프로그램 동작 시 제1 내지 제3 드레인 더미 워드라인들(DDWL_1~DDWL_3)에 인가되는 더미 워드라인 전압(Vddw1_1~Vddw1_3)의 크기는 서로 동일할 수 있다.
- [0093] 실시 예서, 제1 내지 제3 드레인 더미 셀들은 제1 내지 제3 드레인 더미 셀들의 위치에 기초하여, 서로 다른 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다.
- [0094] 예를 들어, 드레인 선택 라인(DSL)과 연결된 드레인 선택 트랜지스터와 가장 가까운 제3 드레인 더미 셀은 제1 내지 제3 드레인 더미 셀들 중 가장 큰 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다. 제N 워드라인(WL_N)과 연결된 메모리 셀과 가장 가까운 제1 드레인 더미 셀은 제1 내지 제3 드레인 더미 셀들 중 가장 작은 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다. 제2 드레인 더미 셀은 제1 드레인 더미 셀의 문턱 전압과 제3 드레인 더미 셀의 문턱 전압 사이의 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다.
- [0095] 따라서, 제1 드레인 더미 셀의 문턱 전압(Vdfya)은 제2 드레인 더미 셀의 문턱 전압(Vdfyb)보다 작고, 제2 드레인 더미 셀의 문턱 전압(Vdfyb)은 제3 드레인 더미 셀의 문턱 전압(Vdfyc)보다 작을 수 있다.
- [0096] 따라서, 노멀 프로그램 동작 시 제1 내지 제3 드레인 더미 셀들에 동일한 더미 워드라인 전압이 인가되나, 제1

내지 제3 드레인 더미 셀들이 서로 다른 문턱 전압을 가지므로, 노멀 프로그램 동작시 완만한 기울기를 갖는 채널 전위가 형성될 수 있다.

- [0097] 예를 들어, 제1 드레인 더미 셀로부터 제3 드레인 더미 셀로 갈수록, 드레인 더미 셀의 문턱 전압 크기는 상승하므로, 제1 내지 제3 드레인 더미 셀들의 채널 전위(DCh1~DCh3)는 완만하게 감소할 수 있다.
- [0098] 따라서, 도 5를 참조하여 설명된 급격한 채널 전위 차로 인한 HCI 디스터브가 개선될 수 있다. 각 드레인 더미 워드라인에 같은 레벨의 더미 워드라인 전압을 인가하기 때문에, 도 6을 참조하여 설명된 바와 달리, 서로 다른 레벨의 더미 워드라인 전압을 인가하기 위해 추가되는 별도의 전압 생성 회로가 불필요하고 칩 사이즈가 감소될 수 있다.
- [0099] 도 8은 일 실시 예에 따른, 프로그램 동작 시 워드라인의 위치에 따른 셀 스트링의 채널 전위를 설명하기 위한 도면이다.
- [0100] 도 8을 참조하면, 가로 축은 선택 라인 및 워드라인의 순번을 나타내고, 세로 축은 셀 스트링의 채널 전위를 나타낸다. 채널 전위는 각 워드라인에 인가되는 전압과 워드라인과 연결된 메모리 셀의 문턱 전압의 차이를 기초로 결정될 수 있다.
- [0101] 도 8에서, 셀 스트링은 제1 내지 제3 소스 더미 셀들을 포함하는 것으로 가정하여 설명한다. 다만, 셀 스트링에 포함되는 소스 더미 셀들의 개수는 본 실시 예에 제한되지 않는다. 제1 소스 더미 셀은 제1 소스 더미 워드라인(SDWL_1)과 연결될 수 있다. 제2 소스 더미 셀은 제2 소스 더미 워드라인(SDWL_2)과 연결될 수 있다. 제3 소스 더미 셀은 제3 소스 더미 워드라인(SDWL_3)과 연결될 수 있다.
- [0102] 도 8에서, 제1 내지 제3 소스 더미 셀들 각각의 문턱 전압(Vsfya~Vsfyc)의 크기는 서로 상이할 수 있다. 노멀 프로그램 동작 시 제1 내지 제3 소스 더미 워드라인들(SDWL_1~SDWL_3)에 인가되는 더미 워드라인 전압(Vsdwl_1~Vsdwl_3)의 크기는 서로 동일할 수 있다.
- [0103] 실시 예서, 제1 내지 제3 소스 더미 셀들은 제1 내지 제3 소스 더미 셀들의 위치에 기초하여, 서로 다른 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다.
- [0104] 예를 들어, 소스 선택 라인(SSL)과 연결된 소스 선택 트랜지스터와 가장 가까운 제1 소스 더미 셀은 제1 내지 제3 소스 더미 셀들 중 가장 큰 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다. 제1 워드라인(WL_1)과 연결된 메모리 셀과 가장 가까운 제3 소스 더미 셀은 제1 내지 제3 소스 더미 셀들 중 가장 작은 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다. 제2 소스 더미 셀은 제1 소스 더미 셀의 문턱 전압과 제3 소스 더미 셀의 문턱 전압 사이의 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다.
- [0105] 따라서, 제1 소스 더미 셀의 문턱 전압(Vsfya)은 제2 소스 더미 셀의 문턱 전압(Vsfyb)보다 크고, 제2 소스 더미 셀의 문턱 전압(Vsfyb)은 제3 소스 더미 셀의 문턱 전압(Vsfyc)보다 클 수 있다.
- [0106] 따라서, 노멀 프로그램 동작 시 제1 내지 제3 소스 더미 셀들에 동일한 더미 워드라인 전압이 인가되나, 제1 내지 제3 소스 더미 셀들이 서로 다른 문턱 전압을 가지므로, 노멀 프로그램 동작시 완만한 기울기를 갖는 채널 전위가 형성될 수 있다.
- [0107] 예를 들어, 제1 소스 더미 셀로부터 제3 소스 더미 셀로 갈수록, 소스 더미 셀의 문턱 전압 크기는 감소하므로, 제1 내지 제3 소스 더미 셀들의 채널 전위(SCh1~SCh3)는 완만하게 증가할 수 있다.
- [0108] 따라서, 급격한 채널 전위 차로 인한 HCI 디스터브가 개선될 수 있다. 각 소스 더미 워드라인에 같은 레벨의 더미 워드라인 전압을 인가하기 때문에, 서로 다른 레벨의 더미 워드라인 전압을 인가하기 위해 추가되는 별도의 전압 생성 회로가 불필요하고 칩 사이즈가 감소될 수 있다.
- [0109] 도 9는 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- [0110] 도 9를 참조하면, 제1 내지 제3 드레인 더미 워드라인(DDWL_1~DDWL_3)에 연결된 드레인 더미 셀들의 문턱 전압 분포가 도시된다.
- [0111] 도 9에서, 복수의 드레인 더미 워드라인(DDWL_1~DDWL_3)에 연결된 드레인 더미 셀들이 동일한 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 예를 들어, 복수의 메모리 셀들에 대한 노멀 프로그램 동작이 수행되기 전에 즉 제1 내지 제3 드레인 더미 셀들의 문턱 전압들(Vfya_1~Vfyc_1)이 모두 같도록 더미 프로그램 동

작이 수행될 수 있다.

- [0112] 예를 들어, 더미 프로그램 동작을 통해, 제1 내지 제3 드레인 더미 셀들의 문턱 전압들(Vfya₁~Vfyc₁)은 -0.5V 일 수 있다. 노멀 프로그램 동작에서, 제3 드레인 더미 워드라인(DDWL₃)에는 3V가 인가되고, 제2 드레인 더미 워드라인(DDWL₂)에는 6V가 인가되고, 제1 드레인 더미 워드라인(DDWL₁)에는 7V가 인가될 수 있다. 이 경우, 제1 드레인 더미 셀에는 제1 더미 워드라인 전압과 제1 드레인 더미 셀의 문턱 전압(Vfya₁) 차이에 기초하여, 약 6V~7.5V의 채널 전위가 형성될 수 있다. 이와 유사하게, 제2 드레인 더미 셀에는 제2 드레인 더미 워드라인 전압과 제2 드레인 더미 셀의 문턱 전압(Vfya₂) 차이에 기초하여, 약 5V~6.5V의 채널 전위가 형성될 수 있다. 마지막으로, 제3 드레인 더미 셀에는 제3 드레인 더미 워드라인 전압과 제3 드레인 더미 셀의 문턱 전압(Vfyc₁) 차이에 기초하여, 2V~3.5V의 채널 전위가 형성될 수 있다.
- [0113] 도 9에서, 드레인 더미 셀들의 문턱 전압 분포를 기준으로 설명하였지만, 소스 더미 셀들의 문턱 전압 분포도 마찬가지로 방식으로 설명될 수 있다.
- [0114] 도 10은 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- [0115] 도 10을 참조하면, 제1 내지 제3 드레인 더미 워드라인(DDWL₁~DDWL₃)에 연결된 드레인 더미 셀들의 문턱 전압 분포가 도시된다.
- [0116] 도 10에서, 복수의 드레인 더미 셀들은 드레인 더미 셀의 위치에 기초하여, 서로 다른 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 예를 들어, 복수의 드레인 더미 워드라인(DDWL₁~DDWL₃)에 연결된 드레인 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 더미 프로그램 동작은 복수의 메모리 셀들에 대한 노멀 프로그램 동작이 수행되기 전에 수행될 수 있다.
- [0117] 구체적으로, 드레인 선택 라인에 가장 가까운 제3 드레인 더미 워드라인(DDWL₃)에 연결된 제3 드레인 더미 셀은 제1 내지 제3 드레인 더미 셀들 중 가장 높은 문턱 전압(Vfyc₂)을 갖도록 더미 프로그램 동작이 수행될 수 있다. 노멀 워드라인에 가장 가까운 제1 드레인 더미 워드라인(DDWL₁)에 연결된 제1 드레인 더미 셀은 제1 내지 제3 드레인 더미 셀들 중 가장 낮은 문턱 전압(Vfya₂)을 갖도록 프로그램 동작이 수행될 수 있다. 마지막으로, 제2 드레인 더미 워드라인(DDWL₂)에 연결된 제2 드레인 더미 셀은 제1 드레인 더미 셀의 문턱 전압(Vfya₁)보다 크고 제3 드레인 더미 셀의 문턱 전압(Vfyc₂)보다 작은 문턱 전압(Vfya₂)을 갖도록 더미 프로그램 동작이 수행될 수 있다. 즉 드레인 선택 라인으로부터 노멀 워드라인에 가까운 드레인 더미 셀 일수록, 낮은 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다.
- [0118] 도 10에서, 제1 내지 제3 드레인 더미 셀들이 서로 다른 더미 셀 문턱 전압을 갖게 하기 위해서, 더미 프로그램 동작 시, 복수의 드레인 더미 워드라인(DDWL₁~DDWL₃)에는 서로 다른 더미 프로그램 검증 전압이 인가될 수 있다. 구체적으로, 드레인 선택 라인으로부터 노멀 워드라인에 가까운 드레인 더미 워드라인일수록, 더미 프로그램 동작시 낮은 더미 프로그램 검증 전압이 인가될 수 있다.
- [0119] 예를 들어, 더미 프로그램 동작을 통해, 제1 드레인 더미 셀의 문턱 전압(Vfya₂)은 -1.5V일 수 있다. 제2 드레인 더미 셀의 문턱 전압(Vfya₂)은 -0.5V일 수 있다. 제3 드레인 더미 셀의 문턱 전압(Vfyc₂)은 2.5V일 수 있다.
- [0120] 더미 프로그램 동작이 수행된 이후 노멀 프로그램 동작시 제1 내지 제3 더미 워드라인들(DDWL₁~DDWL₃)에 동일한 더미 워드라인 전압이 인가될 수 있다.
- [0121] 구체적으로, 제1 내지 제3 드레인 더미 워드라인들(DDWL₁~DDWL₃)에 모두 6V가 인가될 수 있다. 이 경우, 제1 드레인 더미 셀에는 제1 드레인 더미 워드라인 전압과 제1 더미 셀의 문턱 전압(Vfya₂) 차이에 기초하여, 약 6V~7.5V의 채널 전위가 형성될 수 있다. 이와 유사하게, 제2 드레인 더미 셀에는 제2 드레인 더미 워드라인 전압과 제2 더미 셀의 문턱 전압(Vfya₂) 차이에 기초하여, 약 5V~6.5V의 채널 전위가 형성될 수 있다. 마지막으로, 제3 드레인 더미 셀에는 제3 드레인 더미 워드라인 전압과 제3 더미 셀의 문턱 전압(Vfyc₂) 차이에 기초하여, 2V~3.5V의 채널 전위가 형성될 수 있다.
- [0122] 도 10에서 복수의 드레인 더미 셀들에 대한 더미 프로그램 동작 및 노멀 프로그램 동작이 설명되었지만, 마찬가지로 방식으로 복수의 소스 더미 셀들에 대한 더미 프로그램 동작 및 노멀 프로그램 동작이 수행될 수 있다.
- [0123] 예를 들어, 복수의 소스 더미 워드라인에 연결된 복수의 소스 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 복수의 소스 더미 셀들은, 소스 더미 셀의 위치에 기초하여 서로 다른

문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 예를 들어, 소스 선택 라인에 가장 가까운 소스 더미 셀은 복수의 소스 더미 셀들 중 가장 높은 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다. 노멀 워드라인에 가장 가까운 소스 더미 셀은 가장 낮은 문턱 전압을 갖도록 더미 프로그램 동작이 수행될 수 있다. 즉 소스 선택 라인으로부터 노멀 워드라인에 가까운 소스 더미 셀일수록, 낮은 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다.

- [0124] 도 11은 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- [0125] 도 11을 참조하면, 제1 내지 제3 드레인 더미 워드라인(DDWL_1~DDWL_3)에 연결된 드레인 더미 셀들의 문턱 전압 분포가 도시된다.
- [0126] 도 11에서, 복수의 드레인 더미 셀들은 드레인 더미 셀의 위치에 기초하여, 서로 다른 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 예를 들어, 복수의 드레인 더미 워드라인(DDWL_1~DDWL_3)에 연결된 드레인 더미 셀들이 서로 다른 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 더미 프로그램 동작은 복수의 메모리 셀들에 대한 노멀 프로그램 동작이 수행되기 전에 수행될 수 있다.
- [0127] 구체적으로, 제1 드레인 더미 셀의 문턱 전압(Vfya_3)과 제3 드레인 더미 셀의 문턱 전압(Vfyc_3)은 동일할 수 있다. 제1 드레인 더미 셀의 문턱 전압(Vfya_3)과 제2 드레인 더미 셀의 문턱 전압(Vfyb_3)은 서로 다를 수 있다.
- [0128] 더미 프로그램 동작 시, 제1 내지 제3 드레인 더미 워드라인(DDWL_1~DDWL_3) 중 적어도 둘 이상의 드레인 더미 워드라인들에는 서로 다른 더미 프로그램 검증 전압이 인가될 수 있다. 구체적으로, 제3 드레인 더미 워드라인(DDWL_3)과 제1 드레인 더미 워드라인(DDWL_1)에는 동일한 더미 프로그램 검증 전압이 인가되고, 제2 드레인 더미 워드라인(DDWL_2)에는 다른 더미 프로그램 검증 전압이 인가될 수 있다.
- [0129] 실시 예에서, 더미 프로그램 동작을 통해, 제1 드레인 더미 셀 문턱 전압(Vfya_3)과 제3 드레인 더미 셀 문턱 전압(Vfyc_3)은 -0.5V일 수 있다. 제2 드레인 더미 셀 문턱 전압(Vfyb_3)은 0.5V일 수 있다.
- [0130] 노멀 프로그램 동작 시, 제1 및 제2 드레인 더미 워드라인들(DDWL_1~DDWL_2)에 모두 7V가 인가될 수 있다. 제3 드레인 더미 워드라인(DDWL_3)에는 3V가 인가될 수 있다.
- [0131] 이 경우, 제1 드레인 더미 셀에서 제1 더미 워드라인 전압과 제1 더미 셀의 문턱 전압(Vfya_3) 차이에 기초하여, 약 6V~7.5V의 채널 전위가 형성될 수 있다. 제2 드레인 더미 셀에서 제2 더미 워드라인 전압과 제2 더미 셀의 문턱 전압(Vfyb_3) 차이에 기초하여, 약 5V~6.5V의 채널 전위가 형성될 수 있다. 마지막으로, 제3 드레인 더미 셀에서 제3 더미 워드라인 전압과 제3 더미 셀의 문턱 전압(Vfyc_3) 차이에 기초하여, 2V~3.5V의 채널 전위가 형성될 수 있다.
- [0132] 따라서, 드레인 선택 라인에서 노멀 워드라인 방향으로, 즉 제3 드레인 더미 셀에서 제1 드레인 더미 셀로 갈수록 높은 채널 전위가 형성된다.
- [0133] 또 다른 실시 예로서, 설명의 편의를 위해 도 11에는 드레인 선택 라인(DSL)과 노멀 워드라인(WL) 사이의 복수의 드레인 더미 워드라인들(DDWL_1~DDWL_3)에 대하여만 도시 되었지만, 소스 선택 라인(SSL)과 노멀 워드라인(WL) 사이의 복수의 소스 더미 워드라인들에도 유사한 방법으로 더미 프로그램 동작 및 노멀 프로그램 동작이 수행될 수 있다.
- [0134] 도 11에서 복수의 드레인 더미 셀들에 대한 더미 프로그램 동작 및 노멀 프로그램 동작이 설명되었지만, 마찬가지로 복수의 소스 더미 셀들에 대한 더미 프로그램 동작 및 노멀 프로그램 동작이 수행될 수 있다.
- [0135] 도 12는 일 실시 예에 따른 더미 워드라인의 위치에 따른 더미 셀들의 문턱 전압 분포를 설명하기 위한 도면이다.
- [0136] 도 12를 참조하면, 제1 내지 제N 드레인 더미 워드라인(DDWL_1~DDWL_L, (L은 양의 정수))에 연결된 드레인 더미 셀들의 문턱 전압 분포가 도시된다. 복수의 메모리 셀들에 대한 노멀 프로그램 동작 시, 드레인 선택 라인과 복수의 노멀 워드라인들 사이의 채널 전위 변화가 완만하도록, 노멀 프로그램 동작 전, 더미 프로그램 동작이 수행될 수 있다.
- [0137] 복수의 드레인 더미 셀들은 서로 다른 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 복수의 드레인 더미 셀들 중 적어도 둘 이상의 드레인 더미 셀들은 서로 같은 문턱 전압 분포를 갖도록 더미 프로그램

동작이 수행될 수 있다. 이러한 더미 셀들의 문턱 전압 분포를 형성하기 위해, 적어도 둘 이상의 드레인 더미 워드라인들에 같은 더미 프로그램 검증 전압이 인가될 수 있다.

- [0138] 도 12에서, 서로 인접한 제L 드레인 더미 셀과 제L-1 드레인 더미 셀은 같은 문턱 전압(vfyn₄, vfyn_{L-4})을 가질 수 있다. 제3 드레인 더미 셀과 제2 드레인 더미 셀은 같은 문턱 전압(vfyc₄, vfyb₄)을 가질 수 있다.
- [0139] 더미 프로그램 검증 동작 시, 제L 및 제L-1 드레인 더미 워드라인들(DDWL_L, DDWL_{L-1})에 같은 더미 프로그램 검증 전압이 인가될 수 있다. 또한, 제3 및 제2 드레인 더미 워드라인들(DDWL₃, DDWL₂)에 같은 더미 프로그램 검증 전압이 인가될 수 있다.
- [0140] 드레인 선택 라인으로부터 복수의 노멀 워드라인에 가까운 드레인 더미 셀일수록 낮은 문턱 전압 분포를 갖도록 더미 프로그램 동작이 수행될 수 있다. 예를 들어, 제L 드레인 더미 셀의 문턱 전압(Vfyn₄)과 제L-1 드레인 더미 셀의 문턱 전압(Vfyn_{L-4})은 제3 드레인 더미 셀들의 문턱 전압(vfyc₄)과 제2 드레인 더미 셀의 문턱 전압(vfyb₄)보다 클 수 있다. 제3 드레인 더미 셀들의 문턱 전압(vfyc₄)과 제2 드레인 더미 셀의 문턱 전압(vfyb₄)은 제1 드레인 더미 셀들의 문턱 전압(vfya₄)보다 클 수 있다.
- [0141] 실시 예에서는 설명의 편의를 위해 인접한 두 개의 드레인 더미 셀들이 같은 문턱 전압을 갖는 것으로 설명되었지만, 다양한 실시 예에서, 세 개 이상의 드레인 더미 셀들이 같은 문턱 전압을 가질 수 있다.
- [0142] 도 12에서, 더미 프로그램 검증 동작 시, 제L 및 제L-1 드레인 더미 워드라인들(DDWL_L, DDWL_{L-1})에 동일한 더미 프로그램 검증 전압이 인가될 수 있다. 제3 및 제2 드레인 더미 워드라인(DDWL₃, DDWL₂)들에 동일한 더미 프로그램 검증 전압이 인가될 수 있다.
- [0143] 실시 예에서, 노멀 프로그램 동작 시, 서로 다른 문턱 전압 분포를 갖는 드레인 더미 셀들에 동일한 더미 워드라인 전압이 인가될 수 있다. 동일한 문턱 전압 분포를 갖는 드레인 더미 셀들에 서로 다른 더미 워드라인 전압이 인가될 수 있다. 드레인 선택 라인에서 노멀 워드라인으로 갈수록 복수의 드레인 더미 셀들의 채널 전위가 점진적으로 상승하도록 드레인 더미 셀들에 인가되는 더미 워드라인 전압이 결정될 수 있다.
- [0144] 다른 실시 예에서, 노멀 프로그램 동작 시, 모든 드레인 더미 워드라인들(DDWL₁~DDWL_L)에 동일한 더미 워드라인 전압이 인가될 수 있다. 이 경우, 제L 및 제L-1 드레인 더미 셀들의 문턱 전압들(Vfyn₄, Vfyn_{L-4})이 같고, 제3 및 제2 드레인 더미 셀들의 문턱 전압들(Vfyb₄, Vfyc₄)이 같기 때문에, 드레인 선택 라인에서 노멀 워드라인으로 갈수록 복수의 드레인 더미 셀들의 채널 전위는 계단 식으로 상승할 수 있다.
- [0145] 도 12에서 복수의 드레인 더미 셀들에 대한 더미 프로그램 동작 및 노멀 프로그램 동작이 설명되었지만, 마찬가지로 방식으로 복수의 소스 더미 셀들에 대한 더미 프로그램 동작 및 노멀 프로그램 동작이 수행될 수 있다.
- [0146] 도 13은 일 실시 예에 따른 도 1의 메모리 장치의 소거 동작 및 소프트 프로그램 동작을 설명하기 위한 순서도이다.
- [0147] 도 13을 참조하면, S1301단계에서, 메모리 장치는 복수의 메모리 셀들에 대한 소거 동작을 수행할 수 있다. 소거 동작은 복수의 메모리 셀들의 문턱 전압 분포를 소거 상태에 대응되는 문턱 전압 분포로 이동시키는 동작일 수 있다. 복수의 메모리 셀들은 각각 저장하는 데이터에 따라 다른 문턱 전압 분포를 가질 수 있다. 따라서, 원래 갖고 있던 문턱 전압 분포에 따라 소거 동작 이후에 정상 분포보다 과소거된 메모리 셀들이 발생할 수 있다.
- [0148] S1303단계에서 메모리 장치는 소프트 프로그램 동작을 수행할 수 있다. 소프트 프로그램 동작은 소거 동작으로 정상 분포를 벗어난 메모리 셀들을 정상 분포로 이동시키기 위해 프로그램하는 동작일 수 있다.
- [0149] 실시 예에서, 소프트 프로그램 동작은 더미 셀들에 대한 더미 프로그램 동작과 노멀 셀들에 대한 노멀 프로그램 동작을 포함할 수 있다. 더미 프로그램 동작은 노멀 프로그램 동작을 수행하기 이전에 복수의 더미 셀들이 타겟 문턱 전압 분포를 갖도록 프로그램하는 동작일 수 있다.
- [0150] 도 14는 일 실시 예에 따른 도 1의 메모리 장치의 더미 프로그램 동작 및 노멀 프로그램 동작을 설명하기 위한 순서도이다.
- [0151] 도 14를 참조하면, S1401단계에서 메모리 장치는 더미 셀들에 대한 더미 프로그램 동작을 수행할 수 있다. 메모리 장치는 선택 트랜지스터 및 노멀 셀들 사이에 직렬로 연결된 복수의 더미 셀들에 대한 더미 프로그램 동작을 수행할 수 있다. 메모리 장치는 복수의 더미 셀들이 더미 셀의 위치에 따라 서로 다른 문턱 전압을 갖도록 더미 프로그램 동작을 수행할 수 있다. 메모리 장치는 노멀 셀들로부터 선택 트랜지스터 방향으로 갈수록, 더미 메모리 셀이 높은 문턱 전압을 갖도록 더미 프로그램 동작을 수행할 수 있다.

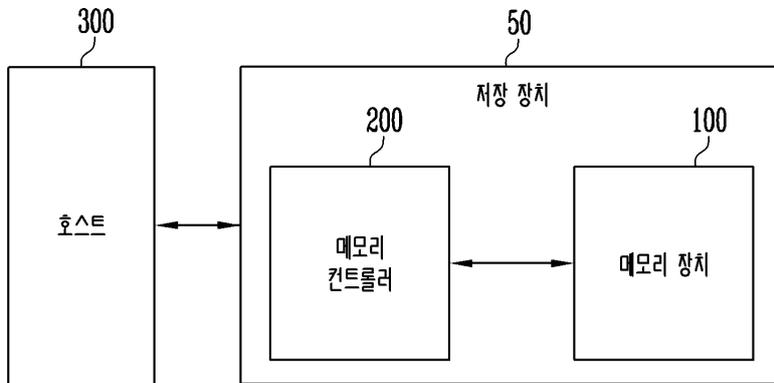
- [0152] 메모리 장치는 복수의 더미 셀들과 연결된 복수의 더미 워드라인들에 더미 워드라인의 위치에 따라 서로 다른 더미 워드라인 검증 전압들을 인가하여 더미 프로그램 검증 동작을 수행할 수 있다.
- [0153] S1403단계에서, 메모리 장치는 복수의 노멀 셀들에 대한 노멀 프로그램 동작을 수행할 수 있다. 메모리 장치는 복수의 노멀 셀들과 연결된 복수의 워드라인들 중 선택된 워드라인에 프로그램 전압을 인가할 수 있다. 메모리 장치는 복수의 워드라인들 중 비선택된 워드라인에 프로그램 패스 전압을 인가할 수 있다. 메모리 장치는 노멀 프로그램 동작에서, 복수의 더미 워드라인들에 동일한 더미 워드라인 전압을 인가할 수 있다. 더미 워드라인 전압은 프로그램 패스 전압보다 작거나 같을 수 있다. 다양한 실시 예에서 메모리 장치는 복수의 더미 워드라인들 중 적어도 둘 이상의 더미 워드라인들에 서로 다른 더미 워드라인 전압을 인가할 수 있다.
- [0154] 도 15는 도 14의 더미 프로그램 동작을 상세히 설명하기 위한 순서도이다.
- [0155] 도 15를 참조하면, S1501단계에서, 메모리 장치는 복수의 더미 셀들과 연결된 복수의 더미 워드라인들 중 선택된 더미 워드라인에 프로그램 펄스를 인가할 수 있다.
- [0156] S1503단계에서, 메모리 장치는 선택된 더미 워드라인과 노멀 메모리 셀들 간의 거리에 따라 결정된 프로그램 검증 전압을 선택된 더미 워드라인에 인가할 수 있다.
- [0157] S1505단계에서, 메모리 장치는 모든 더미 워드라인에 대한 더미 프로그램 동작이 완료되었는지 판단할 수 있다. 판단 결과 더미 프로그램 동작이 완료되었으면 동작을 종료하고 그렇지 않으면 S1501단계로 진행할 수 있다.
- [0158] S1505 단계에서, 모든 더미 워드라인의 프로그램 동작이 완료될 때까지 S1501 단계와 S1503단계가 반복적으로 수행된다. S1505단계에서, 모든 더미 워드라인의 프로그램 동작이 완료되면 더미 프로그램 동작은 종료된다.

부호의 설명

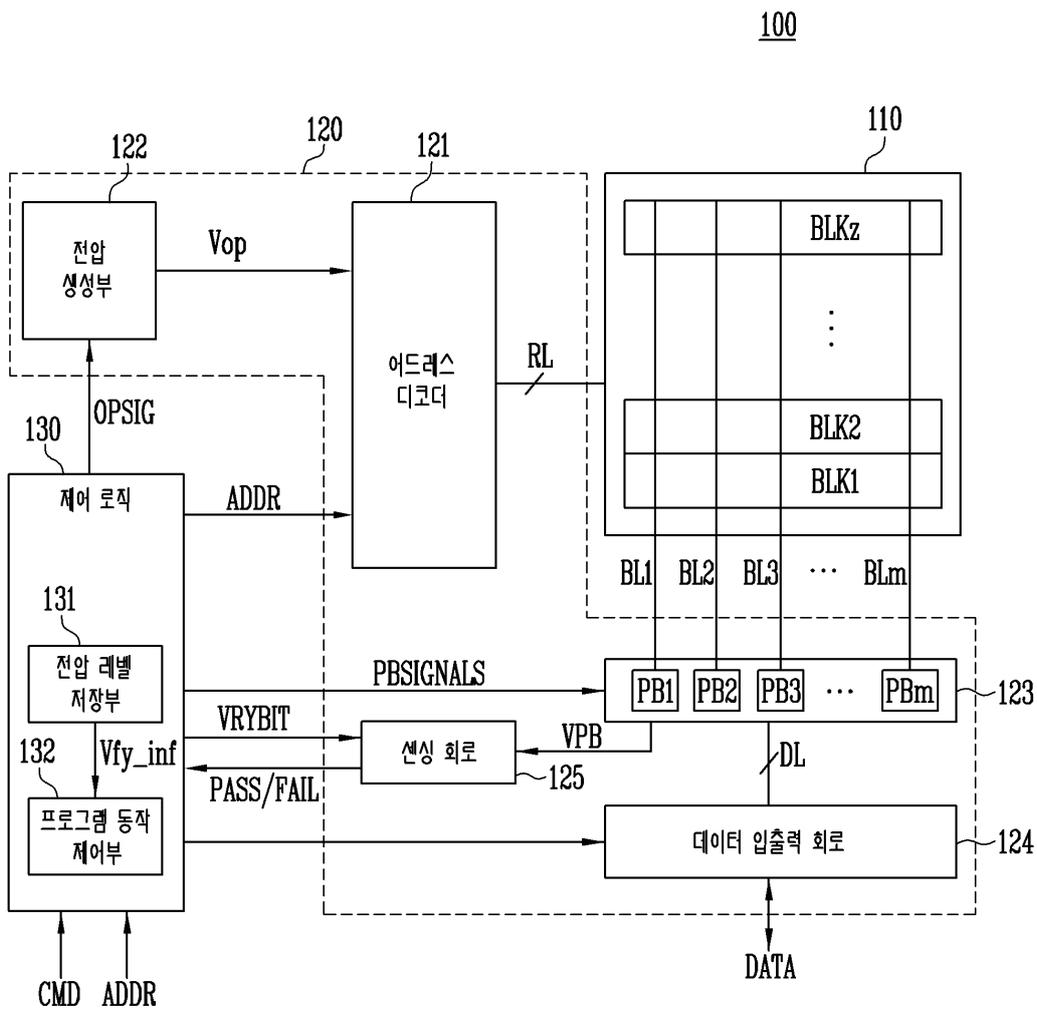
- [0159] 100: 메모리 장치
- 110: 메모리 셀 어레이
- 120: 주변 회로
- 121: 어드레스 디코더
- 122: 전압 생성부
- 123: 읽기 및 쓰기 회로
- 124: 데이터 입출력 회로
- 125: 센싱 회로
- 130: 제어 로직
- 131: 전압 레벨 저장부
- 132: 프로그램 동작 제어부

도면

도면1

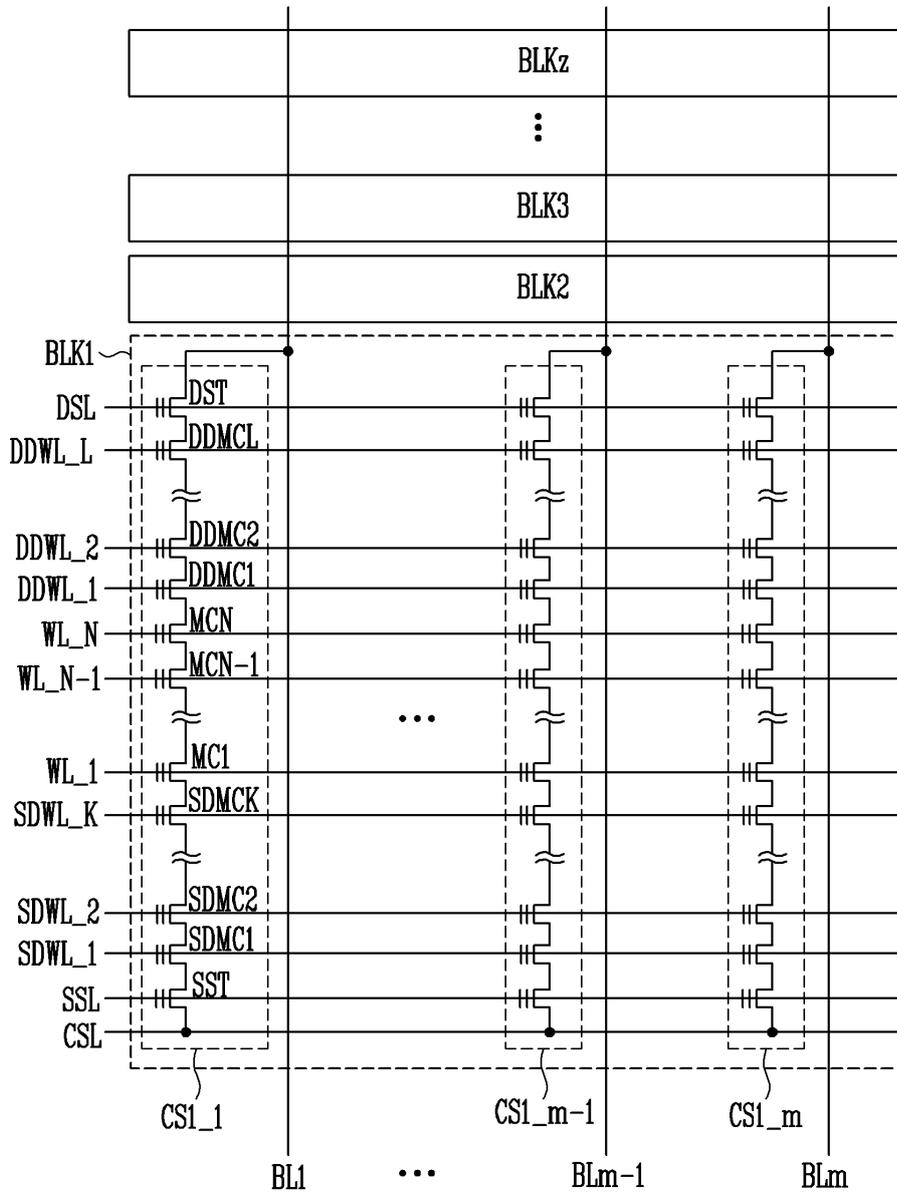


도면2

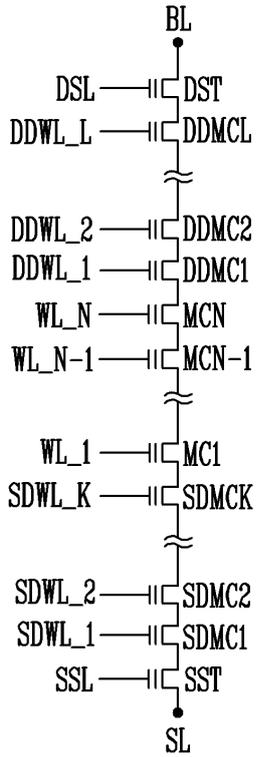


도면3

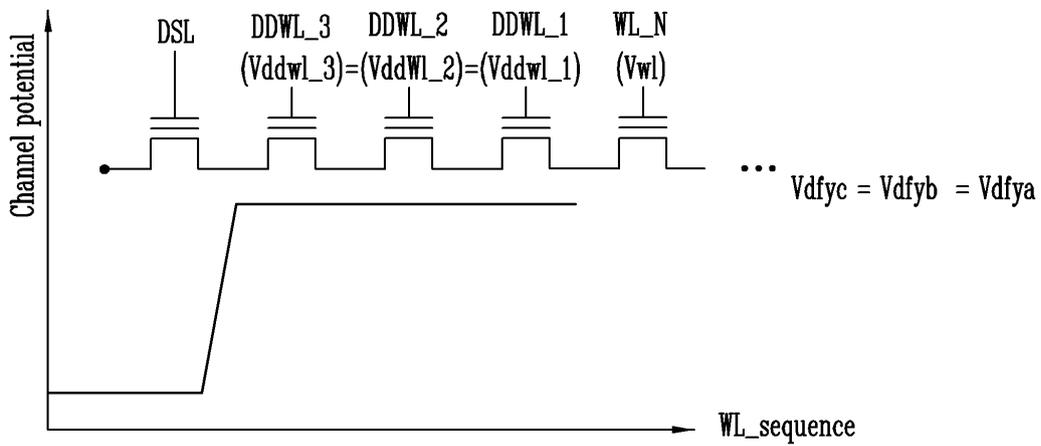
110



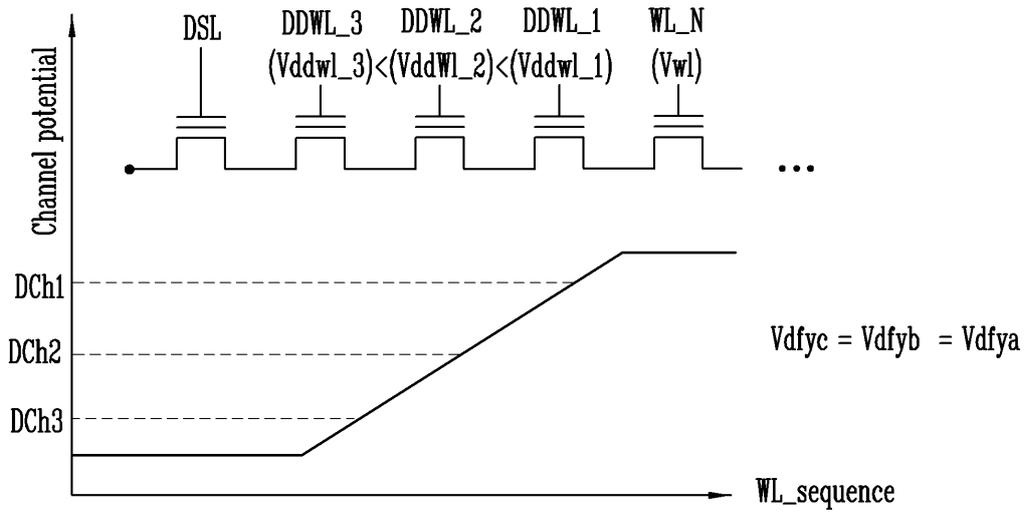
도면4



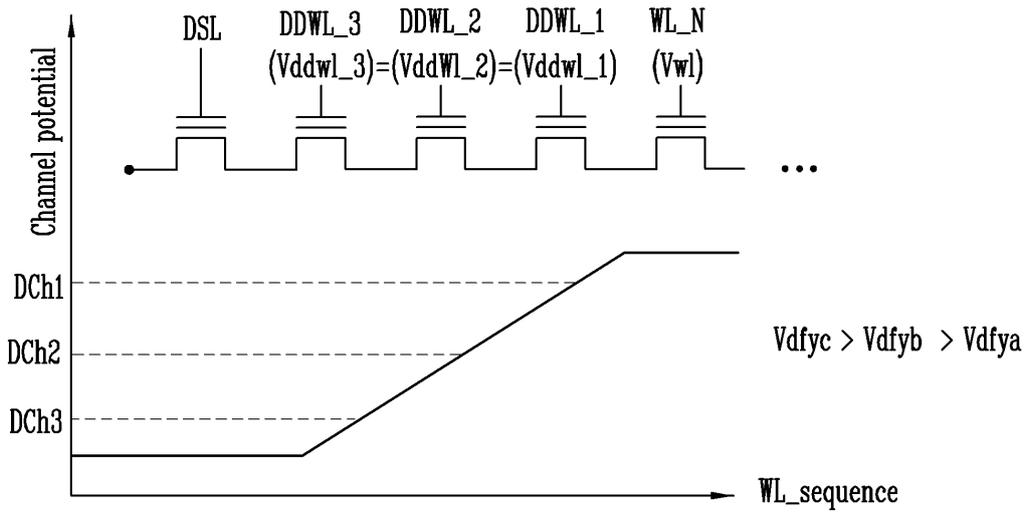
도면5



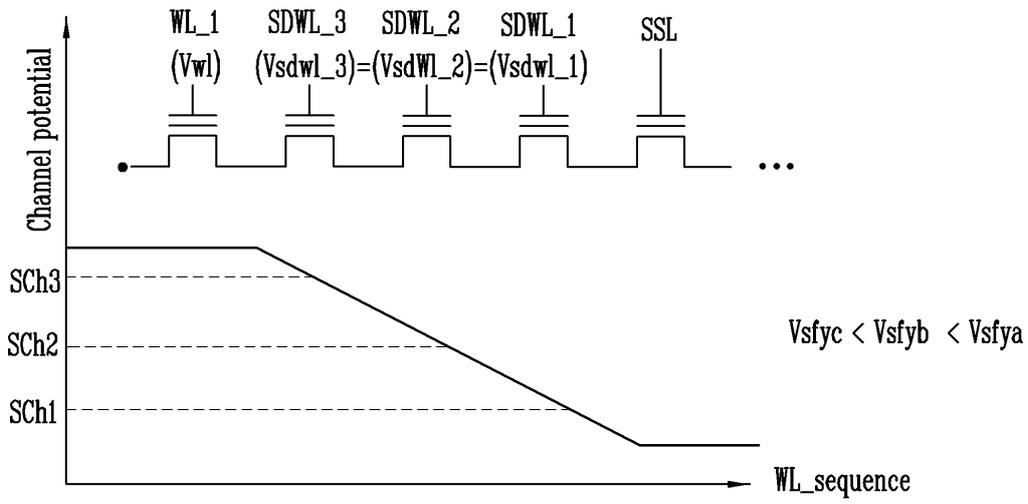
도면6



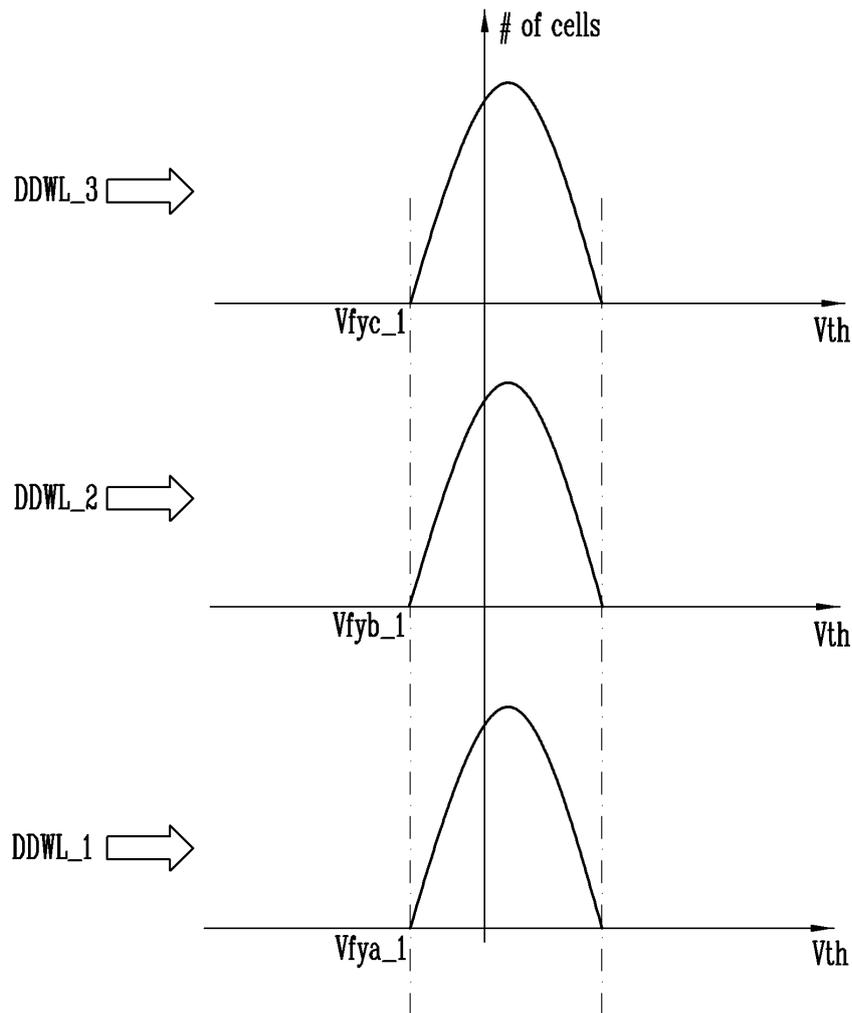
도면7



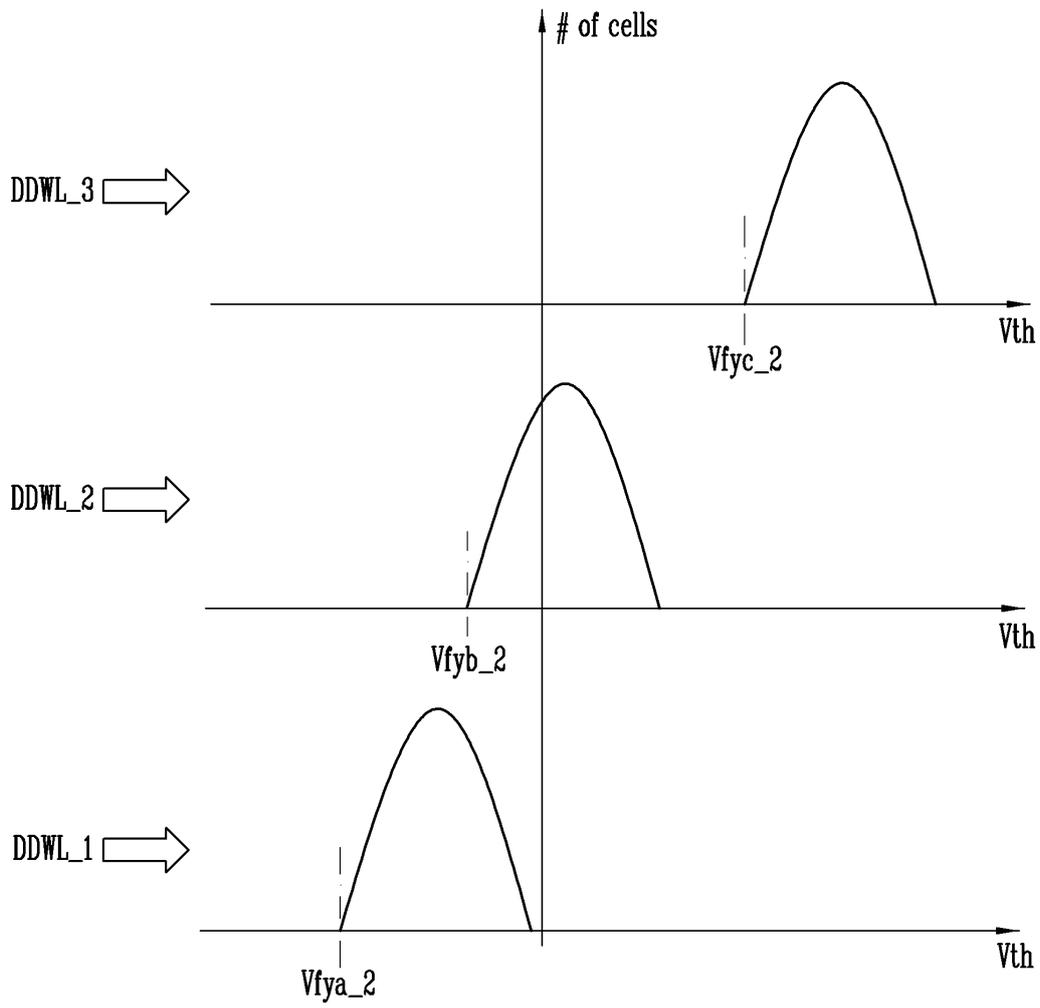
도면8



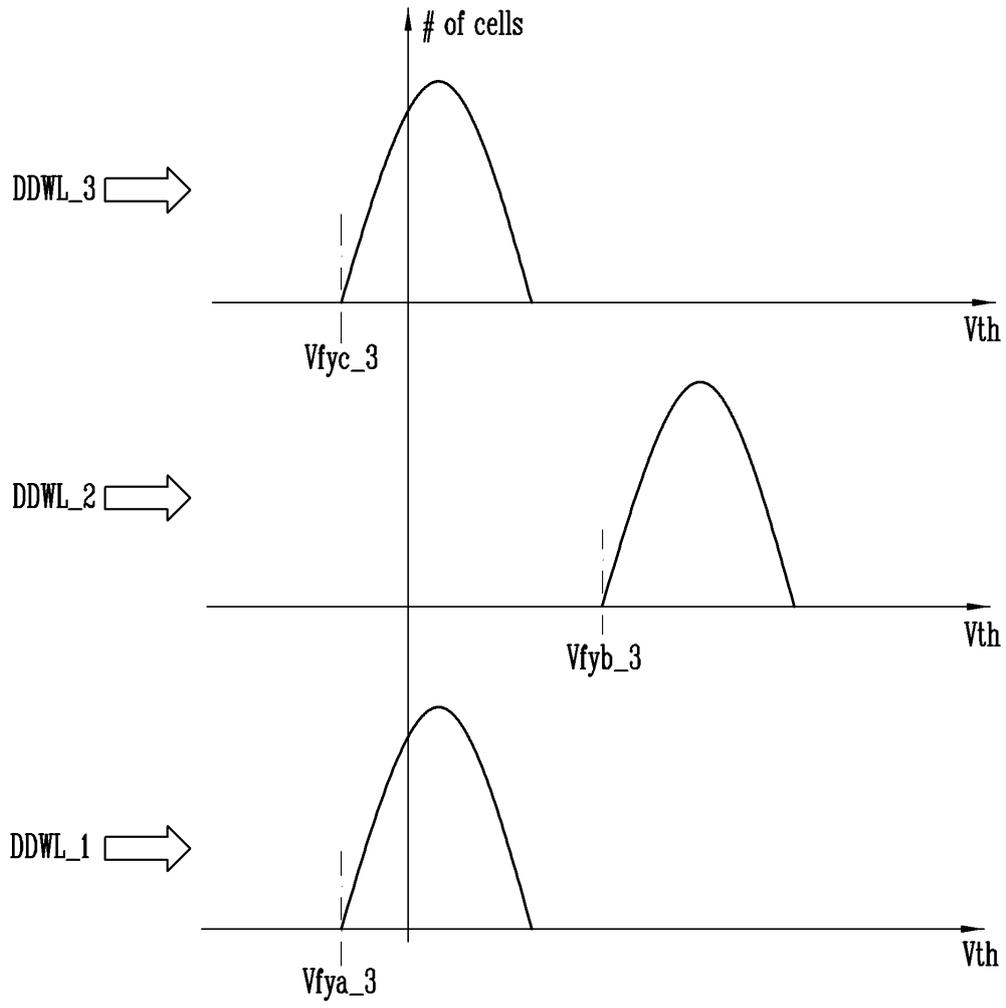
도면9



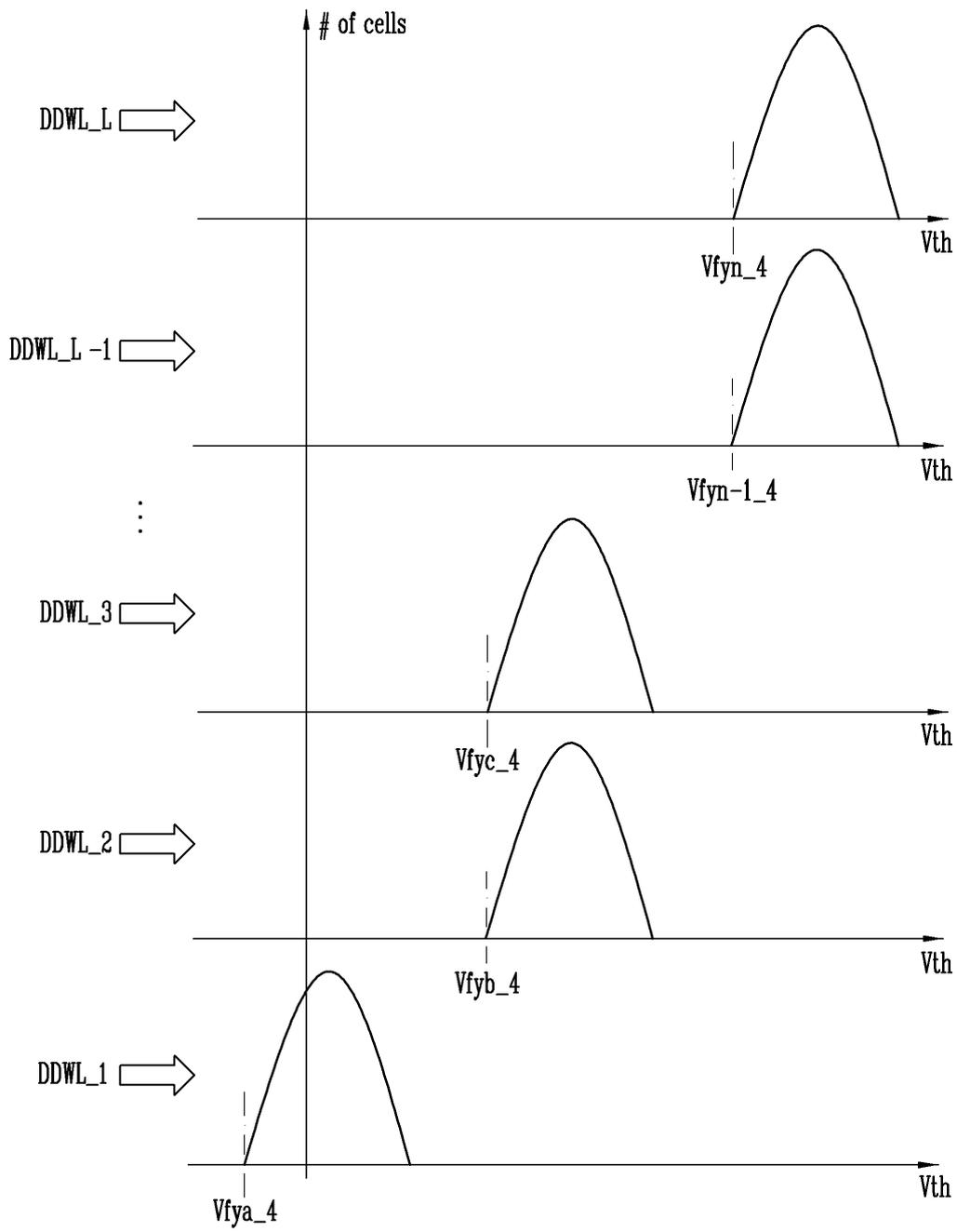
도면10



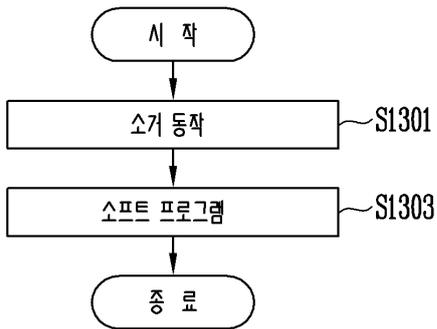
도면11



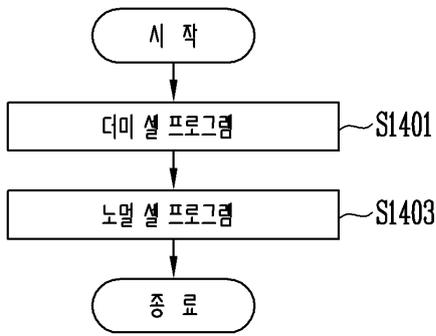
도면12



도면13



도면14



도면15

