

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7170724号
(P7170724)

(45)発行日 令和4年11月14日(2022.11.14)

(24)登録日 令和4年11月4日(2022.11.4)

(51)国際特許分類	F I			
G 1 1 C 16/26 (2006.01)	G 1 1 C	16/26	1 3 0	
G 1 1 C 16/04 (2006.01)	G 1 1 C	16/04	1 8 0	
G 1 1 C 16/24 (2006.01)	G 1 1 C	16/24	1 1 0	

請求項の数 20 (全30頁)

(21)出願番号	特願2020-526521(P2020-526521)	(73)特許権者	518109985
(86)(22)出願日	平成30年11月16日(2018.11.16)		サンライズ メモリー コーポレイション
(65)公表番号	特表2021-503683(P2021-503683 A)		アメリカ合衆国カリフォルニア州 9 4 5 3 8 ・フレモント・レイクビュー プールバード 4 6 8 3 1
(43)公表日	令和3年2月12日(2021.2.12)	(74)代理人	110001379
(86)国際出願番号	PCT/US2018/061495		特許業務法人 大島特許事務所
(87)国際公開番号	WO2019/099811	(72)発明者	チェルニア、ラウル エイドリアン
(87)国際公開日	令和1年5月23日(2019.5.23)		アメリカ合衆国カリフォルニア州 9 5 0 5 4 ・サンタ クララ・アグニュー ロード 8 8 9
審査請求日	令和3年8月20日(2021.8.20)	審査官	後藤 彰
(31)優先権主張番号	62/588,109		
(32)優先日	平成29年11月17日(2017.11.17)		
(33)優先権主張国・地域又は機関	米国(US)		
(31)優先権主張番号	16/193,292		
(32)優先日	平成30年11月16日(2018.11.16)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 フローティングソースメモリ構造体の検出方法

(57)【特許請求の範囲】

【請求項 1】

共通ソース線と共通ビット線を共有し、かつ、薄膜ストレージトランジスタのゲート電極として機能する導体であるワード線に関連付けられた前記薄膜ストレージトランジスタのメモリストリングにおいて、予め第1の電圧範囲または第2の電圧範囲のいずれかの範囲内のしきい値電圧を有するよう構成された選択された前記薄膜ストレージトランジスタの1つを読み出す方法であって、

容量結合技術を用いて前記共通ソース線と前記共通ビット線との間に電圧差を生じさせるステップと、

選択された前記薄膜ストレージトランジスタの前記しきい値電圧が前記第1の電圧範囲または前記第2の電圧範囲であるか否かに応じて導電状態または非導電状態にするように選択される読み出し電圧を、選択された前記薄膜ストレージトランジスタの前記ゲート電極に印加するステップと、

選択された前記薄膜ストレージトランジスタの電流を検出することにより、選択された前記薄膜ストレージトランジスタが導電状態であるか非導電状態であるかを決定するステップとを含む方法。

【請求項 2】

前記容量結合技術が、前記共通ビット線および前記共通ソース線を所定の電圧に初期化するステップと、

前記共通ソース線と前記共通ソース線の周辺にある前記導体との間の電位を変化させる

10

20

ことにより、前記電圧差を生じさせるステップとを含む、請求項 1 に記載の方法。

【請求項 3】

前記共通ソース線の周辺の前記導体は、前記メモリストリング内の、選択された前記薄膜ストレージトランジスタ以外の薄膜ストレージトランジスタに関連付けられたワード線を構成する、請求項 2 に記載の方法。

【請求項 4】

前記所定の電圧が、電源電圧と他の基準電圧との範囲内にある、請求項 2 に記載の方法。

【請求項 5】

前記共通ソース線は、前記共通ビット線および前記共通ソース線を前記所定の電圧に初期化するための電流経路が有効である場合を除き、前記電源電圧または前記基準電圧のソースから電氣的に絶縁されている、請求項 4 に記載の方法。

10

【請求項 6】

前記読み出し電圧を印加する前に、前記電流経路を無効にするステップを含む、請求項 5 に記載の方法。

【請求項 7】

前記共通ソース線は、前記共通ビット線を前記共通ソース線に電氣的に接続する選択装置または回路によって、前記所定の電圧に初期化されるステップを含む、請求項 3 に記載の方法。

【請求項 8】

前記所定の電圧は、実質的に電源電圧または他の基準電圧である、請求項 2 に記載の方法。

20

【請求項 9】

選択された前記薄膜ストレージトランジスタの前記電流を検出した後、前記しきい値電圧が前記第 1 の電圧範囲にあるか前記第 2 の電圧範囲にあるかを決定するステップをさらに含む、請求項 1 に記載の方法。

【請求項 10】

前記共通ビット線上の前記電圧が判別レベルを超えるか否かを決定するステップをさらに含む、請求項 8 に記載の方法。

【請求項 11】

前記判別レベルが、前記電源電圧以下の P M O S しきい値電圧である、請求項 10 に記載の方法。

30

【請求項 12】

前記読み出し電圧が前記ワード線に印加された後の所定時間内に、前記共通ビット線上の電圧が判別レベルを超えるか否かを決定するステップをさらに含む、請求項 8 に記載の方法。

【請求項 13】

検出された前記電流は、前記共通ソース線に流入または流出する電流を検出することにより推測されるステップを含む、請求項 1 に記載の方法。

【請求項 14】

(i) 前記メモリストリングである第 1 のメモリストリングが前記第 1 のメモリストリングと実質的に同じように構成された薄膜ストレージトランジスタの第 2 のメモリストリングと関連付けられるステップと、

40

(i i) 前記第 2 のメモリストリングの前記共通ソース線が、前記第 1 のメモリストリングの前記共通ソース線と電氣的に結合されるステップと、

(i i i) 前記第 1 のメモリストリングの前記共通ビット線が、前記第 2 のメモリストリングの前記共通ビット線から電氣的に絶縁されるステップとを含む、請求項 1 に記載の方法。

【請求項 15】

前記電圧差は、少なくとも部分的には、前記第 2 のメモリストリング内の前記薄膜ストレージトランジスタに関連付けられた前記ワード線上の電位を変化させることによって生

50

じる、請求項 14 に記載の方法。

【請求項 16】

前記電流がオペアンプで検出されるステップを含む、請求項 1 に記載の方法。

【請求項 17】

前記電流が差動アンプで検出されるステップを含む、請求項 1 に記載の方法。

【請求項 18】

前記電流が所定のレベルに達する前、かつ、前記共通ビット線上の電圧が判別点を越えたことを検出した後に、前記電流を検出するステップを含む、請求項 1 に記載の方法。

【請求項 19】

所定の電圧が実質的に電源電圧から NMOS トランジスタしきい値電圧を差し引いた電圧である、請求項 1 に記載の方法。

10

【請求項 20】

選択装置が、前記電流を検出する前に、検出回路の入力端子を一方向導通モードの前記共通ビット線に接続するステップを含む、請求項 19 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、NOR 型メモリストリングとして構成された、メモリセルの 3 次元の不揮発性メモリ構造体に関する。より詳細には、本発明は、各メモリセルが、直接アクセス可能なドレイン電極と、直接アクセス可能ではないフローティングソース電極との間に接続されている、メモリセルの構造からのデータの読み出しに関する。

20

【背景技術】

【0002】

不揮発性メモリセル群は、多くの場合、外部からアクセス可能な 2 つの電気ノード（「電極」）間で直列（NAND）または並列（NOR）に接続される。ダイナミックランダムアクセスメモリ（DRAM）セルとは対照的に、不揮発性メモリセルは、データ取得のためにアクセスした後、または電源を切った後も、保存された情報を保持する。典型的な不揮発性メモリセルでは、データは、例えば、ファウラーノルドハイムトンネリングによって作成される絶縁された電荷トラップ層に注入された電荷の形で記憶される。記憶された情報は、通常、測定可能な電流の流れまたは測定可能な電圧レベルの変化のいずれかに基づく非破壊的な方法を用いて取得される。測定結果は、一般的に「センスアンプ」によってデジタル情報として提供される。電流の流れを利用する方法は「電流検出法（電流センシング）」、電圧を変化させる方法は「電圧検出法（電圧センシング）」と呼ばれる。このような観点から、センスアンプとして、電流検出法の場合はデジタル電流計、電圧検出の場合はデジタル電圧計が用いられる。

30

【0003】

図 1A は、米国特許第 7,046,568 号明細書に記載されている電流検出および電圧検出のいずれも可能なセンスアンプ回路を示す。図 1B は、図 1A のセンスアンプ回路をもとに、電流検出モードで動作する簡略化したセンスアンプ回路を示す図である。図 1A および図 1B に示すように、メモリセル 100 は、寄生容量（図 1B の寄生ビット線コンデンサ 102 に代表される）の負荷が大きいビット線（BL）101 とグランド基準との間に接続されている。NMOS トランジスタ 103、104 は、メモリセル 100 を時間に依存しないドレイン電圧にバイアスするようにカスコード構成で接続されており、これにより、ノード 106 における電位（信号 SEN）に依存せず、メモリセル 100 内の電流を一定に保つことができる。

40

【0004】

図 1C は、図 1B の電流検出動作における各種信号の電圧波形を示す図である。図 1B および図 1C に示すように、ノード 106 は、レベルセンシティブ型である PMOS 初期化トランジスタ 110 が非導電状態となるように、PMOS 初期化トランジスタ 105 によって電源電圧 VDD に初期化され、ビット線 101 は電圧 $BLC - V_T$ に保持される。

50

ここで、電圧 BLC はNMOSトランジスタ103のゲート電極の電圧であり V_T はNMOSトランジスタ103のしきい値電圧である。コンデンサ107はノード106と電源電圧 VDD との間に接続されており、寄生ビット線コンデンサ102に対して相対的に小さい容量を有する専用コンデンサ(すなわち、寄生コンデンサではなく、明示的に提供されるコンデンサ)であってもよい。時刻 T_1 において、PMOS初期化トランジスタ105はオフになり、メモリセル100は、その導電状態に応じて、コンデンサ107を放電してもよいし、放電しなくてもよい。メモリセル100が導電状態でない場合、ノード106は電荷を失うことなく、電源電圧 VDD のままであるため、PMOS初期化トランジスタ110は非導電状態である。この場合、結合されたインバータの一方の出力電極111は、グランド基準のままである。しかし、メモリセル100が導電状態であれば、ノード106上の電圧は低下する。時刻 T_2 で、ノード106の電圧が「トリップポイント」(TP)レベル117を下回ると、PMOS初期化トランジスタ110が導通し、出力電極111を駆動して電源電圧 VDD を供給する。

10

【0005】

コンデンサ107は、ノイズフィルタとしての役割と、セル電流評価装置としての役割(時間積分による)の2つの役割を果たす。メモリセル内の一定の電流は、図1Cに示されるように、異なるセル電流は、ノード106の電圧が異なる波形113、114を有する結果となり、波形114によって示されるより急な勾配は、より高い放電電流に対応する。出力電極111の電圧は、ノード106上の電圧がTPレベル117を越えると、波形115および116(それぞれ波形113および114に対応する)で示されるように、論理状態が変化する。TPレベル117は、PMOS初期化トランジスタ110のしきい値電圧に対応する。

20

【0006】

図1Bにおいて、追加のトランジスタ108は、そのゲート電極にNMOSトランジスタ103の電圧 BLC よりも高い電圧 BLX を有し、そのドレイン電極に電源電圧 VDD を供給する。トランジスタ108は、NMOSトランジスタ103のドレイン電極の電圧を維持する。これは、ノード106の電圧が低下すると、NMOSトランジスタ103のドレイン電極がビット線101の電圧 $BLC - V_T$ よりも高い電圧 $BLX - V_T$ に保持されるため、ビット線101の電圧を $BLC - V_T$ で一定に保つことができるからである。 T_1 と T_4 の間の期間にまたがる放電時間窓118は、電源電圧 VDD とTPレベル117との間のノード106における放電直線性を提供するように、電流検出動作に先立って較正される。TPレベル117以下では、全体的な回路応答により、直線性が失われる場合がある。回路応答には、PMOS初期化トランジスタ110が導電状態となり、NMOSトランジスタ103のドレイン電極の電圧が精度に影響を与えずに $BLX - V_T$ に保持されることが含まれる。この図1Bおよび図1Cの動作は、電流検出動作の一種に過ぎないことを示している。あるいは、セル電流をミラーリングして既知の基準と比較することにより、セル電流を評価することもできる。

30

【0007】

図1Dは、図1Aのセンスアンプ回路をベースに、電圧検出モードで動作する簡略化されたセンスアンプ回路を示す図である。図1Eは、図1Dの電圧検出動作における各種信号の電圧波形を示す図である。図1Dに示すように、NMOSトランジスタ103は、そのゲート電極が電圧 BLC_1 にある状態で、ビット線101(寄生ビット線コンデンサ102によって示される容量性ノード)をグランドから電圧 $BLC_1 - V_T$ (図1Eの波形119によって示されるように)までプリチャージする。そして、NMOSトランジスタ103のゲート電極の電圧を電圧 $BLC_2 - V_T$ (波形120で示される)まで下げることで、ビット線101をノード106から切り離す。時刻 T_1 において、読み出し電圧がメモリセル100に印加される。符号化された状態に応じて、メモリセル100を活性化すると、ビット線101を放電してもよいし、放電しなくてもよい。ビット線101における放電率は、寄生ビット線コンデンサ102が上述したコンデンサ107よりも数桁大きい可能性があるため、上述した「電流検出」動作と比較して著しく低い(例えば、数

40

50

桁)可能性がある。電流検出とは異なり、電圧検出動作では、専用のコンデンサ107を必要としない。図1Eに示すように、ビット線101の電圧が $BLC_2 - V_T$ (すなわち、波形120)以下に低下すると、ノード106は直ちにプルダウンされる(図1Eでは参照数字121で示されている)。最終的に、ビット線101はグランドに放電する。電圧検出方法の大きな欠点は、時間がかかることである。

【0008】

メモリセル100のソース電極が接地されていない場合には、メモリセル100がグランドへのアクティブプルダウンとして機能することができなくなるため、電流検出方法および電圧検出方法のいずれも使用することができない。センスアンプの容量性入力端子に中間回路を介して判別点を横切ることを強制できるようなグランドへの電流の流れはない。

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一実施形態は、メモリセルのストリング群から選択されたメモリセルより記憶された情報を取得する方法である。その実施形態では、ストリング内のすべてのメモリセルは共通のビット線を共有し、一部のメモリセルは共通のソース線に関連付けられ、他のメモリセルはそれぞれ他の共通のソース線に関連付けられている。メモリストリング内の各メモリセルは、異なるワード線に関連付けられている。この方法は、(a)メモリセルの共通ビット線および関連する共通ソース線を、電源電圧とグランドとの間の所定の電圧に初期化するステップと、(b)共通ビット線、関連する共通ソース線、またはその両方を所定の電圧から偏位させることによって、関連する共通ソース線と共通ビット線との間の電圧分離を行うステップと、(c)関連するワード線上で、メモリセルを、メモリセルに記憶された情報に対応する導電状態に置くための読み出し電圧を提供するステップと、および(d)電流検出回路を使用し、関連するワード線上での読み出し電圧の結果として関連する共通ソース線への電荷の流れまたは関連する共通ソース線からの電荷の流れを検出することに基づいて、導電状態を決定するステップとを含む。

20

【図面の簡単な説明】

【0010】

本発明は、添付の図面と併せて、以下の詳細な説明を検討するとよりよく理解される。

【0011】

30

【図1A】電流検出動作と電圧検出動作の両方が可能なセンスアンプ回路を示す図である。

【図1B】図1Aのセンスアンプ回路をベースに、電流検出モードで動作する簡略化されたセンスアンプ回路を示す図である。

【図1C】図1Bの電流検出動作における各種信号の電圧波形を示す図である。

【図1D】図1Aのセンスアンプ回路をベースに、電圧検出モードで動作する簡略化されたセンスアンプ回路を示す図である。

【図1E】図1Dの電圧検出動作における各種信号の電圧波形を示す図である。

【図2A】本発明の一実施形態による電荷検出の原理を示す図である。

【図2B】本発明の一実施形態によるメモリセルの導電状態を評価するために電荷検出の原理の適用を示す図である。

40

【図3A】本発明の一実施形態による、センスアンプ回路を使用して非導電状態のメモリセル上の電荷共有の評価を示す図である。

【図3B】本発明の一実施形態による、センスアンプ回路を使用して導電状態にあるメモリセルの電荷共有の評価を示す図である。

【図4A】本発明の一実施形態による3次元不揮発性メモリ構造体20を異なる観点から示す図である。

【図4B】本発明の一実施形態による3次元不揮発性メモリ構造体20を異なる観点から示す図である。

【図4C】本発明の一実施形態による3次元不揮発性メモリ構造体20を異なる観点から示す図である。

50

【図 5】本発明の一実施形態による、センスアンプ 255 を共有する 2 つのアクティブストリップによって形成された NOR ストリング 501 および 501 内のメモリセルの概略回路を示す図である。

【図 6】本発明の一実施形態による寄生コンデンサが示された NOR ストリング 501 を示す図である。

【図 7 A】NMOS 選択トランジスタ（ストリング選択トランジスタ）230 によってセンスアンプ 255 に直結された NOR ストリング 501 のメモリセルの導電状態を決定するための条件を準備するプリチャージセル 224 を示す図である。

【図 7 B】本発明の一実施形態による、「プログラム済」（すなわち、非導電状態）メモリセルおよび「消去済」（すなわち、導電状態）メモリセルの読み出しをそれぞれ示す図である。

10

【図 7 C】本発明の一実施形態による、「プログラム済」（すなわち、非導電状態）メモリセルおよび「消去済」（すなわち、導電状態）メモリセルの読み出しをそれぞれ示す図である。

【図 7 D】本発明の一実施形態による、ドレイン電極 217 とソース電極 219 との間の寄生容量を考慮した、図 7 B および図 7 C の読み出しメモリセル 210 を示す図である。

【図 8 A】本発明の一実施形態による、電源電圧 VDD に設定したワード線に結合したソース電極 219 を有する NOR ストリング 501 内のメモリセルの導電状態を決定するための条件を準備するプリチャージセル（トランジスタ）224 を示す図である。

【図 8 B】本発明の一実施形態による、結合したワード線電圧を変化させる技術を使用して、「プログラム済」（すなわち、非導電状態）メモリセル 210 の読み出しを示す図である。

20

【図 8 C】本発明の一実施形態による、結合したワード線電圧を変化させる技術を使用して、「プログラム済」（すなわち、非導電状態）メモリセル 210 の読み出しを示す図である。

【図 9】フローティングノード 301 を入力電極（ノード 300）および接地にそれぞれ結合するコンデンサ C0 および C1 を示す図である。

【図 10 A】図 9 のモデルのさらなる改良を示す図である。

【図 10 B】図 10 A のモデルのノード 301、302 および 303 における例示的な波形を示す図である。

30

【図 11 A】図 10 A ~ 図 10 B のモデルにおける動作原理を使用した直接接続データ検出のための別の方法を示す図である。

【図 11 B】図 10 A ~ 図 10 B のモデルにおける動作原理を使用した直接接続データ検出のための別の方法を示す図である。

【図 11 C】図 10 A ~ 図 10 B のモデルにおける動作原理を使用した直接接続データ検出のための別の方法を示す図である。

【図 12 A】ドレイン電極 217 とセンスアンプの入力電極 251 との間の「ダイオード類似」接続を使用したストレージトランジスタ（メモリセル）210 のデータ検出を示す図である。

【図 12 B】ドレイン電極 217 とセンスアンプの入力電極 251 との間の「ダイオード類似」接続を使用したストレージトランジスタ（メモリセル）210 のデータ検出を示す図である。

40

【図 12 C】ドレイン電極 217 とセンスアンプの入力電極 251 との間の「ダイオード類似」接続を使用したストレージトランジスタ（メモリセル）210 のデータ検出を示す図である。

【図 12 D】ドレイン電極 217 とセンスアンプの入力電極 251 との間の「ダイオード類似」接続を使用したストレージトランジスタ（メモリセル）210 のデータ検出を示す図である。

【図 12 E】ドレイン電極 217 とセンスアンプの入力電極 251 との間の「ダイオード類似」接続を使用したストレージトランジスタ（メモリセル）210 のデータ検出を示す

50

図である。

【図 1 3 A】図 1 2 A から図 1 2 E の方法による非導電状態の（すなわち、プログラム済）メモリセル上の動作を示す図である。

【図 1 3 B】図 1 2 A から図 1 2 E の方法による非導電状態の（すなわち、プログラム済）メモリセル上の動作を示す図である。

【図 1 3 C】図 1 2 A から図 1 2 E の方法による非導電状態の（すなわち、プログラム済）メモリセル上の動作を示す図である。

【図 1 4】ロングメモリストリングにおけるサブスレッシュホールドリーク効果を緩和するために、共通のソース線をセグメント（例えば、ソースセグメント 4 0 2、4 0 3、4 0 4 および 4 0 5）に分割することを示す図である。

【図 1 5 A】上述の図 1 2 A ~ 図 1 2 E に示したダイオード類似接続に基づいて適切なセグメントサイズを決定するための方法を示す図である。

【図 1 5 B】上述の図 1 2 A ~ 図 1 2 E に示したダイオード類似接続に基づいて適切なセグメントサイズを決定するための方法を示す図である。

【図 1 5 C】ドレイン 接地容量を無視した場合のドレイン ソース容量（すなわち、コンデンサ 4 5 0）を考慮した場合を示す図である。

【図 1 6 A】ドレイン電極 2 1 7 が、(i) アクティブソースセグメントに関連するワード線を表すノード 4 1 2 および (i i) 非アクティブソースセグメントのすべてに関連するワード線を表すノード 4 1 3 に容量結合されているモデルを示す図である。

【図 1 6 B】ソース電極が 2 つのセグメントに分割されている場合について、ドレイン電極 2 1 7 がアクティブセグメントおよび非アクティブセグメントにそれぞれ結合された図 1 6 A のモデルの一部を示す図である。

【図 1 6 C】ソース電極が 2 つのセグメントに分割されている場合について、ドレイン電極 2 1 7 がアクティブセグメントおよび非アクティブセグメントにそれぞれ結合された図 1 6 A のモデルの一部を示す図である。

【図 1 6 D】図 1 6 A ~ 図 1 6 C のモデルにおけるソースセグメント 4 1 2、4 1 3、ドレイン電極 2 1 7 および部分ドレイン電極 4 0 3 における電圧波形を示す図である。

【図 1 7】ドレイン電極 2 1 7 からソース電極 2 1 9 を分離した後、ドレイン電極 2 1 7 に電圧の「昇圧（ステップアップ）」ステップを設けた場合の効果を示す図である。

【図 1 8】ドレイン電極 2 1 7 からソース電極 2 1 9 を分離した後、ドレイン電極 2 1 7 において、図 1 7 の昇圧電圧ではなく、正パルスを印加した場合の効果を示す図である。

【図 1 9】ソース電極の分割を利用して、様々なワード線ベースの容量結合ステップが実行されるセンシングシーケンス中のドレイン電極、分割されたソース電極およびセンスアンプの入力電極における信号の波形を示す図である。

【図 2 0】垂直に隣接する 2 つの NOR ストリング 5 0 1、5 0 2 の間の寄生容量を使用した、フローティング共通ソース線の 1 つに結合された電圧ステップまたはパルスの誘導を示す図である。

【発明を実施するための形態】

【0 0 1 2】

絶縁系では、システム内部にトラップされた電荷は、検出動作の下で保存される。例えば、グラウンドノードに接続されていないメモリセルでは、電圧検出時にメモリセル内の電荷を「0」に放電することができず、また、電流検出時に一定の電流を供給して測定することができない。本発明は、このようなメモリセルの電荷共有の原理に基づく「電荷検出」方法を提供するものである。

【0 0 1 3】

本発明の電荷検出方法は、例えば、2 0 1 6 年 7 月 2 6 日に出願された「Multi - Gate NOR Flash Thin - film Transistor Strips Arranged in Stacked Horizontal Active Strips with - Vertical Control Gates」なる標題の米国特許出願第 1 5 / 2 2 0 , 3 7 5 号明細書（非仮出願 I）および、2 0 1 7 年 8 月 2 6 日

10

20

30

40

50

に出願された「Capacitive - Coupled Non - Volatile Thin - Film Transistor Strings in Three - Dimensional Arrays」なる標題の米国特許出願第 15 / 248, 420 号明細書（非仮出願 I I）に開示されている NOR ストリング内のメモリセルの検出に適用可能であってもよい。これらの各実施例において、本発明の方法は、メモリセルのフローティングドレイン電極を介してアクセスされるメモリセルのフローティングソース電極とセンスアンプのフローティング入力電極との間の電荷共有動作の結果を評価するために使用されてもよい。メモリセルの導電状態は、メモリセルのソース電極とセンスアンプの入力電極との間の電圧バランスの判定結果から決定される。メモリセルの導電状態が非導電状態の場合、ノード間の電位は等しくならない。そうでなければ、メモリセルの導電状態が導通状態である場合、ノード間の電位は等しくなる。

10

【 0014 】

図 2 A に示すように、2 つの異なる電圧 V_1 および V_2 に初期化された 2 つのコンデンサは、フローティングプレートが接続されていない限り、そのフローティングプレート上の電圧を保持する。これらのコンデンサの容量と電圧に応じて、これらのコンデンサはまた、2 つの異なる量の電荷を蓄積する。しかし、接続した場合、2 つのコンデンサに保持されている電荷量は、それぞれの接続前の電荷量の合計のままであるが、それぞれのプレート間の電圧は V_1 と V_2 の間の電圧に等しくなる。

【 0015 】

図 2 B は、本発明の一実施形態による、メモリセルの導電状態を評価するために電荷検出の原理の適用を説明する図である。図 2 B に示すように、非導電状態（「プログラム済」）では、メモリセルのゲート電極に読み出し電圧を印加すると、そのドレイン電極とソース電極に異なる電圧が維持される。一方、導電状態（「消去済」）では、ゲート電極に読み出し電圧を印加することで、ドレイン電極とソース電極の電圧が等しくなり、蓄積された電荷量が再配分される。

20

【 0016 】

本発明の方法の下での電荷共有は、図 3 A および 3 B に図示されているように、メモリセルのノードの 1 つをセンスアンプ回路に接続することによって評価されてもよい。図 3 A に示すように、ソース電極 S とドレイン電極 D を有するメモリセルは、メモリセルのドレイン電極 D を介してセンスアンプ S A の入力電極 I N に接続されている。3 つの容量性ノードである S、D、I N は、それぞれ電圧 V_S 、 V_D 、 V_{IN} で、例えば電圧 V_S が電圧 V_{IN} よりも低い状態で電源ノードによって初期化される。これらの容量性ノードは、充電され、その後、それぞれの電源ノードから分離される。例えば、ソース電極 S は、電圧源に直接接続することはできないが、ドレイン電極 D に結合された導電状態のセルを介して充電することができる。図 3 A に示すように、容量性ノードである S、D、I N の電圧は、メモリセルが非導通状態（「オフ」または「プログラム済」）にある場合、無期限に（寄生リークを無視して）維持されてもよい。反対に、メモリセルが導通状態（「オン」または「消去済」）にある場合、図 3 B に示すように、センスアンプのソース電極 S、ドレイン電極 D、および入力電極 I N は、共通の共通電圧 V_{SH} に収束する。ソース電極 S の初期電圧 V_S は、センスアンプの入力電極 I N の電圧 V_{IN} よりも低いため、共通電圧 V_{SH} は V_S と V_{IN} の中間にある（つまり $V_S < V_{SH} < V_{IN}$ ）。そして、センスアンプ回路は、アナログ電圧の小振幅が判別値を超えると V_{IN} から V_{SH} へのアナログ電圧の小振幅をフル CMOS デジタル電圧振幅に変換する。

30

40

【 0017 】

図 4 A ~ 図 4 C は、本発明の一実施形態による 3 次元不揮発性メモリ構造体 20 の様々な態様を示す（3 次元不揮発性メモリ構造体 20 は、例えば、上記の非仮出願 I および非仮出願 I I に開示されているように、NOR ストリングの配列を提供する）。図 4 A に示されるように、メモリ構造体 20 は、アクティブストリップの堆積を含む。図 4 A では、参照符号 200、201、202 および 203 の隣接する各対の間に、半導体および誘電体材料の細長い層から形成されたアクティブストリップがある。堆積されたアクティブス

50

トリップのいずれかの側には、図 4 A で参照符号 204、205、206、207 および 208 によって示される垂直なローカルワード線が提供され、各ワード線は、誘電体材料の垂直な列（例えば、誘電体列 209）によって、堆積が同じ側の別のワード線から分離されている。各ローカルワード線と各アクティブストリップとの重なり部分（例えば、211、212 または 213）は、メモリセルまたはストレージトランジスタが形成される位置である。

【0018】

記憶材料の特殊な層、例えば電荷トラッピング層 210 は、電荷を捕獲することを可能にする。蓄積情報は、電荷の有無などの電荷の捕獲量を 1 ビット単位のセルケースで表し、電荷の量の異なる電荷を複数ビット単位のセルケースでそれぞれ異なる蓄積値を表している。図 4 B に示すように、各アクティブストリップは、半導体層 215 と誘電体層 216 とを含み、半導体層 215 は、導電性半導体層 218 と 219 との間に設けられている。導電性半導体層 218 および 219 は、例えば、N⁺ ポリシリコンであってもよい。図 4 B では、抵抗を低減するために、導電性半導体層 218 に隣接する追加の導電性層 217（例えば、金属）を設けてもよい。この例では、導電性層（金属層）217 とその隣接する導電性半導体層 218 の組み合わせは、関連するメモリセルに共通ドレイン電極を提供し、導電性半導体層 219 は、関連するメモリセルに共通ソース電極を提供する。各共通ドレイン電極は、3次元不揮発性メモリ構造体 20 の外部の 1 以上の回路に電気的に接続され、共通ソース電極は、3次元不揮発性メモリ構造体 20 の外部の回路から絶縁されている。半導体層 215 は、メモリセルのためのフローティング基板を提供する。半導体層 215 は、例えば、P⁻ ポリシリコン層であってもよい。同じアクティブストリップ内の 2 つ以上のメモリセル（例えば、図 4 C のメモリセル 221、222 および 223）は、共通のドレイン電極を共有している。同様に、同じアクティブストリップ内の 2 つ以上のメモリセル（例えば、図 4 C のメモリセル 221、222 および 223）は、共通ソース電極を共有する。同じアクティブストリップに沿ったメモリセルは、1 以上の NOR ストリングを形成する。

【0019】

電荷トラッピング層 210 は、浅い P⁻ ポリシリコン基板層（半導体層）215 の表面で、導電性半導体層 218 と 219（両方とも N⁺ 型ポリシリコン）間の伝導を可能にする（「チャンネル形成」）正電荷を蓄積することができる。しかし、電荷トラッピング層 210 における負の電荷の蓄積は、チャンネルの形成を妨げ、それによって導電性半導体層 218 および 219 を分離した状態に保つ。

【0020】

図 5 は、本発明の一実施形態による、センスアンプ 255 を共有する 2 つのアクティブストリップ内の 2 つの NOR ストリング 501、502 内のメモリセルの概略回路を示す。図 5 に示すように、NOR ストリング 501 のビット線または共通ドレイン電極 217（図 4 B では金属層 217 および N⁺ ポリシリコン層（導電性半導体層）218 を表す）は、NMOS 選択トランジスタ 230 によってセンスアンプ 255 に接続されている。NOR ストリング 502 の共通ドレイン電極 220 は、そのゲート電極が接地される（すなわち、非選択される）ように、図 5 に示されている NMOS 選択トランジスタ 231 によってセンスアンプから絶縁されている。メモリセル、例えばメモリセル 210、211、212、213、214 は、共通ドレイン電極 217 と共通ソース電極 219 との間に NOR 構成で並列に接続され、NOR ストリング 501 を形成する。NOR ストリング内の各メモリセルは、その関連ワード線によって個別に選択され、活性化されてもよい。例えば、NOR ストリング 501 において、ワード線 204 は、メモリセル 210 を選択して活性化する。メモリセル 210 の導電状態を決定するために、NOR ストリング 501 に沿った他のすべてのワード線は接地され、それらの選択されていないメモリセルにおける導通を防止する。

【0021】

図 5 において、ワード線 223 は、図示された NOR ストリング 501、502 の各々

10

20

30

40

50

において、その関連するメモリセル（例えば、メモリセル 224）を活性化するために提供された結果、共通ドレイン電極と共通ソース電極との間の電圧を等しくする。ワード線 223 に関連付けられたメモリセル（「プリチャージセル」）は、典型的には「消去済」の導電状態にあり、各関連付けられた NOR ストリングのドレイン電極およびソース電極上の電圧を意図的に等しくする「プリチャージ段階」の間、一時的に活性化される。

【0022】

図 6 は、本発明の一実施形態による、寄生コンデンサが明示的に示されている NOR ストリング 501 を示す。図 6 に示すように、寄生コンデンサ 250 は、ドレイン電極 217 とソース電極 219 との間に存在する寄生容量を表している。また、図 6 には、(a) ドレイン電極 217 と NOR ストリング 501 に関連付けられたワード線（例えばワード線 204）との間に存在する寄生容量を表す寄生コンデンサ 241 ~ 248 と、(b) ソース電極 219 と NOR ストリング 501 に関連付けられたワード線（例えばワード線 204）との間に存在する寄生容量を表す寄生コンデンサ 261 ~ 268 とが示されている。図 6 において、寄生コンデンサ 240 は、ワード線が接地されている場合のワード線とドレイン電極 217 との間の寄生容量（例えば、寄生コンデンサ 241 ~ 248）の全ての和を表している。同様に、寄生コンデンサ 260 は、ワード線が接地されている場合のワード線とソース電極 219 との間のすべての寄生容量（例えば、寄生コンデンサ 261 ~ 268）の和を表す。寄生コンデンサ 225 は、センスアンプ 255 の入力電極とグランドとの間の寄生容量を表す。

【0023】

NOR ストリング 501 に沿ったメモリセルは、電氣的に絶縁された電荷トラップ層において、もしくはそこから電荷を捕獲または除去することにより、情報を記憶および消去する。電荷は、トンネリング（例えば、ファウラーノルドハイムトンネリング）または別の好適なプロセスを介して、電荷トラップ層に注入されるか、または電荷トラップ層から除去される。電荷は、NOR ストリングに電力が供給されていない期間中であっても、電荷トラップ層内に長時間存在していてもよい。センスアンプ 255 は、制御された条件下でメモリセルの導電状態を検出することによって間接的に決定されるので、電荷トラップ層に取り込まれた電荷の量を顕著に変化させることなく、関連する NOR ストリング内のメモリセルの導電状態を決定する。

【0024】

本発明の NOR ストリング（例えば、NOR ストリング 501）のメモリセルは、その共通ソース電極が NOR ストリングの外部の回路から直接アクセスできない点で、従来の不揮発性 NOR 型メモリセルと大きく異なる。従って、メモリセルの導電状態を判定するための従来の電流検出方法や電圧検出方法は適用できない。例えば、従来の「電流検出法」では、導電状態のメモリセルの電流を比較的一定にする必要があり、従来はドレイン電極の電圧を実質的に一定に保ち、ソース電極を接地することで実現してきた。本発明の NOR ストリングでは、メモリセルの電荷共有を伝導により可能にすると、ソース電極の電圧とメモリセルの電流が連続的に変化するため、一定のメモリセル電流を満たすことができない。同様に、本発明の NOR ストリングでは、導電状態のメモリセルではメモリセルのドレイン電極の電圧をグランドの状態にすることができないため、「電圧検出」の方法は機能しない。

【0025】

図 7A は、活性化された NMOS 選択トランジスタ 230 によってセンスアンプ 255 に直接接続された NOR ストリング 501 のメモリセルの読み出し（すなわち、導電状態の決定）のための条件を準備するプリチャージセル 224 を示す。この構成では、外部回路からアクセス可能なドレイン電極 217 がグランドに初期化され、NOR ストリング 501 に関連付けられた全てのワード線も接地される。その後、プリチャージセル 224 が活性化されてソース電極 219 とドレイン電極 217 とが接続され、これにより、センスアンプ 255 の入力電極も NMOS 選択トランジスタ 230 を介してグランドに放電される。プリチャージセル 224 のゲート電極は、後にオフ状態（すなわち、0 ボルト）に設

10

20

30

40

50

定され、これにより、ソース電極 219 をドレイン電極 217 から分離する。そして、NMOS 選択トランジスタ 230 のゲート電極に少なくとも $(V_{DD} + V_T)$ である電圧を提供することにより、センスアンプ 255 の入力電極およびドレイン電極 217 へ電源電圧 V_{DD} がもたらされるが、ここで V_T は NMOS 選択トランジスタ 230 のしきい値電圧である。この時点で、NOR ストリング 501 内の任意のメモリセル (例えば、メモリセル 210) を読み出しのために選択してもよい。

【0026】

図 7B および 7C は、本発明の一実施形態による、「プログラム済」(すなわち、非導電状態)メモリセルおよび「消去済」(すなわち、導電状態)メモリセルの読み出しをそれぞれ示している。図 7B に示すように、読み出されるメモリセル (すなわち、メモリセル 210) のワード線に読み出し電圧が印加されると、メモリセル 210 が非導電状態であるか、または「プログラム済」であるので、ドレイン電極 217 とソース電極 219 との間に電荷の共有は起こらない。あるいは、図 7C に示すように、メモリセル 210 が「消去済」になると、メモリセル 210 は導通し、それにより、メモリセル 210 のソース電極およびドレイン電極とセンスアンプ 255 の入力電極との間で電荷を共有することが可能になる。例えば、メモリセル 210 のドレインおよびソース電極の接地に対する静電容量とセンスアンプ 255 の入力電極のグラウンドに対する静電容量とが等しい場合、電荷共有から生じる最終的な電圧は $V_{SH} = 2/3 V_{DD}$ である。適切に設計されたセンスアンプでは、理想的には、その入力電極の電圧スイングは、センスアンプの出力状態の変化を確実に提供するのに十分な $1/3 V_{DD}$ (この場合のように) である。図 7B および 7C の例は、ソース電極 219 とドレイン電極 217 との間の寄生容量を考慮していない。図 7D は、本発明の一実施形態による、ドレイン電極 217 とソース電極 219 との間の寄生容量を考慮した、図 7B および 7C の読み出しメモリセル 210 の例を示す。

【0027】

ソース電極 219 とドレイン電極 217 との間の寄生容量 C が他のノードの寄生容量のそれぞれと等しい場合、NMOS 選択トランジスタ 230 の活性化によりドレイン電極 217 を電源電圧 V_{DD} にして、フローティングソース電極 219 を電圧 $1/2 V_{DD}$ にしてもよい。その場合、読み出し動作中の電荷共有により、共通電圧 $V_{SH} = 5/6 V_{DD}$ となり、図 7C に示した場合の $1/3 V_{DD}$ に比べて、センスアンプ 255 の入力電極の電圧スイングを $1/6 V_{DD}$ に低減することができる。また、センスアンプ 255 の入力電極 251 における寄生容量が、ドレイン電極 217 及びソース電極 219 における寄生容量に対して無視できるほど小さい場合には、センスアンプ 255 の入力電極 251 における電圧スイングは $1/4 V_{DD}$ に改善される。この 2 つのケースの間では、「直接接続」アプローチでは十分なマージンが得られない可能性がある。また、NMOS 選択トランジスタ 230 のゲート電極を電源電圧 V_{DD} 以上にするためのバイアスをかけるには、内部でチャージポンプを必要とするため、消費電力が増大し、アクセス信号が遅くなる。

【0028】

センスアンプ 255 の入力電極 251 の電圧を電荷共有交換の判別レベルを越えて変化させるために、NOR ストリング 501 の共通ソース電極 219 は、十分なブルダウンウェイト (すなわち、少なくともドレイン電極 217 とセンスアンプ 255 の入力電極 251 の合計容量に匹敵する寄生容量) を提供しなければならない。ソース電極 219 とドレイン電極 217 の容量が等しいと仮定すると (単純化するために、センスアンプ 255 の入力電極 251 における寄生容量を無視する)、ソース電極 219 とドレイン電極 217 との間の電圧分離は、トリップポイント電圧スイングの少なくとも 2 倍であることが望ましい。

【0029】

ソース電極 219 がセンスアンプ 255 の入力電極 251 に接続された結果、ドレイン電極 217 が上昇した電圧にされた後に、ソース電極 219 とドレイン電極 217 との間に十分な電圧分離を提供する 1 つの方法は、ワード線を使用してソース電極 219 の電圧を引き下げることである。図 8A は、本発明の一実施形態に従って、ソース電

極 2 1 9 が、電源電圧 V D D に設定された所定数のワード線に結合された状態で、N O R ストリング 5 0 1 内のメモリセルの導電状態を決定するための条件を準備するプリチャージセル 2 2 4 を示している。図 7 A と同様に、図 8 A の構成では、ドレイン電極 2 1 7 はグラウンドに初期化されている。ただし、図 7 A の構成とは異なり、ソース電極 2 1 9 に結合された所定数のワード線は、電源電圧 V D D に設定されている。次いで、プリチャージセル 2 2 4 は、ソース電極 2 1 9 およびドレイン電極 2 1 7 の電圧を等しくするために活性化され、それによってセンスアンプ 2 5 5 の入力電極 2 5 1 もまた、N M O S 選択トランジスタ 2 3 0 を介してグラウンドに放電される。そして、プリチャージセル 2 2 4 のゲート電極は、ソース電極 2 1 9 とドレイン電極 2 1 7 とを分離するために、負論理状態（例えば、0 ボルト）に設定される。

10

【 0 0 3 0 】

図 8 B および 8 C は、本発明の一実施形態による、結合されたワード線電圧の変化を使用する技術を使用して、「プログラム済」（すなわち、非導電状態）メモリセル 2 1 0 の読み出しを示している。図 8 B に示すように、ソース電極 2 1 9 がドレイン電極 2 1 7 から分離された後（図 8 A と併せて上述したように）、N M O S 選択トランジスタ 2 3 0 のゲート電極の電圧は、電源電圧 V D D + のそのしきい値電圧 V_T よりも大きくなるように上昇し、その結果、センスアンプ 2 5 5 のドレイン電極 2 1 7 および入力電極 2 5 1 の両方が電源電圧 V D D まで引き上げられる。ドレイン電極 2 1 7 とソース電極 2 1 9 との間に寄生容量があるため、図 7 D と併せて上述したように、ソース電極 2 1 9 を電圧 $1/2$ V D D まで同時に引き上げてよい。その後電源電圧 V D D に設定されたソース電極 2 1 9 に結合されたワード線は、図 8 C に示されるように、接地される。これらのワード線の接地は、十分な数のワード線がこのステップダウン（降圧）技術に関与している場合には、ソース電極 2 1 9 をグラウンド（すなわち、0 V）に戻すか、またはそれよりも低い値にする。

20

【 0 0 3 1 】

本発明は、半導体層への実質上均一な容量性結合を使用して、様々な形状および振幅のワード線信号を作り出すことにより、フローティングノードへの電圧を適切な値に設定するためのアプローチを提供する。図 9 は、フローティングノード 3 0 1 を入力電極（すなわち、ノード 3 0 0）に、そしてグラウンドにそれぞれ結合するコンデンサ C 0 および C 1 を例示的に示す。フローティングノード 3 0 1 は、例えば、共通のソース電極（例えば、図 8 B のソース電極 2 1 9）として機能するフローティング半導体層を表してもよい。コンデンサ C 1 は、フローティングノード 3 0 1 のある数の接地されたワード線への結合を表してもよく、ノード 3 0 0 は、作成された波形を受信するワード線の残りの部分を表してもよい。図 9 に示すように、ノード 3 0 0 で受信されたパルスは、ノード 3 0 0 で受信されたパルスの振幅の分数 C R（「結合比」）である電圧の変化をフローティングノード 3 0 1 で誘導する。具体的には、結合比 C R は、 $C R = C 1 / (C 0 + C 1)$ で与えられる。

30

【 0 0 3 2 】

図 1 0 A は、図 9 のモデルをさらに改良したものである。全ての O D D ワード線の半分の電圧がノード 3 0 2 の電圧で表される場合を考える。この電圧は、寄生容量 C によってフローティングノード 3 0 1（例えば、図 8 A のソース電極 2 1 9）にされる。グラウンドに設定されているすべての O D D ワード線の残りの半分もまた、フローティングノード 3 0 1 に同じ寄生容量 C によって比較的高い精度で結合されている。同様に、ノード 3 0 3 で表される全 E V E N ワード線の半分の電圧は、フローティングノード 3 0 1 にも寄生容量 C にされており、残りの E V E N ワード線の電圧はグラウンドに設定されている。接地された O D D および E V E N ワード線の寄生容量は、接地された寄生容量結合フローティングノード 3 0 1 の総寄生容量を $2 C$ にする。各ノード 3 0 2、3 0 3 のそれ自体は、フローティングノード 3 0 1 に対する結合比が $1/4$ である。したがって、図 1 0 B では、ノード 3 0 2 における V D D 振幅の昇圧信号は、フローティングノード 3 0 1 における対応する $1/4$ の V D D 振幅の初期値以上の昇圧をもたらす。初期状態では、ノード 3 0 3 は

40

50

VDDで安定している（したがって、「ACグラウンド」として機能する）。ノード303のVDDからグラウンドへの降圧は、 $1/4$ VDDの振幅の降圧としてフローティングノード301になされ、フローティングノード301をノード302によって誘発される電圧の昇圧の前の初期値に戻す。結合された信号の振幅および形状は、所定の入力信号に適切な数のワード線を設定し、DCまたはACグラウンドに適切な数のワード線を設定することによって制御することができる。

【0033】

図10Aおよび図10Bによって示される原理は、直接接続データ検出の別の方法を提供する。はじめに、図11Aを参照すると、ドレイン電極217およびソース電極219は、所定数のローカルワード線を電源電圧VDDに設定した後、プリチャージセル（トランジスタ）224をオンすることにより、HIGH（すなわち、電源電圧VDD時）に初期化される（そのゲート電極が、そのしきい値電圧と電源電圧VDDの和よりも大きい電圧に設定されているストリング選択トランジスタ230は、ドレイン電極217を電源電圧VDDに設定する）。次に、プリチャージセル（トランジスタ）224をオフにして、ドレイン電極217をソース電極219から絶縁する（図11B）（このデータ検出を準備するためのシーケンスは、ドレイン電極217およびソース電極219が0Vに初期化されている図8A、8Bおよび8Cによって示されるものとは異なる）。さらに、図11Cに示すように、ソース電極219は、電源電圧VDDにあったワード線をグラウンドに降圧することにより、都合の良い電圧になされる。この方法は、図8A～図8Cに関連して上述したLOW初期化セットアップ手順の別の手段を提供する。

【0034】

あるいは、センスアンプ255のドレイン電極217とセンスアンプ255の入力電極251は、図12Aに図示されているような「ダイオード類似」接続を介して、高バイアス（すなわち、電源電圧VDD）で所定の数のワード線と接続されてもよい。図12Aに示すように、プリチャージセル（トランジスタ）224が導通状態にある時は、ストリング選択トランジスタ230のゲート電極の電圧が電源電圧VDDに設定されているため、ソース電極219およびドレイン電極217、およびそれらの寄生容量の両方が電圧VDD - V_{TN} （すなわち、電源電圧VDDからストリング選択トランジスタ230のしきい値電圧を差し引いた電圧）にもたらされる。この方法では、上述した図11A～図11Cの方法とは異なり、ストリング選択トランジスタ230のゲート電極に電源電圧VDDよりも大きな電圧を必要としないため、電圧の発生および管理の課題が簡素化される。この方法では、ドレイン電極217およびソース電極219は、センスアンプ255のトリップポイントVDD - V_{TP} 以下の電圧VDD - V_{TN} に初期化される。この例では、ストリング選択トランジスタ230のゲート端子の電圧は電源電圧VDDであるが、電源電圧VDDとグラウンドとの間のソース電極219およびドレイン電極217におけるプリチャージ電圧を達成するために、電源電圧VDDよりも低い電圧がストリング選択トランジスタ230のゲート端子で使用されてもよい。この高度な一方向性のタイプの接続では、電源電圧VDDとグラウンドとの間の電圧は、ドレイン電極217上で非常に長い時間にわたって実質的に維持されることがある。

【0035】

次に、プリチャージセル（トランジスタ）224をオフにすることにより、ソース電極219を分離する（図12B）。上述のように、高バイアスのソース電極219は、結合されたワード線の一部または全部を電源電圧VDDからグラウンドに降圧することによって結合されることがある。この動作に関連するワード線の数に応じて、図12Cに示されるように、任意の所望のソース電極の電圧 V_S を設定することができる。メモリセル210がプログラム済状態（すなわち、非導電状態）にある場合、そのゲート電極に印加された読み出し電圧（例えば、電源電圧VDD）は、センスアンプの入力電極251が電源電圧VDDのままであるように、ドレイン電極217およびソース電極219の電圧の変化をもたらさないであろう（図12D）。この場合、センスアンプ255の出力電極では論理状態の変化は生じない。この場合、センスアンプ255の出力値は、LOW（すなわち、

グランド時)となるように設計されていてもよい。しかしながら、メモリセル210が消去済状態(すなわち、導電状態)にある場合、そのゲート電極に読み出し電圧を設定すると、ソース電極219、ドレイン電極217およびセンスアンプ255の入力電極251(図12E)の間で電荷共有が発生し、センスアンプ255の入力電極251で電圧スイングが生じる。後述する特定の条件の下では、電荷共有から生じる最終的な電圧は $V_{DD} - V_{TN}$ またはそれ以下になることがある。先に指摘したように $V_{DD} - V_{TN}$ 電圧レベルはセンスアンプのトリップポイント $V_{DD} - V_{TP}$ 以下であるため、センスアンプ255の出力電極はロジックHI(すなわち電源電圧 V_{DD})にトリップする。

【0036】

図12A~図12Eの方法による非導電状態の(すなわち、プログラム済)メモリセルのための検出動作を、図13A~図13Cの信号波形に関してさらに説明する。図13Aに示すように、ダイオード類似接続では、初期等化ステップ(図12A~図12C)が時間間隔305にわたって実行され、その間、ドレイン電極217およびソース電極219の両方が電圧 $V_{DD} - V_{TN}$ に可能な限り近づけられる。そして、プリチャージセル(トランジスタ)224をオフにすると、ソース電極219はドレイン電極217から分離され、ドレイン電極217はセンスアンプ255の入力電極251に接続されたままとなる。現在フローティングしているソース電極219は、その後、初期化ステップにおいて高電圧に保持された所定数の結合ワード線をグランド電圧にすることにより、ダウン結合される。図13Aに示すように、ソース電極219における電圧波形は、波形319によって、この降圧ステップを示している。ドレイン電極217もワード線での電圧降圧により結合されているが、グリッチ310は、ドレイン電極217がセンスアンプ255の入力電極251に接続されていることにより妨害が低減されていることを示している。しかし、グリッチ310のタイミングでセンスアンプ255の入力電極251がデータ評価のために解放されると、グリッチ310の影響と波形311で示されるセンスアンプ255の入力電極251のリーク電流は、読み出されるメモリセルが非導電状態であるにもかかわらず、センスアンプの出力状態のスプリアス変化(波形312)を引き起こす可能性がある(すなわち、読み出される動作中に電荷共有がない)。

【0037】

センスアンプ255における誤った出力論理状態の変化を回避するために、グリッチ310後のドレイン電極217が電圧 $V_{DD} - V_{TN}$ に戻るよう回復時間が必要である。この回復時間は、図13Bに図示されている。図13Bに示すように、回復時間間隔306の終了時に、センスアンプ255の入力電極251がメモリセルの検出を可能にするために解放されると、時間間隔307が経過した後(非導通またはプログラム済メモリセルが読み出される場合)になって初めて、センスアンプ255の入力電極251(波形318)のリーク電流によって、センスアンプ255の出力状態のフリップが引き起こされる。この場合、センスアンプの出力状態のスプリアス変化のトリガは、ドレイン電極217における充電電流である。(ただし、出力状態の変化は、やはり疑似信号であることに注意)。図13Cは、さらに $V_{DD} - V_{TH}$ まで充電されたコンデンサの電流が減少していく様子を対数で示し、検出遅延の重要性を示している。図13Cに示すように、充電電流は、ある程度の時間が経過すると、線形に見えるように漸近的に減少する。

【0038】

図13Cの充電電流は対数目盛で示されているため、このほぼ直線的な減少は、ドレイン電極217の電圧が電圧 $V_{DD} - V_{TH}$ に向かって漸的に増加し、等間隔で一定の電圧利得が得られることを意味する。回復時間間隔が不足すると、センスアンプの出力状態が早くトリップしすぎてしまう(図13A)。回復時間間隔が長く、充電電流が小さいほど、疑似出力状態変化は時間的にさらに押し出される。言い換えれば、スプリアス信号は、遅かれ早かれ発生する。スプリアス信号が早く発生する場合は、グリッチ310に起因する(図13A)。また、十分な回復時間間隔が許容されている場合は、スプリアス信号は遅く発生する(図13B)。

【0039】

10

20

30

40

50

図13Aおよび図13Bは、回復時間間隔が、ドレイン電極217のダウン結合のグリッチ310によって引き起こされる疑似信号の機会を減少させることができるが、データ検出は、選択されていないメモリセル内の高い累積サブスレッショルドリーク電流に対して依然として脆弱である可能性があることを示している。ソース電極219が切り離されてデータ検出を開始した直後に電流のリークが始まるので、長い回復時間間隔を取ったとしても、リーク電流による誤った出力状態変化が引き起こされる。このように、メモリセルのリーク電流が大きい場合には、回復時間間隔は偽トリガを防止できない可能性がある。

【0040】

以下の図14～図19は、図13Aおよび13Bによって示されるように、図12A～図12Eの方法の欠点を克服する改良を示す。ある点までは、メモリストリング内のビット線を選択して駆動する回路は、より長いメモリストリングでスケールアップする必要がないため、より長いメモリストリングをチップ面積の優位性として提供することができる。しかし、メモリストリングが長くなると、共通ソース電極とドレイン電極の充放電に長い時間が必要となり、また、単にメモリセルの数が多いために、より大きなサブスレッショルドリーク電流が必要となる。図13Aおよび図13Bの例では、メモリセルのリーク電流が大きいほど、疑似検出信号が早く現れる。この影響を緩和するために、導電層であるソース電極をセグメントに分割してもよい。図14は、ソース層（例えば、図12Aのソース電極219）をソースセグメント402、403、404および405に分割したものである。共通ソース層をセグメント化することは、2017年6月20日に出願された「3 Dimensional NOR Strings with Segmented Shared Source Regions」なる標題の米国仮特許出願第62/522,665号明細書に開示されている。

【0041】

ソースのセグメント化はリーク電流を減少させるが、ソース電極のプルダウン強度も低下させる。このように、適切なセグメントの大きさは、センスアンプ255の入力電極251の入力容量に対するセグメントの総容量の比率に依存する。図15Aおよび15Bは、上述の図12A～図12Eに示されたダイオード接続アプローチに基づいて適切なセグメントサイズを決定するための方法を例示する。図15Aに示すように、全ての結合ワード線を降圧した後、ソースセグメント403は電圧 $V_S = V_{DD} - V_{THN} - V$ でフローティング状態となり、ドレイン電極217はゲート電極が電源電圧 V_{DD} に設定されたストリング選択トランジスタ230により $V_{DD} - V_{TN}$ に充電され、次に、センスアンプの入力電極251を電源電圧 V_{DD} から切断することにより、全てのノードをフローティングする。メモリセル210がプログラム済であるか消去済であるかにかかわらず、電荷は保存される。導通状態（すなわち、消去済状態）では、センスアンプのソースセグメント403、ドレイン電極217、および入力電極251上の電圧は、3つの容量の合計に対する総電荷の比率によって決定される共通値に向かって収束する。この最終値は、ノードが接続されている順序に依存しない。

【0042】

次に、どの程度のセグメント化が許容されるかを判断する一つの方法について説明する。同電位の2つのノード間には電流が流れないため、導電路が存在しても、3つのコンデンサ（すなわち、ソース電極219、ドレイン電極217、センスアンプ255の入力電極251の寄生容量）は、理論的には全て同じ電圧「 $V_{DD} - V_{TN}$ 」を保持していてもよい。図15Bは、ドレイン電極217が電圧 $V_{DD} - V_{TN}$ に充電され、ソースセグメント403とセンスアンプ255の入力電極251が電荷共有後に個別に同じ電圧 $V_{DD} - V_{TN}$ に到達する場合の一例を示している。すなわち、消去済のメモリセル204では、たまたま、センスアンプ255の入力電極251（すなわち、寄生容量 C_{IN} ）とソースセグメント403との間で共有される電荷量 Q （すなわち、寄生容量 C_S ）が $Q = V * C_S = V_{TN} * C_{IN}$ であるとき、ドレイン電極217の電圧は変化しないが、ここで、 V は電荷共有前のドレイン電極217とソースセグメント403との間の電圧差であり

、 V_{TN} は電荷共有前のドレイン電極217とセンスアンプ255の入力電極251との間の電圧差である。

【0043】

したがって、 $V = V_{TN} * C_{IN} / C_S$ 、ここで、 V がドレイン電極とソース電極との間の初期電圧分離である場合、ドレイン電極217は、メモリセル204がプログラム済か消去済かにかかわらず、その電圧を変化させず、センスアンプ255の入力電極251は、1)メモリセル204がプログラム済である場合(すなわち、非導通)には、変化しないままであるか、または、2)メモリセル204が消去済である場合(すなわち、導通している場合)には V_{TN} の電圧スイングを有するかのいずれかである。識別条件を定義するために、メモリセルが導通しているときに、センスアンプが少なくとも V_{TP} (センスアンプのトリップポイント)の入力電圧スイングを発生させるために、ドレイン電極217とソースセグメント403との間の初期電圧分離 V は、 $V > V_{TP} * C_{IN} / C_S$ の関係を満たさなければならない。ソース層をセグメント化することは、アクセス時間やリーク削減などの利点があるが、 $V * C_S = V_{TP} * C_{IN}$ の関係が満たされた後は、それ以上のセグメント化は発生しない。上記の関係は、所与のセグメントサイズについて、ドレイン電極217とソースセグメント403との間の電圧分離は、センスアンプの入力電極における静電容量に関連しているが、ドレイン層の長さには依存しないことを示している。

【0044】

図15Cは、ドレイン対グランド容量が無視される場合(すなわち、ドレイン対グランド容量は、 C_{DS} またはソース対グランド容量(C_S)のいずれかに対して無視できるものとみなされる場合)に、ドレイン対ソース容量(すなわち、コンデンサ450に代表される C_{DS})が考慮される場合を示している。読み出し電圧がメモリセル204上に配置される前に、電圧 V_{DS0} はソースセグメント402およびドレイン電極217を横断して維持される。ドレイン電極217における電圧 $V_G - V_{TN}$ は、メモリセル204が非導電状態である場合、ストリング選択トランジスタ230のゲートにおける電圧 V_G によって提供される「ダイオード類似」接続のために、非常に長い期間維持することができる。メモリセル204が導通しているとき、容量性ノード間の電荷共有が起これ、センスアンプ255の入力電極251における電圧が、ソース電極403における電圧を犠牲にして減少する結果となる。ドレイン電極217の電圧を $V_G - V_{TN}$ で一定にしても $V_{DS0} * C_S > V_{TP} * C_{IN}$ であれば、センスアンプ255の入力電極251に少なくとも V_{TP} のスイングを誘発することができる。

【0045】

本発明者は、ダイオード類似の接続アプローチとセグメント化されたソース電極とを組み合わせるにより、検出が高速化されることを認めている。上述の図13Cと関連して論じたように、電圧 $V_{DD} - V_{TN}$ まで充電されたドレイン電極に対して、ソースセグメント上の電圧を V 変化させるためにワード線結合を使用することは、ドレイン電極で望ましくない結合を誘発する可能性がある。しかしながら、そのような結合を防止することは、図13Aのグリッチ310を回避し、それ故に必要な回復時間間隔を提供しなければならないことを避けることができる。ドレイン電極の電圧に影響を与えることなくソースセグメントをダウン結合する方法が、それに応じて次に提示される。

【0046】

上述したメモリ構造体では、ドレイン電極217における電圧は、外部回路への接続によって初期化することができるが、共通フローティングソース電極219における電圧は、所望により、ドレイン電極217との均等化およびその後のローカルワード線からの容量結合によってのみ設定することができる。ドレイン電極217およびソース電極219は、連続的なソース層として提供されるか、またはソースセグメントとして提供されるかにかかわらず、ドレイン電極217およびソース電極219の両方において電圧変化を誘導するために使用されよいかかなりの数のローカルワード線に結合される。メモリセル210を読み取る際には、上述したように、ソース電極219をドレイン電極217からの電

10

20

30

40

50

圧分離を介して活性化またはロードする必要がある。ソース電極 219 がソースセグメントである場合、他のすべてのソースセグメントは非アクティブのままであるべきであり、すなわち、各ソースセグメントとドレイン電極 217 との間には、リーク電流を低減するために電圧分離が存在してはならない。ワード線信号の結合を行う場合には、ドレイン電極 217 が妨害される可能性があるため、ドレイン回復時間間隔が必要となる。

【0047】

ワード線の信号は、ドレイン層またはビット線に沿って任意の場所に適用された場合、完全なドレイン層とワード線に関連付けられたソースセグメント（「アクティブソースセグメント」）には印加されるが、他のソースセグメント（「非アクティブソースセグメント」）には印加されない。図 16A は、ドレイン電極 217 が、(i) アクティブソースセグメントに結合されたワード線を表すノード 412、および (ii) 非アクティブソースセグメントに結合されたワード線を表すノード 413 に容量的に結合されたモデルを示す。ソース層が 2 つのソースセグメントにセグメント化されている場合については、図 16B および図 16C は、それぞれ、アクティブセグメントおよび非アクティブセグメントに結合されたドレイン電極 217 のための図 16A のモデルの一部を示している。非アクティブソースセグメント 412 およびアクティブソースセグメント 413 による個々の容量結合を示すために、ドレイン電極 217 への誘導電圧は、それぞれノード 402 および 403 の電圧の和によって表される。図 16A ~ 図 16C のモデルにおける非アクティブソースセグメント 412 およびアクティブソースセグメント 413、ドレイン電極 217 および部分ドレイン電極 403 における電圧波形をそれぞれ図 16D に示す。図 16D に示すように、非アクティブソースセグメント 412 に関連付けられたワード線における昇圧ワード線信号は、非アクティブソースセグメント 412 と共通ドレイン電極 217 の両方に印加され、アクティブソースセグメント 413 に印加されない。その後、降圧ワード線信号は、関連するアクティブソースセグメント 413 と共通ドレイン電極 217 の両方に印加され、非アクティブソースセグメント 412 に印加されない。降圧信号では、共通ドレイン電極 217 の電圧は、初期値（すなわち、非アクティブソースセグメント 412 における昇圧前の値）に戻る。従って、ソース層がセグメント化され、ドレイン層がダイオード疑似接続（すなわち一方向性）でセンスアンプに接続されている限り、ドレイン電極とソース電極に独立した電圧を誘導する技術を提供することができる。

【0048】

ダイオード疑似接続アプローチでは、センスアンプ 255 から見たドレイン層充電電流は、時間とともに漸近的に減少する（図 13C 参照）。スプリアス検出信号を回避するためには、上述したように回復時間間隔が必要である長いセットアップ時間を避けるための 1 つの方法は、正の「昇圧」ドレイン電圧を提供することであり、これはダイオード接続に逆バイアスをかけ、それによってセンスアンプ 255 の入力電極 251 からドレイン電極 217 への一方向の電流の流れを防ぐことができる。このような電圧上昇は、関連ワード線で実行される昇圧信号を介して容易に達成でき、正確に制御することができる。

【0049】

図 17 は、ドレイン電極 217 からソース電極 219 を分離した後、ドレイン電極 217 に昇圧電圧を印加した場合の効果の説明するための図である。図 17 に示すように、ドレイン電極 217 とソース電極 219 が等化される時間間隔 305 の後、ドレイン電極 217 の電圧は、波形 317 で示される正の昇圧電圧で昇圧される。その結果、ストリング選択トランジスタ 230 を介したドレイン充電電流が実質的に停止する。昇圧電圧がなければ、ドレイン電極 217 は、回復時間間隔 306 にわたって（線分 217 の点線部分によって示される）連続的に充電し、その後、点線の波形 318 によって示されるように、リーク電流が発生する。その場合、時間間隔 307 の後、センスアンプの出力状態（波形 322 で示される）にスプリアス遷移が発生する可能性がある。しかし、波形 317 の昇圧電圧では、センスアンプ 255 の入力電極 251（波形 319）の電圧が高いままであるため、センスアンプの出力状態 323 の疑似遷移が引き起されることを防止することができる。

10

20

30

40

50

【 0 0 5 0 】

図 1 8 は、ドレイン電極 2 1 7 からアクティブソースセグメントを分離した後の、図 1 7 の昇圧電圧ではなく、ドレイン電極 2 1 7 における正のパルスの効果を示す図である。図 1 8 に示すように、時間間隔 3 0 5 の終了時の昇圧電圧に続く所定の時間間隔 3 0 8 の後、ワード線信号は、ドレイン電極 2 1 7 における電圧を波形 3 2 0 によって示される電圧レベルにダウン結合させる（すなわち、ドレイン電極 2 1 7 における電圧を電圧パルスの前の値に実質的に戻す）。時間間隔 3 0 5 の満了時には、ソース電極 2 1 9 はドレイン電極 2 1 7 から電氣的に絶縁される。このときのソース電極 2 1 9 の電圧は、電圧レベル 3 0 4 で示されている。ストリング選択トランジスタ 2 3 0 のドレイン連結を横切る逆バイアスのため、時間間隔 3 0 8 の終了時に電圧が降圧されることによってドレイン電極 2 1 7 に望ましくないグリッチが誘発されることはない。ドレイン電極 2 1 7 での電圧降圧は、アクティブソースセグメントによる電圧降圧と同時に行われ、アクティブソースセグメントでの電圧を電圧レベル 3 0 4 にする。

10

【 0 0 5 1 】

時間間隔 3 0 8 にわたるドレイン電極 2 1 7 における電圧パルスは、対応するワード線結合信号における電圧パルスによって達成されてもよい。従って、ワード線の電圧パルスが同じ電圧レベルから始まり、同じ電圧レベルに戻る限り、ドレイン電極 2 1 7 における誘起電圧パルスも同じ電圧レベルから始まり、同じ電圧レベルに戻るであろう。また、誘起パルスの振幅は、ドレイン電極 2 1 7 と対応するワード線との間の容量間の結合比に依存する。このように、関係しているワード線の数によってパルス振幅を制御することができる。異なる形状のパルス（例えば、波形で表した 3 0 4 および 3 2 0 の形状）は、すべての信号がドレイン電極を結合させる一方で、アクティブソースセグメントにおけるワード線信号のみがドレイン電極およびアクティブソースセグメントの両方を結合させるように、非アクティブソースセグメントに隣接するワード線に関連するアクティブソースセグメントに隣接するワード線に区分的信号を適用することによって作成することができる。

20

【 0 0 5 2 】

一方向接続のダイオード疑似接続のため、時間間隔 3 0 8 を過ぎないと検出は行われないうが、時間間隔 3 0 5 の満了時の昇圧電圧の直後にセンスアンプの入力電極が解放され、検出が可能になる場合がある。

【 0 0 5 3 】

ソース電極 2 1 9 のみをダウン結合させ、ドレイン電極 2 1 7 をダウン結合させないデータ検出の方法は、ドレイン電極 2 1 7 での望ましくないグリッチを防止するため、回復時間間隔の負荷を回避する。また、関連するワード線の数を調整することにより、ドレイン電極 2 1 7 の電圧を微調整してもよい（例えば、開始時よりも若干高い電圧が生じるようにする）。ドレイン電極 2 1 7 におけるわずかに高い最終電圧は、小さな「昇圧」電圧に相当し、ドレイン充電電流を防止する。また、ソース電極 2 1 9 の電圧の（ドレイン電極 2 1 7 の電圧との相対的な）降圧は、アクティブソースセグメントに関連するワード線のみを関与させることが好ましく、それによってリーク電流を低減する。

30

【 0 0 5 4 】

ドレイン電圧パルスのもう一つの利点は、ソース/ドレイン分離が、リーク電流と潜在的なメモリセル伝導に同期することである。これは、ソース電極とドレイン電極の電圧分離の前にメモリセルを読み出す（すなわちオンにする）ことができ、これにより、より長いワード線 RC 遅延を打ち消すことができる。

40

【 0 0 5 5 】

図 1 9 は、ソース層におけるセグメント化を利用した、様々なワード線ベースの容量性結合ステップが実行される検出シーケンスの間のセンスアンプ 2 5 5 のドレイン電極 2 1 7、セグメント化されたソース電極、および入力電極 2 5 1 における信号の波形を示す図である。図 1 9 に示すように、ドレイン電極 2 1 7 およびアクティブソースセグメントは、図 1 2 A ~ 図 1 2 C に図示されるような技法を用いて、アクティブソースセグメントのワード線のある数を電源電圧 V D D に設定することによって、初めに両方とも電圧 V D D

50

- V_{TN} にもたらされる。次に、アクティブソースセグメントはドレイン電極 217 から分離され、さらに、非アクティブソースセグメントに関連付けられた同じ数のワード線を電源電圧 V_{DD} に上昇させ、それにより、アクティブソースセグメント（波形 325）において対応する電圧上昇なしにドレイン電極 217 において昇圧電圧（波形 317）を提供する。ドレイン電極 217 はすべてのソースセグメントに共通であるので、任意のソースセグメントに沿った任意のワード線は、ドレイン電極 217 において電圧昇圧または電圧降圧を誘発するために使用されてもよい。実際のところ、ドレイン電極 217 の電圧が上昇すると、アクティブソースセグメントも同様にアップ結合するが、マイナスの影響はない。最小遅延の後、アクティブソースセグメントに関連付けられたワード線は、電源電圧 V_{DD} からグランドにリセットされ、ドレイン電極 217 を昇圧電圧の前の電圧に戻し（すなわち、波形 320 によって示される電圧レベルに戻る）、同時に、アクティブソースセグメントには、アクティブソースセグメントとドレイン電極 217 との間の所望の電圧分離を達成するための降圧電圧が提供される。アクティブソースセグメント上の電圧は、波形 325 によって提供される。下方に移動するアクティブソースセグメントに関連付けられたワード線の数は、昇圧電圧を生成するために上方に移動する非アクティブソースセグメントに関連付けられたワード線の数と等しいため、ドレイン電極 217 は、昇圧電圧を生成する前の電圧レベルに戻る。しかし、アクティブソースセグメントは、アクティブソースセグメントに関連付けられたワード線の関連している数に応じてダウン結合する。すべての非アクティブソースセグメントは、非アクティブソースセグメントからのリーク電流を防止するために、好ましくはドレイン電極 217 に接続された状態に保たれる。

10

20

【0056】

電圧パルスの間は検出が可能であるが、センスアンプ 255 のドレイン電極 207 と入力電極 251 との間に電流が流れないように、ストリング選択トランジスタ 230 の逆バイアス連結により、センスアンプ 255 の出力状態は変化しない。また、パルスの立下りエッジの前には、ドレイン電極 217 とソース電極 219 との間の電圧分離のためのワード線が既に選択されている。アクティブソースセグメントに関連するワード線が低いレベルになると、データ検出が開始され、電圧分離とメモリセル電流があれば基本的に完全に同期して、早期リーク電流を発生させずに電荷を共有できるようになる。

【0057】

図 20 は、垂直に隣接する 2 つの NOR ストリング 501、502 の間の寄生容量を使用して、フローティング共通ソース線の 1 つに結合された電圧ステップまたはパルスの誘導を示す。図 20 において、NOR ストリング 501 のフローティング共通ソース線 219 は、垂直に隣接する NOR ストリング 502 の共通ビット線 220 に近接している。共通ビット線 220 は選択トランジスタ 530 を介して電氣的にアクセス可能であるので、選択トランジスタ 530 を介して信号 540 を共通ビット線 220 上に印加することにより、結合されたステップまたはパルス信号をフローティング共通ソース線 219 上に誘導することができる。

30

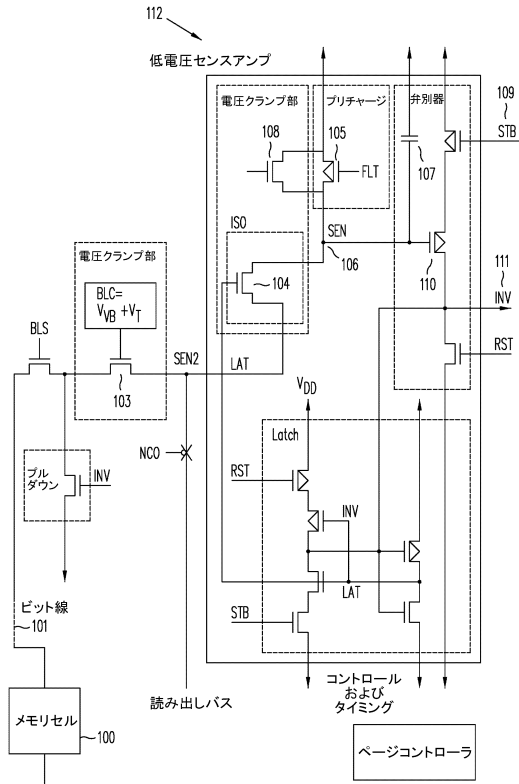
【0058】

上記の詳細な説明は、本発明の特定の実施形態を例示するために提供されるものであり、限定することを意図したものではない。本発明の範囲内での多数の変形および修正が可能である。本発明は、以下の特許請求の範囲に記載されている。

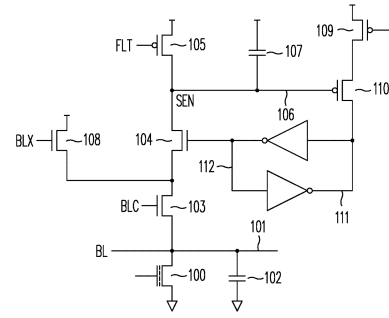
40

【図面】

【図 1 A】



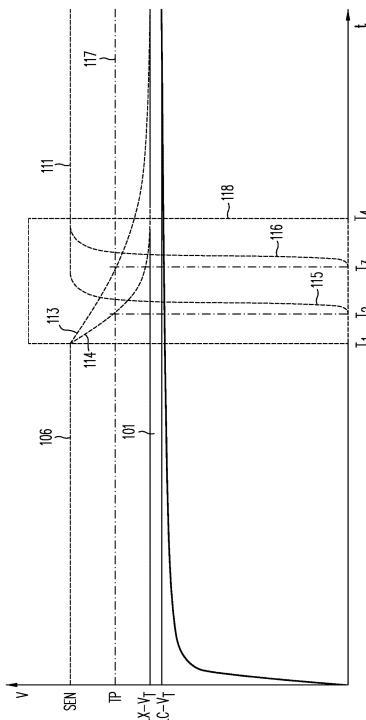
【図 1 B】



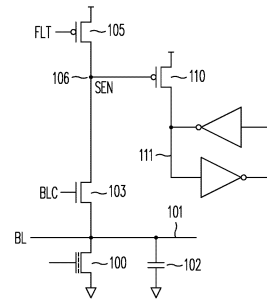
10

20

【図 1 C】



【図 1 D】

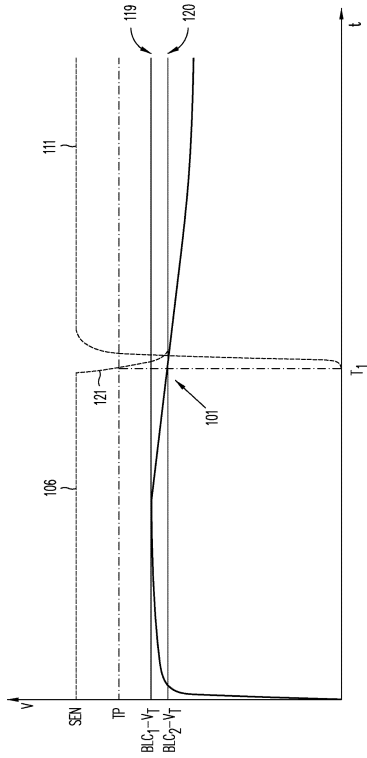


30

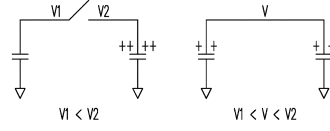
40

50

【図 1 E】



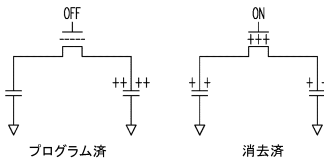
【図 2 A】



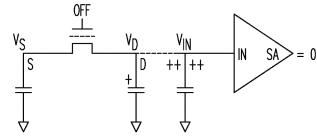
10

20

【図 2 B】



【図 3 A】

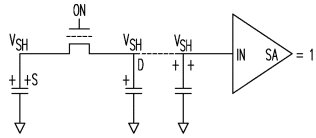


30

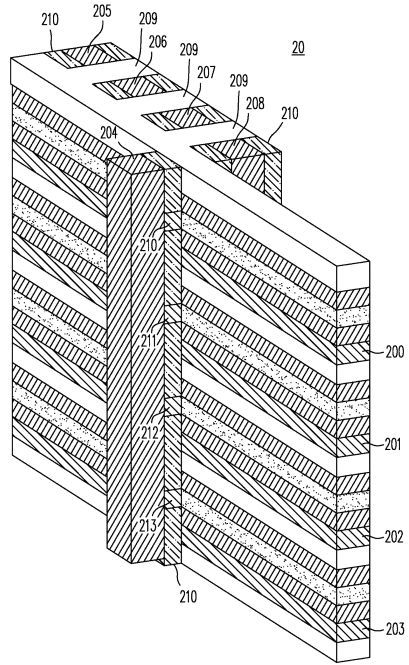
40

50

【 3 B 】



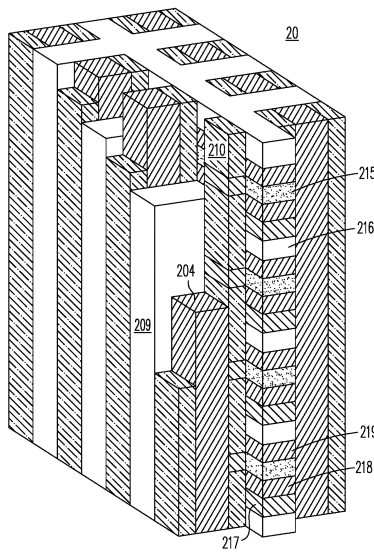
【 4 A 】



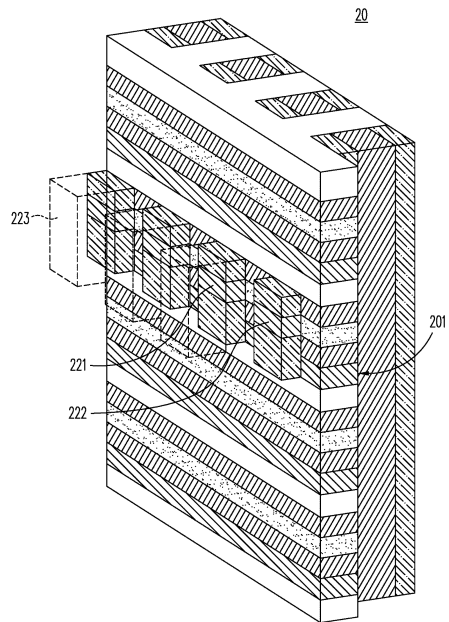
10

20

【 4 B 】



【 4 C 】

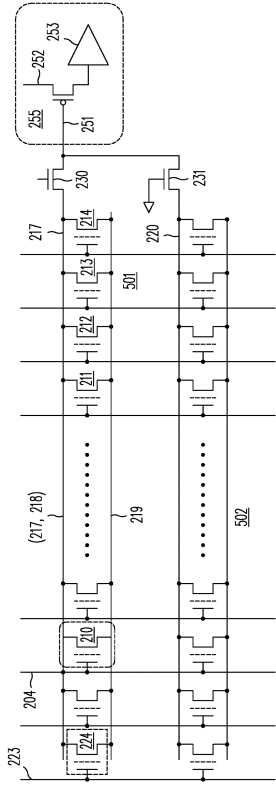


30

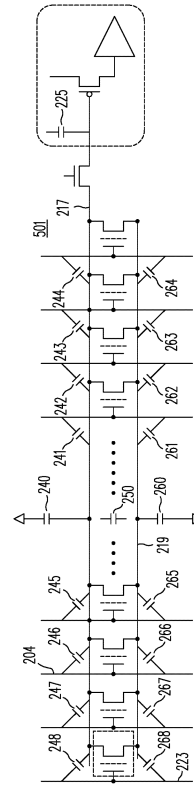
40

50

【 図 5 】



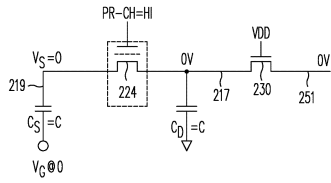
【 図 6 】



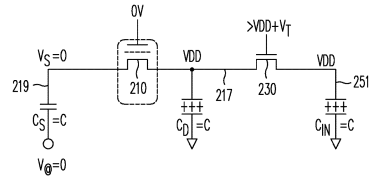
10

20

【 図 7 A 】



【 図 7 B 】

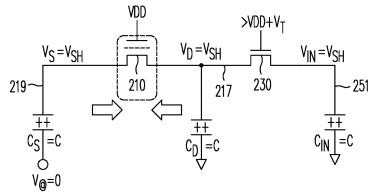


30

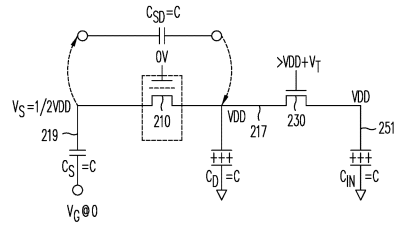
40

50

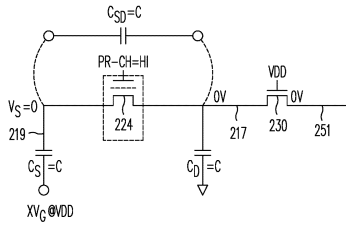
【図 7 C】



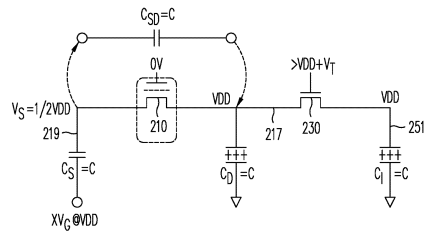
【図 7 D】



【図 8 A】

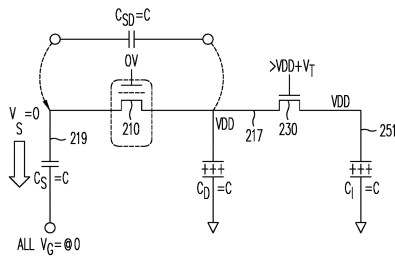


【図 8 B】

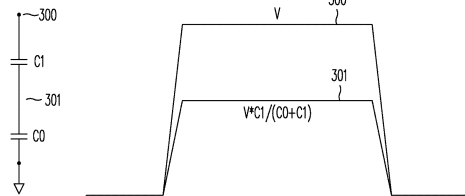


10

【図 8 C】



【図 9】



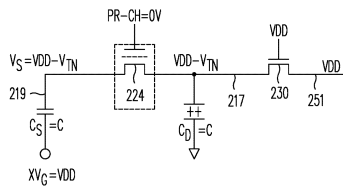
20

30

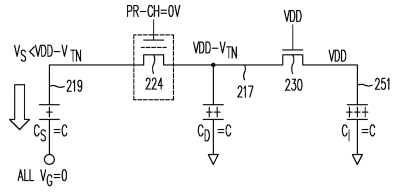
40

50

【 1 2 B】

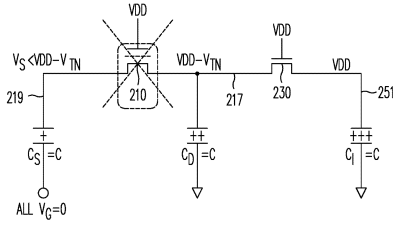


【 1 2 C】

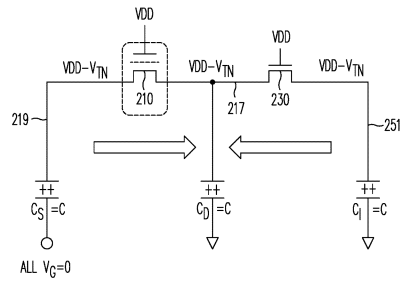


10

【 1 2 D】

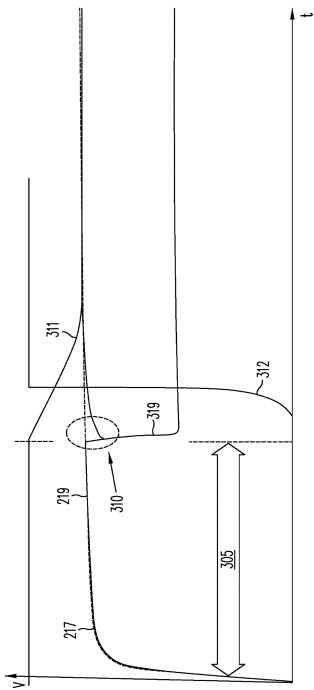


【 1 2 E】

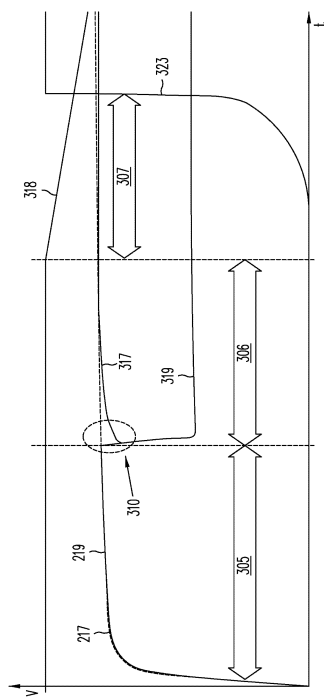


20

【 1 3 A】



【 1 3 B】

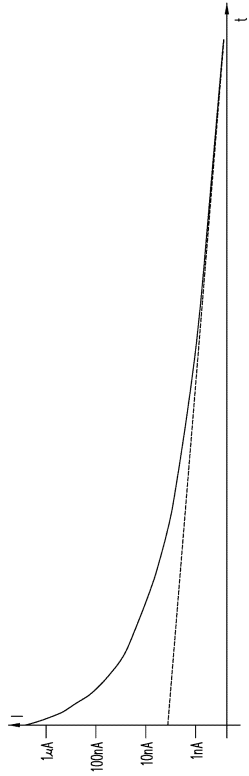


30

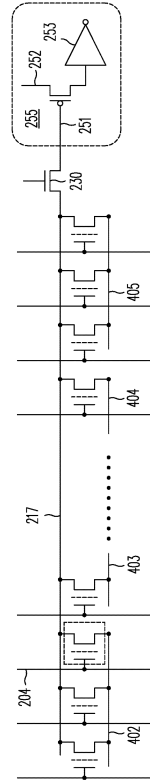
40

50

【図 13 C】



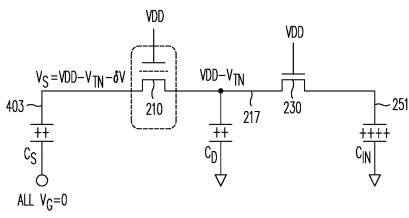
【図 14】



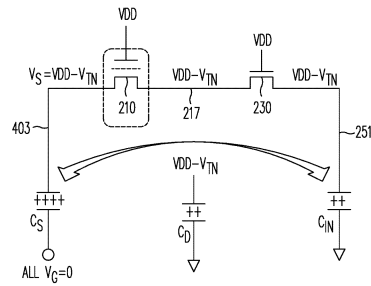
10

20

【図 15 A】



【図 15 B】

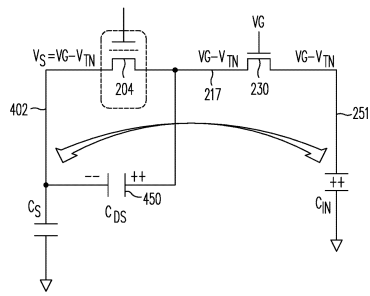


30

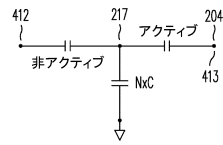
40

50

【図 15 C】

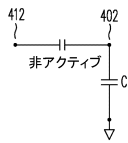


【図 16 A】

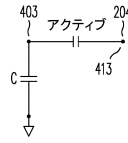


10

【図 16 B】

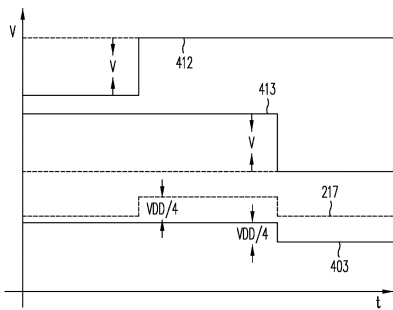


【図 16 C】

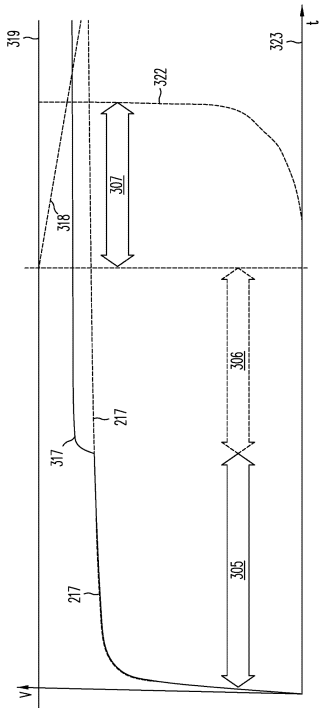


20

【図 16 D】



【図 17】



30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

(56)参考文献

特開平07-057482(JP,A)

特開2008-021781(JP,A)

米国特許出願公開第2017/0148517(US,A1)

特表2019-504479(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G11C 16/26

G11C 16/04

G11C 16/24