

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5695912号
(P5695912)

(45) 発行日 平成27年4月8日(2015.4.8)

(24) 登録日 平成27年2月13日(2015.2.13)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 3 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1
請求項の数 1 (全 53 頁) 最終頁に続く	

(21) 出願番号	特願2011-5456 (P2011-5456)	(73) 特許権者	000153878
(22) 出願日	平成23年1月14日 (2011.1.14)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-166131 (P2011-166131A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年8月25日 (2011.8.25)	(72) 発明者	山崎 舜平
審査請求日	平成25年11月29日 (2013.11.29)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-7482 (P2010-7482)		半導体エネルギー研究所内
(32) 優先日	平成22年1月15日 (2010.1.15)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
前置審査		(72) 発明者	加藤 清
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	鈴木 和樹
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ソース線と、
 ビット線と、
 第1の信号線と、
 第2の信号線と、
 ワード線と、
 メモリセルと、
 前記ビット線と電氣的に接続された第1の駆動回路と、
 前記第1の信号線と電氣的に接続された第2の駆動回路と、
 前記第2の信号線と電氣的に接続された第3の駆動回路と、
 前記ワード線及び前記ソース線と電氣的に接続された第4の駆動回路と、を有し、
 前記メモリセルは、
 第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、
 第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、
 容量素子と、を有し、
 前記第1のトランジスタは、チャンネル形成領域にシリコンを有し、
 前記第2のトランジスタは、チャンネル形成領域に酸化物半導体を有し、

10

20

前記第1のゲート電極と、前記第2のソース電極または前記第2のドレイン電極の一方と、前記容量素子の電極の一方とは、電氣的に接続され、

前記ソース線と、前記第1のソース電極とは、電氣的に接続され、

前記ビット線と、前記第1のドレイン電極とは、電氣的に接続され、

前記第1の信号線と、前記第2のソース電極または前記第2のドレイン電極の他方とは、電氣的に接続され、

前記第2の信号線と、前記第2のゲート電極とは、電氣的に接続され、

前記ワード線と、前記容量素子の電極の他方とは、電氣的に接続され、

前記第2のトランジスタは、前記第1のトランジスタ上に位置し、

前記容量素子は、前記第1のトランジスタ上に位置し、

前記第2のソース電極または前記第2のドレイン電極の一方と、前記容量素子の電極の一方とは、同一の第1の導電膜でなり、

前記第2のソース電極または前記第2のドレイン電極の一方は、前記第1のゲート電極として機能する領域を有する第2の導電膜上に接し、

前記容量素子は、前記第1の導電膜と、前記酸化物半導体と、前記第2のトランジスタのゲート絶縁層と、前記容量素子の電極の他方として機能する第3の導電膜とを有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM(Dynamic Random Access Memory)がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み込みの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはオフ状態でのソースとドレイン間のリーク電流(オフ電流)等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データ(情報)の保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM(Static Random Access Memory)がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャンネル形成領域との間にフローティングゲートを有し、当該

10

20

30

40

50

フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

10

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0011】

開示する発明では、高純度化された酸化物半導体を用いて半導体装置を構成する。高純度化された酸化物半導体を用いて構成したトランジスタは、リーク電流が極めて小さいため、長期間にわたって情報を保持することが可能である。

30

【0012】

開示する発明の一態様は、ソース線と、ビット線と、第1の信号線と、第2の信号線と、ワード線と、ソース線とビット線との間に接続されたメモリセルと、ビット線と電氣的に接続された第1の駆動回路と、第1の信号線と電氣的に接続された第2の駆動回路と、第2の信号線と電氣的に接続された第3の駆動回路と、ワード線及びソース線と電氣的に接続された第4の駆動回路と、を有し、メモリセルは、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは、酸化物半導体以外の半導体材料を用いて構成され、第2のトランジスタは、酸化物半導体材料を含んで構成され、第1のゲート電極と、第2のソ

40

ース電極または第2のドレイン電極の一方と、容量素子の電極の一方とは、電氣的に接続され、ソース線と、第1のソース電極とは、電氣的に接続され、ビット線と、第1のドレイン電極とは、電氣的に接続され、第1の信号線と、第2のソース電極または第2のドレイン電極の他方とは、電氣的に接続され、第2の信号線と、第2のゲート電極とは、電氣的に接続され、ワード線と、容量素子の電極の他方とは、電氣的に接続された半導体装置である。

【0013】

開示する発明の一態様は、ソース線と、ビット線と、第1の信号線と、第2の信号線と、ワード線と、ソース線とビット線との間に接続されたメモリセルと、ソース線と電氣的に接続された第1の駆動回路と、第1の信号線と電氣的に接続された第2の駆動回路と、第

50

2の信号線と電氣的に接続された第3の駆動回路と、ワード線及びビット線と電氣的に接続された第4の駆動回路と、を有し、メモリセルは、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは、酸化物半導体以外の半導体材料を用いて構成され、第2のトランジスタは、酸化物半導体材料を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、容量素子の電極の一方とは、電氣的に接続され、ソース線と、第1のソース電極とは、電氣的に接続され、ビット線と、第1のドレイン電極とは、電氣的に接続され、第1の信号線と、第2のソース電極または第2のドレイン電極の他方とは、電氣的に接続され、第2の信号線と、第2のゲート電極とは、電氣的に接続され、ワード線と、容量素子の電極の他方とは電氣的に接続された半導体装置である。

10

【0014】

上記構成において、第1のトランジスタは、酸化物半導体以外の半導体材料が用いられた第1のチャンネル形成領域と、チャンネル形成領域を挟むように設けられた不純物領域と、チャンネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、不純物領域と電氣的に接続された第1のソース電極および第2のドレイン電極と、を有する。

【0015】

また、上記構成において、第2のトランジスタは第1のトランジスタの上方の第2のソース電極および第2のドレイン電極と、酸化物半導体材料が用いられ、第2のソース電極および第2のドレイン電極と電氣的に接続された第2のチャンネル形成領域と、第2のチャンネル形成領域上の第2のゲート絶縁層と、第2のゲート絶縁層上の第2のゲート電極と、を有する。

20

【0016】

また、上記構成において、容量素子は、第2のソース電極または第2のドレイン電極と、第2のゲート絶縁層と、第2のゲート絶縁層上の容量素子用電極と、よって構成されている。

【0017】

なお、上記においては、酸化物半導体材料を用いてトランジスタを構成しているが、開示する発明はこれに限定されない。酸化物半導体材料と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップEgが3eVより大きい半導体材料）などを適用しても良い。

30

【0018】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

【0019】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

40

【0020】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0021】

50

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0022】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0023】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

10

【0024】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、浮遊ゲートへの電子の注入や、浮遊ゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

20

【0025】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0026】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

30

【図面の簡単な説明】

【0027】

【図1】半導体装置の回路図。

【図2】半導体装置の回路図。

【図3】タイミングチャート図。

【図4】半導体装置の回路図。

【図5】半導体装置の回路図。

40

【図6】半導体装置の回路図。

【図7】タイミングチャート図。

【図8】半導体装置の回路図。

【図9】半導体装置の回路図。

【図10】半導体装置の回路図。

【図11】半導体装置の回路図。

【図12】半導体装置の回路図。

【図13】半導体装置の回路図。

【図14】半導体装置の断面図および平面図。

【図15】半導体装置の作製工程に係る断面図。

50

【図16】半導体装置の作製工程に係る断面図。

【図17】半導体装置の断面図および平面図。

【図18】半導体装置の作製工程に係る断面図。

【図19】半導体装置の断面図および平面図。

【図20】半導体装置の作製工程に係る断面図。

【図21】半導体装置の作製工程に係る断面図。

【図22】半導体装置を用いた電子機器を説明するための図。

【図23】メモリウィンドウ幅の調査結果を示す図。

【図24】酸化半導体を用いたトランジスタの特性を示す図。

【図25】酸化半導体を用いたトランジスタの特性評価用素子の回路図。

10

【図26】酸化半導体を用いたトランジスタの特性評価用素子のタイミングチャート。

【図27】酸化半導体を用いたトランジスタの特性を示す図。

【図28】酸化半導体を用いたトランジスタの特性を示す図。

【発明を実施するための形態】

【0028】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0029】

20

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0030】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0031】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成およびその動作について、図1を参照して説明する。なお、回路図においては、酸化半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

30

【0032】

図1(A-1)に示す半導体装置において、第1の配線(1st Line:ソース線とも呼ぶ)とトランジスタ160のソース電極とは、電氣的に接続され、第2の配線(2nd Line:ビット線とも呼ぶ)とトランジスタ160のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line:第1の信号線とも呼ぶ)とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line:第2の信号線とも呼ぶ)と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の他方は、容量素子164の電極の一方と電氣的に接続され、第5の配線(5th Line:ワード線とも呼ぶ)と、容量素子164の電極の他方は電氣的に接続されている。

40

【0033】

ここで、トランジスタ162には、酸化半導体を用いたトランジスタが適用される。酸化半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。なお、酸化半導体を用いたトランジスタ162は、チャンネル長(L)を10nm以上1000nm以下としているため、

50

消費電力が小さく、動作速度もきわめて高いという特徴を有する。

【0034】

図1(A-1)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0035】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが、トランジスタ160及び容量素子164に与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

10

【0036】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0037】

次に、情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

20

30

【0038】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ160がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を与えればよい。また、各メモリセル間でトランジスタ160がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

40

【0039】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、トランジスタ160のゲート電極および容量素子164に

50

与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0040】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高い電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0041】

なお、トランジスタ162のソース電極またはドレイン電極は、トランジスタ160のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ162のソース電極またはドレイン電極とトランジスタ160のゲート電極が電氣的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ162がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0042】

例えば、トランジスタ162の室温でのオフ電流が $10\text{ z A} / \mu\text{m}$ (1 z A (zeptoアンペア)は $1 \times 10^{-21}\text{ A}$)以下であり、容量素子164の容量値が 10 f F 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量素子164の容量値によって変動することはいうまでもない。

【0043】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要である。

【0044】

図1(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図1(A-2)のように考えることが可能である。つまり、図1(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されたと考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)値に相当する。

【0045】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をR0Sとすると、トランジスタ162のゲートリークが十分に小さい条件において、R1およびR2が、 $R1 > R0S$ (R1はR0S以上)、 $R2 > R0S$ (R2はR0S以上)を満たす場合には、電荷の保持期間(情報の保持期間ということもで

10

20

30

40

50

きる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

【0046】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

【0047】

一方で、C1とC2は、C1 < C2 (C1はC2以上)の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際(例えば、読み出しの際)に、第5の配線の電位の変動を低く抑えることができるためである。

【0048】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160やトランジスタ162のゲート絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0049】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0050】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界($10^4 \sim 10^5$ 回程度)という別の問題も生じる。

【0051】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0052】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

【0053】

また、高電界が不要であり、大型の周辺回路(昇圧回路など)が不要である点も、フラッシュメモリに対するアドバンテージである。

【0054】

なお、C1を構成する絶縁層の比誘電率 r_1 と、C2を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、C1の面積 S_1 と、C2の面積 S_2 とが、 $2 \cdot S_2 < S_1$ ($2 \cdot S_2$ は S_1 以上)、望ましくは $S_2 < S_1$ (S_2 は S_1 以上)を満たしつつ、C1 < C2 (C1はC2以上)を実現することが容易である。具体的には、例えば、C1においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以

10

20

30

40

50

上、好ましくは15以上とし、C2においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができる。

【0055】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0056】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。

【0057】

以上示したように、開示する発明の一態様の半導体装置は、オフ状態でのソースとドレイン間のリーク電流（オフ電流）が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有している。

【0058】

書き込み用トランジスタのオフ電流は、使用時の温度（例えば、25℃）で100zA（ 1×10^{-19} A）以下、好ましくは10zA（ 1×10^{-20} A）以下、さらに好ましくは、1zA（ 1×10^{-21} A）以下であることが望ましい。通常のシリコン半導体では、上述のように低いオフ電流を得ることは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

【0059】

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にすることができる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。

【0060】

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

【0061】

メモリセルへの情報の書き込みは、書き込み用トランジスタをオン状態とすることにより、書き込み用トランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方と、読み出し用トランジスタのゲート電極とが電気的に接続されたノードに電位を供給し、その後、書き込み用トランジスタをオフ状態とすることにより、ノードに所定量の電荷を保持させることで行う。ここで、書き込み用トランジスタのオフ電流は極めて小さいため、ノードに供給された電荷は長時間にわたって保持される。オフ電流が例えば実質的に0であれば、従来のDRAMで必要とされたリフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低く（例えば、一ヶ月乃至一年に一度程度）することが可能となり、半導体装置の消費電力を十分に低減することができる。

【0062】

また、メモリセルへの再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。また、従来のフローティングゲート型トランジスタで書き込みや消去の際に必要とされた高い電圧を必要としないため、半導体装置の消費電力をさらに低減す

10

20

30

40

50

ることができる。本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものと最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5 V以下、好ましくは3 V以下である。

【0063】

開示する発明に係る半導体装置に配置されるメモリセルは、書き込み用トランジスタと、読み出し用トランジスタと、容量素子とを少なくとも含んでいればよく、また、容量素子の面積は小さくても動作可能である。したがって、メモリセルあたりの面積を、例えば、1メモリセルあたり6つのトランジスタを必要とするSRAMと比較して、十分に小さくすることが可能であり、半導体装置においてメモリセルを高密度で配置することができる。

10

【0064】

また、従来フローティングゲート型トランジスタでは、書き込み時にゲート絶縁膜（トンネル絶縁膜）中を電荷が移動するために、該ゲート絶縁膜（トンネル絶縁膜）の劣化が不可避であった。しかしながら、本発明の一態様に係るメモリセルにおいては、書き込み用トランジスタのスイッチング動作により情報の書き込みがなされるため、従来問題とされていたゲート絶縁膜の劣化を解消することができる。これは、原理的な書き込み回数の制限が存在せず、書き換え耐性が極めて高いことを意味するものである。例えば、本発明の一態様に係るメモリセルは、 1×10^9 回（10億回）以上の書き込み後であっても、電流-電圧特性に劣化が見られない。

20

【0065】

さらに、メモリセルの書き込み用トランジスタとして酸化物半導体を用いたトランジスタを用いる場合、酸化物半導体は、エネルギーギャップが3.0~3.5 eVと大きく熱励起キャリアが極めて少ないこともあり、例えば、150℃もの高温環境下でもメモリセルの電流-電圧特性に劣化が見られない。

【0066】

本発明者らは、鋭意研究の結果、酸化物半導体を用いたトランジスタは、150℃の高温下であっても特性の劣化を起こさず、且つオフ電流が100 pA以下と極めて小さいという優れた特性を有することを初めて見出した。開示する発明の一態様は、このような優れた特性を有するトランジスタをメモリセルの書き込み用トランジスタとして適用し、従来

30

【0067】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0068】

（実施の形態2）

本実施の形態では、先の実施の形態において説明した半導体装置の応用例の一について説明する。具体的には、先の実施の形態において説明した半導体装置をマトリクス状に配列した半導体装置の一例について説明する。

【0069】

図2に $m \times n$ ビットの記憶容量を有する半導体装置の回路図の一例を示す。

40

【0070】

本発明の一態様に係る半導体装置は、 m 本のワード線WL、 m 本のソース線SL、及び m 本の第2の信号線S2と、 n 本のビット線BL、 n 本の第1の信号線S1と、複数のメモリセル1100が縦 m 個（行） \times 横 n 個（列）（ m 、 n は自然数）のマトリクス状に配置されたメモリセルアレイと、第1の駆動回路1111、第2の駆動回路1112、第3の駆動回路1113、第4の駆動回路1114、といった周辺回路によって構成されている。ここで、メモリセル1100としては、先の実施の形態において説明した構成（図1（A-1）に示される構成）が適用される。

【0071】

50

各メモリセル1100は、第1のトランジスタ、第2のトランジスタ、容量素子をそれぞれ有している。第1のトランジスタのゲート電極と、第2のトランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方とは、接続され、ソース線SLと、第1のトランジスタのソース電極とは、接続され、ビット線BLと、第1のトランジスタのドレイン電極とは、接続され、第1の信号線S1と、第2のトランジスタのソース電極またはドレイン電極の他方とは、接続され、第2の信号線S2と、第2のトランジスタのゲート電極とは、接続され、ワード線WLと、容量素子の電極の他方とは、接続されている。

【0072】

図2において、 i 行 j 列のメモリセル1100(i, j)(i は1以上 m 以下の整数、 j は1以上 n 以下の整数)は、ワード線WL(i)、ソース線SL(i)、ビット線BL(j)、第1の信号線S1(j)、第2の信号線S2(i)、にそれぞれ接続されている。

10

【0073】

n 本のビット線BLは、第1の駆動回路1111と接続されており、 n 本の第1の信号線S1は、第2の駆動回路1112と接続されており、 m 本の第2の信号線S2は第3の駆動回路1113と接続されており、 m 本のワード線WL及びソース線SLは、第4の駆動回路1114と接続されている。なお、ここでは、第1の駆動回路1111、第2の駆動回路1112、第3の駆動回路1113、第4の駆動回路1114は、それぞれ独立に設けているが、開示する発明はこれに限定されない。いずれか一、または複数の機能を有する駆動回路を用いても良い。

20

【0074】

次に、書き込み動作および読み出し動作について、図3に示すタイミングチャートを用いて説明する。

【0075】

なお、ここでは、簡単のため、2行×2列の半導体装置の動作について説明するが、開示する発明はこれに限定されない。

【0076】

図3は、図2に示す半導体装置の動作を説明するための図である。図3において、S1(1)およびS1(2)は、それぞれ第1の信号線S1の電位、S2(1)およびS2(2)は、それぞれ第2の信号線S2の電位、BL(1)およびBL(2)は、それぞれビット線BLの電位、WL(1)およびWL(2)は、ワード線WLの電位、SL(1)およびSL(2)は、それぞれソース線SLの電位に相当する。

30

【0077】

ここでは、1行目のメモリセル1100(1,1)、およびメモリセル1100(1,2)への書き込み、1行目のメモリセル1100(1,1)、およびメモリセル1100(1,2)からの読み出しを行う場合について説明する。なお、以下では、メモリセル1100(1,1)へ書き込むデータを"1"とし、メモリセル1100(1,2)へ書き込むデータを"0"とする場合について説明する。

【0078】

はじめに、書き込み動作について説明する。まず、1行目の第2の信号線S2(1)に電位V1を与え、1行目のメモリセルの第2のトランジスタをオン状態とする。また、2行目の第2の信号線S2(2)に0Vを与え、2行目の第2のトランジスタをオフ状態とする。

40

【0079】

また、1列目の第1の信号線S1(1)に電位V2を与え、2列目の信号線S1(2)に0Vを与える。

【0080】

その結果、メモリセル1100(1,1)のフローティングゲート部FGには電位V2が、メモリセル1100(1,2)のフローティングゲート部FGには0Vが与えられる。ここでは、電位V2は第1のトランジスタのしきい値より高い電位とする。そして、1行

50

目の第2の信号線S2(1)の電位を0Vとして、1行目の第2のトランジスタをオフ状態とすることで、書き込みを終了する。

【0081】

なお、ワード線WL(1)、ワード線WL(2)は0Vとしておく。また、書き込み終了時には、第1の信号線S1の電位を変化させる前に1行目の第2の信号線S2(1)を0Vとする。書き込み後において、ワード線WLに接続される端子を制御ゲート電極、第1のトランジスタのソース電極をソース電極、第1のトランジスタのドレイン電極をドレイン電極、とそれぞれ見なしたメモリセルのしきい値は、データ"0"の場合には V_{w0} 、データ"1"の場合には V_{w1} となる。ここで、メモリセルのしきい値とは、第1のトランジスタのソース電極とドレイン電極の間の抵抗状態が変化する、ワード線WLに接続される端子の電圧をいうものとする。なお、ここでは、 $V_{w0} > 0 > V_{w1}$ とする。

10

【0082】

次に、読み出し動作について説明する。なお、ビット線BLには、図4に示す読み出し回路が電氣的に接続されている。

【0083】

まず、1行目のワード線WL(1)に0Vを与え、2行目のワード線WL(2)には電位VLを与える。電位VLはしきい値 V_{w1} より低い電位とする。ワード線WL(1)を0Vとすると、1行目において、データ"0"が保持されているメモリセルの第1のトランジスタはオフ状態、データ"1"が保持されているメモリセルの第1のトランジスタはオン状態となる。ワード線WL(2)を電位VLとすると、2行目において、データ"0"、"1"のいずれが保持されているメモリセルであっても、第1のトランジスタはオフ状態となる。

20

【0084】

その結果、ビット線BL(1)-ソース線SL(1)間は、メモリセル1100(1,1)の第1のトランジスタがオン状態であるため低抵抗状態となり、ビット線BL(2)-ソース線SL(2)間は、メモリセル1100(1,2)の第1のトランジスタがオフ状態であるため、高抵抗状態となる。ビット線BL(1)、ビット線BL(2)に読み出し回路を接続することで、ビット線BLの抵抗状態の違いから、データを読み出すことができる。

30

【0085】

図4に、読み出し回路の一例を示す。読み出し回路は、ビット線BL(1)及びビット線BL(2)にそれぞれ接続されているとする。読み出し回路として、図4に示す回路を用いる場合の出力電位について説明する。図4に示す読み出し回路では、ビット線BLは、リードイネーブル信号(RE信号)によって制御されるスイッチを介して、クロックインバータ、および、電位V1を与えられた配線にダイオード接続されたトランジスタに接続される。

【0086】

ここで、ソース線SL(1)とソース線SL(2)には0Vを与えておく。ビット線BL(1)-ソース線SL(1)間は低抵抗であるため、クロックインバータには低電位が入力され、出力D(1)はHighとなる。ビット線BL(2)-ソース線SL(2)間は高抵抗であるため、クロックインバータには高電位が入力され、出力D(2)はLowとなる。

40

【0087】

なお、読み出し動作の間、第2の信号線S2(1)には0Vを、第2の信号線S2(2)には電位VLを与え、第2のトランジスタを全てオフ状態としておく。1行目のフローティングゲート部FGの電位は0VまたはV2であるから、第2の信号線S2(1)を0Vとすることで第2のトランジスタを全てオフ状態とすることができる。一方、2行目のフローティングゲート部FGの電位は、ワード線WL(2)に電位VLが与えられると、書き込み直後の電位より低い電位となってしまう。これにより、第2のトランジスタがオン状態となることを防止するために、第2の信号線S2(2)をワード線WL(2)と同じ

50

低電位（電位 V_L ）とする。以上により、第2のトランジスタを全てオフ状態とすることができる。

【0088】

動作電圧は、例えば、 $V_1 = 2V$ 、 $V_2 = 1.5V$ 、 $V_H = 2V$ 、 $V_L = -2V$ とすることができる。

【0089】

図2に示す半導体装置には、オフ電流が極めて小さい酸化物半導体を用いられているため、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

10

【0090】

また、図2に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。そのため、図2に示す半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

【0091】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせることで、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

20

【0092】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【0093】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

30

【0094】

（実施の形態3）

本実施の形態では、先の実施の形態において説明した半導体装置をマトリクス状に配列した半導体装置の他の一例について説明する。

【0095】

図5に、構成の一部が図2とは異なる $m \times n$ ビットの記憶容量を有する半導体装置の回路図の例を示す。

【0096】

図5に示す半導体装置は、 m 本のワード線 WL 、 m 本のソース線 SL 、及び m 本の第1の信号線 $S1$ と、 n 本のビット線 BL 、 n 本の第2の信号線 $S2$ と、複数のメモリセル1100が縦 m 個（行） \times 横 n 個（列）（ m 、 n は自然数）のマトリクス状に配置されたメモリセルアレイと、第1の駆動回路1111、第2の駆動回路1112、第3の駆動回路1113、第4の駆動回路1114、といった周辺回路によって構成されている。ここで、メモリセル1100としては、先の実施の形態において説明した構成（図1（A-1）に示される構成）が適用される。

40

【0097】

また、各メモリセル1100は、第1のトランジスタ、第2のトランジスタ、容量素子をそれぞれ有している。第1のトランジスタのゲート電極と、第2のトランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方とは、接続され、ソース線 SL と、第1のトランジスタのソース電極とは、接続され、ビット線 BL と、第1のトランジ

50

スタのドレイン電極とは、接続され、第1の信号線S1と、第2のトランジスタのソース電極またはドレイン電極の他方とは、接続され、第2の信号線S2と、第2のトランジスタのゲート電極とは、接続され、ワード線WLと、容量素子の電極の他方とは、接続されている。

【0098】

図5において、 i 行 j 列のメモリセル1100(i, j)(i は1以上 m 以下の整数、 j は1以上 n 以下の整数)は、ワード線WL(i)、ソース線SL(i)、第1の信号線S1(i)、ビット線BL(j)、第2の信号線S2(j)、にそれぞれ接続されている。

【0099】

図5において、 n 本のビット線BLは、第1の駆動回路1111と接続されており、 n 本の第2の信号線S2は第2の駆動回路1112と接続されており、 m 本の第1の信号線S1は、第3の駆動回路1113と接続されており、 m 本のソース線SL及びワード線WLは、第4の駆動回路1114と接続されている。なお、ここでは、第1の駆動回路1111、第2の駆動回路1112、第3の駆動回路1113、第4の駆動回路1114をそれぞれ独立に設けているが、開示する発明はこれに限定されない。いずれか一、または複数の機能を有する駆動回路を用いても良い。

【0100】

図5に示す半導体装置の動作は、図2に示した半導体装置の動作(図3を参照)と同様である。詳細については、先の実施の形態を参照することができる。

【0101】

次いで、図6に、構成の一部が図2や図5とは異なる $m \times n$ ビットの記憶容量を有する半導体装置の回路図の例を示す。

【0102】

図6に示す半導体装置は、 m 本のソース線SL、及び m 本の第2の信号線S2と、 n 本のビット線BL、 n 本のワード線WL、および n 本の第1の信号線S1と、複数のメモリセル1100が縦 m 個(行) \times 横 n 個(列)(m, n は自然数)のマトリクス状に配置されたメモリセルアレイと、第1の駆動回路1111、第2の駆動回路1112、第3の駆動回路1113、第4の駆動回路1114、といった周辺回路によって構成されている。ここで、メモリセル1100としては、先の実施の形態において説明した構成(図1(A-1)に示される構成)が適用される。

【0103】

図6において、 i 行 j 列のメモリセル1100(i, j)(i は1以上 m 以下の整数、 j は1以上 n 以下の整数)は、ソース線SL(i)、ビット線BL(j)、ワード線WL(j)、第1の信号線S1(j)、第2の信号線S2(i)、にそれぞれ接続されている。

【0104】

また、図6において、 n 本のビット線BL及びワード線WLは、第1の駆動回路1111と接続されており、 n 本の第1の信号線S1は、第2の駆動回路1112と接続されており、 m 本の第2の信号線S2は第3の駆動回路1113と接続されており、 m 本のソース線SLは第4の駆動回路1114と接続されている。なお、ここでは、第1の駆動回路1111、第2の駆動回路1112、第3の駆動回路1113、第4の駆動回路1114は、それぞれ独立に設けているが、開示する発明はこれに限定されない。いずれか一、または複数の機能を有する駆動回路を用いても良い。

【0105】

次に、書き込み動作および読み出し動作について、図7に示すタイミングチャートを用いて説明する。

【0106】

なお、ここでは、簡単のため、2行 \times 2列の半導体装置の動作について説明するが、開示する発明はこれに限定されない。

【0107】

図7は、図6に示す半導体装置の動作を説明するための図である。図7において、S1(

10

20

30

40

50

1) および $S_1(2)$ は、それぞれ第1の信号線 S_1 の電位、 $S_2(1)$ および $S_2(2)$ は、それぞれ第2の信号線 S_2 の電位、 $BL(1)$ および $BL(2)$ は、それぞれビット線 BL の電位、 $WL(1)$ および $WL(2)$ は、ワード線 WL の電位、 $SL(1)$ および $SL(2)$ は、それぞれソース線 SL の電位に相当する。

【0108】

ここでは、1行目のメモリセル $1100(1,1)$ 、およびメモリセル $1100(1,2)$ への書き込み、1行目のメモリセル $1100(1,1)$ 、およびメモリセル $1100(1,2)$ からの読み出しを行う場合について説明する。なお、以下では、メモリセル $1100(1,1)$ へ書き込むデータを "1" とし、メモリセル $1100(1,2)$ へ書き込むデータを "0" とする場合について説明する。

10

【0109】

はじめに、書き込み動作について説明する。1行目の書き込み期間において、1行目の第2の信号線 $S_2(1)$ に電位 V_1 を与え、1行目の第2のトランジスタをオン状態とする。また、2行目の第2の信号線 $S_2(2)$ に $0V$ を与え、2行目の第2のトランジスタをオフ状態とする。

【0110】

また、1列目の第1の信号線 $S_1(1)$ に電位 V_2 を与え、2列目の信号線 $S_1(2)$ に $0V$ を与える。

【0111】

その結果、メモリセル $1100(1,1)$ のフローティングゲート部 FG には電位 V_2 が、メモリセル $1100(1,2)$ のフローティングゲート部 FG には $0V$ が与えられる。ここでは、電位 V_2 は第1のトランジスタのしきい値より高い電位とする。そして、1行目の第2の信号線 $S_2(1)$ の電位を $0V$ として、1行目の第2のトランジスタをオフ状態とすることで、書き込みを終了する。

20

【0112】

なお、ワード線 $WL(1)$ 、ワード線 $WL(2)$ は $0V$ としておく。また、書き込み終了時には、第1の信号線 S_1 の電位を変化させる前に1行目の第2の信号線 $S_2(1)$ を $0V$ とする。書き込み後において、メモリセルのしきい値は、データ "0" の場合には V_{w0} 、データ "1" の場合には V_{w1} となる。ここで、メモリセルのしきい値とは、第1のトランジスタのソース電極とドレイン電極の間の抵抗状態が変化する、ワード線 WL に接続される端子の電圧をいうものとする。なお、ここでは、 $V_{w0} > 0 > V_{w1}$ とする。

30

【0113】

次に、読み出し動作について説明する。読み出しを行うにあたり、あらかじめ、ビット線 $BL(1)$ 、ビット線 $BL(2)$ 、及びソース線 $SL(1)$ 、ソース線 $SL(2)$ を電位 V_3 にプリチャージしておく。また、1行目のワード線 $WL(1)$ 、2行目のワード線 $WL(2)$ に $0V$ を与えておく。

【0114】

この状態では、フローティングゲート部 FG の電位は、 $0V$ もしくは電位 V_2 であり、第1のトランジスタのソース電極、ドレイン電極は電位 V_3 となる。電位 V_3 を電位 V_2 および $0V$ より高い値とし、全ての第1のトランジスタをオフ状態としておく。この状態で読み出しを行う。

40

【0115】

1行目の読み出し期間において、読み出し動作では、1行目のソース線 $SL(1)$ の電位を下げて、 $0V$ とする。このとき、1行目において、データ "0" が保持されているメモリセル $1100(1,2)$ の第1のトランジスタは、ゲート電極が $0V$ 、ソース電極が $0V$ 、ドレイン電極が電位 V_3 となるため、オフ状態であるのに対し、データ "1" が保持されているメモリセル $1100(1,1)$ の第1のトランジスタは、ゲート電極が電位 V_2 、ソース電極が $0V$ 、ドレイン電極が電位 V_3 となるため、オン状態となる。

【0116】

その結果、メモリセル $1100(1,1)$ の第1のトランジスタがオン状態であるため、

50

ビット線 $BL(1)$ にプリチャージされた電荷はメモリセル $1100(1,1)$ の第1トランジスタを介して放電し、電位は $V3$ から低下する。一方、メモリセル $1100(1,2)$ の第1のトランジスタがオフ状態であるため、ビット線 $BL(2)$ - ソース線 $SL(2)$ にプリチャージされた電荷は保持され、電位は $V3$ のままとなる。ビット線 $BL(1)$ 、ビット線 $BL(2)$ に読み出し回路を接続することで、ビット線 BL の電位の違いから、データを読み出すことができる。

【0117】

図8に、図4とは異なる読み出し回路を示す。読み出し回路は、ビット線 $BL(1)$ 及びビット線 $BL(2)$ にそれぞれ接続されているとする。読み出し回路として、図8に示す回路を用いる場合の出力電位について説明する。図8に示す読み出し回路では、プリチャージ信号 pc によって制御されるスイッチを介して、ビット線 BL への電位 $V3$ のプリチャージが制御される。また、リードイネーブル信号 (RE 信号) によって制御されるスイッチを介して、ビット線 BL とセンスアンプの入力の一方との接続が制御される。センスアンプの入力の他方には電位 $V4$ が与えられる。

10

【0118】

読み出し時には、ビット線 $BL(1)$ はメモリセル $1100(1,1)$ を介して放電され電位が低下するため、ビット線 $BL(1)$ の電位は電位 $V4$ より低くなり、出力 $D(1)$ は $High$ となる。ビット線 $BL(2)$ は電位 $V3$ が保持されるため、ビット線 $BL(1)$ の電位は電位 $V4$ より高くなり、出力 $D(2)$ は Low となる。電位 $V4$ は電位 $V3$ より低い値とする。また、電位 $V4$ は電位 $V2$ 以上とすることが好ましい。

20

【0119】

なお、読み出し動作の間、第2の信号線 $S2(1)$ 、第2の信号線 $S2(2)$ には $0V$ を与え、第2のトランジスタを全てオフ状態としておく。

【0120】

動作電圧は、例えば、 $V1 = 2V$ 、 $V2 = 1.5V$ 、 $V3 = 3V$ 、 $V4 = 2V$ とすることができる。

【0121】

次いで、図9に、構成の一部が図2、図5及び図6とは異なる $m \times n$ ビットの記憶容量を有する半導体装置の回路図の例を示す。

【0122】

図9に示す半導体装置は、 m 本のソース線 SL 、及び m 本の第1の信号線 $S1$ と、 n 本のビット線 BL 、 n 本のワード線 WL 、及び n 本の第2の信号線 $S2$ と、複数のメモリセル 1100 が縦 m 個(行) \times 横 n 個(列) (m 、 n は自然数)のマトリクス状に配置されたメモリセルアレイと、第1の駆動回路 1111 、第2の駆動回路 1112 、第3の駆動回路 1113 、第4の駆動回路 1114 、といった周辺回路によって構成されている。ここで、メモリセル 1100 としては、先の実施の形態において説明した構成(図1(A-1))に示される構成)が適用される。

30

【0123】

図9において、 i 行 j 列のメモリセル $1100(i,j)$ (i は1以上 m 以下の整数、 j は1以上 n 以下の整数)は、ソース線 $SL(i)$ 、ビット線 $BL(j)$ 、ワード線 $WL(j)$ 、第1の信号線 $S1(i)$ 、第2の信号線 $S2(j)$ 、にそれぞれ接続されている。

40

【0124】

また、図9において、 n 本のビット線 BL 及びワード線 WL は、第1の駆動回路 1111 と接続されており、 n 本の第2の信号線 $S2$ は第2の駆動回路 1112 と接続されており、 m 本の第1の信号線 $S1$ は、第3の駆動回路 1113 と接続されており、 m 本のソース線 SL は第4の駆動回路 1114 と接続されている。

【0125】

次いで、図10に、構成の一部が図2、図5乃至図9などとは異なる $m \times n$ ビットの記憶容量を有する半導体装置の回路図の例を示す。図10に示す半導体装置は、図2、図5乃至図9に示した半導体装置とは、ソース線 SL とビット線 BL の方向が異なっている。

50

【 0 1 2 6 】

図 1 0 に示す半導体装置は、 m 本のワード線 $W L$ 、 m 本のビット線 $B L$ 、および第 2 の信号線 $S 2$ と、 n 本のソース線 $S L$ 、および n 本の第 1 の信号線 $S 1$ と、複数のメモリセル $1 1 0 0$ が縦 m 個（行） \times 横 n 個（列）（ m 、 n は自然数）のマトリクス状に配置されたメモリセルアレイと、第 1 の駆動回路 $1 1 1 1$ 、第 2 の駆動回路 $1 1 1 2$ 、第 3 の駆動回路 $1 1 1 3$ 、第 4 の駆動回路 $1 1 1 4$ 、といった周辺回路によって構成されている。ここで、メモリセル $1 1 0 0$ としては、先の実施の形態において説明した構成（図 1（A - 1）に示される構成）が適用される。

【 0 1 2 7 】

図 1 0 において、 i 行 j 列のメモリセル $1 1 0 0$ （ i 、 j ）（ i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数）は、ソース線 $S L$ （ j ）、ワード線 $W L$ （ i ）、ビット線 $B L$ （ i ）、第 1 の信号線 $S 1$ （ j ）、第 2 の信号線（ i ）、にそれぞれ接続されている。

10

【 0 1 2 8 】

また、図 1 0 において、 n 本のソース線 $S L$ は、第 1 の駆動回路 $1 1 1 1$ と接続されており、 n 本の第 1 の信号線 $S 1$ は第 2 の駆動回路 $1 1 1 2$ と接続されており、 m 本の第 2 の信号線 $S 2$ は第 3 の駆動回路 $1 1 1 3$ と接続されており、 m 本のワード線 $W L$ 及びビット線 $B L$ は、第 4 の駆動回路 $1 1 1 4$ と接続されている。

【 0 1 2 9 】

次いで、図 1 1 に、構成の一部が図 2、図 5 乃至図 1 0 などとは異なる $m \times n$ ビットの記憶容量を有する半導体装置の回路図の例を示す。

20

【 0 1 3 0 】

図 1 1 に示す半導体装置は、 m 本のワード線 $W L$ 、 m 本のビット線 $B L$ 、および m 本の第 1 の信号線 $S 1$ と、 n 本のソース線 $S L$ 、 n 本の第 2 の信号線 $S 2$ と、複数のメモリセル $1 1 0 0$ が縦 m 個（行） \times 横 n 個（列）（ m 、 n は自然数）のマトリクス状に配置されたメモリセルアレイと、第 1 の駆動回路 $1 1 1 1$ 、第 2 の駆動回路 $1 1 1 2$ 、第 3 の駆動回路 $1 1 1 3$ 、第 4 の駆動回路 $1 1 1 4$ 、といった周辺回路によって構成されている。ここで、メモリセル $1 1 0 0$ としては、先の実施の形態において説明した構成（図 1（A - 1）に示される構成）が適用される。

【 0 1 3 1 】

図 1 1 において、 i 行 j 列のメモリセル $1 1 0 0$ （ i 、 j ）（ i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数）は、ソース線 $S L$ （ j ）、ビット線 $B L$ （ i ）、ワード線 $W L$ （ i ）、第 1 の信号線 $S 1$ （ i ）、第 2 の信号線 $S 2$ （ j ）、にそれぞれ接続されている。

30

【 0 1 3 2 】

また、図 1 1 において、 n 本のソース線 $S L$ は、第 1 の駆動回路 $1 1 1 1$ と接続されており、 n 本の第 2 の信号線 $S 2$ は第 2 の駆動回路 $1 1 1 2$ と接続されており、 m 本の第 1 の信号線 $S 1$ は第 3 の駆動回路 $1 1 1 3$ と接続されており、 m 本のワード線 $W L$ 及びビット線 $B L$ は、第 4 の駆動回路 $1 1 1 4$ と接続されている。

【 0 1 3 3 】

次いで、図 1 2 に、構成の一部が図 2、図 5 乃至図 1 1 などとは異なる $m \times n$ ビットの記憶容量を有する半導体装置の回路図の例を示す。

40

【 0 1 3 4 】

図 1 2 に示す半導体装置は、 m 本のビット線 $B L$ 、および m 本の第 2 の信号線 $S 2$ と、 n 本のワード線 $W L$ 、 n 本のソース線 $S L$ 、および n 本の第 1 の信号線 $S 1$ と、複数のメモリセル $1 1 0 0$ が縦 m 個（行） \times 横 n 個（列）（ m 、 n は自然数）のマトリクス状に配置されたメモリセルアレイと、第 1 の駆動回路 $1 1 1 1$ 、第 2 の駆動回路 $1 1 1 2$ 、第 3 の駆動回路 $1 1 1 3$ 、第 4 の駆動回路 $1 1 1 4$ 、といった周辺回路によって構成されている。ここでメモリセル $1 1 0 0$ としては、先の実施の形態において説明した構成（図 1（A - 1）に示される構成）が適用される。

【 0 1 3 5 】

50

図 1 2 において、 i 行 j 列のメモリセル $1 1 0 0 (i, j)$ (i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数) は、ソース線 $S L (j)$ 、ビット線 $B L (i)$ 、ワード線 $W L (j)$ 、第 1 の信号線 $S 1 (j)$ 、第 2 の信号線 $S 2 (i)$ 、にそれぞれ接続されている。

【 0 1 3 6 】

また、図 1 2 において、 n 本のソース線 $S L$ 及びワード線 $W L$ は、第 1 の駆動回路 $1 1 1 1$ と接続されており、 n 本の第 1 の信号線 $S 1$ は第 2 の駆動回路 $1 1 1 2$ と接続されており、 m 本の第 2 の信号線 $S 2$ は第 3 の駆動回路 $1 1 1 3$ と接続されており、 m 本のビット線 $B L$ は第 4 の駆動回路 $1 1 1 4$ と接続されている。

【 0 1 3 7 】

次いで、図 1 3 に、構成の一部が図 2、図 5 乃至図 1 2 などとは異なる $m \times n$ ビットの記憶容量を有する半導体装置の回路図の例を示す。

【 0 1 3 8 】

図 1 3 に示す半導体装置は、 m 本のビット線 $B L$ 、および m 本の第 1 の信号線 $S 1$ 、 n 本のワード線 $W L$ 、 n 本のソース線 $S L$ 、および n 本の第 2 の信号線 $S 2$ と、複数のメモリセル $1 1 0 0$ が縦 m 個 (行) \times 横 n 個 (列) (m, n は自然数) のマトリクス状に配置されたメモリセルアレイと、第 1 の駆動回路 $1 1 1 1$ 、第 2 の駆動回路 $1 1 1 2$ 、第 3 の駆動回路 $1 1 1 3$ 、第 4 の駆動回路 $1 1 1 4$ 、といった周辺回路によって構成されている。ここで、メモリセル $1 1 0 0$ としては、先の実施の形態において説明した構成 (図 1 (A - 1) に示される構成) が適用される。

【 0 1 3 9 】

図 1 3 において、 i 行 j 列のメモリセル $1 1 0 0 (i, j)$ (i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数) は、ソース線 $S L (j)$ 、ビット線 $B L (i)$ 、ワード線 $W L (j)$ 、第 1 の信号線 $S 1 (i)$ 、第 2 の信号線 $S 2 (j)$ 、にそれぞれ接続されている。

【 0 1 4 0 】

また、図 1 3 において、 n 本のソース線 $S L$ 及びワード線 $W L$ は、第 1 の駆動回路 $1 1 1 1$ と接続されており、 n 本の第 2 の信号線 $S 2$ は第 2 の駆動回路 $1 1 1 2$ と接続されており、 m 本の第 1 の信号線 $S 1$ は第 3 の駆動回路 $1 1 1 3$ と接続されており、 m 本のビット線 $B L$ は、第 4 の駆動回路 $1 1 1 4$ と接続されている。

【 0 1 4 1 】

図 5、図 1 2、図 1 3 に示す半導体装置の動作は、図 2 に示した半導体装置の動作 (図 3 を参照) と同様である。詳細については、先の実施の形態を参照することができる。また、図 9、図 1 0、図 1 1 に示す半導体装置の動作は、図 6 に示した半導体装置の動作 (図 7 を参照) と同様である。詳細については、図 7 を参照することができる。

【 0 1 4 2 】

図 5 乃至図 1 3 に示す半導体装置に、オフ電流が極めて小さい酸化物半導体装置を用いることにより、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【 0 1 4 3 】

また、図 5 乃至図 1 3 に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。そのため、図 5 乃至図 1 3 に示す半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

【 0 1 4 4 】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導

10

20

30

40

50

体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0145】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【0146】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

10

【0147】

（実施の形態4）

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図14乃至図16を参照して説明する。

【0148】

半導体装置の断面構成および平面構成

図14は、半導体装置の構成の一例である。図14(A)には、半導体装置の断面を、図14(B)には、半導体装置の平面を、それぞれ示す。ここで、図14(A)は、図14(B)のA1-A2およびB1-B2における断面に相当する。図14(A)および図14(B)に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ160を有し、上部に酸化物半導体を用いたトランジスタ162を有するものである。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

20

【0149】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ162に用いる点にあるから、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0150】

図14におけるトランジスタ160は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域114および高濃度不純物領域120（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域116上に設けられたゲート絶縁層108aと、ゲート絶縁層108a上に設けられたゲート電極110aと、不純物領域と電気的に接続するソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bを有する。

30

【0151】

ここで、ゲート電極110aの側面にはサイドウォール絶縁層118が設けられている。また、基板100の、表面に垂直な方向から見てサイドウォール絶縁層118と重ならない領域には、高濃度不純物領域120を有し、高濃度不純物領域120に接する金属化合物領域124が存在する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように、層間絶縁層126および層間絶縁層128が設けられている。ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bは、層間絶縁層126および層間絶縁層128に形成された開口を通じて、金属化合物領域124と電気的に接続されている。つまり、ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bは、金属化合物領域124を介して高濃度不純物領域120および不純物領域114と電気的に接続されている。また、ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130b上には、配線142c、および配線142bを有する

40

50

。また、電極 130c は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、ゲート電極 110a と電氣的に接続されている。なお、トランジスタ 160 の集積化などのため、サイドウォール絶縁層 118 が形成されない場合もある。

【0152】

図 14 におけるトランジスタ 162 は、層間絶縁層 128 上に設けられたソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b と電氣的に接続されている酸化半導体層 144 と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b、酸化半導体層 144 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に酸化半導体層 144 と重畳するように設けられたゲート電極 148a と、を有する。また、トランジスタ 162 のソース電極またはドレイン電極 142a は、電極 130c を介してトランジスタ 160 のゲート電極と接続されている。

10

【0153】

ここで、酸化半導体層 144 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化半導体層 144 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化半導体層 144 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定したものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化半導体層 144 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温でのオフ電流 (ここでは、単位チャネル幅 ($1 \mu\text{m}$) あたりの値) は、 $100 \text{ zA} / \mu\text{m}$ (1 zA (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。このように、i 型化 (真性化) または実質的に i 型化された酸化半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

20

【0154】

なお、図 14 のトランジスタ 162 では、酸化半導体層 144 が島状に加工されないため、加工の際のエッチングによる酸化半導体層 144 の汚染を防止できる。

30

【0155】

容量素子 164 は、ソース電極またはドレイン電極 142a、酸化半導体層 144、ゲート絶縁層 146、および電極 148b、で構成される。すなわち、ソース電極またはドレイン電極 142a は、容量素子 164 の一方の電極として機能し、電極 148b は、容量素子 164 の他方の電極として機能することになる。

【0156】

なお、図 14 の容量素子 164 では、酸化半導体層 144 とゲート絶縁層 146 を積層させることにより、ソース電極またはドレイン電極 142a と、電極 148b との間の絶縁性を十分に確保することができる。

40

【0157】

なお、トランジスタ 162 および容量素子 164 において、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の端部は、テーパ形状であることが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下とする。なお、テーパ角とは、テーパ形状を有する層 (例えば、ソース電極またはドレイン電極 142a) を、その断面 (基板の表面と直交する面) に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の端部をテーパ形状とすることにより、酸化半導体層 144 の被覆性を向上し、段切れを防止することができるためである。

【0158】

50

また、トランジスタ 162 および容量素子 164 の上には、層間絶縁層 150 が設けられており、層間絶縁層 150 上には層間絶縁層 152 が設けられている。

【0159】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 160 の作製方法について図 15 を参照して説明し、その後、上部のトランジスタ 162 の作製方法について図 16 を参照して説明する。

【0160】

下部のトランジスタの作製方法

まず、半導体材料を含む基板 100 を用意する（図 15（A）参照）。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI 基板」が有する半導体層は、シリコン層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0161】

基板 100 上には、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成する（図 15（A）参照）。保護層 102 としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や p 型の導電性を付与する不純物元素を基板 100 に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0162】

次に、上記の保護層 102 をマスクとしてエッチングを行い、保護層 102 に覆われていない領域（露出している領域）の、基板 100 の一部を除去する。これにより他の半導体領域と分離された半導体領域 104 が形成される（図 15（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0163】

次に、半導体領域 104 を覆うように絶縁層を形成し、半導体領域 104 に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層 106 を形成する（図 15（B）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域 104 の形成後、または、素子分離絶縁層 106 の形成後には、上記保護層 102 を除去する。

【0164】

次に、半導体領域 104 上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0165】

絶縁層は後のゲート絶縁層となるものであり、CVD 法やスパッタリング法等を用いて得られる酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y >$

10

20

30

40

50

0))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

【0166】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

10

【0167】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108a、ゲート電極110aを形成する(図15(C)参照)。

【0168】

次に、ゲート電極110aを覆う絶縁層112を形成する(図15(C)参照)。そして、半導体領域104にリン(P)やヒ素(As)などを添加して、浅い接合深さの不純物領域114を形成する(図15(C)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。上記不純物領域114の形成により、半導体領域104のゲート絶縁層108a下部には、チャネル形成領域116が形成される(図15(C)参照)。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁層112を形成する工程としても良い。

20

【0169】

次に、サイドウォール絶縁層118を形成する(図15(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を行うことで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110aの上面と、不純物領域114の上面を露出させると良い。なお、サイドウォール絶縁層118は、高集積化などの目的のために形成されない場合もある。

30

【0170】

次に、ゲート電極110a、不純物領域114、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、不純物領域114と接する領域に、リン(P)やヒ素(As)などを添加して、高濃度不純物領域120を形成する(図15(E)参照)。その後、上記絶縁層を除去し、ゲート電極110a、サイドウォール絶縁層118、高濃度不純物領域120等を覆うように金属層122を形成する(図15(E)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

40

【0171】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、高濃度不純物領域120に接する金属化合物領域124が形成される(図15(F)参照)

50

。なお、ゲート電極 110a として多結晶シリコンなどを用いる場合には、ゲート電極 110a の金属層 122 と接触する部分にも、金属化合物領域が形成されることになる。

【0172】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後は、金属層 122 は除去する。

10

【0173】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 126、層間絶縁層 128 を形成する（図 15 (G) 参照）。層間絶縁層 126 や層間絶縁層 128 は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 126 と層間絶縁層 128 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層としても良いし、3 層以上の積層構造としても良い。層間絶縁層 128 の形成後は、その表面を、CMP やエッチング処理などによって平坦化しておくことが望ましい。

20

【0174】

その後、上記層間絶縁層に、金属化合物領域 124 にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を形成する（図 15 (H) 参照）。ソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0175】

より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは金属化合物領域 124）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

30

【0176】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

【0177】

なお、ここでは、金属化合物領域 124 と接触するソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b のみを示しているが、この工程において、ゲート電極 110a と接触する電極などをあわせて形成することができる。ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブ

50

デン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。また、後に行われる熱処理を考慮して、ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b は、熱処理に耐えうる程度の耐熱性を有する材料を用いて形成することが望ましい。

【0178】

以上により、半導体材料を含む基板 100 を用いたトランジスタ 160 が形成される（図 15 (H) 参照）。酸化物半導体以外の材料を用いたトランジスタ 160 は、高速動作が可能である

【0179】

なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0180】

上部のトランジスタの作製方法

次に、図 16 を用いて、層間絶縁層 128 上にトランジスタ 162 を作製する工程について説明する。なお、図 16 は、層間絶縁層 128 上の各種電極や、トランジスタ 162 などの作製工程を示すものであるから、トランジスタ 162 の下部に存在するトランジスタ 160 等については省略している。

【0181】

まず、層間絶縁層 128 上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b を形成する（図 16 (A) 参照）。

【0182】

導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、またはこれらを複数組み合わせた材料を用いてもよい。

【0183】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された 2 層構造、窒化チタン膜上にチタン膜が積層された 2 層構造、チタン膜とアルミニウム膜とチタン膜とが積層された 3 層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極またはドレイン電極 142 a、およびソース電極またはドレイン電極 142 b への加工が容易であるというメリットがある。

【0184】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 (In_2O_3 SnO_2 、ITO と略記する場合がある)、酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0185】

導電層のエッチングは、形成されるソース電極またはドレイン電極 142 a、およびソース電極またはドレイン電極 142 b の端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b の端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層 14

10

20

30

40

50

6の被覆性を向上し、段切れを防止することができる。

【0186】

トランジスタのチャンネル長(L)は、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの下端部との間隔によって決定される。なお、チャンネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を、10nm以上1000nm(1μm)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

10

【0187】

なお、層間絶縁層128上には、下地として機能する絶縁層を設けても良い。当該絶縁層は、PVD法やCVD法などを用いて形成することができる。

【0188】

また、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの上には、絶縁層を形成しても良い。当該絶縁層を設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bとの間の寄生容量を低減することが可能である。

【0189】

次に、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bを覆うように、酸化物半導体層144を形成する(図16(B)参照)。

20

【0190】

酸化物半導体層144は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。

【0191】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

30

【0192】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $InGaO_3(ZnO)_m$ ($m > 0$) で表記されるものがある。また、Gaに代えてMを用い、 $InMO_3(ZnO)_m$ ($m > 0$) のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

40

【0193】

酸化物半導体層144をスパッタ法で作製するためのターゲットとしては、 $In:Ga:Zn = 1:x:y$ (x は0以上、 y は0.5以上5以下)の組成比で表されるものを用いるのが好適である。例えば、すなわち、 $In_2O_3:Ga_2O_3:ZnO = 1:1:2$ [mol数比]の組成比を有するターゲットなどを用いることができる。また、 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [mol数比]の組成比を有するターゲットや、 $In_2O_3:Ga_2O_3:ZnO = 1:1:4$ [mol数比]の組成比を有するターゲットや、 $In_2O_3:Ga_2O_3:ZnO = 1:0:2$ [mol数比]の組成比を有するターゲットを用いることもできる。

50

【0194】

本実施の形態では、非晶質構造の酸化物半導体層144を、In-Ga-Zn-O系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

【0195】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層144を形成することが可能である。

【0196】

酸化物半導体層144の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下（望ましくは濃度10ppb以下）にまで除去された高純度ガス雰囲気を用いるのが好適である。

10

【0197】

酸化物半導体層144の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層144の形成の際の被処理物の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層144を形成する。被処理物を熱しながら酸化物半導体層144を形成することにより、酸化物半導体層144に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層144中の不純物濃度を低減できる。

20

【0198】

酸化物半導体層144の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流（DC）電力が0.5kW、雰囲気が酸素（酸素100%）雰囲気、またはアルゴン（アルゴン100%）雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、ごみ（成膜時に形成される粉状の物質など）を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層144の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層144を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

30

【0199】

なお、酸化物半導体層144をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば層間絶縁層128の表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

40

【0200】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行うことが好ましい。この第1の熱処理によって酸化物半導体層144中の、過剰な水素（水や水酸基を含む

50

)を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。

【0201】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0202】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

【0203】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【0204】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0205】

いずれにしても、第1の熱処理によって不純物を低減し、i型(真性半導体)またはi型に限りなく近い酸化物半導体層144を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0206】

ところで、上述の熱処理(第1の熱処理)には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0207】

次に、酸化物半導体層144に接するゲート絶縁層146を形成する(図16(C)参照)。ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0, y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0, y > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_y$ ($x > 0, y > 0$))、などを含むように形成するのが好適である。ゲート絶縁層14

10

20

30

40

50

6は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

【0208】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$ 、 $y > 0$))、などの高誘電率(high-k)材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

10

【0209】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、好ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

20

【0210】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0211】

次に、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148aを形成し、ソース電極またはドレイン電極142aと重畳する領域に電極148bを形成する(図16(D)参照)。ゲート電極148aおよび電極148bは、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極148aおよび電極148bとなる導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極またはドレイン電極142aなどの場合と同様であり、これらの記載を参酌できる。

30

【0212】

次に、ゲート絶縁層146、ゲート電極148a、および電極148b上に、層間絶縁層150および層間絶縁層152を形成する(図16(E)参照)。層間絶縁層150および層間絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層150と層間絶縁層152の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。また、層間絶縁層を設けない構成とすることも可能である。

40

【0213】

なお、上記層間絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層152を形成することで、半導体装置を微細化した場

50

合などにおいても、層間絶縁層 152 上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0214】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162 が完成する（図 16（E）参照）。また、容量素子 164 が完成する。

【0215】

図 16（E）に示すトランジスタ 162 は、酸化物半導体層 144 と、酸化物半導体層 144 と電氣的に接続するソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、酸化物半導体層 144、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上のゲート電極 148a と、を有する。また、容量素子 164 は、ソース電極またはドレイン電極 142a と、酸化物半導体層 144 と、ソース電極またはドレイン電極 142a を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上の電極 148b と、を有する。

10

【0216】

本実施の形態において示すトランジスタ 162 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、室温でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は、 $100 \text{ zA} / \mu\text{m}$ （ 1 zA （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。

20

【0217】

このように高純度化され、真性化された酸化物半導体層 144 を用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0218】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

30

【0219】

（実施の形態 5）

本実施の形態では、実施の形態 4 とは異なる、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図 17 及び図 18 を参照して説明する。

【0220】

半導体装置の断面構成および平面構成

図 17 は、半導体装置の構成の一例である。図 17（A）には、半導体装置の断面を、図 17（B）には、半導体装置の平面を、それぞれ示す。ここで、図 17（A）は、図 17（B）の A1 - A2 および B1 - B2 における断面に相当する。図 17（A）および図 17（B）に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ 160 を有し、上部に酸化物半導体を用いたトランジスタ 162 を有するものである。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

40

【0221】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ 162 に用いる点にあるから、半導体装置の具体的な構成をここで示すものに限定する必要はない。

50

【0222】

図17におけるトランジスタ160は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャンネル形成領域116と、チャンネル形成領域116を挟むように設けられた不純物領域114および高濃度不純物領域120（これらをあわせて単に不純物領域とも呼ぶ）と、チャンネル形成領域116上に設けられたゲート絶縁層108aと、ゲート絶縁層108a上に設けられたゲート電極110aと、不純物領域と電氣的に接続するソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bを有する。また、ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130b上には、配線142c、および配線142dを有する。なお、半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。

10

【0223】

ここで、ゲート電極110aの側面にはサイドウォール絶縁層118が設けられている。また、基板100の、表面に垂直な方向から見てサイドウォール絶縁層118と重ならない領域には、高濃度不純物領域120を有し、高濃度不純物領域120に接する金属化合物領域124が存在する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられている。トランジスタ160を覆うように、層間絶縁層126および層間絶縁層128が設けられている。ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bは、層間絶縁層126に形成された開口を通じて、金属化合物領域124と電氣的に接続されている。つまり、ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bは、金属化合物領域124を介して高濃度不純物領域120および不純物領域114と電氣的に接続されている。なお、トランジスタ160の集積化などのため、サイドウォール絶縁層118が形成されない場合もある。

20

【0224】

図17におけるトランジスタ162は、層間絶縁層128上に設けられたソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと電氣的に接続されている、島状の酸化物半導体層144と、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b、島状の酸化物半導体層144を覆うゲート絶縁層146と、ゲート絶縁層146上に島状の酸化物半導体層144と重畳するように設けられたゲート電極148aと、を有する。

30

【0225】

ここで、下部のトランジスタ160と上部のトランジスタ162は、ゲート電極110a上にソース電極またはドレイン電極142aが直接形成されることで電氣的に接続されている。つまり、本実施の形態に示す半導体装置は、実施の形態4で示した半導体装置において、ゲート電極110aの上面より上部を除去し、下部のトランジスタ160の上に、上部トランジスタ162を形成した構成となっている。

【0226】

なお、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）で測定したものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温でのオフ電流（ここでは、単位チャンネル幅（ $1 \mu\text{m}$ ）あたりの値）は

40

50

、 $100 \text{ z A} / \mu\text{m}$ (1 z A (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは、 $10 \text{ z A} / \mu\text{m}$ 以下となる。

このように、*i* 型化 (真性化) または実質的に *i* 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

【0227】

容量素子 164 は、ソース電極またはドレイン電極 142 a、酸化物半導体層 144、ゲート絶縁層 146、および電極 148 b、で構成される。すなわち、ソース電極またはドレイン電極 142 a は、容量素子 164 の一方の電極として機能し、電極 148 b は、容量素子 164 の他方の電極として機能することになる。

【0228】

なお、図 17 の容量素子 164 では、酸化物半導体層 144 とゲート絶縁層 146 を積層させることにより、ソース電極またはドレイン電極 142 a と、電極 148 b との間の絶縁性を十分に確保することができる。

【0229】

なお、トランジスタ 162 および容量素子 164 において、ソース電極またはドレイン電極 142 a、およびソース電極またはドレイン電極 142 b の端部は、テーパ形状であることが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下とする。なお、テーパ角とは、テーパ形状を有する層 (例えば、ソース電極またはドレイン電極 142 a) を、その断面 (基板の表面と直交する面) に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b の端部をテーパ形状とすることにより、酸化物半導体層 144 の被覆性を向上し、段切れを防止することができるためである。

【0230】

また、トランジスタ 162 および容量素子 164 の上には、層間絶縁層 150 が設けられており、層間絶縁層 150 上には層間絶縁層 152 が設けられている。

【0231】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、下部のトランジスタ 160 を形成した後の工程、上部のトランジスタ 162 の作製方法について図 18 を参照して説明する。下部のトランジスタ 160 については、実施の形態 4 で示した方法と同様の方法で作製することができ、実施の形態 4 の記載を参酌することができる。

【0232】

まず、実施の形態 4 に示す方法で下部のトランジスタ 160 を形成した後、トランジスタ 160 のゲート電極 110 a の上面より上部を除去する (図 18 (A) 参照)。トランジスタ 160 の当該部分の除去は、ゲート電極 110 a の上面が露出するまで、下部のトランジスタ 160 に研磨処理 (CMP 処理) を行うことによってなされる。これにより、ゲート電極 110 a より上の、層間絶縁層 126、128、ソース電極またはドレイン電極 130 a、130 b は除去される。このとき、層間絶縁層 126、128、ソース電極またはドレイン電極 130 a、130 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。また、実施の形態 4 で示した電極 130 c は、この CMP 処理で完全に除去されてしまうので形成する必要はない。

【0233】

このように、CMP 処理を行い、ゲート電極 110 a の上面を露出させることにより、ゲート電極 110 a とソース電極またはドレイン電極 142 a とを直接接続することができるので、トランジスタ 160 とトランジスタ 162 の電氣的接続を容易に取ることができる。

【0234】

次に、層間絶縁層 126、128 上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b、

10

20

30

40

50

配線 1 4 2 c、配線 1 4 2 d を形成する（図 1 8（B）参照）。ここで、ソース電極またはドレイン電極 1 4 2 a はゲート電極 1 1 0 a と、配線 1 4 2 c はソース電極またはドレイン電極 1 3 0 a と、そして、配線 1 4 2 d はソース電極またはドレイン電極 1 3 0 b と、直接接続されるように形成する。

【0235】

ここで、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b、配線 1 4 2 c、配線 1 4 2 d を形成する導電層は、実施の形態 4 で示した材料と同様の材料を用いることができ、実施の形態 4 の記載を参酌することができる。また、導電層のエッチングについても、実施の形態 4 で示した方法と同様にすることができ、実施の形態 4 の記載を参酌することができる。

10

【0236】

また、実施の形態 4 で示したように、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b の上には、絶縁層を形成しても良い。当該絶縁層を設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b との間の寄生容量を低減することが可能である。

【0237】

次に、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b、配線 1 4 2 c 及び配線 1 4 2 d を覆うように酸化物半導体層を成膜し、該酸化物半導体層を選択的にエッチングして、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b と接するように酸化物半導体層 1 4 4 を形成する（図 1 8（C）参照）。

20

【0238】

酸化物半導体層は、実施の形態 4 で示した材料と同様の材料を用い、同様の方法で成膜することができる。よって、酸化物半導体層の材料と成膜方法について、実施の形態 4 を参酌することができる。

【0239】

このように成膜した酸化物半導体層は、マスクを用いたエッチングなどの方法によって、島状に加工して、島状の酸化物半導体層 1 4 4 を形成する。

【0240】

酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）は適宜設定する。

30

【0241】

また、酸化物半導体層 1 4 4 は、実施の形態 4 で示したように、熱処理（第 1 の熱処理）を行うことが望ましい。第 1 の熱処理は、実施の形態 4 で示した方法で行うことができ、実施の形態 4 を参酌することができる。第 1 の熱処理によって不純物を低減し、i 型（真性半導体）または i 型に限りなく近い酸化物半導体層 1 4 4 を形成することで、極めて優れた特性のトランジスタを実現することができる。なお、第 1 の熱処理は、酸化物半導体層のエッチング前に行ってもよいし、エッチングして酸化物半導体層を島状に加工した後に行っても良い。

40

【0242】

次に、酸化物半導体層 1 4 4 に接するゲート絶縁層 1 4 6 を形成する（図 1 8（C）参照）。

【0243】

ゲート絶縁層 1 4 6 は、実施の形態 4 で示した材料と同様の材料を用い、同様の方法で成膜することができる。よって、ゲート絶縁層 1 4 6 の材料と成膜方法について、実施の形態 4 を参酌することができる。

【0244】

50

また、ゲート絶縁層 146 の形成後、実施の形態 4 で示したように、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。第 2 の熱処理は、実施の形態 4 で示した方法で行うことができ、実施の形態 4 を参酌することができる。第 2 の熱処理を行うことで、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 146 が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、i 型（真性半導体）または i 型に限りなく近い酸化物半導体層を形成することもできる。

【0245】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。

10

【0246】

次に、ゲート絶縁層 146 上において酸化物半導体層 144 と重畳する領域にゲート電極 148 a を形成し、ソース電極またはドレイン電極 142 a と重畳する領域に電極 148 b を形成する（図 18（D）参照）。ゲート電極 148 a および電極 148 b は、ゲート絶縁層 146 上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極 148 a および電極 148 b となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極 142 a などの場合と同様であり、これらの記載を参酌できる。

20

【0247】

次に、実施の形態 4 で示したように、ゲート絶縁層 146、ゲート電極 148 a、および電極 148 b 上に、層間絶縁層 150 および層間絶縁層 152 を形成する。層間絶縁層 150 および層間絶縁層 152 は、実施の形態 4 で示した材料と同様の材料を用い、同様の方法で成膜することができる。よって、層間絶縁層 150 および層間絶縁層 152 の材料と成膜方法について、実施の形態 4 を参酌することができる。

【0248】

なお、上記層間絶縁層 152 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層 152 を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層 152 上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

30

【0249】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162 が完成する（図 18（D）参照）。また、容量素子 164 が完成する。

【0250】

図 18（D）に示すトランジスタ 162 は、酸化物半導体層 144 と、酸化物半導体層 144 と電気的に接続するソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b と、酸化物半導体層 144、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上のゲート電極 148 a と、を有する。また、容量素子 164 は、ソース電極またはドレイン電極 142 a と、酸化物半導体層 144 と、ソース電極またはドレイン電極 142 a を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上の電極 148 b と、を有する。

40

【0251】

本実施の形態において示すトランジスタ 162 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにお

50

るキャリア密度 ($1 \times 10^{14} / \text{cm}^3$ 程度) と比較して、十分に小さい値 (例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満) をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ 162 の室温でのオフ電流 (ここでは、単位チャネル幅 ($1 \mu\text{m}$) あたりの値) は、 $100 \text{ zA} / \mu\text{m}$ (1 zA (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。

【0252】

このように高純度化され、真性化された酸化物半導体層 144 を用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

10

【0253】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0254】

(実施の形態 6)

本実施の形態では、実施の形態 4、実施の形態 5 とは異なる、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図 19 乃至図 21 を参照して説明する。

【0255】

半導体装置の断面構成および平面構成

20

図 19 は、半導体装置の構成の一例である。図 19 (A) には、半導体装置の断面を、図 19 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 19 (A) は、図 19 (B) の C1 - C2 および D1 - D2 における断面に相当する。図 19 (B) の平面図においては、煩雑になることを避けるため、ソース電極またはドレイン電極 154 や、配線 156 など、構成要素の一部を省略している。図 19 (A) および図 19 (B) に示される半導体装置は、下部に酸化物半導体以外の半導体材料を用いたトランジスタ 160 を有し、上部に酸化物半導体を用いたトランジスタ 162 を有するものである。酸化物半導体以外の半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0256】

30

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ 162 に用いる点にあるから、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0257】

図 19 に示される半導体装置と、先の実施の形態に示される半導体装置の相違の一は、半導体装置の平面レイアウトである。本実施の形態では、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と重畳するように設けられている。このような、平面レイアウトを採用することにより、高集積化が可能である。例えば、最小加工寸法を F とし

40

【0258】

図 19 に示される半導体装置と、先の実施の形態に示される半導体装置の相違の他の一は、トランジスタ 160 におけるサイドウォール絶縁層 118 の有無である。つまり、図 19 に示される半導体装置は、サイドウォール絶縁層を有しない。また、サイドウォール絶縁層を形成しないことにより、不純物領域 114 が形成されていない。このように、サイドウォール絶縁層を設けない場合は、サイドウォール絶縁層 118 を設ける場合と比較して集積化が容易である。また、サイドウォール絶縁層 118 を設ける場合と比較して、作製工程を簡略化することが可能である。

【0259】

50

図19に示される半導体装置と、先の実施の形態に示される半導体装置の相違の他の一は、トランジスタ160における層間絶縁層125の有無である。つまり、図19に示される半導体装置は、層間絶縁層125を有する。層間絶縁層125として、水素を含む絶縁層を適用することで、トランジスタ160に対して水素を供給しトランジスタ160の特性を向上させることが可能である。このような層間絶縁層125としては、例えば、プラズマCVD法により形成された水素を含む窒化シリコン層などがある。さらに、層間絶縁層126として、水素が十分に低減された絶縁層を適用することで、トランジスタ162の特性を悪化させるおそれがある水素の、トランジスタ162への混入を防ぐことが可能である。このような層間絶縁層126としては、例えば、スパッタ法により形成された窒化シリコン層などがある。このような構成を採用することにより、トランジスタ160とトランジスタ162の特性を十分に高めることが可能である。

10

【0260】

図19に示される半導体装置と、先の実施の形態に示される半導体装置の相違の他の一は、トランジスタ162における絶縁層143aおよび絶縁層143bの有無である。つまり、図19に示される半導体装置は、絶縁層143aおよび絶縁層143bを有する。このように、絶縁層143aおよび絶縁層143bを設けることにより、ゲート電極148aと、ソース電極またはドレイン電極142a（または、ゲート電極148aと、ソース電極またはドレイン電極142b）とによる、いわゆるゲート容量を低減し、トランジスタ162の動作速度を向上させることができる。

20

【0261】

なお、実施の形態5と同様、下部のトランジスタ160と上部のトランジスタ162は、ゲート電極110a上にソース電極またはドレイン電極142aが直接形成されることで電氣的に接続されている。このような構成とすることで、電極や配線を別途設ける場合と比較して、集積度が向上する。また、作製工程が簡略化される。

【0262】

なお、本実施の形態では、上述の相違点を一体に有する構成を示しているが、当該相違点のいずれか一のみを有する構成を採用しても良い。

【0263】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、下部のトランジスタ160を形成した後の工程、上部のトランジスタ162の作製方法について図20および図21を参照して説明する。下部のトランジスタ160については、実施の形態4で示した方法と同様の方法で作製することができる。詳細については、実施の形態4の記載を参照できる。なお、本実施の形態では、トランジスタ160を覆うように層間絶縁層125、層間絶縁層126、層間絶縁層128、の三種類の層間絶縁層が形成されるものとする（図20(A)参考）。また、本実施の形態では、トランジスタ160の作製工程において、図15(H)などに示すようなソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bを形成しないが、ソース電極またはドレイン電極130aおよびソース電極またはドレイン電極130bが形成されていない状態であっても、便宜上、トランジスタ160と呼ぶことにする。

30

40

【0264】

まず、実施の形態4に示す方法で下部のトランジスタ160を形成した後、トランジスタ160のゲート電極110aの上面より上部を除去する。当該除去工程には、CMP（化学的機械的研磨）などの研磨処理を適用すればよい。これにより、ゲート電極110a上面より上の、層間絶縁層125、層間絶縁層126、層間絶縁層128は除去される。なお、研磨処理に係る表面を十分に平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0265】

次に、ゲート電極110a、層間絶縁層125、層間絶縁層126、層間絶縁層128上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極

50

142a、ソース電極またはドレイン電極142bを形成する(図20(A)参照)。ここで、ソース電極またはドレイン電極142aは、ゲート電極110aと直接接続されるように形成する。

【0266】

ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成するための導電層は、実施の形態4で示した材料と同様の材料を用いて形成することができる。また、導電層のエッチングについても、実施の形態4で示した方法と同様の方法を用いて行うことができる。詳細については、実施の形態4の記載を参照することができる。

【0267】

次に、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを覆うように絶縁層を形成し、該絶縁層を選択的にエッチングして、ソース電極またはドレイン電極142a上に絶縁層143aを、ソース電極またはドレイン電極142b上に絶縁層143bを、それぞれ形成する(図20(B)参照)。

【0268】

当該絶縁層143a、絶縁層143bを設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極142a、および、ソース電極またはドレイン電極142bとの間の寄生容量を低減することが可能である。

【0269】

次に、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを覆うように酸化物半導体層144を形成し、酸化物半導体層144上にゲート絶縁層146を形成する(図20(C)参照)。

【0270】

酸化物半導体層144は、実施の形態4で示した材料、方法により形成することができる。また、酸化物半導体層144に対しては、熱処理(第1の熱処理)を行うことが望ましい。詳細については、実施の形態4の記載を参照することができる。

【0271】

ゲート絶縁層146は、実施の形態4で示した材料、方法により形成することができる。また、ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で熱処理(第2の熱処理)を行うのが望ましい。詳細については、実施の形態4の記載を参照することができる。

【0272】

次に、ゲート絶縁層146上において、トランジスタ162のチャンネル形成領域となる領域と重畳する領域にゲート電極148aを形成し、ソース電極またはドレイン電極142aと重畳する領域に電極148bを形成する(図20(D)参照)。

【0273】

ゲート電極148aおよび電極148bは、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極148aおよび電極148bとなる導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極またはドレイン電極142aなどの場合と同様であり、これらの記載を参照できる。

【0274】

次に、ゲート絶縁層146、ゲート電極148a、および電極148b上に、層間絶縁層150および層間絶縁層152を形成する(図21(A)参照)。層間絶縁層150および層間絶縁層152は、実施の形態4で示した材料、方法により形成することができる。詳細については、実施の形態4の記載を参照することができる。

【0275】

なお、上記層間絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層152を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層152上に、電極や配線などを好適に形成することができ

10

20

30

40

50

るためである。なお、層間絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0276】

次に、層間絶縁層 125、層間絶縁層 126、層間絶縁層 128、酸化物半導体層 144、ゲート絶縁層 146、層間絶縁層 150、層間絶縁層 152 を選択的にエッチングして、トランジスタ 160 の金属化合物領域 124 にまで達する開口を形成する（図 21（B）参照）。エッチングとしては、ドライエッチング、ウェットエッチングのいずれを用いても良いが、微細化の観点からは、ドライエッチングを用いるのが望ましい。

【0277】

そして、上記開口に埋め込むように、ソース電極またはドレイン電極 154 を形成する。そして、ソース電極またはドレイン電極 154 と接続する配線 156 を形成する（図 21（C）参照）。

【0278】

ソース電極またはドレイン電極 154 は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは金属化合物領域 124）との接触抵抗を低減させる機能を有する。また、その後形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0279】

配線 156 は、ソース電極またはドレイン電極 154 に接する導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。当該導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極 142a などの場合と同様である。

【0280】

以上により、トランジスタ 160、トランジスタ 162 および容量素子 164 を有する半導体装置が完成する。

【0281】

本実施の形態で示す半導体装置は、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と重畳する構成を備えていること、トランジスタ 160 がサイドウォール絶縁層を有しないこと、ゲート電極 110a 上にソース電極またはドレイン電極 142a が直接形成されていること、などにより高集積化が可能になっている。また、作製工程が簡略化されている。

【0282】

また、本実施の形態で示す半導体装置は、層間絶縁層 125 として、水素を含む絶縁層を適用し、層間絶縁層 126 として、水素が十分に低減された絶縁層を適用することで、トランジスタ 160 およびトランジスタ 162 の特性が高められている。また、絶縁層 143a および絶縁層 143b を有することで、いわゆるゲート容量が低減され、トランジスタ 162 の動作速度が向上している。

【0283】

本実施の形態に示す上述の特徴により、きわめて優れた特性の半導体装置を提供することが可能である。

【0284】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

10

20

30

40

50

【 0 2 8 5 】

(実施の形態 7)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 2 2 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【 0 2 8 6 】

図 2 2 (A) は、ノート型のパーソナルコンピュータであり、筐体 7 0 1、筐体 7 0 2、表示部 7 0 3、キーボード 7 0 4 などによって構成されている。筐体 7 0 1 と筐体 7 0 2 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

10

【 0 2 8 7 】

図 2 2 (B) は、携帯情報端末（ P D A ）であり、本体 7 1 1 には、表示部 7 1 3 と、外部インターフェイス 7 1 5 と、操作ボタン 7 1 4 等が設けられている。また、携帯情報端末を操作するスタイラス 7 1 2 などを備えている。本体 7 1 1 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

20

【 0 2 8 8 】

図 2 2 (C) は、電子ペーパーを実装した電子書籍であり、筐体 7 2 1 と筐体 7 2 3 の 2 つの筐体で構成されている。筐体 7 2 1 および筐体 7 2 3 には、それぞれ表示部 7 2 5 および表示部 7 2 7 が設けられている。筐体 7 2 1 と筐体 7 2 3 は、軸部 7 3 7 により接続されており、該軸部 7 3 7 を軸として開閉動作を行うことができる。また、筐体 7 2 1 は、電源 7 3 1、操作キー 7 3 3、スピーカー 7 3 5 などを備えている。筐体 7 2 1、筐体 7 2 3 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

30

【 0 2 8 9 】

図 2 2 (D) は、携帯電話機であり、筐体 7 4 0 と筐体 7 4 1 の 2 つの筐体で構成されている。さらに、筐体 7 4 0 と筐体 7 4 1 は、スライドし、図 2 2 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 7 4 1 は、表示パネル 7 4 2、スピーカー 7 4 3、マイクロフォン 7 4 4、操作キー 7 4 5、ポインティングデバイス 7 4 6、カメラ用レンズ 7 4 7、外部接続端子 7 4 8 などを備えている。また、筐体 7 4 0 は、携帯電話機の充電を行う太陽電池セル 7 4 9、外部メモリスロット 7 5 0 などを備えている。また、アンテナは、筐体 7 4 1 に内蔵されている。筐体 7 4 0 と筐体 7 4 1 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

40

【 0 2 9 0 】

図 2 2 (E) は、デジタルカメラであり、本体 7 6 1、表示部 7 6 7、接眼部 7 6 3、操作スイッチ 7 6 4、表示部 7 6 5、バッテリー 7 6 6 などによって構成されている。本体 7 6 1 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【 0 2 9 1 】

図 2 2 (F) は、テレビジョン装置であり、筐体 7 7 1、表示部 7 7 3、スタンド 7 7 5 などで構成されている。テレビジョン装置 7 7 0 の操作は、筐体 7 7 1 が備えるスイッチ

50

や、リモコン操作機 780 により行うことができる。筐体 771 およびリモコン操作機 780 には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0292】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【実施例 1】

【0293】

開示する発明の一態様にかかる半導体装置の書き換え可能回数につき調査した。本実施例では、当該調査結果につき、図 23 を参照して説明する。

10

【0294】

調査に用いた半導体装置は、図 1 (A - 1) に示す回路構成の半導体装置である。ここで、トランジスタ 162 に相当するトランジスタには酸化物半導体を用い、容量素子 164 に相当する容量素子としては、0.33 pF の容量値のものを用いた。

【0295】

調査は、初期のメモリウィンドウ幅と、情報の保持および情報の書き込みを所定回数繰り返した後のメモリウィンドウ幅とを比較することにより行った。情報の保持および情報の書き込みは、図 1 (A - 1) における第 3 の配線に相当する配線に 0 V、または 5 V のいずれかを与え、第 4 の配線に相当する配線に、0 V、または 5 V のいずれかを与えることにより行った。第 4 の配線に相当する配線の電位が 0 V の場合には、トランジスタ 162 に相当するトランジスタ (書き込み用トランジスタ) はオフ状態であるから、フローティングゲート部 FG に与えられた電位が保持される。第 4 の配線に相当する配線の電位が 5 V の場合には、トランジスタ 162 に相当するトランジスタはオン状態であるから、第 3 の配線に相当する配線の電位がフローティングゲート部 FG に与えられる。

20

【0296】

メモリウィンドウ幅とは記憶装置の特性を示す指標の一つである。ここでは、異なる記憶状態の間での、第 5 の配線に相当する配線の電位 V_{cg} と、トランジスタ 160 に相当するトランジスタ (読み出し用トランジスタ) のドレイン電流 I_d との関係を示す曲線 ($V_{cg} - I_d$ 曲線) の、シフト量 V_{cg} をいうものとする。異なる記憶状態とは、フローティングゲート部 FG に 0 V が与えられた状態 (以下、Low 状態という) と、フローティングゲート部 FG に 5 V が与えられた状態 (以下、High 状態という) をいう。つまり、メモリウィンドウ幅は、Low 状態と High 状態において、電位 V_{cg} の掃引を行うことで確認できる。

30

【0297】

図 23 に、初期状態におけるメモリウィンドウ幅と、 1×10^9 回の書き込みを行った後のメモリウィンドウ幅の調査結果を示す。なお、図 23 において、横軸は V_{cg} (V) を示し、縦軸は I_d (A) を示す。ここで、太い実線は、1 回目の High 状態書き込みの $V_{cg} - I_d$ 特性曲線であり、細い実線は、1 回目の Low 状態書き込みの $V_{cg} - I_d$ 特性曲線である。また、太い鎖線は、 1×10^9 回目の High 状態書き込みの $V_{cg} - I_d$ 特性曲線であり、細い鎖線は、 1×10^9 回目の Low 状態書き込みの $V_{cg} - I_d$ 特性曲線である。図 23 から、 1×10^9 回の書き込み前後において、メモリウィンドウ幅が変化していないことが確認できる。 1×10^9 回の書き込み前後においてメモリウィンドウ幅が変化しないということは、少なくともこの間は、半導体装置が劣化しないことを示すものである。

40

【0298】

上述のように、開示する発明の一態様に係る半導体装置は、保持および書き込みを 1×10^9 回もの多数回繰り返しても特性が変化せず、書き換え耐性が極めて高い。つまり、開示する発明の一態様によって、極めて信頼性の高い半導体装置が実現されるといえる。

【実施例 2】

50

【0299】

本実施例では、高純度化された酸化物半導体を用いたトランジスタのオフ電流を求めた結果について説明する。

【0300】

本実施例では、実施の形態4に従って、高純度化された酸化物半導体を用いてトランジスタを作製した。まず、高純度化された酸化物半導体を用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャンネル幅 W が $1\text{ }\mu\text{m}$ と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャンネル幅 W が $1\text{ }\mu\text{m}$ のトランジスタのオフ電流を測定した結果を図24に示す。図24において、横軸はゲート電圧 V_G 、縦軸はドレイン電流 I_D である。ドレイン電圧 V_D が $+1\text{ V}$ または $+10\text{ V}$ の場合、ゲート電圧 V_G が -5 V から -20 V の範囲では、トランジスタのオフ電流は、 $1 \times 10^{-12}\text{ A}$ 以下であることがわかった。また、トランジスタのオフ電流は $1\text{ aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{ A}/\mu\text{m}$) 以下となることがわかった。

10

【0301】

次に、高純度化された酸化物半導体を用いたトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体を用いたトランジスタのオフ電流は、 $1 \times 10^{-12}\text{ A}$ 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値を求めた結果について説明する。

【0302】

はじめに、電流測定方法に用いた特性評価用素子について、図25を参照して説明する。

20

【0303】

図25に示す特性評価用素子は、測定系800が3つ並列に接続されている。測定系800は、容量素子802、トランジスタ804、トランジスタ805、トランジスタ806、トランジスタ808を有する。トランジスタ804、トランジスタ808には、実施の形態4に従って作製したトランジスタを使用した。

【0304】

測定系800において、トランジスタ804のソース端子およびドレイン端子の一方と、容量素子802の端子の一方と、トランジスタ805のソース端子およびドレイン端子の一方は、電源(V_2 を与える電源)に接続されている。また、トランジスタ804のソース端子およびドレイン端子の他方と、トランジスタ808のソース端子およびドレイン端子の一方と、容量素子802の端子の他方と、トランジスタ805のゲート端子とは、接続されている。また、トランジスタ808のソース端子およびドレイン端子の他方と、トランジスタ806のソース端子およびドレイン端子の一方と、トランジスタ806のゲート端子は、電源(V_1 を与える電源)に接続されている。また、トランジスタ805のソース端子およびドレイン端子の他方と、トランジスタ806のソース端子およびドレイン端子の他方とは、接続され、出力端子 V_{out} となっている。

30

【0305】

なお、トランジスタ804のゲート端子には、トランジスタ804のオン状態と、オフ状態を制御する電位 V_{ext_b2} が供給され、トランジスタ808のゲート端子には、トランジスタ808のオン状態と、オフ状態を制御する電位 V_{ext_b1} が供給される。また、出力端子からは電位 V_{out} が出力される。

40

【0306】

次に、上記の測定系を用いた電流測定方法について説明する。

【0307】

まず、オフ電流を測定するために電位差を付与する初期化期間の概略について説明する。初期期間においては、トランジスタ808のゲート端子に、トランジスタ808をオン状態とする電位 V_{ext_b1} を入力して、トランジスタ804のソース端子またはドレイン端子の他方と接続されるノード(つまり、トランジスタ808のソース端子およびドレイン端子の一方、容量素子802の端子の他方、およびトランジスタ805のゲート端子に接続されるノード)であるノードAに電位 V_1 を与える。ここで、電位 V_1 は、例えば

50

高電位とする。また、トランジスタ 804 はオフ状態としておく。

【0308】

その後、トランジスタ 808 のゲート端子に、トランジスタ 808 をオフ状態とする電位 V_{ext_b1} を入力して、トランジスタ 808 をオフ状態とする。トランジスタ 808 をオフ状態とした後に、電位 V_1 を低電位とする。ここでも、トランジスタ 804 はオフ状態としておく。また、電位 V_2 は電位 V_1 と同じ電位とする。以上により、初期化期間が終了する。初期化期間が終了した状態では、ノード A とトランジスタ 804 のソース電極及びドレイン電極の一方との間に電位差が生じ、また、ノード A とトランジスタ 808 のソース電極及びドレイン電極の他方との間に電位差が生じることになるため、トランジスタ 804 およびトランジスタ 808 には僅かに電荷が流れる。つまり、オフ電流が発生する。

10

【0309】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ 804 のソース端子またはドレイン端子の一方の端子の電位（つまり V_2 ）、および、トランジスタ 808 のソース端子またはドレイン端子の他方の端子の電位（つまり V_1 ）は低電位に固定しておく。一方で、測定期間中は、上記ノード A の電位は固定しない（フローティング状態とする）。これにより、トランジスタ 804 に電荷が流れ、時間の経過と共にノード A に保持される電荷量の変動する。そして、ノード A に保持される電荷量の変動に伴って、ノード A の電位が変動する。つまり、出力端子の出力電位 V_{out} も変動する。

20

【0310】

上記電位差を付与する初期化期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図 26 に示す。

【0311】

初期化期間において、まず、電位 V_{ext_b2} を、トランジスタ 804 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_2 すなわち低電位（ V_{SS} ）となる。その後、電位 V_{ext_b2} を、トランジスタ 804 がオフ状態となるような電位（低電位）として、トランジスタ 804 をオフ状態とする。そして、次に、電位 V_{ext_b1} を、トランジスタ 808 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_1 、すなわち高電位（ V_{DD} ）となる。その後、 V_{ext_b1} を、トランジスタ 808 がオフ状態となるような電位とする。これによって、ノード A がフローティング状態となり、初期化期間が終了する。

30

【0312】

その後の測定期間においては、電位 V_1 および電位 V_2 を、ノード A に電荷が流れ込み、またはノード A から電荷が流れ出すような電位とする。ここでは、電位 V_1 および電位 V_2 を低電位（ V_{SS} ）とする。ただし、出力電位 V_{out} を測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的に V_1 を高電位（ V_{DD} ）とすることがある。なお、 V_1 を高電位（ V_{DD} ）とする期間は、測定に影響を与えない程度の短期間とする。

【0313】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノード A に保持される電荷量の変動し、これに従ってノード A の電位が変動する。これは、トランジスタ 805 のゲート端子の電位が変動することを意味するから、時間の経過と共に、出力端子の出力電位 V_{out} の電位も変化することとなる。

40

【0314】

得られた出力電位 V_{out} から、オフ電流を算出する方法について、以下に説明する。

【0315】

オフ電流の算出に先だって、ノード A の電位 V_A と、出力電位 V_{out} との関係を求めておく。これにより、出力電位 V_{out} からノード A の電位 V_A を求めることができる。上述の関係から、ノード A の電位 V_A は、出力電位 V_{out} の関数として次式のように表す

50

ことができる。

【0316】

【数1】

$$V_A = F(V_{out})$$

【0317】

また、ノードAの電荷 Q_A は、ノードAの電位 V_A 、ノードAに接続される容量 C_A 、定数(const)を用いて、次式のように表される。ここで、ノードAに接続される容量 C_A は、容量素子802の容量と他の容量の和である。

【0318】

【数2】

$$Q_A = C_A V_A + const$$

【0319】

ノードAの電流 I_A は、ノードAに流れ込む電荷(またはノードAから流れ出る電荷)の時間微分であるから、ノードAの電流 I_A は次式のように表される。

【0320】

【数3】

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【0321】

このように、ノードAに接続される容量 C_A と、出力端子の出力電位 V_{out} から、ノードAの電流 I_A を求めることができる。

【0322】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流(オフ電流)を測定することができる。

【0323】

本実施例では、高純度化した酸化物半導体を用いてトランジスタ804、トランジスタ808を作製した。トランジスタのチャンネル長(L)とチャンネル幅(W)の比は、 $L/W = 1/5$ とした。また、並列された各測定系800において、容量素子802の容量値をそれぞれ、 100 fF 、 1 pF 、 3 pF とした。

【0324】

なお、本実施例に係る測定では、 $V_{DD} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ とした。また、測定期間においては、電位 V_1 を原則として V_{SS} とし、 $10 \sim 300\text{ sec}$ ごとに、 100 msec の期間だけ V_{DD} として V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる t は、約 30000 sec とした。

【0325】

図27に、上記電流測定に係る経過時間 $Time$ と、出力電位 V_{out} との関係を示す。時間の経過にしたがって、電位が変化している様子が確認できる。

【0326】

図28には、上記電流測定によって算出されたオフ電流を示す。なお、図28は、ソース-ドレイン電圧 V と、オフ電流 I との関係を表すものである。図28から、ソース-ドレイン電圧が 4 V の条件において、オフ電流は約 $40\text{ zA}/\mu\text{m}$ であることが分かった。また、ソース-ドレイン電圧が 3.1 V の条件において、オフ電流は $10\text{ zA}/\mu\text{m}$ 以下であることが分かった。なお、 1 zA は 10^{-21} A を表す。

【0327】

以上、本実施例により、高純度化された酸化物半導体を用いたトランジスタでは、オフ電流が十分に小さくなることが確認された。

【符号の説明】

10

20

30

40

50

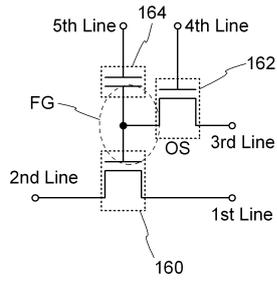
【 0 3 2 8 】

1 0 0	基板	
1 0 2	保護層	
1 0 4	半導体領域	
1 0 6	素子分離絶縁層	
1 0 8 a	ゲート絶縁層	
1 1 0 a	ゲート電極	
1 1 2	絶縁層	
1 1 4	不純物領域	
1 1 6	チャンネル形成領域	10
1 1 8	サイドウォール絶縁層	
1 2 0	高濃度不純物領域	
1 2 2	金属層	
1 2 4	金属化合物領域	
1 2 5	層間絶縁層	
1 2 6	層間絶縁層	
1 2 8	層間絶縁層	
1 3 0 a	ソース電極またはドレイン電極	
1 3 0 b	ソース電極またはドレイン電極	
1 3 0 c	電極	20
1 3 2	絶縁層	
1 3 4	絶縁層	
1 3 8	絶縁層	
1 4 2 a	ソース電極またはドレイン電極	
1 4 2 b	ソース電極またはドレイン電極	
1 4 3 a	絶縁層	
1 4 3 b	絶縁層	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	30
1 4 8 b	電極	
1 5 0	層間絶縁層	
1 5 2	層間絶縁層	
1 5 4	ソース電極またはドレイン電極	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	40
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	50

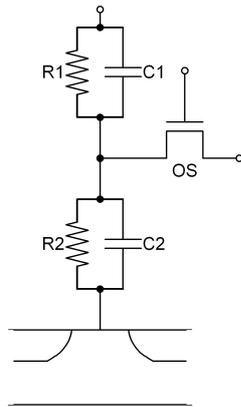
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	10
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	20
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
8 0 0	測定系	
8 0 2	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	30
8 0 6	トランジスタ	
8 0 8	トランジスタ	
1 1 0 0	メモリセル	
1 1 1 1	第1の駆動回路	
1 1 1 2	第2の駆動回路	
1 1 1 3	第3の駆動回路	
1 1 1 4	第4の駆動回路	

【 図 1 】

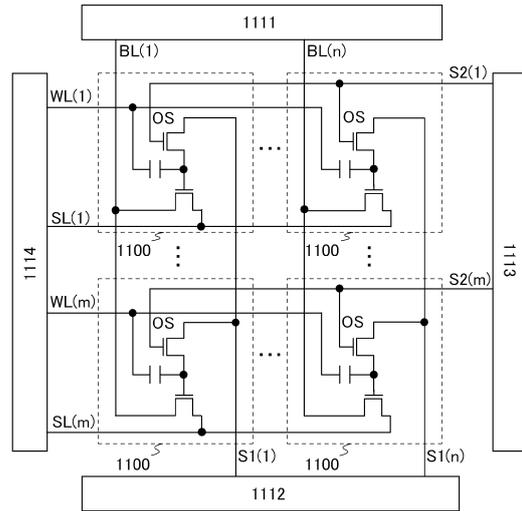
(A-1)



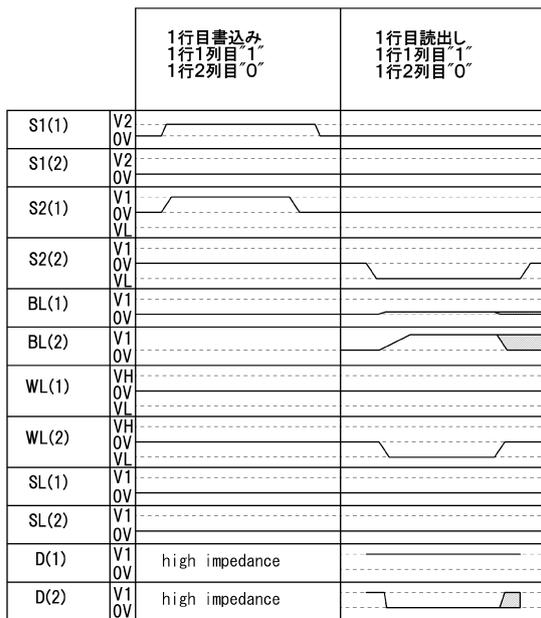
(A-2)



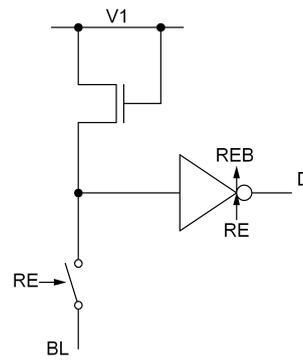
【 図 2 】



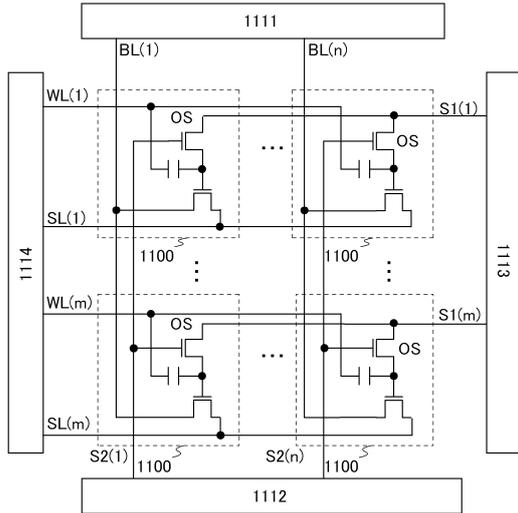
【 図 3 】



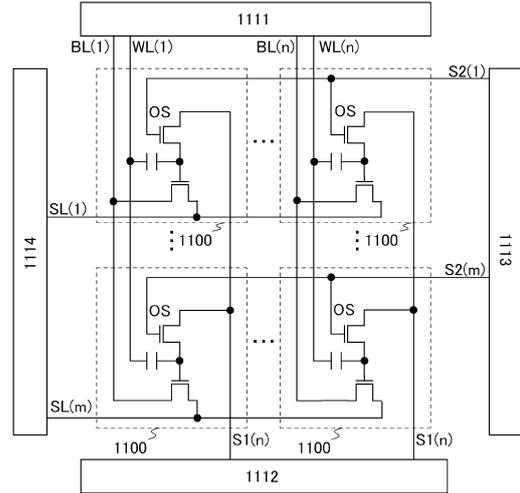
【 図 4 】



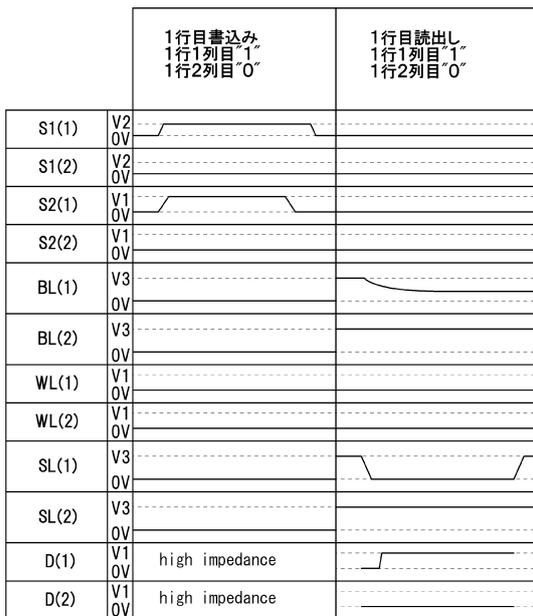
【 図 5 】



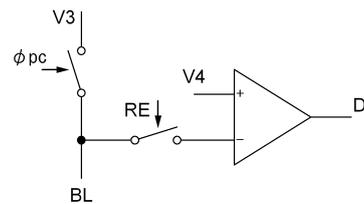
【 図 6 】



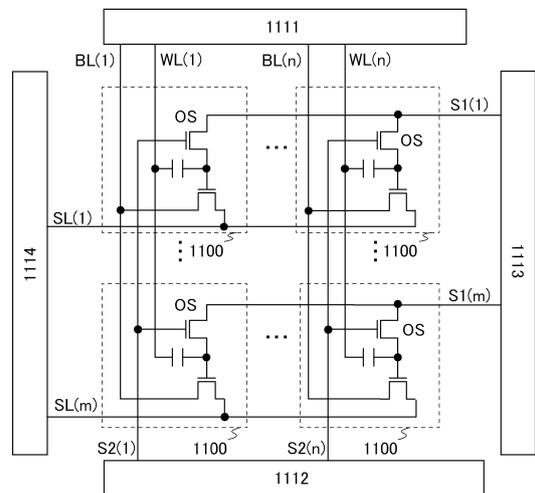
【 図 7 】



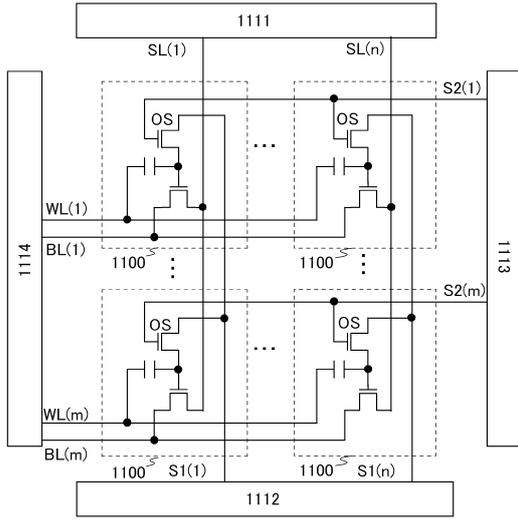
【 図 8 】



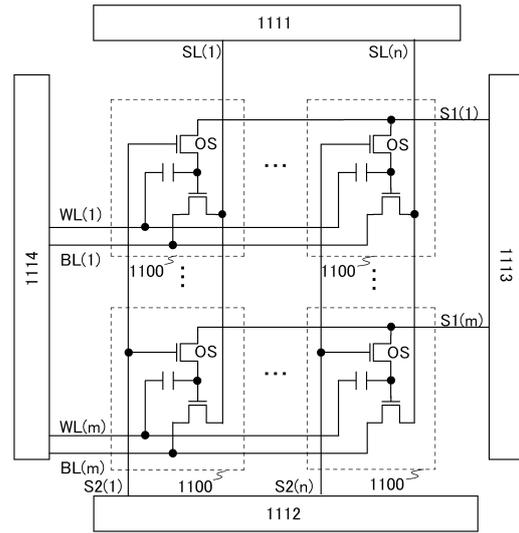
【 図 9 】



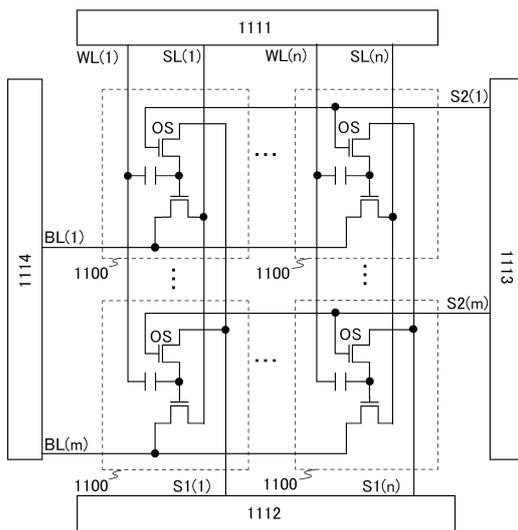
【図10】



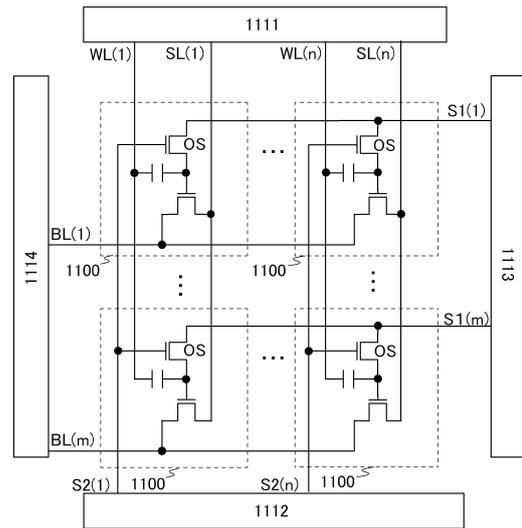
【図11】



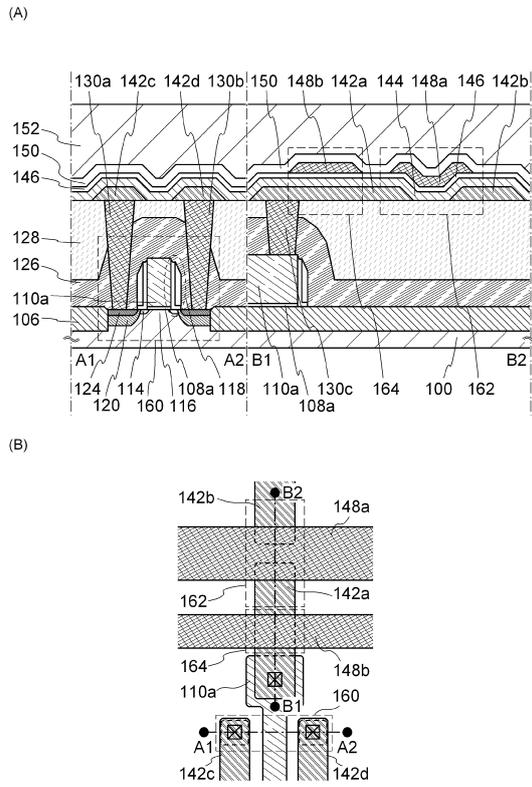
【図12】



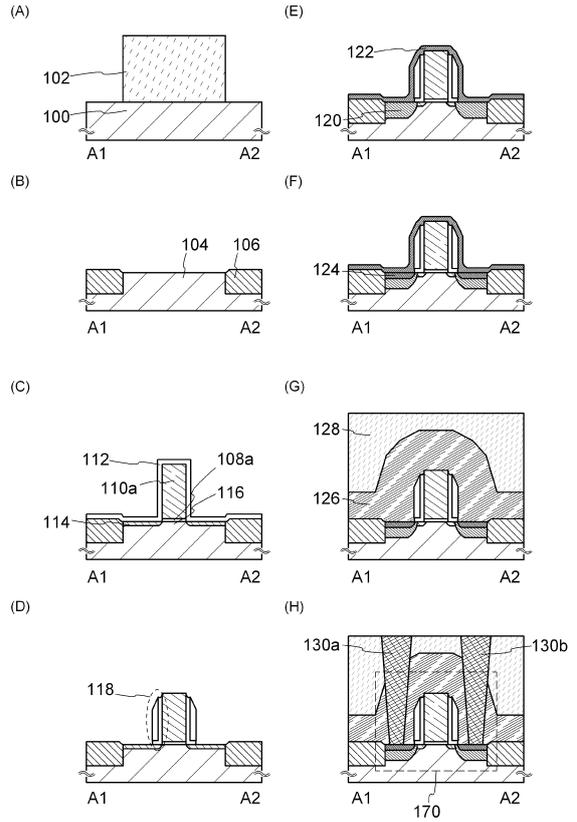
【図13】



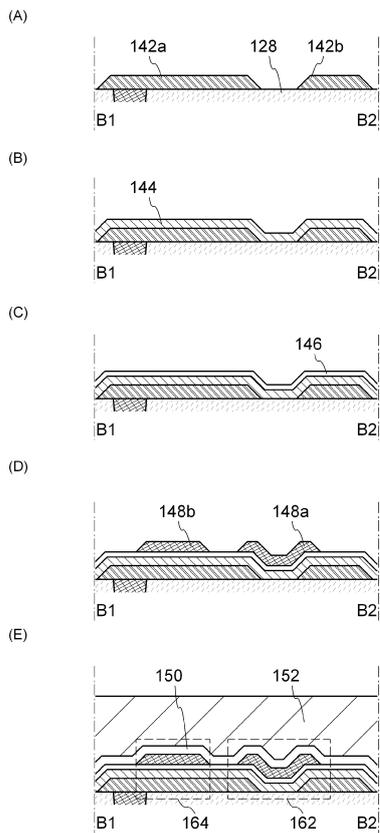
【 14 】



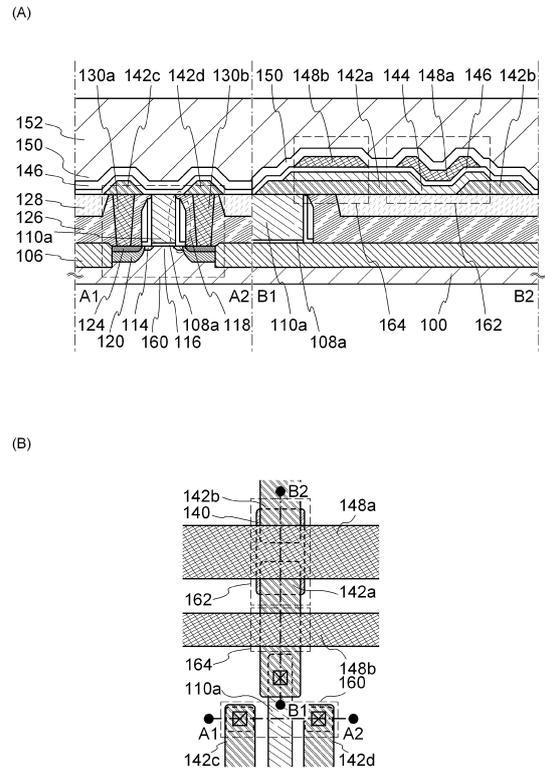
【 15 】



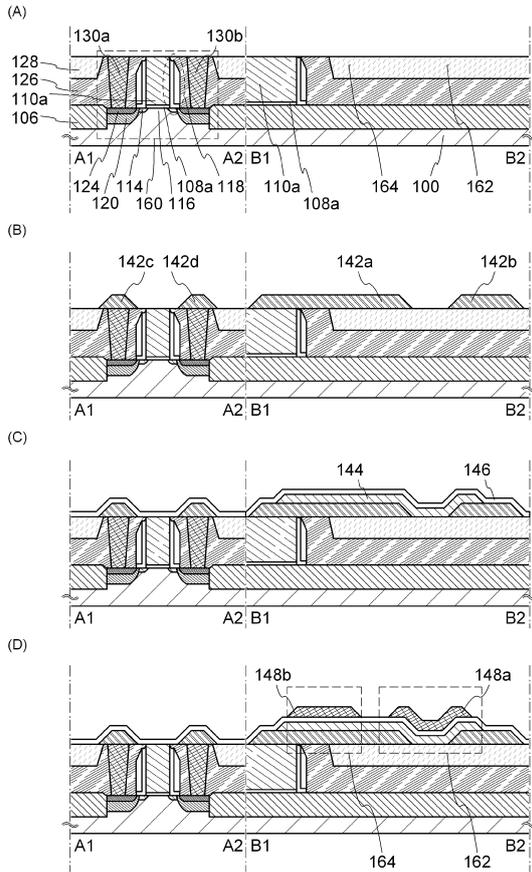
【 16 】



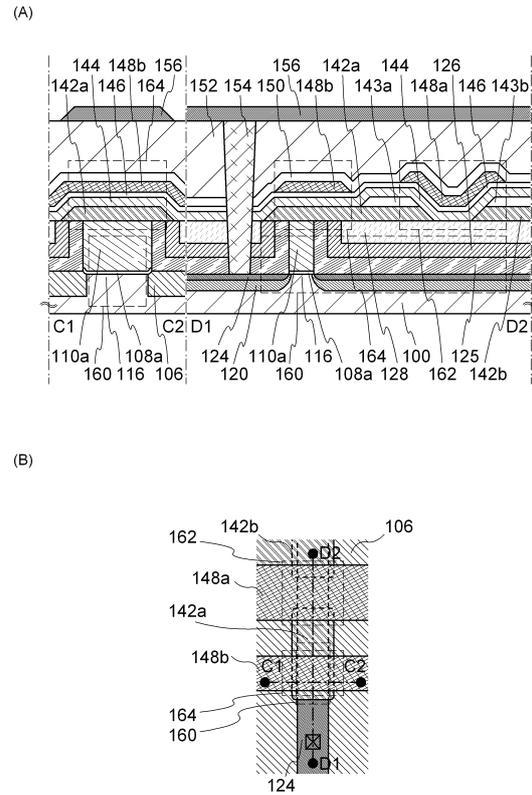
【 17 】



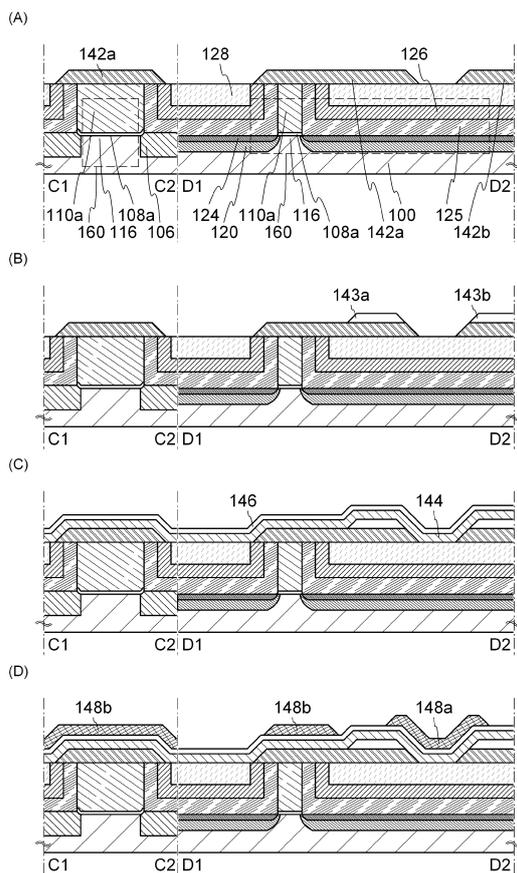
【 図 18 】



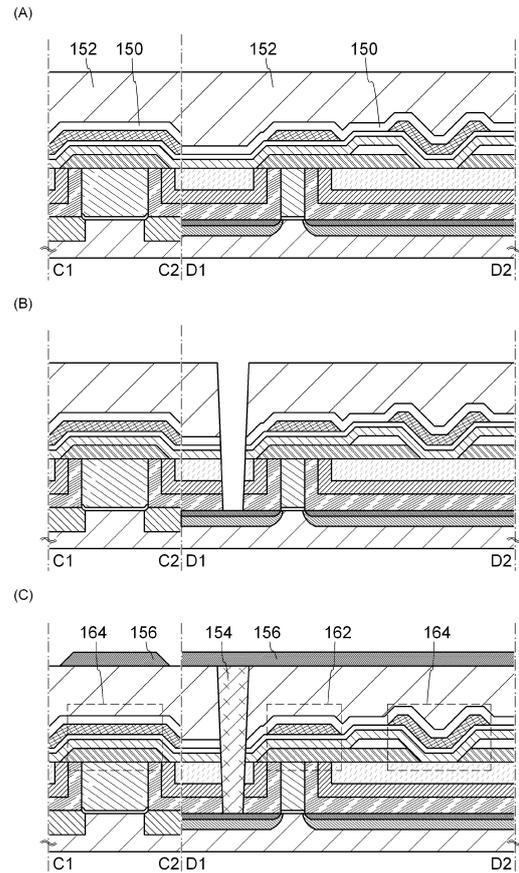
【 図 19 】



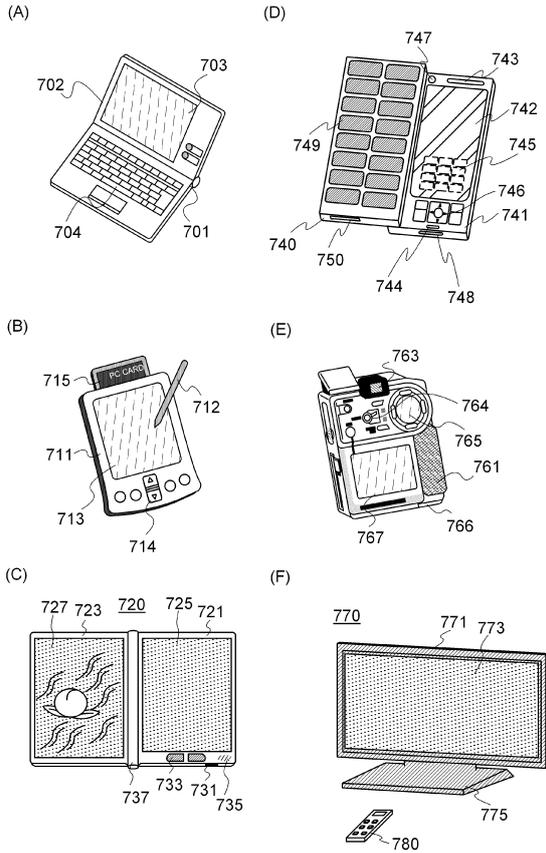
【 図 20 】



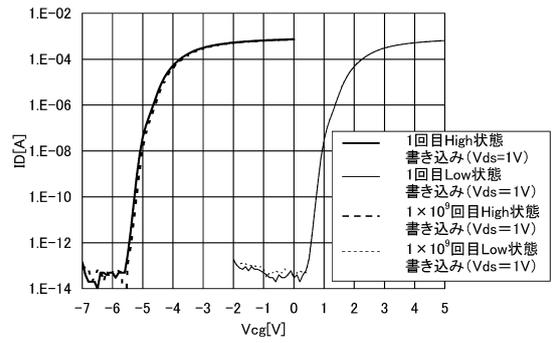
【 図 21 】



【図22】

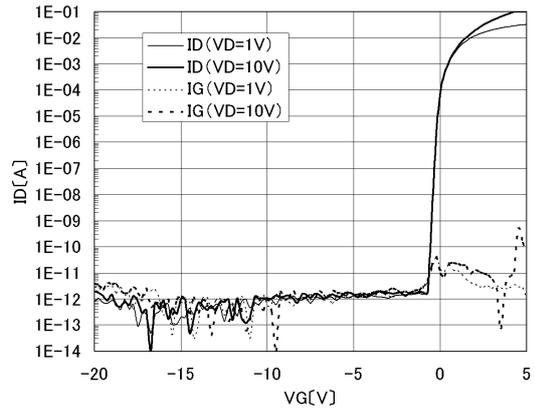


【図23】

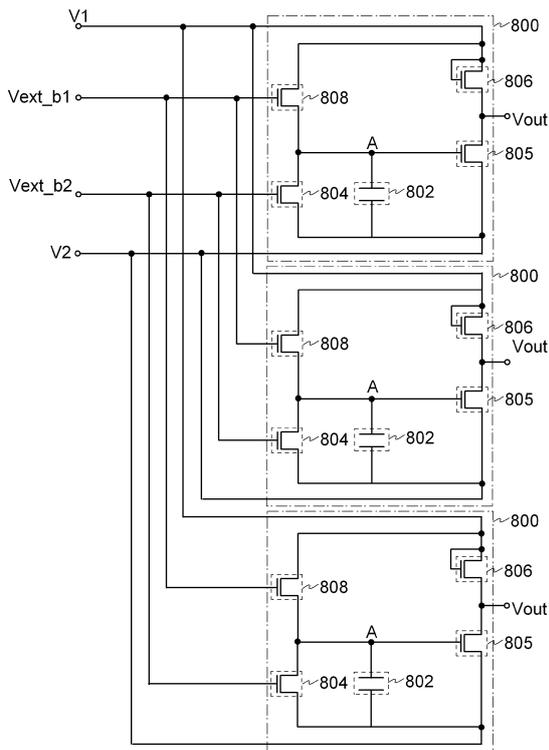


【図24】

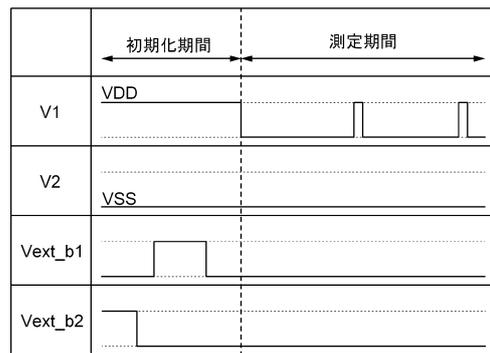
L/W=10.0/10,000,000um(1m)設計TFT ID-VG特性



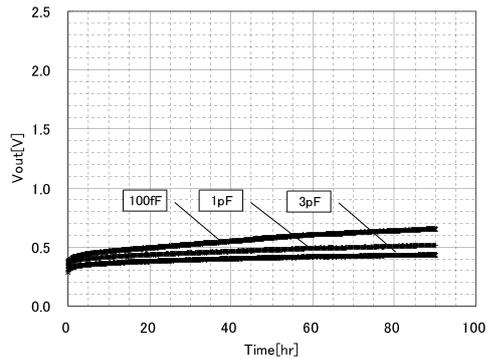
【図25】



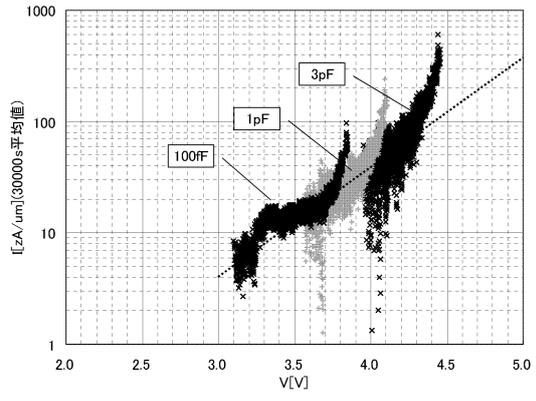
【図26】



【図27】



【 28 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 21/336 (2006.01) G 1 1 C 11/34 3 5 2 B
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)
G 1 1 C 11/405 (2006.01)

(56) 参考文献 特開 2 0 0 2 - 1 3 3 8 7 6 (J P , A)
特開 2 0 0 1 - 0 4 4 2 9 7 (J P , A)
国際公開第 2 0 0 9 / 1 4 5 5 8 1 (W O , A 1)
特開平 0 1 - 1 3 7 4 9 1 (J P , A)
特開昭 6 2 - 2 3 0 0 4 3 (J P , A)
特開 2 0 0 2 - 0 9 3 9 2 4 (J P , A)
特開 2 0 0 7 - 1 0 3 9 1 8 (J P , A)
特表 2 0 1 1 - 5 2 5 0 4 1 (J P , A)
米国特許第 0 4 6 7 5 8 4 8 (U S , A)
神谷利夫、外 4 名、透明酸化物半導体とデバイスへの展開、OPTRONICS、株式会社オプトロニクス社、2004年10月10日、第23巻、第10号、p. 128 - 139

(58) 調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 8 2 4 2
G 1 1 C 1 1 / 4 0 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 7
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2