



PCT

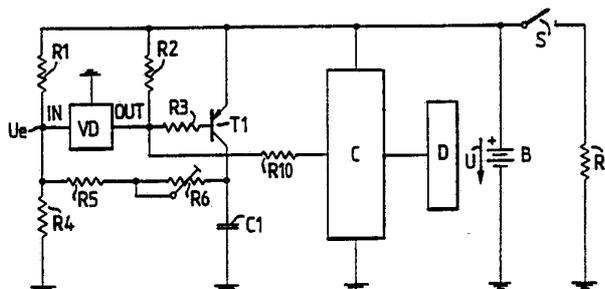
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁵ : G01R 19/165, 31/36	A1	(11) Internationale Veröffentlichungsnummer: WO 93/06492 (43) Internationales Veröffentlichungsdatum: 1. April 1993 (01.04.93)
<p>(21) Internationales Aktenzeichen: PCT/DE92/00642</p> <p>(22) Internationales Anmeldedatum: 30. Juli 1992 (30.07.92)</p> <p>(30) Prioritätsdaten: P 41 31 417.4 20. September 1991 (20.09.91) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): BRAUN AKTIENGESELLSCHAFT [DE/DE]; D-6000 Frankfurt/Main (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : LANG, Gerhard [DE/DE]; Merzhäuser Straße 26, D-6395 Altweilnau (DE).</p> <p>(74) Gemeinsamer Vertreter: BRAUN AKTIENGESELLSCHAFT; Frankfurter Strasse 145, D-6242 Kronberg (DE).</p>	<p>(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IT, LU, MC, NL, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht.</i></p>	

(54) Title: CIRCUIT ARRANGEMENT TO DETECT A VOLTAGE

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR ERFASSUNG EINER SPANNUNG



(57) Abstract

In a circuit arrangement to detect a voltage (U), the voltage is applied via a voltage divider (R1, R4) to the input of a voltage detector (VD) which contains a Schmitt trigger with a reference voltage and an output driver. The output signal of the voltage detector (VD) is taken to the base of a transistor (T1), the collector-emitter path of which, with a series-connected capacitor (C1), is connected in parallel to the voltage (U) to be detected. The connection point of the capacitor (C1) and the transistor (T1) is connected to the input of the voltage detector (VD) via a resistor (R5, R6). The output of the voltage detector (VD) is also taken to the input of a component (C) which provides different output signals depending on whether there is a constant or fluctuating signal level at its input.

(57) Zusammenfassung

Bei einer Schaltungsanordnung zur Erfassung einer Spannung (U) wird die Spannung über einen Spannungsteiler (R1, R4) an den Eingang eines Spannungsdetektors (VD) gelegt, wobei dieser Spannungsdetektor (VD) einen Schmitt-Trigger mit Referenzspannung und einen Ausgangstreiber enthält. Das Ausgangssignal des Spannungsdetektors (VD) wird der Basis eines Transistors (T1) zugeführt, dessen Kollektor-Emitter-Strecke mit einem in Reihe geschalteten Kondensator (C1) parallel zu der zu erfassenden Spannung (U) liegt. Der Verbindungspunkt des Kondensators (C1) mit dem Transistor (T1) ist mit dem Eingang des Spannungsdetektors (VD) über einen Widerstand (R5, R6) verbunden. Der Ausgang des Spannungsdetektors (VD) wird außerdem dem Eingang eines Bausteins (C) zugeführt, der in Abhängigkeit davon, ob sein Eingang einen konstanten Signalpegel oder einen wechselnden Signalpegel empfängt, unterschiedliche Ausgangssignale abgibt.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	FI	Finnland	MR	Mauritanien
AU	Australien	FR	Frankreich	MW	Malawi
BB	Barbados	GA	Gabon	NL	Niederlande
BE	Belgien	GB	Vereinigtes Königreich	NO	Norwegen
BF	Burkina Faso	GN	Guinea	NZ	Neuseeland
BG	Bulgarien	GR	Griechenland	PL	Polen
BJ	Benin	HU	Ungarn	PT	Portugal
BR	Brasilien	IE	Irland	RO	Rumänien
CA	Kanada	IT	Italien	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	JP	Japan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SK	Slowakische Republik
CI	Côte d'Ivoire	LI	Liechtenstein	SN	Senegal
CM	Kamerun	LK	Sri Lanka	SU	Soviet Union
CS	Tschechoslowakei	LU	Luxemburg	TD	Tschad
CZ	Tschechische Republik	MC	Monaco	TG	Togo
DE	Deutschland	MG	Madagaskar	UA	Ukraine
DK	Dänemark	ML	Mali	US	Vereinigte Staaten von Amerika
ES	Spanien	MN	Mongolei		

Schaltungsanordnung zur Erfassung einer Spannung

Die Erfindung betrifft eine Schaltungsanordnung zur Erfassung einer Spannung mit einem Spannungsteiler, an dessen Teilerpunkt der Eingang eines Spannungsdetektors liegt, wobei dieser Spannungsdetektor einen Schmitt-Trigger mit Referenzspannung und einen Ausgangstreiber enthält und wobei der Ausgang des Spannungsdetektors mit dem positiven Potential der Spannung in Verbindung steht.

Spannungsdetektoren, die intern einen Schmitt-Trigger mit Referenzspannung und einen Ausgangstreiber enthalten, sind handelsübliche Bausteine. In Fig. 4 ist die Beschaltung eines solchen Spannungsdetektors VD dargestellt, wenn eine bestimmte Spannung, beispielsweise zweier hintereinander geschalteter Batteriezellen oder Akkumulatorzellen (B), erfaßt werden soll, die größer als die interne Referenzspannung des Spannungsdetektors VD ist. In diesem Fall ist der Batterie B ein Spannungsteiler R1/R4 parallel geschaltet und der Verbindungspunkt der beiden Widerstände R1 und R4 ist mit dem Eingang IN des Spannungsdetektors VD verbunden. Der Ausgang OUT des Spannungsdetektors VD liegt über einem Widerstand R2 am Pluspotential der Batterie B. Der Spannungsteiler R1/R4 ist so dimensioniert, daß am Eingang IN des Spannungsdetektors VD die interne Referenzspannung (beispielsweise 2,1 Volt) anliegt, wenn an der Batterie B die Spannung anliegt, die detektiert werden soll (beispielsweise 2,3 Volt). Sinkt die Batteriespannung unter diesen Wert, kippt der Ausgang des Spannungskomparators VD von "high" nach "low".

Nachteilig bei solchen handelsüblichen Spannungsdetektoren ist nur, daß diese eine Hysterese von beispielsweise 0,1 Volt aufweisen. Das bedeutet, daß bei sinkender Batteriespannung der Aus-

- 2 -

gang des Spannungsdetektors VD zwar bei Erreichen von 2,1 Volt am Eingang (entsprechend 2,3 Volt an der Batterie) der Ausgang von "high" nach "low" kippt, bei steigender Batteriespannung (beispielsweise beim Aufladen der Batterie) der Ausgang des Spannungsdetektors VD aber erst zurückkippt, wenn am Eingang 2,2 Volt (2,1 Volt + 0,1 Volt) erreicht sind. Dies ist für eine genaue Spannungserfassung in manchen Fällen unbefriedigend, beispielsweise bei der genauen Erfassung einer bestimmten Spannung an einer Batterie sowohl beim Entladen als auch beim Aufladen.

Aufgabe der Erfindung ist es deshalb, eine Schaltungsanordnung der eingangs genannten Art so auszugestalten, daß die hysterese-freie Erfassung einer bestimmten Spannung möglich ist.

Diese Aufgabe wird dadurch gelöst, daß das Ausgangssignal des Spannungsdetektors der Basis eines ersten Transistors zugeführt wird, daß die Kollektor-Emitter-Strecke mit einem in Reihe geschalteten Kondensator parallel zu der zu erfassenden Spannung liegt, daß der Verbindungspunkt des Kondensators mit dem ersten Transistor mit dem Eingang des Spannungsdetektors über einen ersten Widerstand verbunden ist und daß der Ausgang des Spannungsdetektors weiter dem Eingang eines Bausteins zugeführt wird, der in Abhängigkeit davon, ob sein Eingang einen konstanten Signalpegel oder eine wechselnden Signalpegel empfängt, unterschiedliche Ausgangssignale abgibt.

Sollen mit dem gleichen Spannungsdetektor mehrere festgelegte Spannungen detektiert werden oder der Wert der zu detektierenden Spannung verändert werden können, besteht der mit Bezugspotential verbundene Widerstand des ersten Spannungsteilers aus einem zweiten Spannungsteiler, dem ein Integrationskondensator parallel geschaltet ist und dessen Teilungspunkt eine Rechteckspannung zugeführt wird, deren Tastverhältnis verändert werden kann.

Weitere vorteilhafte Ausgestaltungen sind den übrigen Unteransprüchen und der Beschreibung entnehmbar.

Die Erfindung wird im folgenden anhand von in der Zeichnung dargestellten Ausführungsbeispielen näher erläutert:

Fig. 1 zeigt eine Schaltungsanordnung zur Detektion eines bestimmten Spannungswertes an einer Batterie,

Fig. 2 und 3 zeigen Schaltungsanordnungen zur Erfassung mehrerer Spannungswerte mit einem einzigen Spannungsdetektor.

In Fig. 1 ist eine Schaltungsanordnung dargestellt, mit der angezeigt wird, wenn die Spannung U an der Batterie B einen bestimmten Spannungswert erreicht hat. An diese Batterie (Akkumulator) kann über einen Schalter S ein Lastwiderstand R_L angeschlossen werden. Dieser Lastwiderstand kann der Motor eines kleinen elektrischen Geräts, beispielsweise eines Rasierers sein. Die Batterie kann über eine nicht dargestellte Ladeschaltung aufgeladen werden.

Der Batterie B ist ein aus den Widerständen R_1 und R_4 bestehender Spannungsteiler parallel geschaltet, womit die Spannung U der Batterie B auf die am Verbindungspunkt der Widerstände R_1 und R_4 anliegende Spannung U_e heruntergeteilt wird, die dem Eingang IN des Spannungsdetektors VD zugeführt wird. Der Ausgang OUT des Spannungsdetektors VD ist über den Widerstand R_2 mit dem positiven Pol der Batterie B verbunden, über den Widerstand R_3 mit der Basis des Transistors T_1 und über den Widerstand R_{10} mit dem Mikroprozessor C , der die Anzeige (Display) D ansteuert.

- 4 -

Der Emitter des Transistors T1 liegt am Pluspol der Batterie B, der Kollektor ist über den Kondensator C1 mit Bezugspotential verbunden. Außerdem ist der Kollektor über die Widerstände R5 und R6 mit dem Verbindungspunkt der Widerstände R1/R4 des Spannungsteilers verbunden. Der Widerstand R1 ist zum Abgleich einstellbar ausgebildet.

Der Spannungsteiler R1/R4 ist so dimensioniert, daß bei Erreichen einer bestimmten Spannung U an der Batterie B die heruntergeteilte Spannung Ue am Eingang IN des Spannungsdetektors VD mit Sicherheit unter der Detektionsspannung des Spannungsdetektors VD liegt. Diese festgelegte Spannung U kann beispielsweise der "low charge" Punkt bei 2,3 Volt sein (dann ist die Batterie bis auf 10 bis 20 % ihrer Kapazität entladen). Ist die Detektionsspannung des Spannungsdetektors beispielsweise 2,1 Volt und die Toleranz $\pm 0,1$ Volt (was nicht mit der Hysterese des Spannungsdetektors zusammenhängt), sind dies 2,0 Volt.

Die Funktionsweise der Schaltungsanordnung ist nun folgende. Ist die Batteriespannung U bis auf die zu detektierende Spannung von beispielsweise 2,3 Volt abgesunken, beträgt die Spannung Ue am Eingang IN des Spannungsdetektors VD 2,0 Volt und der Ausgang OUT des Spannungsdetektors VD wird von "high" nach "low" gekippt. "Low" ist der aktive Zustand des Spannungsdetektors VD. Der Transistor T1 wird nun durchgeschaltet und somit die Reihenschaltung der Widerstände R5, R6 dem Widerstand R1 parallel geschaltet. Die Eingangsspannung Ue (Teilerspannung) wird dadurch in dem Maße heraufgesetzt, daß sie größer ist als die Detektionsspannung des Spannungsdetektors plus der Hysteresespannung, wodurch der Spannungsdetektor nun wieder zurückkippt (Rückkippspannung) und der Ausgang OUT wieder auf "high" liegt. Der Transistor T1 wird wieder gesperrt und somit die Parallelschaltung der Widerstände R5, R6

zum Widerstand R1 aufgehoben, wodurch die Teilerspannung U_e nun wieder unterhalb der Detektionsspannung des Spannungsdetektors VD liegt und der Ausgang OUT erneut nach "low" kippt.

Die Schaltung oszilliert. Der Kondensator C1 verzögert die Kippvorgänge und verringert so die Schwingfrequenz auf beispielsweise ca. 1 kHz. Am Ausgang OUT steht eine Rechteckspannung mit einer Amplitude in der Größenordnung der Batteriespannung U an.

Die Oszillation ist erst dann nicht mehr möglich, wenn die Rückkippspannung des Spannungsdetektors bei durchgeschaltetem Transistor T1 nicht mehr erreicht wird. In diesem Moment bleibt der Spannungsdetektor VD gekippt und dessen Ausgangsspannung konstant auf "low". Dieser Spannungspunkt wird mit dem Widerstand R6 abgeglichen.

Es kann somit allein durch das Anliegen eines konstanten Signalpegels am Ausgang des Spannungsdetektors VD gegenüber einem wechselnden (oszillierenden) Signalpegel ein festgelegter Wert der Versorgungsspannung erkannt werden. Der festgelegte Spannungswert wird hysteresefrei detektiert, das heißt, es spielt keine Rolle ob der festgelegte Spannungswert von höheren oder von niedrigeren Spannungswerten her erreicht wird, da zum Abgleich nicht die interne Referenzspannung des Spannungsdetektors (2,1 Volt) benutzt wird, sondern dessen Rückkippspannung ("Releasespannung").

Die Schaltungsanordnungen in Figur 2 und 3 sind eine Erweiterung der Figur 1 zur Erfassung mehrerer Spannungen mit lediglich einem Spannungsdetektor VD. Der Widerstand R4 aus Figur 1 ist hier in die in Serie geschalteten Widerstände R7, R8 und R9 aufgeteilt, wobei R7 mit dem Eingang des Spannungsdetektors VD und R9 mit Bezugspotential verbunden ist. Parallel zu der Reihenschaltung der Widerstände R8 und R9 liegt der Integrationskondensator C2.

- 6 -

In Figur 2 ist ein Ausgang des Mikroprozessors C an den Verbindungspunkt der Widerstände R8 und R9 angeschlossen. Der Mikroprozessor führt diesem Verbindungspunkt ein Rechtecksteuersignal zu, das in seinem Tastverhältnis variierbar ist.

Durch dieses veränderbare Tastverhältnis läßt sich in Verbindung mit den Widerständen R7, R8, R9 und dem Integrationskondensator C2 der Rückkippspannungspunkt des Spannungsdetektors VD über einen großen Bereich der Spannung U der Batterie B verschieben. Je größer das Tastverhältnis der zugeführten Rechteckspannung ist, d. h. je größer das Puls/Pausen-Verhältnis ist, um so höher ist der Mittelwert der zugeführten Spannung. Dementsprechend wird die Spannung am Verbindungspunkt des Kondensators C2 mit dem Widerstand R8 und somit auch die Spannung Ue am Eingang des Spannungsdetektors VD angehoben, wodurch die Rückkippspannung des Spannungsdetektors bei höheren Batteriespannungen U erreicht wird.

Es können somit, wie an Hand von Figur 1 beschrieben, durch Verändern des Tastverhältnisses der zugeführten Rechteckspannung beliebig viele Spannungspunkte der Batteriespannung U festgelegt und erkannt werden. Durch Erkennen eines Spannungspunktes und anschließend erneuter Festlegung eines nächsten Spannungspunktes durch entsprechende Veränderung des Tastverhältnisses der zugeführten Rechteckspannung, kann die Kennlinie der Spannung einer Batterie beim Laden und/oder Entladen in Abhängigkeit von der Zeit nachvollzogen werden.

Durch Zuordnen bestimmter Spannungspunkte einer Entlade- oder Ladekennlinie der Batterie (z.B. zwischen 2,5 Volt und 2,2 Volt im Abstand von 50 mV) zu einem optischen Signal der Anzeige (des Displays) D, wird der aktuelle Ladezustand der Batterie angezeigt. Besteht das Display D aus mehreren Segmenten, werden diese

vom Mikroprozessor C so gesteuert, daß bei vollem Ladezustand (größte detektierte Spannung) alle Segmente angesteuert werden und bei praktisch leerer Batterie (kleinste detektierte Spannung) kein Segment angesteuert wird.

Erfolgt eine laufende Ladezustandsanzeige des Displays D mit mehreren Segmenten auf Zeitbasis, d.h. in Abhängigkeit davon, wie lange der Lastwiderstand R_L (Verbraucher) an die Batterie angeschlossen war oder wie lange die Batterie geladen wurde, wird durch den Vergleich der detektierten Spannungspunkte im Betrieb mit den im Mikroprozessor gespeicherten Werten der Lade- bzw. Entladekehlilie der Batterie die Anzeige bei Abweichungen entsprechend korrigiert.

Figur 3 zeigt eine Anordnung für den Fall, daß der Spannungsteiler nicht genügend hochohmig ist, d.h. der die Rechteckspannung liefernde Ausgang des Mikroprozessors C die benötigte Leistung nicht erbringen kann. In diesem Fall wird das Rechtecksignal des Mikroprozessors C über den Widerstand R_{11} der Basis eines Transistors T2 zugeführt, dessen Kollektor-Emitter-Strecke parallel zum Widerstand R_9 liegt. Der Transistor T2 wird entsprechend dem Tastverhältnis des zugeführten Rechtecksignals leitend oder gesperrt. Ansonsten ist die Funktionsweise der Schaltungsanordnung die gleiche wie die von Figur 2.

Alle beschriebenen Schaltungsanordnungen arbeiten selbstschwingend und bedürfen keiner externen Steuerspannungen. In Folge des geringen Strombedarfs können die Schaltungen an der Versorgungsspannung U auch bei ausgeschaltetem Gerät (Lastwiderstand R_L von Batterie getrennt) angeschlossen bleiben, ohne daß sich die Batterie in unzumutbarer Weise entlädt.

Patentansprüche

1. Schaltungsanordnung zur Erfassung einer Spannung (U) mit einem ersten Spannungsteiler (R1, R4), an dessen Teilungspunkt der Eingang eines Spannungsdetektors (VD) liegt, wobei dieser Spannungsdetektor (VD) einen Schmitt-Trigger mit Referenzspannung und einen Ausgangstreiber enthält und wobei der Ausgang des Spannungsdetektors (VD) mit dem positiven Potential der Spannung (U) in Verbindung steht, dadurch gekennzeichnet, daß das Ausgangssignal des Spannungsdetektors (VD) der Basis eines ersten Transistors (T1) zugeführt wird, daß die Kollektor-Emitter-Strecke mit einem in Reihe geschalteten Kondensator (C1) parallel zu der zu erfassenden Spannung (U) liegt, daß der Verbindungspunkt des Kondensators (C1) mit dem ersten Transistor (T1) mit dem Eingang des Spannungsdetektors (VD) über einen ersten Widerstand (R5, R6) verbunden ist und daß der Ausgang des Spannungsdetektors (VD) weiter dem Eingang eines ersten Bausteins zugeführt wird, der in Abhängigkeit davon, ob sein Eingang einen konstanten Signalpegel oder eine wechselnden Signalpegel empfängt, unterschiedliche Ausgangssignale abgibt.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der erste Baustein in Abhängigkeit von seinem Eingangssignal eine Anzeige (D) derart steuert, daß erkennbar ist, ob die erfaßte Spannung (U) einen bestimmten Spannungswert erreicht hat oder/und oberhalb oder unterhalb des bestimmten Spannungswertes liegt.
3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß ein Teil des ersten Widerstandes (R5, R6) einstellbar (R6) ausgebildet ist.

4. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der mit Bezugspotential verbundene Widerstand (R4) des ersten Spannungsteilers (R1, R4) aus einem zweiten Spannungsteiler (R8, R9) besteht, dem ein Integrationskondensator (C2) parallel geschaltet ist, und daß ein zweiter Baustein dem Teilungspunkt des zweiten Spannungsteilers (R8, R9) eine Rechteckspannung zuführt.
5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß zwischen dem zweiten Spannungsteiler (R8, R9) und dem Eingang (IN) des Spannungsdetektors (VD) ein zweiter Widerstand (R7) liegt.
6. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß das Tastverhältnis der Rechteckspannung veränderbar ist.
7. Schaltungsanordnung nach Anspruch 1 oder 4, dadurch gekennzeichnet, daß der erste Baustein und/oder der zweite Baustein Bestandteile eines Mikroprozessors (C) sind.
8. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß mittels unterschiedlicher Tastverhältnisse der Rechteckspannung verschiedene Spannungswerte der Spannung (U) festgelegt sind und daß das Erreichen dieser Spannungswerte auf einem Display (D) angezeigt wird.
9. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß die zu erfassende Spannung (U) die Versorgungsspannung einer Batterie (B) ist, daß mittels unterschiedlicher Tastverhältnisse der Rechteckspannung unterschiedliche Spannungswerte der Batteriespannung festgelegt sind, daß die Spannungswerte mit der bekannten Lade-/Entladekennlinie der Batterie verglichen werden und bei auftretenden Abweichungen eine zeitgesteuerte Ladezustandsanzeige entsprechend korrigiert wird.

FIG.1

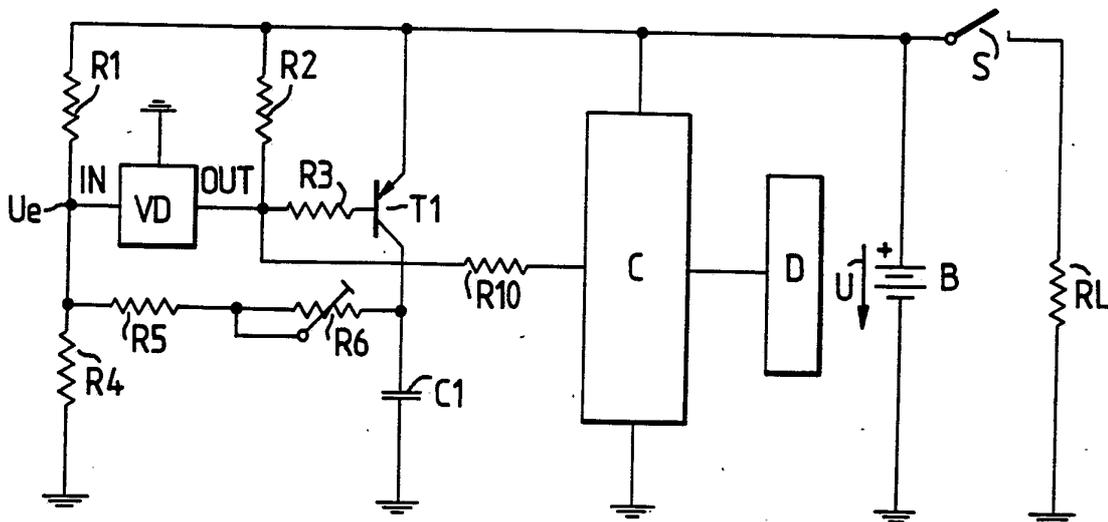


FIG.2

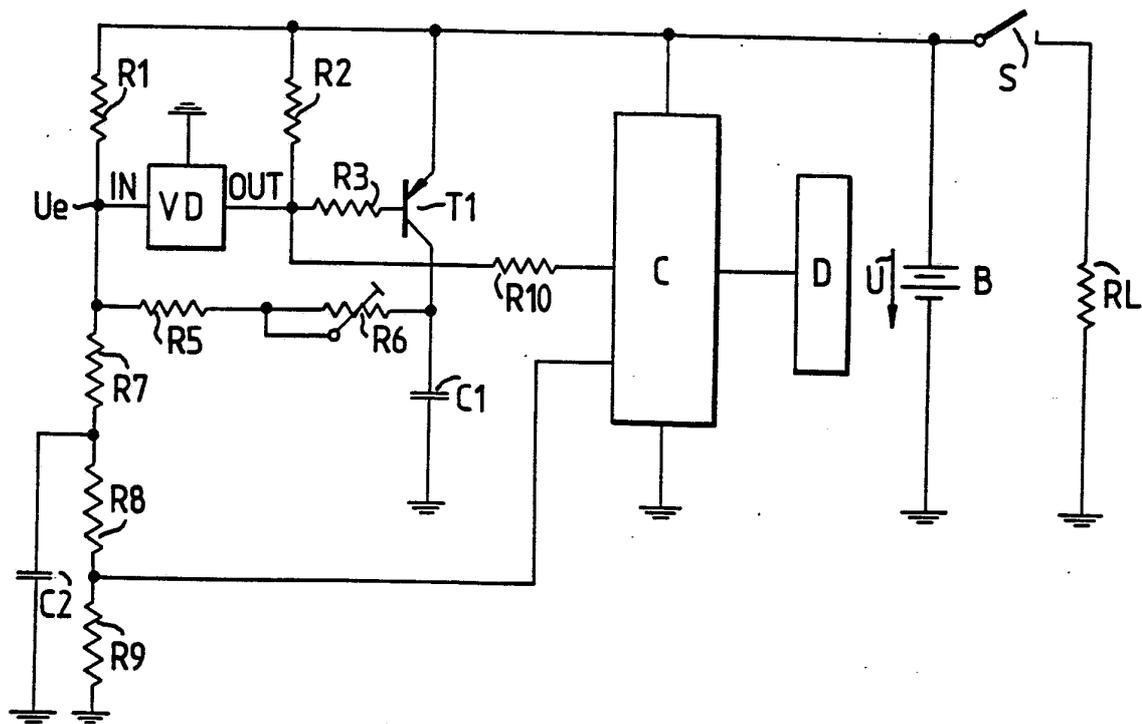


FIG.3

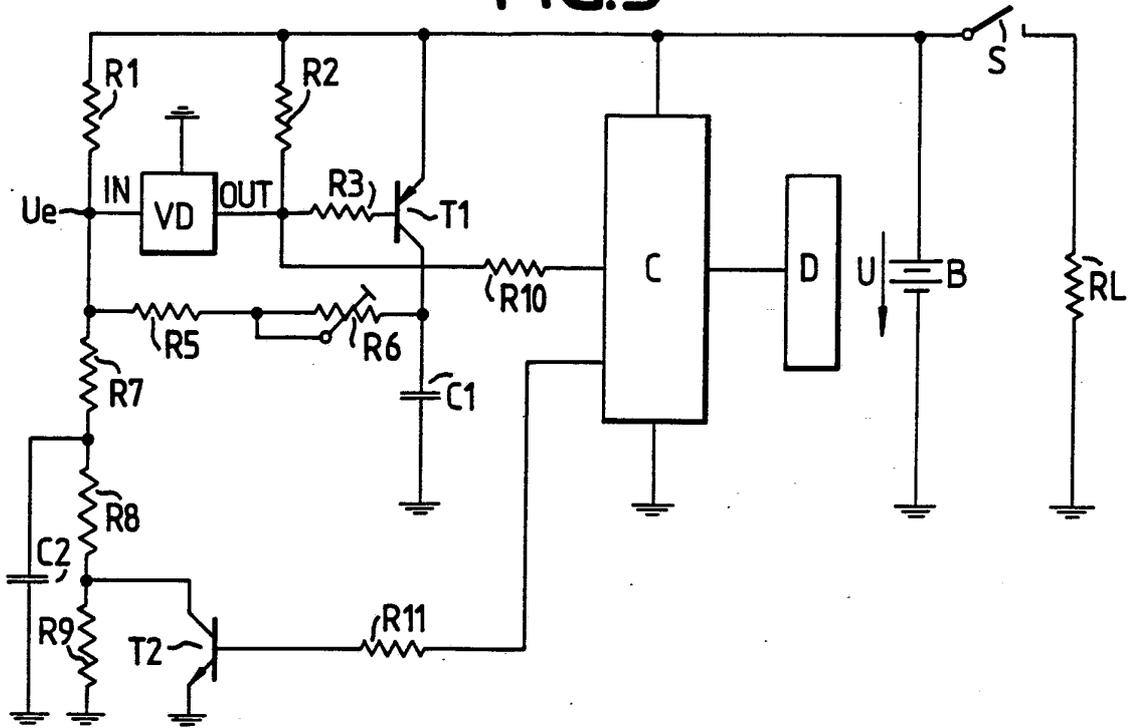
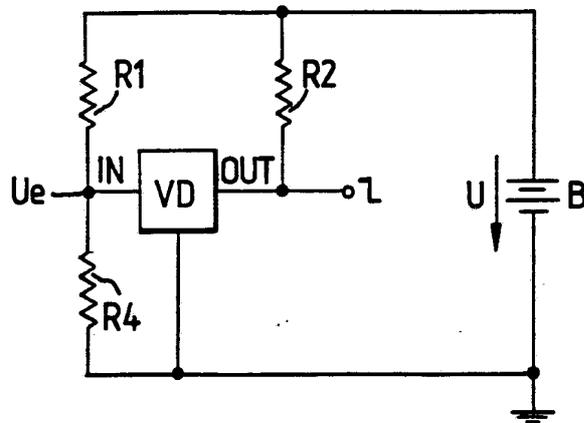


FIG.4



INTERNATIONAL SEARCH REPORT

International application No.
PCT/DE 92/00642

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl.⁵ G01R19/165; G01R31/36
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl.⁵ G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol.8, No. 33 (P-254)(1470) 14 February 1984 & JP,A,58 187 869 (HITACHI) 2 November 1983 see abstract	1,2
A	US,A,4 829 290 (FORD) --- 9 May 1989 see column 1, line 62 - column 3, line 27; figure 2	1,2
A	DE,A,2 517 138 (STENOCORD ELECTRONIC) --- 21 October 1976 see the whole document	1-3
A	US,A,4 906 055 (HORIUCHI) --- 6 March 1990 see column 2, line 11 - line 55; figures 1,2	1,2,7-9
	--- -/--	

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search 27 October 1992 (27.10.92)	Date of mailing of the international search report 5 November 1992 (05.11.92)
---	--

Name and mailing address of the ISA/ European Patent Office Facsimile No.	Authorized officer Telephone No.
---	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE 92/00642

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 6, No. 192 (P-145)(1070) 30 September 1982 & JP,A,57 103 064 (FUJITSU) 26 June 1982 see abstract -----	1

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO. DE 9200642
SA 62727**

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information. 27/10/92

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-4829290	09-05-89	None	
DE-A-2517138	21-10-76	None	
US-A-4906055	06-03-90	JP-A- 63247668	14-10-88

EPO FORM P0479

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben) ⁶		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC Int.Kl. 5 G01R19/165; G01R31/36		
II. RECHERCHIERTE SACHGEBIETE		
Recherchierter Mindestprüfstoff ⁷		
Klassifikationssystem	Klassifikationssymbole	
Int.Kl. 5	G01R	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen ⁸		
III. EINSCHLAGIGE VERÖFFENTLICHUNGEN ⁹		
Art. ^o	Kennzeichnung der Veröffentlichung ¹¹ , soweit erforderlich unter Angabe der maßgeblichen Teile ¹²	Betr. Anspruch Nr. ¹³
A	PATENT ABSTRACTS OF JAPAN vol. 8, no. 33 (P-254)(1470) 14. Februar 1984 & JP,A,58 187 869 (HITACHI) 2. November 1983 siehe Zusammenfassung ---	1,2
A	US,A,4 829 290 (FORD) 9. Mai 1989 siehe Spalte 1, Zeile 62 - Spalte 3, Zeile 27; Abbildung 2 ---	1,2
A	DE,A,2 517 138 (STENOCORD ELECTRONIC) 21. Oktober 1976 siehe das ganze Dokument ---	1-3
		-/--
<p>^o Besondere Kategorien von angegebenen Veröffentlichungen ¹⁰ :</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"I" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
IV. BESCHEINIGUNG		
Datum des Abschlusses der internationalen Recherche 27. OKTOBER 1992		Absenddatum des internationalen Recherchenberichts 05. 11. 92
Internationale Recherchenbehörde EUROPAISCHES PATENTAMT		Unterschrift des bevollmächtigten Bediensteten SINAPIUS G.H. <i>Sinapius</i>

III. EINSCHLAGIGE VERÖFFENTLICHUNGEN (Fortsetzung von Blatt 2)		
Art ^a	Kennzeichnung der Veröffentlichung, soweit erforderlich unter Angabe der maßgeblichen Teile	Betr. Anspruch Nr.
A	US,A,4 906 055 (HORIUCHI) 6. März 1990 siehe Spalte 2, Zeile 11 - Zeile 55; Abbildungen 1,2 ---	1,2,7-9
A	PATENT ABSTRACTS OF JAPAN vol. 6, no. 192 (P-145)(1070) 30. September 1982 & JP,A,57 103 064 (FUJITSU) 26. Juni 1982 siehe Zusammenfassung -----	1

**ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT
 ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.**

DE 9200642
 SA 62727

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentdokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

27/10/92

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US-A-4829290	09-05-89	Keine	
DE-A-2517138	21-10-76	Keine	
US-A-4906055	06-03-90	JP-A- 63247668	14-10-88

EPO FORM P0473

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82