



(12)发明专利申请

(10)申请公布号 CN 107316869 A

(43)申请公布日 2017. 11. 03

(21)申请号 201710246992.X

(22)申请日 2017.04.16

(66)本国优先权数据

201610234999.5 2016.04.16 CN

(71)申请人 成都海存艾匹科技有限公司

地址 610041 四川省成都市永丰路6号B-36

(72)发明人 张国飙

(51) Int. Cl.

H01L 27/11578(2017.01)

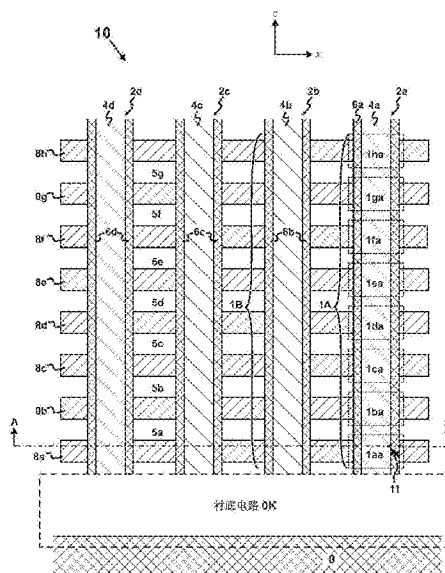
权利要求书1页 说明书4页 附图13页

(54)发明名称

三维纵向一次编程存储器

(57)摘要

本发明提出一种三维纵向一次编程存储器(3D-OTP)。它含有多个在衬底电路上并肩排列的垂直存储串,每个垂直存储串垂直与衬底且含有多个垂直堆叠的OTP存储元,每个存储元含有一反熔丝膜,在编程时该反熔丝膜从高电阻态不可逆转地转变为低电阻态。



1. 一种三维纵向一次编程存储器(3D-OTP_v),其特征在于含有:
 - 一含有一衬底电路(0K)的半导体衬底(0);
 - 一位于该衬底电路(0K)上的OTP存储串(1A),该OTP存储串(1A)含有多个相互垂直堆叠、且与一竖直地址线(4a)电耦合的OTP存储元(1aa-1ha);
 - 每个OTP存储元(1aa)含有一层反熔丝膜(6a),在编程时该反熔丝膜(6a)从高电阻态不可逆转地转变为低电阻态。
2. 根据权利要求1所述的存储器,其特征还在于含有:多条位于该衬底电路(0K)上的水平地址线(8a-8h),所述OTP存储元(1aa-1ha)位于所述水平地址线(8a-8h)和所述竖直地址线(4a)之间。
3. 一种三维纵向一次编程存储器(3D-OTP_v),其特征还在于含有:
 - 一含有一衬底电路(0K)的半导体衬底(0);
 - 多层处于该衬底电路(0K)之上、且相互垂直堆叠的水平地址线(8a-8h);
 - 至少一穿透所述多层水平地址线(8a-8h)的存储井(2a);
 - 一层覆盖该存储井(2a)边墙的反熔丝膜(6a),在编程时该反熔丝膜(6a)从高电阻态不可逆转地转变为低电阻态;
 - 一条通过对存储井(2a)填充一导电材料而形成的竖直地址线(4a);
 - 多个形成在该水平地址线(8a-8h)与该竖直地址线(4a)交叉处的OTP存储元(1aa-1ha)。
4. 根据权利要求3所述的存储器,其特征还在于:所述多个OTP存储元(1aa-1ha)构成一竖直存储串(1A)。
5. 根据权利要求2或3所述的存储器,其特征还在于:该水平地址线(8a-8h)含第一导体材料,该竖直地址线(4a)含有第二导体材料。
6. 根据权利要求2或3所述的存储器,其特征还在于:该水平地址线(8a-8h)含有一金属材料,该竖直地址线(4a)含有一掺杂的半导体材料。
7. 根据权利要求2或3所述的存储器,其特征还在于:该水平地址线(8a-8h)含有一掺杂的半导体材料,该竖直地址线(4a)含有至少一反向掺杂的半导体材料。
8. 根据权利要求2或3所述的存储器,其特征还在于:在一个读周期(T)中读出与被选中水平地址线(8a)电耦合的所有OTP存储元(1aa-1ah)存储的信息。
9. 根据权利要求1或4所述的存储器,其特征还在于:所述竖直存储串(1A)与一纵向晶体管(7a)电耦合。
10. 根据权利要求1或3所述的存储器,其特征还在于:每个所述存储元具有N(N>2)种状态(11b-11d),不同状态下的反熔丝膜具有不同电阻。

三维纵向一次编程存储器

技术领域

[0001] 本发明涉及集成电路存储器领域,更确切地说,涉及一次编程存储器(OTP)。

背景技术

[0002] 三维一次编程存储器(3D-OTP)是一种单体(monolithic)半导体存储器,它含有多个垂直堆叠的OTP存储元。3D-OTP的存储元分布在三维空间中,而传统的平面型OTP的存储元分布在二维平面上。相对于传统OTP,3D-OTP具有存储密度大,存储成本低等优点。此外,3D-OTP数据寿命长(>100年),适合长久存储数据。

[0003] 美国专利5,835,396(发明人:张国飙;授权日:1998年11月10日)披露了一种3D-OTP。3D-OTP芯片含有一衬底及多个堆叠于衬底电路层上的OTP存储层。衬底上的晶体管及其互连线构成衬底电路(包括3D-OTP的周边电路)。每个OTP存储层含有多条水平地址线(包括字线和位线)及多个OTP存储元。每个OTP存储层含有多个OTP阵列,每个OTP阵列是共享有至少一条地址线的OTP存储元的集合。接触通道孔将地址线与衬底电路电耦合。

[0004] 由于其地址线都是水平的,该3D-OTP被称为横向3D-OTP(3D-OTPH)。当3D-OTPH的存储容量超过100Gb时,其地址线线宽进入1x nm,这需要采用高精度光刻技术(如多次曝光技术),增加芯片成本。同时,随着OTP存储层数目的增加,平面化将越来越困难。因此,3D-OTPH的OTP存储层数目受到限制。

发明内容

[0005] 本发明的主要目的是提供一种廉价且高密度的三维一次编程存储器(3D-OTP)。

[0006] 本发明的另一目的是采用较低精度光刻技术制造3D-OTP。

[0007] 本发明的另一目的是增加OTP存储层的数目。

[0008] 本发明的另一目的是在OTP存储元漏电流较大的情况下保证3D-OTP的正常工作。

[0009] 为了实现这些以及别的目的,本发明提出一种三维纵向一次编程存储器(3D-OTPV)。它含有多个在衬底电路上并肩排列的OTP存储串,每个OTP存储串垂直与衬底且含有多个垂直堆叠的OTP存储元。具体说来,3D-OTPV含有多条垂直堆叠的水平地址线(字线)。在刻蚀出多个穿透这些水平地址线的存储井后,在存储井的边墙覆盖一层反熔丝膜,并填充导体材料以形成竖直地址线(位线)。导体材料可以是金属材料或掺杂的半导体材料。OTP存储元形成在字线和位线的交叉处。

[0010] 每个OTP存储元含有一反熔丝和一二极管,反熔丝含有一反熔丝膜。反熔丝膜就是一层绝缘膜(如氧化硅、氮化硅),它在编程时从高电阻态不可逆转地转变为低电阻态。对于多位元3D-OTPV(即每个OTP存储元存储n>1位信息),每个OTP存储元存储>1位数据,它具有N>2种状态。不同状态的OTP存储元采用的编程电流不同,因此,它们具有不同电阻。二极管含有一准导通膜,它具有如下广义特征:当外加电压的数值小于读电压或外加电压的方向与读电压相反时,其电阻远大于其在读电压下的电阻(读电阻)。

[0011] 在OTP存储元中,二极管的阴极尺寸仅为存储井的半径。由于该尺寸太小而难以压

制二极管的漏电流,3D-OTP_V中OTP存储元的漏电流高于3D-OTP_H。为了解决这个问题,本发明提出一种“全读”模式。全读模式是指:在一个读周期中读出与一条字线电耦合的所有OTP存储元存储的信息。读周期分两个阶段:预充电阶段和读阶段。在预充电阶段,OTP阵列中所有地址线(包括所有字线和所有位线)均被预充电到一预设电压。在读阶段,当一选中字线上的电压上升到读电压 V_R 后,它通过与之耦合的OTP存储元向所有位线充电。通过测量位线上的电压变化,可确定相应OTP存储元所存储的信息。

[0012] 相应地,本发明提出一种三维纵向一次编程存储器(3D-OTP_V),其特征在于含有:一含有一衬底电路(0K)的半导体衬底(0);一位于该衬底电路(0K)上的OTP存储串(1A),该OTP存储串(1A)含有多个相互垂直堆叠、且与一竖直地址线(4a)电耦合的OTP存储元(1aa-1ha);每个OTP存储元(1aa)含有一层反熔丝膜(6a),在编程时该反熔丝膜(6a)从高电阻态不可逆转地转变为低电阻态。

[0013] 本发明还提出一种3D-OTP_V,其特征还在于含有:一含有一衬底电路(0K)的半导体衬底(0);多层处于该衬底电路(0K)之上、且相互垂直堆叠的水平地址线(8a-8h);至少一穿透所述多层水平地址线(8a-8h)的存储井(2a);一层覆盖该存储井(2a)边墙的反熔丝膜(6a),在编程时该反熔丝膜(6a)从高电阻态不可逆转地转变为低电阻态;一条通过对存储井(2a)填充一导电材料而形成的竖直地址线(4a);多个形成在该水平地址线(8a-8h)与该竖直地址线(4a)交叉处的OTP存储元(1aa-1ha)。

附图说明

[0014] 图1A是第一种3D-OTP_V的z-x截面图;图1B是其沿AA'的x-y截面图。

[0015] 图2A-图2C是该3D-OTP_V三个工艺步骤的截面图。

[0016] 图3A是第二种3D-OTP_V的z-x截面图;图3B是其沿BB'的x-y截面图。

[0017] 图4A表示OTP存储元的符号及其意义;图4B是第一种OTP阵列采用的读出电路的电路图;图4C是其时序图;图4D是一种准导通膜的I-V曲线。

[0018] 图5A是第三种3D-OTP_V的z-x截面图;图5B是其沿CC'的x-y截面图;图5C是第二种OTP阵列采用的读出电路的电路图。

[0019] 图6是一种多位元3D-OTP_V的x-y截面图。

[0020] 注意到,这些附图仅是概要图,它们不按比例绘图。为了显眼和方便起见,图中的部分尺寸和结构可能做了放大或缩小。在不同实施例中,相同的符号一般表示对应或类似的结构。“/”表示“和”或“或”的关系。“衬底中”是指功能器件均形成在衬底中(包括衬底表面上),而互连线形成在衬底上方、不与衬底接触。“衬底上”是指功能器件形成在衬底上方、不与衬底接触。

具体实施方式

[0021] 图1A是一种三维纵向一次编程存储器(3D-OTP_V)的z-x截面图。它含有多个位于衬底电路0K上、且并肩排列的竖直OTP存储串(简称为OTP存储串)1A、1B…。每个OTP存储串1A与衬底0垂直,它含有多个垂直堆叠的OTP存储元1aa-1ha。

[0022] 本图中的实施例是一OTP阵列10。OTP阵列10是所有共享有至少一条地址线的存储元的集合。它含有多条垂直堆叠的水平地址线(字线)8a-8h。在刻蚀出多个穿透这些水平地

址线8a-8h的存储井2a-2d后,在存储井2a-2d的边墙覆盖一层反熔丝膜6a-6d,并填充导体材料以形成竖直地址线4a-4d(位线)。导体材料可以是金属材料或掺杂的半导体材料。。

[0023] OTP存储元1aa-1ha形成在字线8a-8h与位线4a的交叉处。在OTP存储元1aa中,反熔丝膜6a是一层绝缘介质膜。它在未编程时具有高电阻;编程时在其中形成导体丝(conductive filament)11,故其电阻不可逆转地转变为低电阻。为简便计,图1A只画出存储元1aa中的导体丝,而未画出其它存储元中的导体丝。

[0024] 图1B是该3D-OTP_v沿AA'的x-y截面图。水平地址线8a为一导体板,它可以与两行或两行以上的竖直地址线(此处为八条竖直地址线4a-4h)耦合,以形成八个OTP存储元1aa-1ah。这些OTP存储元(与一条水平地址线8a电耦合的所有OTP存储元)1aa-1ah构成一OTP存储组1a。由于水平地址线8a很宽,它可以采用低精度光刻技术(如特征线宽>60 nm的光刻技术)来形成。

[0025] 图2A-图2C表示3D-OTP_v的三个工艺步骤。所有的水平地址层12a-12h连续形成(图2A)。具体说来,在将衬底电路0K平面化后,形成第一水平导体层12a。这个水平导体层12a不含有任何图形。在该第一水平导体层12a上形成第一绝缘层5a。类似地,第一绝缘层5a也不含有任何图形。在第一绝缘层5a上再形成第二水平导体层12b。如此类推,直到形成所有的水平导体层(此处共八层)。在图2A的形成过程中,没有图像转换步骤(如光刻步骤)。由于每个水平导体层的平面化保持良好,3D-OTP_v可以含有数十上百个水平导体层,远多于3D-OTP_H。在形成了所有的水平导体层12a-12h后,通过第一刻蚀一次性地刻蚀所有水平导体层12a-12h以形成多条垂直堆叠的水平地址线8a-8h(图2B)。之后,通过第二刻蚀一次性地形成多个穿透所有水平地址线8a-8h的存储井2a-2d(图2C)。在其侧壁上覆盖反熔丝膜6a-6d,并填充导体材料,以形成多条竖直地址线4a-4d。

[0026] 图3A是第二种3D-OTP_v 10的z-x截面图;图3B是其沿BB'的x-y截面图。它与图1A-图1B中实施例类似,唯一区别是存储井2a-2d中还含有一层准导通膜16a-16d。准导通膜是二极管的主要构成部件,它具有如下广义特性:当外加电压的数值小于读电压或外加电压的方向与读电压相反时,准导通膜的电阻远大于其在读电压下的电阻。准导通膜16a-16d可以是一层陶瓷薄膜(如金属氧化物)。在本实施例中,准导通膜16a-16d位于存储井2a-2d侧壁和反熔丝膜6a-6d之间;在其它实施例中,反熔丝膜6a-6d可位于存储井2a-2d侧壁和准导通膜16a-16d之间。

[0027] 图4A是OTP存储元1的符号。它表示OTP存储元1含有反熔丝12和二极管14。反熔丝12含有一反熔丝膜6a-6d。反熔丝膜就是一层绝缘膜(如氧化硅、氮化硅),它在编程时从高电阻态不可逆转地转变为低电阻态。二极管14含有一准导通膜16a-16d,它具有如下广义特征:当外加电压的数值小于读电压或方向相反时,其电阻远大于在读电压下的电阻(读电阻)。

[0028] 二极管14的例子包括半导体二极管、肖特基二极管等和陶瓷二极管等。对于半导体二极管,水平地址线8a-8h含有P型半导体材料、竖直地址线4a-4d含有N型半导体;对于肖特基二极管,水平地址线8a-8h含有金属材料,竖直地址线4a-4d含有半导体材料;对于陶瓷二极管,水平地址线8a-8h和竖直地址线4a-4d之间含有至少一层陶瓷膜(如金属氧化物)。

[0029] 在OTP存储元中,二极管的阴极尺寸仅为存储井的半径。由于该尺寸太小而难以压制二极管的漏电流,3D-OTP_v中OTP存储元的漏电流高于3D-OTP_H。为了解决这个问题,本发明

提出一种“全读”模式。全读模式是指：在一个读周期中读出与一条字线电耦合的所有OTP存储元存储的信息。

[0030] 图4B表示第一种OTP阵列10采用的读出电路。它采用全读模式。在电路的语境下，水平地址线8a-8h是字线，竖直地址线4a-4h是位线。OTP阵列10含有字线8a-8h、位线4a-4h、以及存储元1aa-1ad...。OTP阵列10的周边电路含有一个多路复用器(MUX)40和一读出放大器30。在该实施例中，MUX 40为4-to-1 MUX。

[0031] 图4C是其时序图。读周期T含有一预充电阶段 t_{pre} 和一读阶段 t_R ：在预充电 t_{pre} 阶段，存储阵列16中所有地址线(8a-8h、4a-4h)都被充至一预设电压(如放大电路30的输入偏置电压 V_i)。在读阶段 t_R ，所有位线4a-4h悬浮，被选中字线8a的电压上升到读电压 V_R ，并通过OTP存储元1aa-1ah向所有位线4a-4h充电。MUX 40将每条位线上的电压分别送到读出放大器30。如果该电压大于读出放大器30的翻转电压 V_T ，则输出 V_o 翻转。在读周期T结束时，存储组1a中所有存储元1aa-1ah存储的数字信息均被读出。

[0032] 图4D是一种准导通膜的I-V曲线。由于读出放大器30的阈值电压 V_t 较小($\sim 0.1V$)，在读阶段所有位线4a-4h上的电压变化较小，未被选中存储元(如1ca)上的反向电压约为 $-V_t$ 。只要准导通膜的I-V特性满足 $I(V_R) \gg I(-V_T)$ ，即使有较大的漏电流，也不会影响3D-OTPv的正常工作。

[0033] 为方便地址解码，本发明还利用存储井的侧壁形成多个纵向晶体管。图5A-图5C表示第三种3D-OTPv。它含有纵向晶体管3aa-3ad。其中，纵向晶体管3aa是一传输晶体管(pass transistor)，它含有栅极7a、栅介质6a和沟道9a(图5A)。沟道9a由填充在该存储井2a中的半导体材料构成，其掺杂可以与竖直地址线4a相同、较淡、或相反。栅极7a包围存储井2a、2e，并控制传输晶体管3aa、3ae(图5B)；栅极7b包围存储井2b、2f，并控制传输晶体管3ab、3af；栅极7c包围存储井2c、2g，并控制传输晶体管3ac、3ag；栅极7d包围存储井2d、2h，并控制传输晶体管3ad、3ah。传输晶体管3aa-3ah形成至少一解码级(图5C)。在一实施例中，当栅极7a上的电压为高，而栅极7b-7d上的电压为低时，仅传输晶体管3aa和3ae导通，其它传输晶体管均断开。这时，衬底电路层中的MUX 40在位线4a和4e中选择一个信号，送至读出放大器30。通过在存储井2a-2d中形成多个纵向晶体管3aa-3ad，本发明能简化解码器的设计。

[0034] 图6表示一种多位元纵向3D-OTPv。它含有多个OTP存储元1aa-1ah。在该实施例中，OTP存储元1aa-1ah具有四种状态：'0'，'1'，'2'，'3'，不同状态的OTP存储元1aa-1ah采用的编程电流不同，因此，它们具有不同电阻。其中，存储元1ac、1ae、1ah为状态'0'，它未编程，其反熔丝膜6c、6e、6h是完整的。其它存储元已编程。其中，存储元1ab、1ag为状态'1'，其导体丝11b最细，电阻在所有已编程反熔丝膜中最大；存储元1aa为状态'3'，其导体丝11d最粗，电阻在所有已编程反熔丝膜中最小；存储元1ad、1af为状态'2'，其导体丝11c的大小介于导体丝11b和11d之间，电阻也介于两者之间。

[0035] 应该了解，在不远离本发明的精神和范围的前提下，可以对本发明的形式和细节进行改动，这并不妨碍它们应用本发明的精神。因此，除了根据附加的权利要求书的精神，本发明不应受到任何限制。

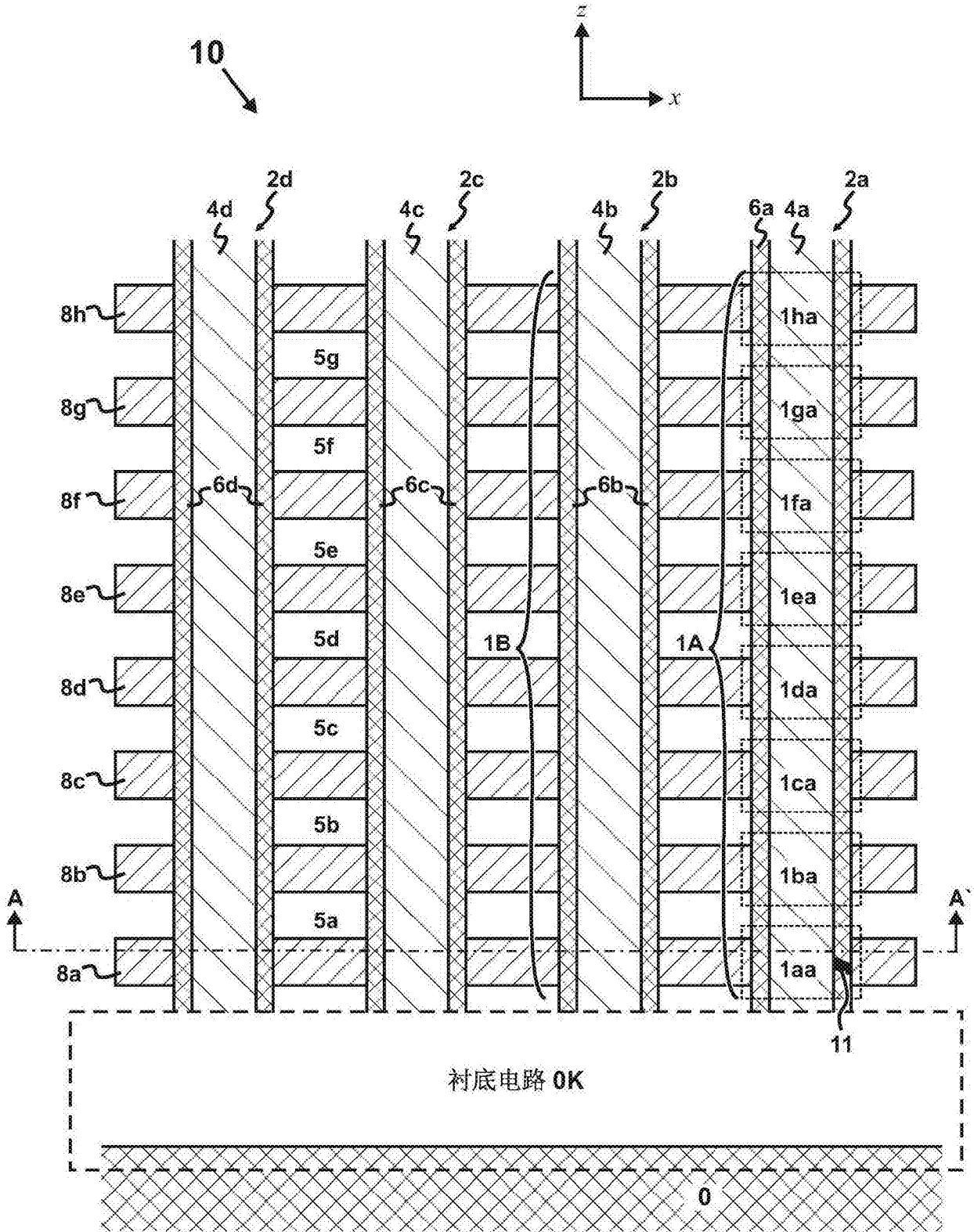


图1A

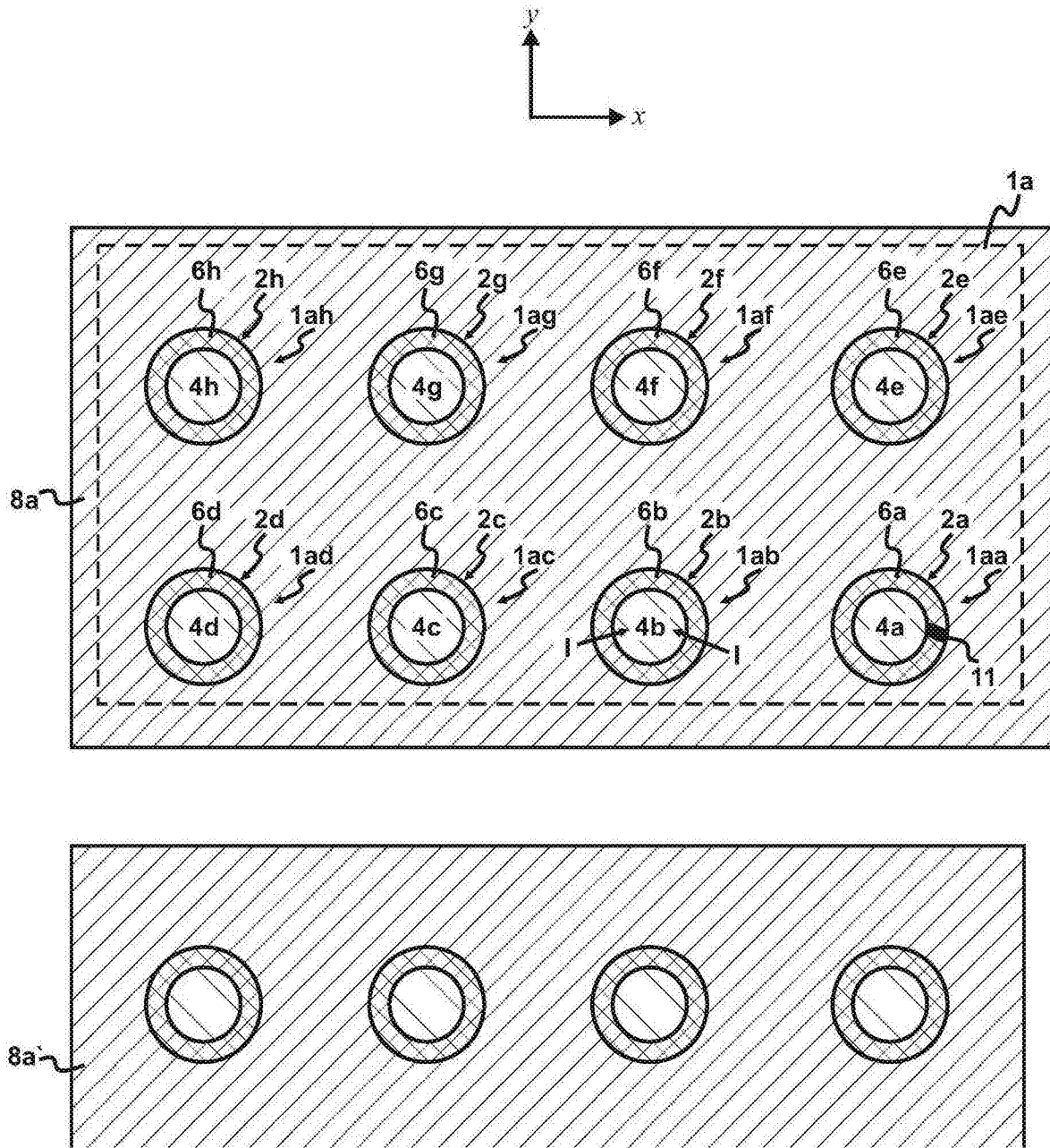


图1B

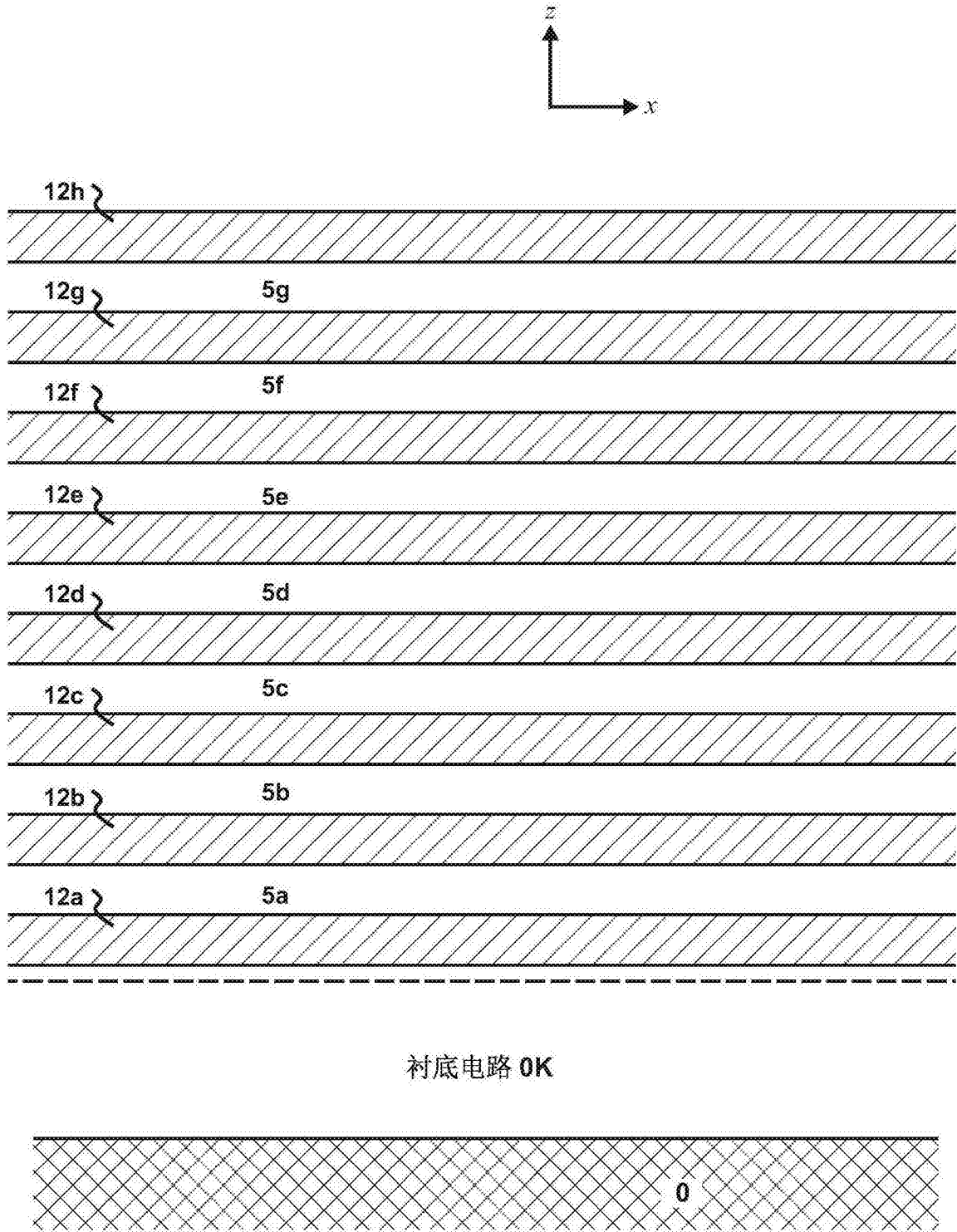


图2A

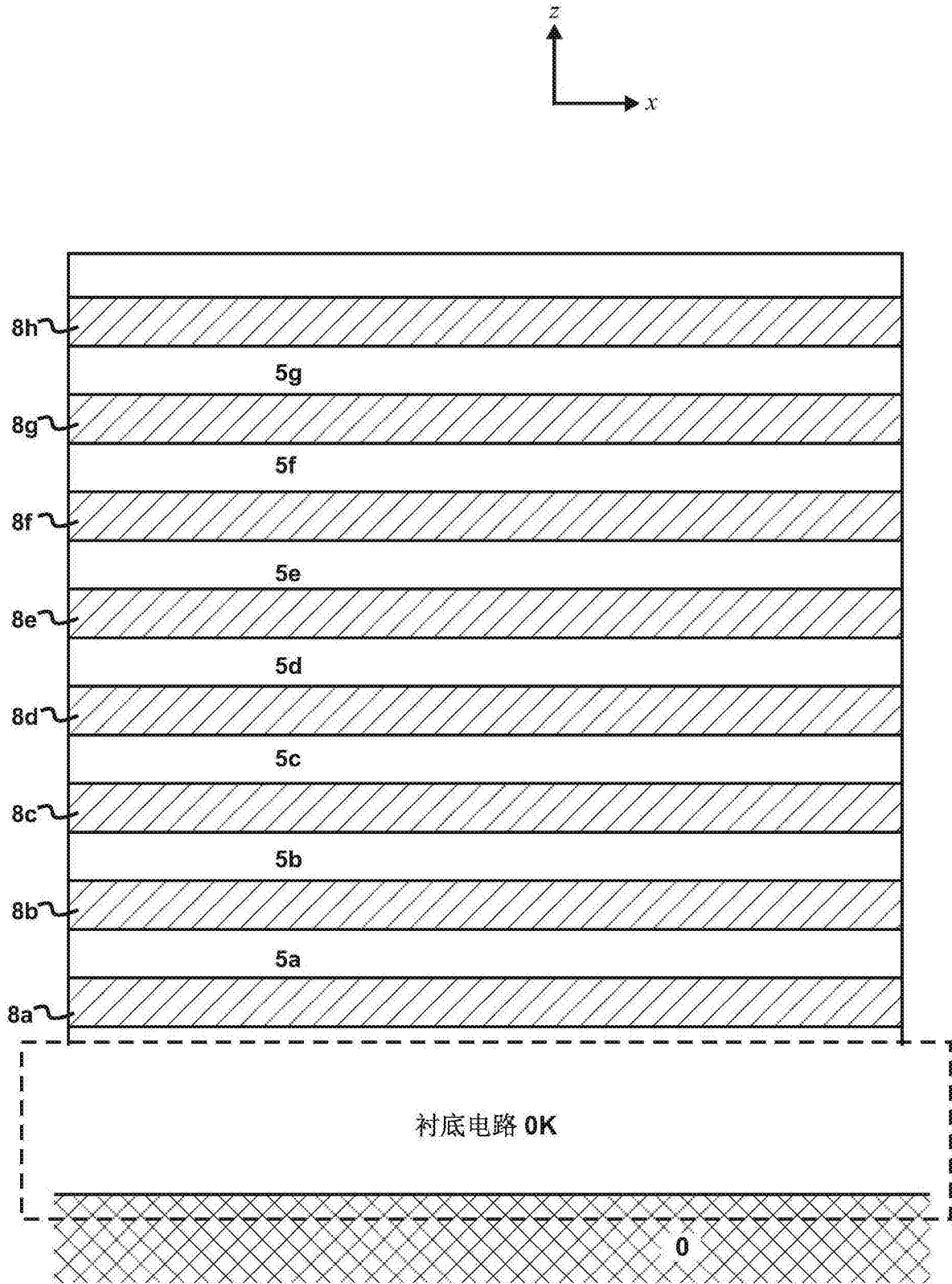


图2B

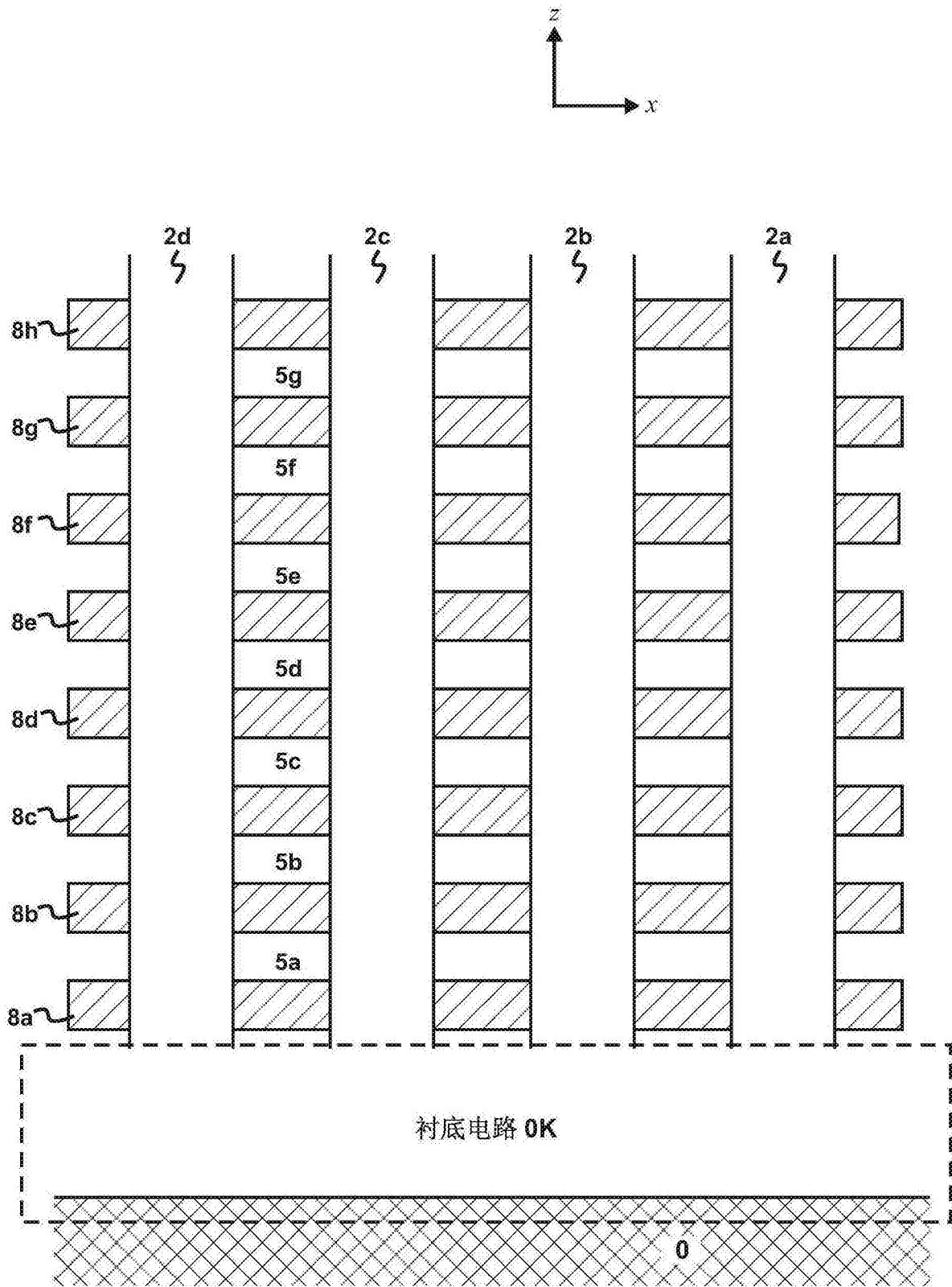


图2C

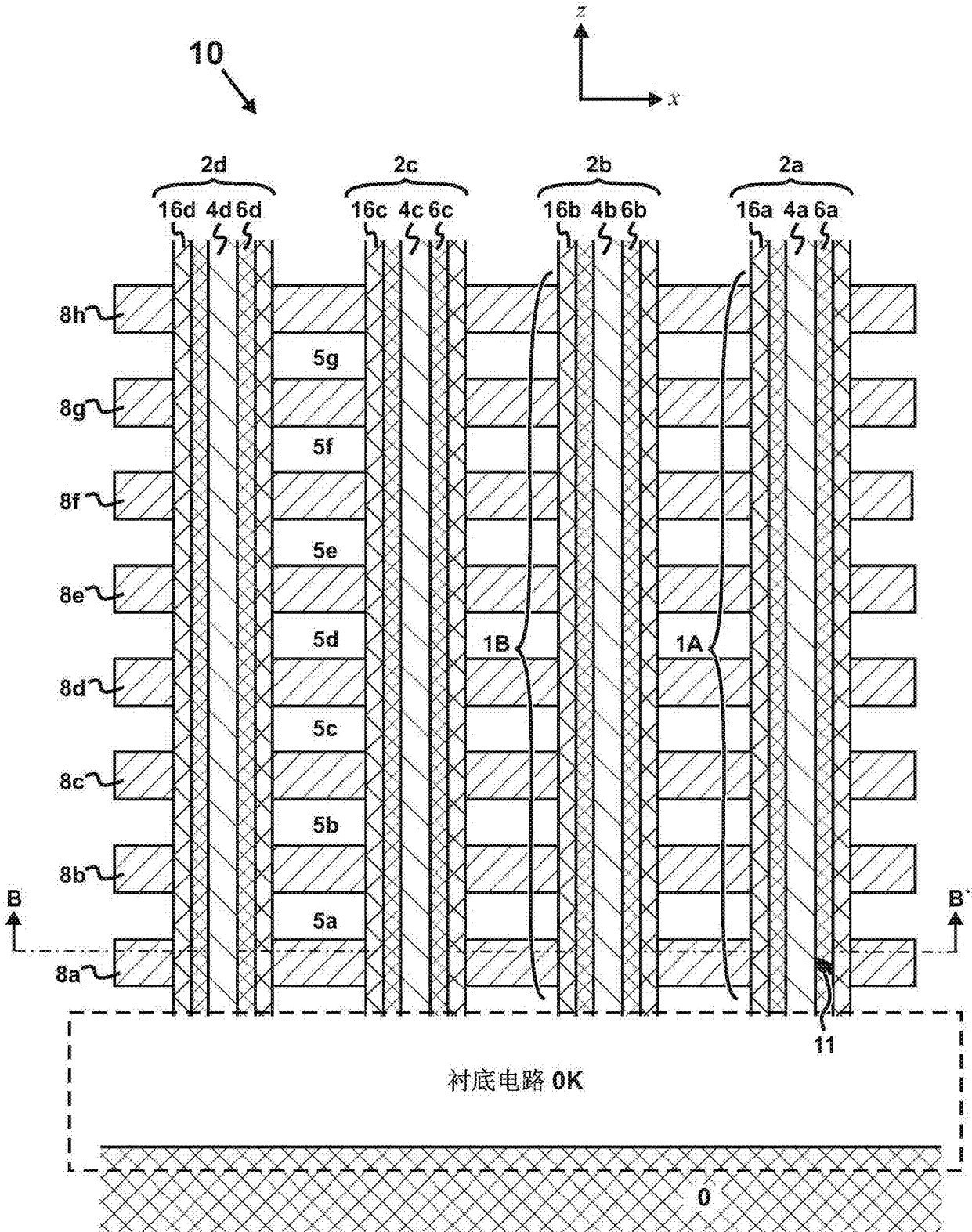


图3A

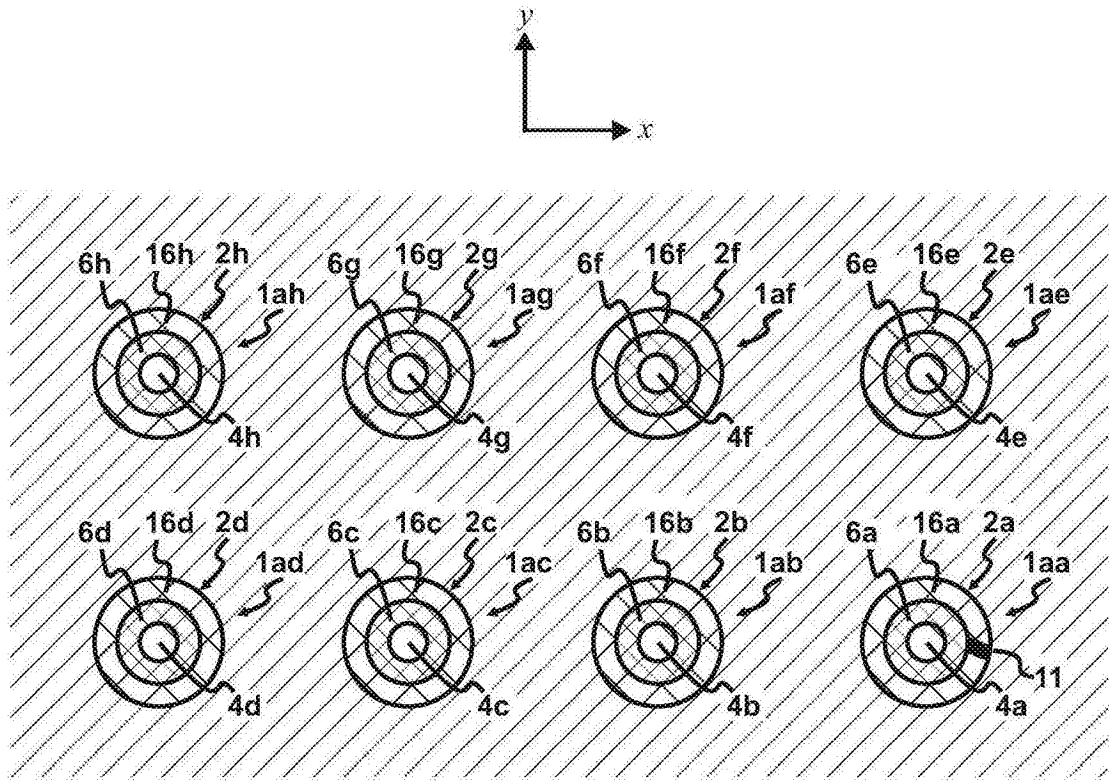


图3B

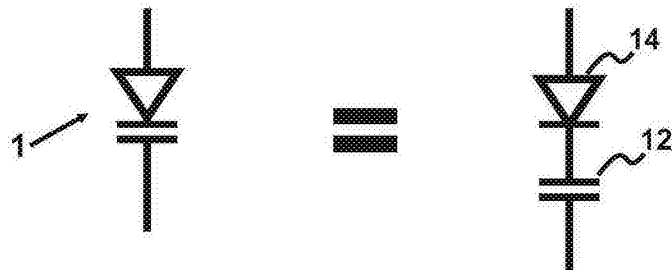


图4A

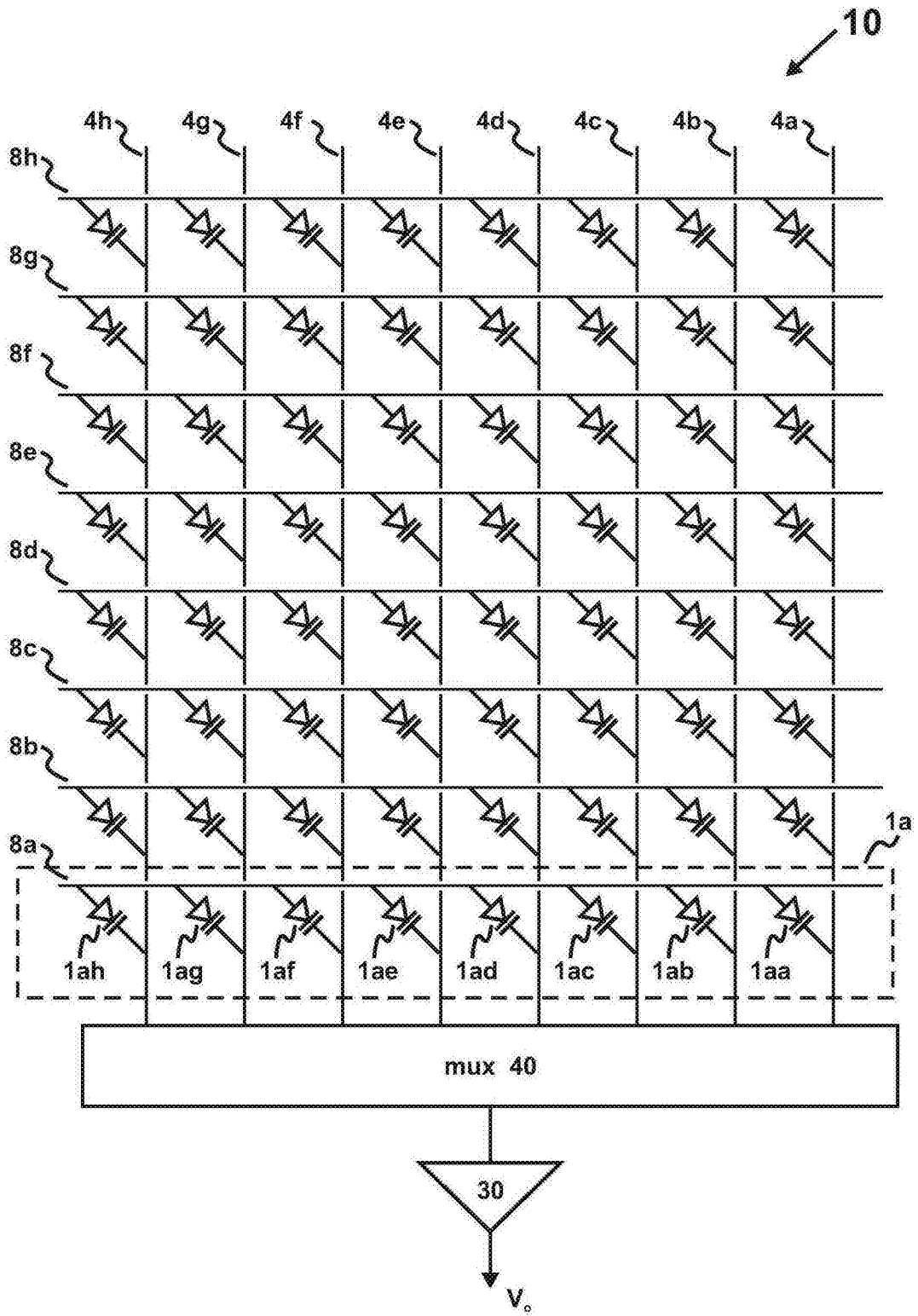


图4B

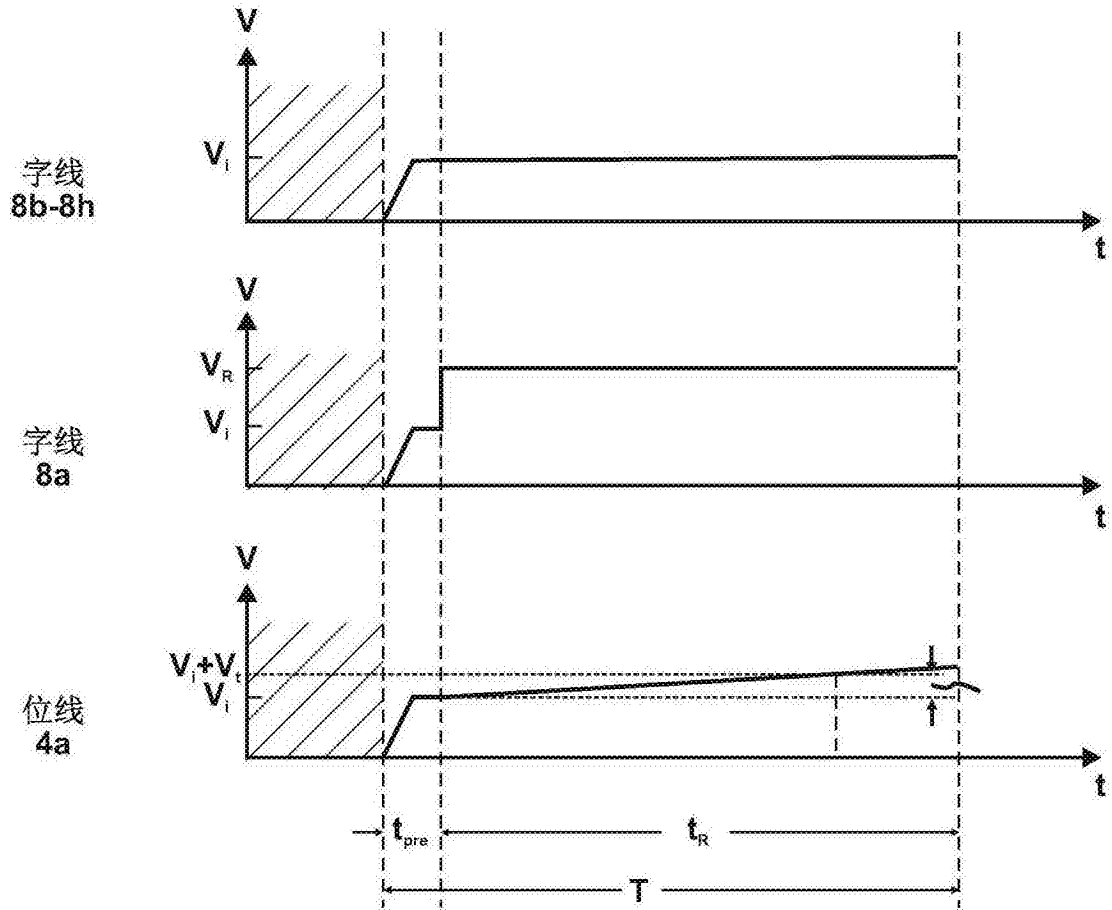


图4C

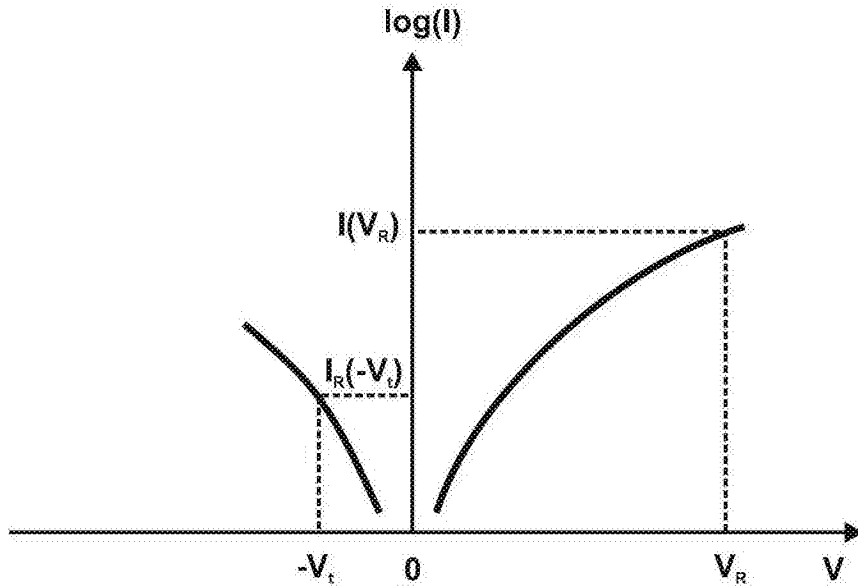


图4D

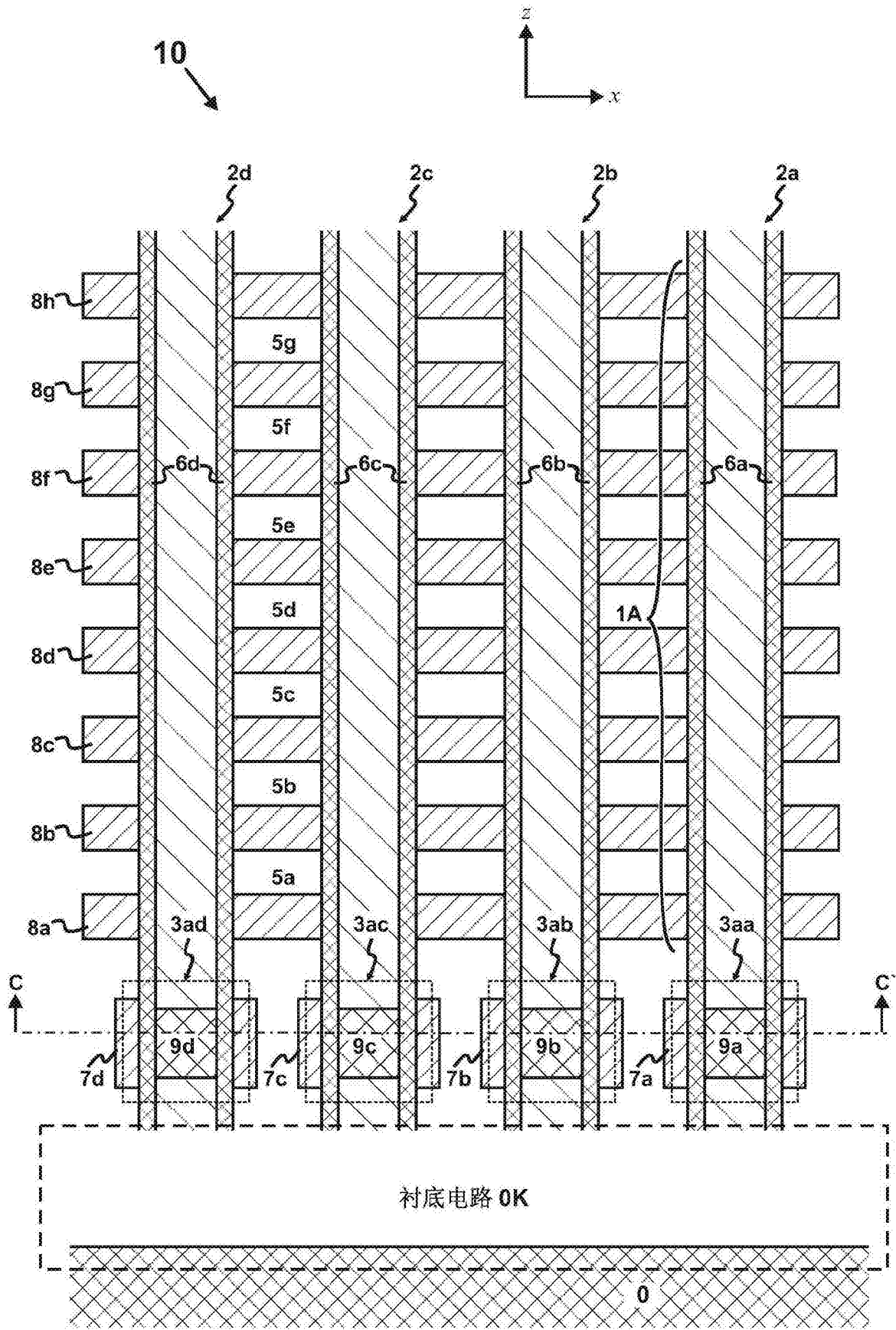


图5A

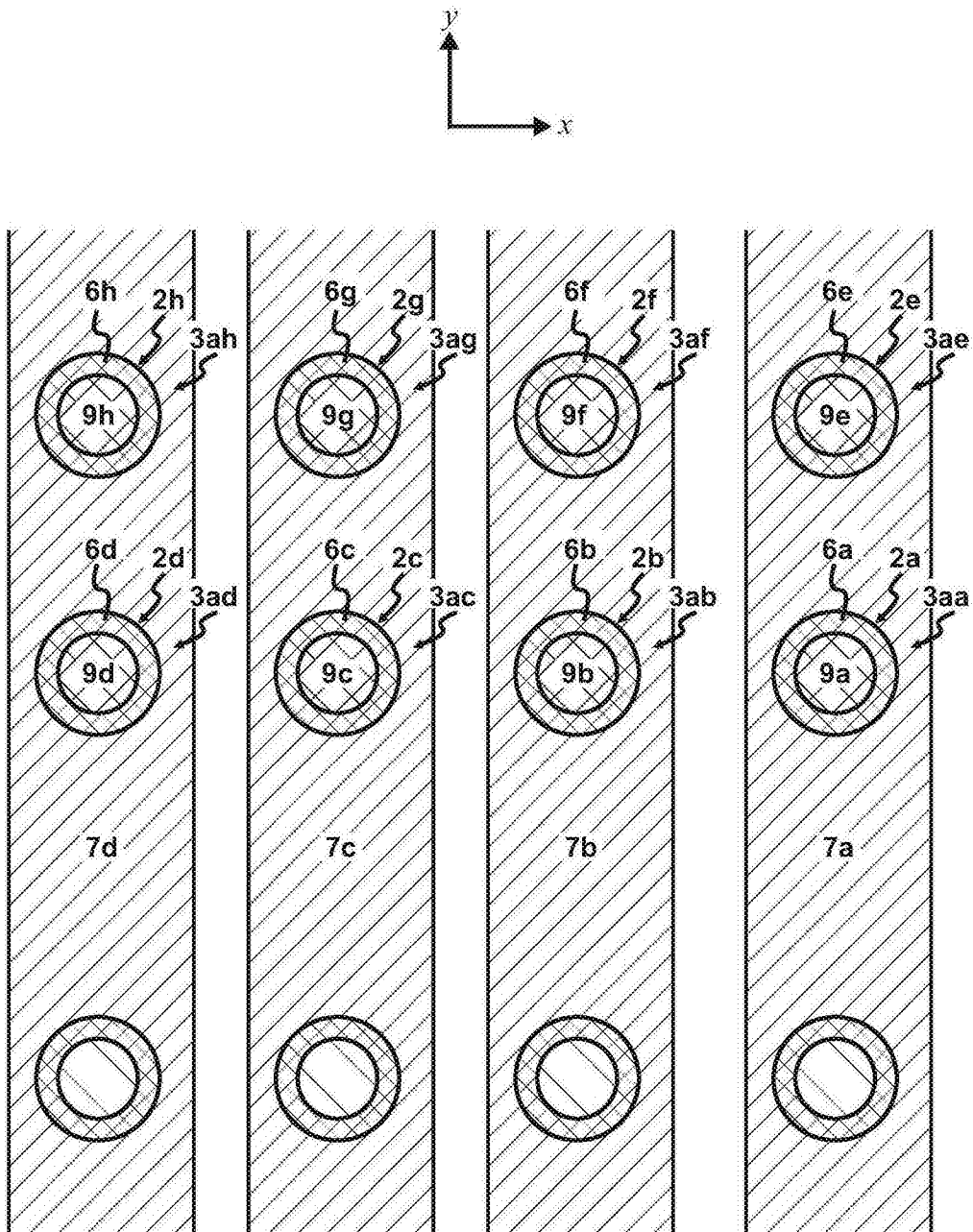


图5B

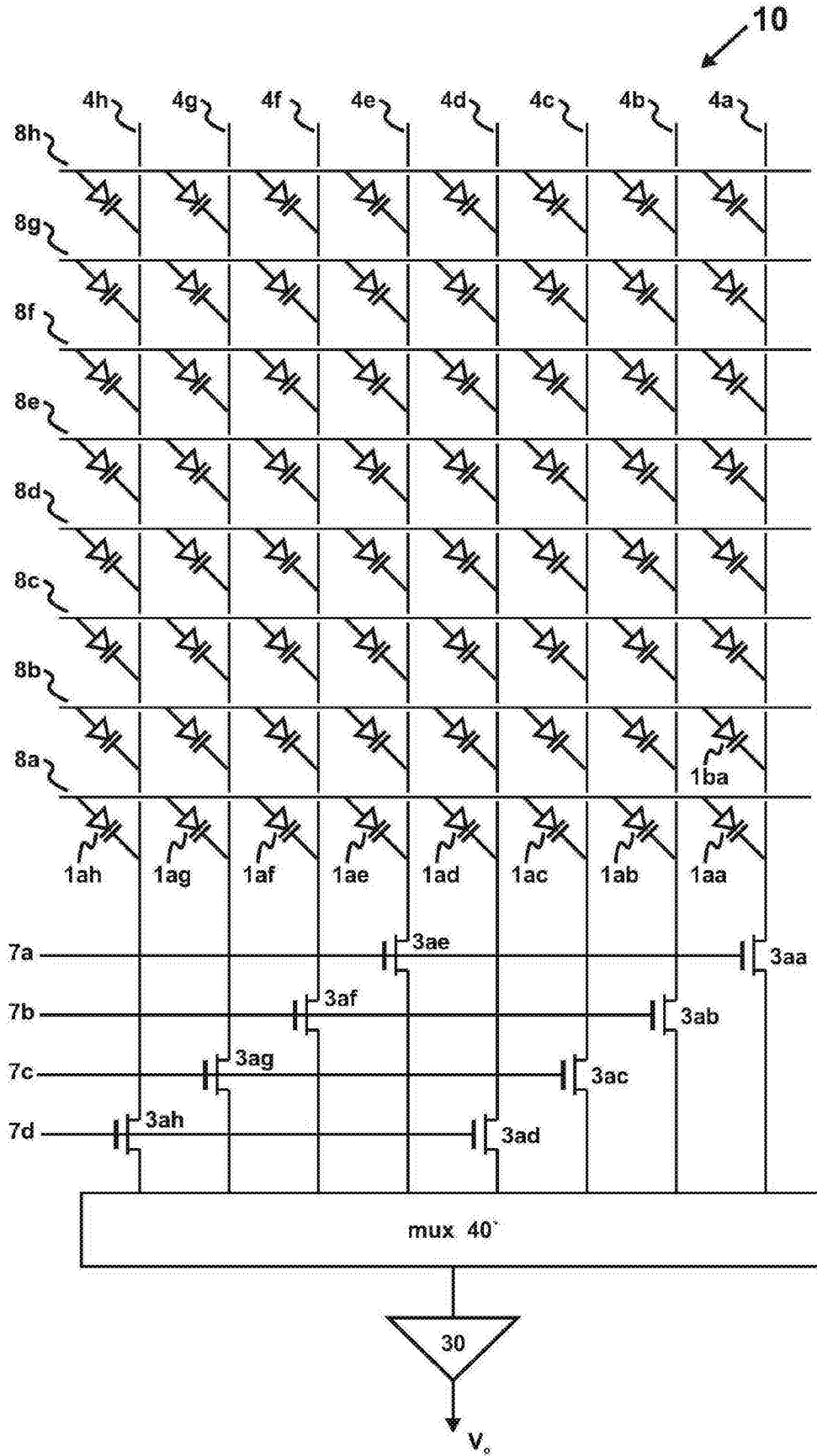


图5C

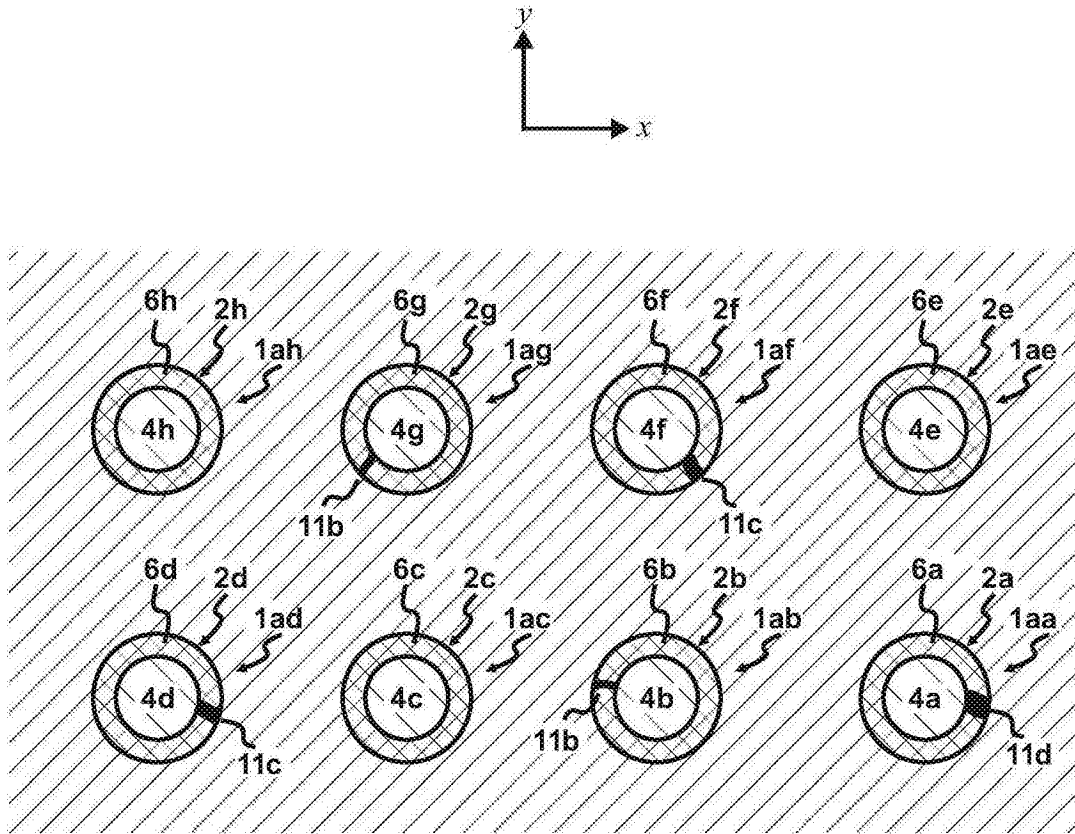


图6