



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I379362B1

(45) 公告日：中華民國 101 (2012) 年 12 月 11 日

(21) 申請案號：097146553

(22) 申請日：中華民國 97 (2008) 年 12 月 01 日

(51) Int. Cl. : H01L21/50 (2006.01)

H01L25/03 (2006.01)

(30) 優先權：2007/12/28 美國

11/966,219

(71) 申請人：星科金朋有限公司 (新加坡) STATS CHIP PAC LTD. (SG)  
新加坡

(72) 發明人：梁正忍 YANG, JOUNGIN (KR)；鄭東鎮 JUNG, DONGJIN (KR)；尹仁相 YOON, IN SANG (KR)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

US 2006/0220256A1

US 2008/0157324A1

審查人員：余宗翰

申請專利範圍項數：20 項 圖式數：11 共 32 頁

(54) 名稱

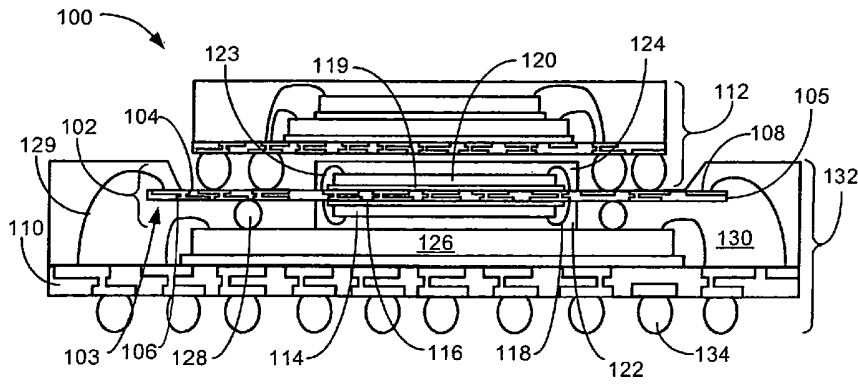
具有插入件的積體電路封裝件系統

INTEGRATED CIRCUIT PACKAGE SYSTEM WITH INTERPOSER

(57) 摘要

一種積體電路封裝系統之製造方法，包含：設置基底基板；耦接基底積體電路於該基底基板上；形成雙側模製插入件單元於該基底積體電路之上，包含：設置具有插入件頂部和插入件底部的插入件基板，安裝第一積體電路至該插入件底部並且電性連接兩者，安裝第二積體電路至該插入件頂部並且電性連接兩者，以及，模製第一晶片蓋於該第一積體電路上以及模製第二晶片蓋於該第二積體電路上；以及，耦接外部元件至該雙側模製插入件單元。

A method of manufacture of an integrated circuit package system includes: providing a base substrate; coupling a base integrated circuit on the base substrate; forming a double side molded interposer unit over the base integrated circuit including: providing an interposer substrate having an interposer top and an interposer bottom, mounting a first integrated circuit to the interposer bottom and electrically connected thereto, mounting a second integrated circuit to the interposer top and electrically connected thereto, and molding a first chip cover on the first integrated circuit and a second chip cover on the second integrated circuit; and coupling an external component to the double side molded interposer unit.



第 1 圖

- 100 . . . 積體電路封裝件系統
- 102 . . . 雙側模製插入件單元
- 103、110 . . . 基板  
基板
- 104、106 . . . 插入件
- 105 . . . 垂直終邊
- 108 . . . 接觸點
- 112 . . . 外部元件
- 114、120、  
126 . . . 積體電路
- 116、119 . . . 黏著劑
- 118、123、129、  
134 . . . 互連
- 122、124 . . . 晶片蓋
- 128 . . . 黏著支撐物
- 130 . . . 封裝件主體
- 132 . . . 封裝件

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大致上係關於積體電路封裝，以及尤其係關於用於堆疊多個積體電路裝置於有限空間中的系統。

### 【先前技術】

較快速、較可靠以及較高密度電路，並以較低成本製造是所有製造用於手機(cellphone)、視訊攝影機(video camera)、可攜式音樂播放器(portable music player)等之較小裝置之整個積體電路(IC)封裝工業的目標。對於未來之封裝 IC 的目標將會藉由減少外部的互連的數量和增加晶片的密度所實現。當為了提供給這些改善的硬體性能之空間持續減少，各種不同的技術，例如，覆晶(flip chip)，球柵陣列(ball grid array, BGA)，晶片直接組裝(chip on board, COB)，多晶片模組(multi-chip module, MCM)，已經被開發以符合對於改善系統效能和硬體性能之持續的要求。

多個積體電路裝置可以被製作在單一封裝件中，藉以形成 MCM。單一 MCM 可以包含兩個或更多個離散的積體電路裝置，該裝置可以配置在基板之上一個在另一個上面(亦即，垂直堆疊)。這樣的安裝(mount)技術實現了在 MCM 基板上之晶片或者積體電路的高密度。該基板可以包含藉由介電材料所隔離的一個或多個電性導電材料層。

雖然垂直堆疊 MCM 可以增加晶片的有效密度在水平放置的 MCM 元件上，但是 MCM 具有通常必須在該元件晶片和

晶片連接能被測試之前組合起來的缺點。如果晶片是有缺陷的，這些額外的製造步驟會導致成本的增加和產品產量的減少。

另一個關於垂直堆疊 MCM 之共同的問題是底部晶片必須大於頂部晶片以容納複數個接合墊(bond pad)位在該底部晶片上。由於有效用於安裝獨立晶片在基板上之有限空間的限制，使該底部晶片的較大組構減少了每個半導體晶圓的晶片數量，並且相應地，增加了製造的成本。

另一種製造的技術是垂直堆疊封裝(亦即，層疊封裝件組構(package on package configuration))。然而，此製造製程具有其本身的問題，例如，局部以及全面平坦化的不一致。另外，在層疊封裝件結構中之底部封裝件的模製蓋(mold cap)必須是薄的；否則，為了要接觸到該底部封裝件，形成於該頂部基板上之錫球(solder ball)的球直徑必須極度地大。然而，薄的模製蓋在層疊封裝件的組合期間能導致他們自身的問題，例如，限制了環氧樹脂模製化合物(epoxy molding compound)的選擇。

因此，不管現在半導體封裝技術的發展為何，對於用於增加半導體晶片密度之改善封裝裝置結構和製作的方法之積體電路封裝件系統的需求仍然存在。鑑於持續增加的商業競爭壓力，伴著消費者期盼的增加以及用於在市場有區別意義的產品的機會減少，所以尋求上述問題的解答是相當重要的。另外，節省成本、增進效率和效能以及符合競爭壓力的需求，對於發現這些問題的解答之重要需求增

加了更大的急迫性。

這些問題的解決方案已經被尋找很久但是先前的發展並未教示或建議任何解決方案，而因此這些問題的解決方案已經長期困惑熟悉該項技藝者。

### 【發明內容】

本發明提供了一種積體電路封裝方法，包含：設置基底基板；耦接基底積體電路於該基底基板上；形成雙側模製插入件單元於該基底積體電路之上，包含：設置具有插入件頂部和插入件底部的插入件基板，安裝第一積體電路至該插入件底部並且電性連接兩者，安裝第二積體電路至該插入件頂部並且電性連接兩者，以及，模製第一晶片蓋於該第一積體電路上以及模製第二晶片蓋於該第二積體電路上；以及，耦合外部元件至該雙側模製插入件單元。

本發明的一些實施例除了上述之外還有其他的態樣或是可取代的態樣。對於熟悉該項技藝者而言，當參照這些附加圖式而閱讀以下之詳細說明時，該等態樣將會變得明顯。

### 【實施方式】

以下的實施例係充分詳細的說明以使熟悉該項技藝者能製作和使用本發明。應瞭解的是，根據本發明的揭露內容，其他的實施例會是明顯的，以及製程或機構的改變並未會悖離本發明的範疇。

於下列說明中，係給定多個特定詳細說明以提供本發明之完整瞭解。然而，很明顯的，本發明可不需要這些特

定詳細說明而實施。為避免模糊本發明，一些已知的電路、系統組構及製程步驟未詳細地揭露。同樣地，本發明顯示系統之實施例的該些圖式係為概略的且未按照比例，且特別地，一些尺寸為清楚呈現本發明而誇大地顯示於圖式中。在多個實施例中揭露及描述具有某些共同特徵，為清楚及容易說明、描述及理解，彼此相似及相同之特徵將一般以相同元件符號來描述。

為說明的目的，在此使用的用語“水平(horizontal)”係定義為平行該插入件的平面或表面之平面，無論其定位。該用語“垂直(vertical)”係指垂直剛定義的“水平”之方向。例如“在…上面(above)”、“在…下面(below)”、“底部(bottom)”、“頂部(top)”、“側邊”(如在“側壁”)、“較高(higher)”、“較低(lower)”、“上面的(upper)”、“在…上方(over)”以及“在…之下(under)”之用語，係相對該水平平面而定義。用語“在…上(on)”係指在元件間有直接接觸。在此使用的用語“系統(system)”意指且係指依照使用該用語的上下文本發明之方法及裝置。在此使用的用語“處理(processing)”係包含材料的沖壓、鍛壓、圖案化、曝光、顯影、蝕刻、清潔、以及/或移除或形成上述結構所需之雷射修整。

現請參閱第 1 圖，其中係顯示在本發明之實施例中的具有插入件(interposer)之積體電路封裝件系統 100 的剖面圖。該積體電路封裝件系統 100 的剖面圖係繪示具有包含插入件頂部 104、垂直終邊 105 和插入件底部 106 之插

入件基板 103 的雙側模製插入件單元(double side molded interposer unit)102。該插入件頂部 104 可以具有容許基底基板(base substrate)110、外部元件 112 或者兩者組合之間的互連之圖案化配置的接觸點 108，例如，接合墊或者元件墊。該基底基板 110 可以形成為球柵陣列(BGA)、方形扁平無引腳(quad flat no-lead, QFN)、針柵腳陣列(pin grid array, PGA)、軟性電路(flex circuit)、或引線指(lead finger)陣列之可從導線架(lead frame)切割(singulate)者。該外部元件 112 可以是 BGA、PGA 或導線裝置之形式的積體電路封裝件。

該雙側模製插入件單元 102 可以具有藉由黏著劑(adhesive)116 安裝於該插入件底部 106 之第一積體電路 114。例如接合線、形成跳線(formed jumper)、錫球或者重新分配層(redistribution layer)之電性互連 118 可以耦接該第一積體電路 114 至該插入件底部 106 以更進一步的分配。第二積體電路 120 可藉由與該黏著劑 116 相同成分的第二黏著劑 119 安裝至該插入件頂部 104。第二互連 123 可以耦接該第二積體電路 120 至該插入件頂部 104。該第一積體電路 114 以及該第二積體電路 120 可以電性連接彼此，使得能用於連接該接觸點 108 或之間的結合。該第一積體電路 114 係藉由第一晶片蓋 122 所包覆(encapsulate)。而該第二積體電路 120 係藉由第二晶片蓋 124 所包覆。該第一晶片蓋 122 和該第二晶片蓋 124 可以環氧樹脂模製化合物或是一些其他的封裝材料而形成。

該雙側模製插入件單元 102 可以安裝在該基底積體電路 126 上，例如線接合積體電路，覆晶積體電路或是他們的堆疊結合。該基底積體電路 126 可以包含預先模製蓋 (pre-mold cap)(未顯示)，屏蔽(shield)(未顯示)或者他們的結合。黏著支撐物(adhesive support)128，例如環氧樹脂點，可以用於黏著該雙側模製插入件單元 102 至該基底積體電路 126。該黏著支撐物 128 也可以在電性連接期間減少該雙側模製插入件單元 102 的移動。接合互連 (bonding interconnect)129 可以通過該基底基板 110 耦接該雙側模製插入件單元 102 至該基底積體電路 126。基底封裝件主體 130 可以模製在該雙側模製插入件單元 102、該基底基板 110、該基底積體電路 126、該接合互連 129、以及該黏著支撐物 128 上。該基底封裝件主體 130 可以藉由模製該環氧樹脂化合物或其他封裝材料而形成。基底封裝件 132 可以包含系統互連 134，例如錫球、鐳錫凸塊(solder bump)、鐳錫柱(solder column)、或栓凸塊(stud bump)。在該雙側模製插入件單元 102 周圍模製形成該基底封裝件主體 130，以包覆該垂直終邊 105 及部分該插入件頂部 104 與插入件底部 106。

可以發現到該基底封裝件 132 的組合之前該雙側模製插入件單元 102 能充分地測試，因此對於該基底封裝件 132 提供了改善的製造產量。因為該基底封裝件 132 並不需要任何額外的用於耦接該外部元件 112 的附接平台，所以藉由該雙側模製插入件單元 102 的使用，該整體封裝件高度



可以降低。該外部元件 112 係顯示為具有多個堆疊晶片的 BGA 類型的封裝件，但這僅是一種範例並且該外部元件 112 可以是不同的。

該兩側插入件係定義為具有該插入件頂部 104 和該插入件底部 106 的插入件基板 103。該第一積體電路 114 係藉由黏著劑 116 安裝在該插入件底部 106 上並且藉由該電性互連 118 電性連接至該插入件底部。該第一晶片蓋 122 係形成在該第一積體電路 114 以及該電性互連 118 上。該第二積體電路 120 係藉由第二黏著劑 119 安裝在該插入件頂部 104 上並且藉由該第二互連 123 電性連接至該插入件頂部 114。該接觸點 108 可以圖案化配置在插入件頂部 104 上，用於連接該外部元件 112、該接合互連 129、或者兩者之結合。該第二晶片蓋 122 係形成在該第二積體電路和該電性互連上。該第二晶片蓋 124 並沒有覆蓋該接觸點 108 的圖案。

現請參閱第 2 圖，其中顯示在本發明實施例中之該雙側模製插入件單元 102 的上視圖。該雙側模製插入件單元 102 的上視圖繪示具有位在該第二晶片蓋 124 周圍的接觸點 108 之插入件頂部 104。該接觸點 108 可以形成多個陣列於該插入件頂部 104 上。例如，靠近該插入件頂部 104 週邊之陣列的外部陣列 202 可以使用於連接至該第 1 圖之基底基板 110。例如，在外部陣列 200 與第二晶片蓋 124 之間之陣列的內部陣列 204 可以使用於附接第 1 圖之外部元件 112。外部陣列 202 以及內部陣列 204 之形狀，元件

數量以及位置僅為一種範例，且該形狀，元件數量以及位置皆可不同。該第二晶片蓋 124 的尺寸形狀和位置僅為範例並且可以是不同的。位置標記(position marker)206 可以使用於辨識用於第 1 圖之基底封裝件 132 中的測試或組合之該雙側模製插入件單元 102 之適當定位。

剖面線 4-4 係顯示表現於第 4 圖圖式之位置或方向。

請參閱第 3 圖，係顯示在本發明之實施例中的雙側模製插入件單元 102 的下側圖。該雙側模製插入件 102 的下側圖係繪示具有第一晶片蓋 112 位於其上的插入件底部 106。該第一晶片蓋 122 顯示為大致位在該插入件底部 106 的中心的中心的位置，但這僅是一種範例且該第一晶片蓋 122 的位置形狀和尺寸可以不同。該插入件底部可具有位於該第一晶片蓋 122 和該插入件底部 106 週邊之接觸墊 302 陣列。該接觸墊 302 可以使用於測試該雙側模製插入件單元 102。

現請參閱第 4 圖，其中顯示沿著第 2 圖之剖面線 4-4 的雙側模製插入件單元 102 的剖面圖。該雙側模製插入件單元 102 的剖面圖繪示具有插入件頂部 104 之插入件基板 103，該插入件頂部 104 具有例如接合墊或元件墊之圖案化配置允許第 1 圖之基底基板 110、第 1 圖之外部元件 112、或者其結合之間的互連的接觸點 108。該第一積體電路 114 可以藉由黏著劑 116 安裝於該插入件底部 106。該電性互連 118，例如接合線、形成跳線、或重新分配層可以耦接該第一積體電路 114 至該插入件底部 106 以更進一步的分

配。該第二積體電路 120 可以藉由該第二黏著劑 119 安裝於該插入件頂部 104。該電性互連 118 可耦接該第二積體電路 120 至該插入件頂部 104。

該第一積體電路 114 和第二積體電路 120 可電性連接至彼此、連接至該接觸點 108、連接至該接觸墊 302、或前述之組合。該第一積體電路 114 係藉由該第一晶片蓋 122 包覆，而該第二積體電路 120 係藉由該第二晶片蓋 124 包覆。該第一晶片蓋 122 和第二晶片蓋 124 可由環氧樹脂模製化合物或者一些其他的封裝材料而形成。

雖然該第一積體電路 114 和第二積體電路 120 係顯示為晶粒的接合線類型，這僅是範例並且其一或兩者皆可為晶粒的覆晶類型。該第一積體電路 114 和該第二積體電路 120 之間的電性連接可以藉由電性連接該接觸點 108 至該接觸墊 302 的通孔(via)402 而形成。

可以發現到，當允許訊號的扇入(fan-in)時，該具有包含留下該接觸墊 302 暴露的第一晶片蓋 122 和留下該接觸點 108 暴露的第二晶片蓋 124 之插入件基底 103 之雙側模製插入件單元 102 的結構可以提供減少的元件高度。該訊號的扇入允許較多的訊號於基底封裝件 132 內比實際進入該基底封裝件 132 者多，因此簡化了下一個階層系統的設計(未顯示)。

現請參閱第 5 圖，其中顯示在本發明之第一替代實施例中的積體電路封裝件系統 500 的剖面圖。該積體電路封裝件系統 500 的剖面圖繪示安裝在例如覆晶類型的積體電

路之該基底積體電路 126 上的該雙側模製插入件單元 102。該黏著支撐物 128 可穩定在該基底積體電路 126 上的該雙側模製插入件單元 102。例如錫球之晶片互連 502 可耦接該基底積體電路 126 至該基底基板 110。

該雙側模製插入件單元 102 可以藉由該電性互連 118 耦接至該基底基板 110，用於電性連接至該基底積體電路 126。該外部元件 112 可以連接在該雙側模製插入件單元 102 上也提供了在該外部元件 112、該雙側模製插入件單元 102、該基底積體電路 126、或者該等組合之間的電性連接。在該雙側模製插入件單元 102 周圍模製形成該基底封裝件主體 130，以包覆該垂直終邊 105 及部分該插入件頂部 104 與插入件底部 106。

現請參閱第 6 圖，其中顯示在本發明之第二替代實施例中的積體電路封裝件系統 600 的剖面圖。該積體電路封裝件系統 600 的剖面圖繪示具有外部單元 112 安裝於其上的基底封裝件 132。該外部單元 112 可以為導線封裝件之形式。引線指 602 可形成於該外部單元 112、該雙側模製插入件單元 102、該基底積體電路 126、或該等之組合之間的電性連接。

可以發現到，藉由直接地附接該外部元件 112 至該雙側模製插入件單元 102，該積體電路封裝件系統 600 的整體高度可以降低。該積體電路封裝件系統 600 呈現高度有效堆疊的層疊封裝件設計。在該雙側模製插入件單元 102 周圍模製形成該基底封裝件主體 130，以包覆該垂直終邊

105 及部分該插入件頂部 104 與插入件底部 106。

現請參閱第 7 圖，其中顯示在本發明之第三替代實施例中的積體電路封裝件系統 700 的剖面圖。該積體電路封裝件系統 700 的剖面圖繪示安裝於該基底積體電路 126 之上的雙側模製插入件單元 702。

該雙側模製插入件單元 702 可具有安裝在該插入件底部 106 上之例如覆晶積體電路的第一積體電路 704。於該第一積體電路 704 和該接觸墊 302 之間形成電性連接用以進一步的訊號分配。例如線接合積體電路的第二積體電路 706 可安裝在放置於該第一積體電路 704 上之黏著劑 116 上。該第一積體電路 704 和該第二積體電路 706 係安裝以使得他們的被動側鄰接於彼此。該第二積體電路 706 的主動側可以藉由該電性互連 118 耦接至該接觸墊 302。該第一晶片蓋 122 可形成於該第一積體電路 704、該第二積體電路 706、該電性互連 118、以及該插入件底部 106 上。

該雙側模製插入件單元 702 也可具有安裝於該插入件頂部 104 上之例如覆晶積體電路之第三積體電路。於該第三積體電路 708 和該接觸點 108 之間形成有電性連接用於更進一步的訊號分配。例如線接合積體電路的第四積體電路 710 可安裝在放置於該第三積體電路 708 上之第二黏著劑 119 上。該第三積體電路 708 和該第四積體電路 710 係安裝以使得他們的被動側鄰接於彼此。該第四積體電路 710 的主動側可以藉由該第二互連 123 耦接至該接觸點 108。該第二晶片蓋 124 可以形成於該第三積體電路 708、該第

四積體電路 710、該第二互連 123、以及該插入件頂部 104 上。

位在沿著該雙側模製插入件單元 702 之週邊的接觸點 108 可以藉由接合互連 129 電性連接至該基底基板 110。另外，該接觸點 108 可以使用於耦接該第 1 圖的外部元件 112。該雙側模製插入件單元 702 可藉由黏著支撐物 128 安裝於該基底積體電路 126 上。該基底封裝件主體 130 可模製於該基底基板 110、該基底積體電路 126、該接合互連 129、該第一晶片蓋 122、以及該黏著支撐物 128 上。在該雙側模製插入件單元 702 周圍模製形成該基底封裝件主體 130，以包覆該垂直終邊 105 及部分該插入件頂部 104 與插入件底部 106。

連至該基底基板的電性連接可以使得訊號有效地通過該系統互連 134 連接至下個階層系統。此組構可允許於該基底積體電路 126、該第一積體電路 704、該第二積體電路 706、該第三積體電路 708、該第四積體電路 710、該外部元件 112、該下個階層系統(未顯示)、或該等之組合之間的電性通訊。

應可發現，本發明之具有插入件的積體電路封裝件系統 700 可以藉由設置這些連接於該積體電路封裝件系統 700 內使於該系統階層板中所需的訊號之數目減少。該內部的連接係物理性的變短並比那些通過該系統板(未顯示)之經過較長距離之連接提供較佳的訊號品質。

現請參閱第 8 圖，其中顯示在本發明之第四替代實施

例中的積體電路封裝件系統 800 的剖面圖。該積體電路封裝件系統 800 的剖面圖繪示具有藉由黏著劑 116 安裝在該插入件頂部 104 上的第一線接合晶片(wire bond chip)804 之雙側模製插入件單元 802。插入件基板 806 中的開口可允許電性互連 807 耦接該第一線接合晶片 804 至該插入件底部 106 上的接觸墊 302。

該第四積體電路 710 可以藉由該第二黏著劑 119 安裝於該第一線接合晶片 804 之上。該第一線接合晶片 804 和該第四積體電路 710 係安裝以使得他們的被動側鄰接於彼此。該第二互連 123 可以耦接該第四積體電路 710 的主動側至該插入件頂部 104 上的接觸點 108。該第二晶片蓋 124 可以形成於該第一線接合晶片 804、該第四積體電路 710、該第二互連 123、以及該插入件頂部 104 上。該插入件頂部 104 上的接觸點維持可利用於連接該第 1 圖的外部元件 112。

覆晶晶粒 808 可以安裝於該插入件底部 106 上。該第一晶片蓋 122 可形成於該覆晶晶粒 808、該插入件底部 106、以及耦接該第一線結合晶片 804 至該接觸墊 302 之該電性互連 807 上。

該雙側模製插入件單元 802 可以以黏著支撐物 128 安裝於該基底積體電路 126 之上。該電性互連 118 可耦接該雙側模製插入件單元 802 至該基底基板 110。該基底封裝件主體 130 可以模製於該基底基板 110、基底積體電路 126、電性互連 118、第一晶片蓋 122、以及黏著支撐物 128

上。在該雙側模製插入件單元 802 周圍模製形成該基底封裝件主體 130，以包覆該垂直終邊 105 及部分該插入件頂部 104 與插入件底部 106。

現請參閱第 9 圖，其中顯示在本發明之第五替代實施例中的積體電路封裝件系統 900 的剖面圖。該積體電路封裝件系統 900 的剖面圖繪示具有藉由黏著劑 116 安裝至該晶粒附接墊 906 的第一線接合晶片 904 之雙側模製插入件單元 902。

該電性互連 118 可耦接該第一線接合晶片 904 至該引線指 908。該第一晶片蓋 122 可以形成於該第一線接合晶片 904、該晶粒附接墊 906、電性互連 118、以及該引線指 908 上。形成具有頂部 907、垂直終邊 909 和底部 911 之該引線指 908。

第二線接合晶片 910 可以藉由附接於該晶粒附接墊 906 的相反側如第一線接合晶片 904 之第二黏著劑 119 安裝於該晶粒附接墊 906 上。該第二互連 123 可耦接該第二線接合晶片 910 至該引線指 908。該第二晶片蓋 124 可形成於該第二線接合晶片 910、該晶粒附接墊 906、該第二互連 123、以及該引線指 908 上。

該雙側模製插入件單元 902 可以藉由例如黏膠(glue)、環氧樹脂、或者晶粒附接材料之附接黏著劑 912 安裝於該基底積體電路 126 上。該引線指 908 可以形成以促進該雙側模製插入件單元 902 的支撐。該接合互連 129 可耦接該引線指 908 至該基底基板 110。該基底封裝件主體 130 模



製於該基底基板 110、基底積體電路 126、接合互連 129、該第一晶片蓋 122、以及引線指 908 上。該外部元件 112 可以藉由該第二晶片蓋 124 安裝於該引線指 908 上並且受到支撐。在該雙側模製插入件單元 902 周圍模製形成該基底封裝件主體 130，以包覆該垂直終邊 909 及該引線指 908 之部分該插入件頂部 907 與該底部 911。

現請參閱第 10 圖，其中顯示在本發明之第六替代實施例中的積體電路封裝件系統 1000 的剖面圖。該積體電路封裝件系統 1000 的剖面圖繪示具有藉由黏著劑 116 安裝至該晶粒附接墊 906 的第一線接合晶片 904 之雙側模製插入件單元 1002。該電性互連 118 可耦接該第一線接合晶片 904 至該引線指 1004。該第一晶片蓋 122 可形成於該第一線接合晶片 904、該晶粒附接墊 906、電性互連 906、以及該引線指 1004 上。形成具有頂部 1006、垂直終邊 1008 和底部 1010 之該引線指 1004。

第二線接合晶片 910 可以藉由附接於該第一線接合晶片 904 的相反側之第二黏著劑 119 安裝於該晶粒附接墊 906 上。該第二互連 123 可耦接該第二線接合晶片 910 至該引線指 1004。該第二晶片蓋 124 可形成於該第二線接合晶片 910、該晶粒附接墊 906、該第二互連 123、以及該引線指 1004 上。

該雙側模製插入件單元 1002 可藉由該附接黏著劑 912 安裝於該基底積體電路 126 上。該接合互連 129 可耦接該引線指 1004 至該基底基板 110。該引線指 1004 可以維持

在同一平面作為該晶粒附接墊 906。該基底封裝件主體 130 可模製於該基底基板 110、該基底積體電路 126、該接合互連 129、該第一晶片蓋 122、以及該引線指 1004 上。該第 1 圖之外部元件 112 可藉由該第二晶片蓋 124 安裝於該引線指 1004 並受到支撐。在該雙側模製插入件單元 1002 周圍模製形成該基底封裝件主體 130，以包覆該垂直終邊 1008 及該引線指 1004 之部分該頂部 1006 與該底部 1010。

現請參閱第 11 圖，其中顯示在本發明之實施例中用於製造該具有插入件之積體電路封裝件系統 100 的積體電路封裝方法 1100 的流程圖。該方法 1100 包含在方塊圖 1102，設置基底基板；在方塊圖 1104，耦接基底積體電路於該基底基板上；在方塊圖 1106，形成雙側模製插入件單元於該基底積體電路之上，包含：設置具有插入件頂部和插入件底部之插入件基板，安裝第一積體電路至該插入件底部並且電性連接兩者，安裝第二積體電路至該插入件頂部並且電性連接兩者，以及模製第一晶片蓋於該第一積體電路上並模製第二晶片蓋於該第二積體電路上；以在，在方塊圖 1108，耦接該外部元件至該雙側模製插入件單元。

應發現到本發明因而具有數個態樣。

一原則性而非可預期的態樣是當增加電流密度時，本發明可產生較低的垂直高度。

另一個態樣是本發明可藉由允許該封裝件內之任何積體電路彼此通訊而不用經過該系統板來允許訊號的扇入。

本發明的另一個重要的態樣是本發明有價值地支持和

服務朝減低成本，簡化系統以及增加效能的歷史趨勢。

本發明之這些和其他的態樣因此促使該技術的狀態達到至少下個階層。

因此，可以發現到本發明的積體電路封裝件系統提供重要且至今仍未知且未被利用之用於形成允許訊號扇入的層疊封裝件之裝置的解決方案、能力以及功能概念。該產生的製程和組構是明確的、有成本效益的、不複雜的、非常多功能的、以及有效的，能藉由調整已知的技術而出人意料地以及不明顯地實施，以及因此毫無困難地適合用於完全相容於傳統製造製程和技術之有效地和經濟地製造層疊封裝件的裝置。該產生的製程以及組構係明確的、有成本效益的、不複雜的、非常多功能的、精確的、敏感的、以及有效的，並且能藉由調整已知元件來實施，以迅速的、有效的、以及經濟的製造、應用、以及利用。

雖然本發明係結合特定的最佳模式而描述，但應了解，鑑於前述說明，對於熟悉該項技藝者而言，眾多替代、修改及各種變化將是明顯的。據此，其係傾向包含落在本申請專利範圍之範疇內的所有這類替代、修改及各種變化。在此提出或顯示於附圖中的所有內容係為範例之說明而非用於限制。

#### 【圖式簡單說明】

第 1 圖係在本發明之實施例中的具插入件之積體電路封裝件系統的剖面圖；

第 2 圖係在本發明之實施例中的雙側模製插入件單元

的上視圖；

第 3 圖係在本發明之實施例中的雙側模製插入件單元的下視圖；

第 4 圖係顯示沿著第 2 圖之剖面線 4-4 之雙側模製插入件單元的剖面圖；

第 5 圖係在本發明之第一替代實施例中的積體電路封裝件系統的剖面圖；

第 6 圖係在本發明之第二替代實施例中的積體電路封裝件系統的剖面圖；

第 7 圖係在本發明之第三替代實施例中的積體電路封裝件系統的剖面圖；

第 8 圖係在本發明之第四替代實施例中的積體電路封裝件系統的剖面圖；

第 9 圖係在本發明之第五替代實施例中的積體電路封裝件系統的剖面圖；

第 10 圖係在本發明之第六替代實施例中的積體電路封裝件系統的剖面圖；以及

第 11 圖係在本發明之實施例中用於製造該具有插入件之積體電路封裝件系統的積體電路封裝件方法的流程圖。

#### 【主要元件符號說明】

100、500、600、700、800、900、1000 積體電路封裝件系統

102、802、902、1002 雙側模製插入件單元

103、110、806 基板 104、106 插入件  
105、909、1008 垂直終邊  
108 接觸點 112 外部元件  
114、120、126、704、706、708、710 積體電路  
116、119 黏著劑  
118、123、129、134、807、906 互連  
122、124 晶片蓋 128 黏著支撐物  
130 封裝件主體 132 封裝件  
202、204 陣列 302 接觸墊  
402 通孔 602、908、1004 引線指  
804、904、910 線接合晶片  
808 覆晶晶片晶粒 906 晶粒附接墊  
907、1006 頂部 911、1010 底部  
912 附著劑 1102、1104、1106、1108 方塊圖  
1100 方法

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：097146553

※申請日：97.12.1

※IPC 分類：

101 年 3 月 7 日修正本

H01L 21/50 (2006.01)

H01L 25/03 (2006.01)

一、發明名稱：(中文/英文)

具有插入件的積體電路封裝件系統

INTEGRATED CIRCUIT PACKAGE SYSTEM WITH INTERPOSER

二、中文發明摘要：

一種積體電路封裝系統之製造方法，包含：設置基底基板；耦接基底積體電路於該基底基板上；形成雙側模製插入件單元於該基底積體電路之上，包含：設置具有插入件頂部和插入件底部的插入件基板，安裝第一積體電路至該插入件底部並且電性連接兩者，安裝第二積體電路至該插入件頂部並且電性連接兩者，以及，模製第一晶片蓋於該第一積體電路上以及模製第二晶片蓋於該第二積體電路上；以及，耦接外部元件至該雙側模製插入件單元。

三、英文發明摘要：

A method of manufacture of an integrated circuit package system includes: providing a base substrate; coupling a base integrated circuit on the base substrate; forming a double side molded interposer unit over the base integrated circuit including: providing an interposer substrate having an interposer top and an interposer bottom, mounting a first integrated circuit to the interposer bottom and electrically connected thereto, mounting a second integrated circuit to the interposer top and electrically connected thereto, and molding a first chip cover on the first integrated circuit and a second chip cover on the second integrated circuit; and coupling an external component to the double side molded interposer unit.

## 七、申請專利範圍：

### 1. 一種積體電路封裝系統之製造方法，包括：

設置基底基板；

耦接基底積體電路於該基底基板上；

形成雙側模製的插入件單元於該基底積體電路之上，包含：

設置具有垂直終邊、插入件頂部和插入件底部的插入件基板，

安裝第一積體電路至該插入件底部並且電性連接兩者，

安裝第二積體電路至該插入件頂部並且電性連接兩者，以及

模製第一晶片蓋於該第一積體電路上，該第一晶片蓋與該基底積體電路直接實體接觸，且模製第二晶片蓋於該第二積體電路上；

模製基底封裝件本體在該雙側模製的插入件單元周圍，以包覆該垂直終邊及部分該插入件頂部與該插入件底部；以及

耦接外部元件至該雙側模製的插入件單元。

### 2. 如申請專利範圍第 1 項所述之方法，其中：

安裝該第一積體電路至該插入件底部包含：安裝覆晶晶粒、線接合晶片或其堆疊；以及

安裝該第二積體電路至該插入件頂部包含：安裝覆晶晶粒、線接合晶片或其堆疊。

3. 如申請專利範圍第 1 項所述之方法，復包括：

於該雙側模製的插入件單元上形成接觸點，該接觸點係用於耦接該外部元件、於該雙側模製的插入件單元和該基底基板之間的電性互連或是其組合。

4. 如申請專利範圍第 1 項所述之方法，復包括形成基底封裝件，包含：

於該雙側模製的插入件單元和該基底積體電路之間附接黏著支撐物；以及

其中：

模製該基底封裝件本體包含：形成該基底封裝件本體於該基底積體電路、該基底基板和該雙側模製的插入件單元上，留下暴露於第二晶片蓋和該基底封裝件本體之間的接觸點。

5. 如申請專利範圍第 1 項所述之方法，其中，形成該雙側模製的插入件單元包含：形成插入件基板或形成引線指。

6. 一種積體電路封裝系統之製造方法，包含：

設置基底基板，包含設置球柵陣列基板、方形扁平無引腳基板或引線指陣列；

耦接基底積體電路於該基底基板上，包含耦接覆晶積體電路或線接合積體電路；

形成雙側模製的插入件單元於該基底積體電路之上，包含：

設置具有垂直終邊、插入件頂部和插入件底部



的插入件基板，

安裝第一積體電路至該插入件底部並且電性連接兩者，

安裝第二積體電路至該插入件頂部並且電性連接兩者，以及

模製第一晶片蓋於該第一積體電路上，該第一晶片蓋與該基底積體電路直接實體接觸，且模製第二晶片蓋於該第二積體電路上；

模製基底封裝件本體在該雙側模製的插入件單元周圍，以包覆該垂直終邊及部分該插入件頂部與該插入件底部；以及

耦接外部元件至該雙側模製的插入件單元，包含耦接球柵陣列、針柵腳陣列或導線封裝件至該插入件頂部。

7. 如申請專利範圍第 6 項所述之方法，其中，

安裝該第一積體電路至該插入件底部包含藉由耦接覆晶晶粒至該插入件底部及利用黏著劑耦接線接合晶片而安裝該覆晶晶粒、該線接合晶片或其堆疊；以及

安裝該第二積體電路至該插入件頂部包含藉由耦接該覆晶晶粒至該插入件頂部及利用該黏著劑耦接該線接合晶片而安裝該覆晶晶粒、該線接合晶片或其堆疊。

8. 如申請專利範圍第 6 項所述之方法，復包括於該雙側模製的插入件單元上形成接觸點，用以耦接該外部元件、

於該雙側模製的插入件單元和該基底基板之間的電性互連或是其組合，包含形成該接觸點之外部陣列和內部陣列。

9. 如申請專利範圍第 6 項所述之方法，復包括形成基底封裝件，包含：

於該雙側模製的插入件單元和該基底積體電路之間附接黏著支撐物，包含附接環氧樹脂點；以及  
其中：

模製該基底封裝件本體包含形成該基底封裝件本體於該基底積體電路、該基底基板和該雙側模製的插入件單元上，而留下暴露於第二晶片蓋和該基底封裝件本體之間的接觸點，包含模製環氧樹脂模製化合物或其他的封裝材料於具有預先模製蓋、屏蔽或其組合的該基底積體電路上。

10. 如申請專利範圍第 6 項所述之方法，其中，形成該雙側模製的插入件單元包含形成插入件基板或形成引線指，包含在該插入件頂部設置接觸點，用以耦接該外部元件。

11. 一種積體電路封裝件系統，包含：

基底基板；

基底積體電路，係於該基底基板上；

雙側模製的插入件單元，係於該基底積體電路之上，包含：

插入件基板，係具有垂直終邊、插入件頂部和插入件底部，

第一積體電路，係安裝至該插入件底部並且電性連接兩者，

第二積體電路，係安裝至該插入件頂部並且電性連接兩者，

模製於該第一積體電路上的第一晶片蓋，該第一晶片蓋與該基底積體電路直接實體接觸，及

模製於該第二積體電路之上的第二晶片蓋；

基底封裝件本體，係於該雙側模製的插入件單元周圍，以包覆該垂直終邊及部分該插入件頂部與該插入件底部；以及

外部元件，係耦接至該雙側模製的插入件單元。

12. 如申請專利範圍第 11 項所述之系統，其中：

安裝至該插入件底部的該第一積體電路包含安裝至該插入件底部的覆晶晶粒、線接合晶粒或其堆疊；以及

安裝至該插入件頂部的該第二積體電路包含安裝至該插入件頂部的覆晶晶粒、線接合晶粒或其堆疊。

13. 如申請專利範圍第 11 項所述之系統，復包括於該雙側模製的插入件單元上的接觸點，該接觸點係用於耦接該外部元件、於該雙側模製的插入件單元和該基底基板之間的電性互連或是其組合。

14. 如申請專利範圍第 11 項所述之系統，復包括基底封裝件，包含：

黏著支撐物，係於該雙側模製的插入件單元和該基底積體電路之間；以及

其中：

該基底封裝件本體係形成於該基底積體電路、該基底基板和該雙側模製的插入件單元上，並且具有暴露於第二晶片蓋和該基底封裝件本體之間的接觸點。

15. 如申請專利範圍第 11 項所述之系統，其中，該雙側模製的插入件單元包含插入件基板或引線指。

16. 如申請專利範圍第 11 項所述之系統，復包括：

作為該基底基板的球柵陣列基板、方形扁平無引腳基板或引線指陣列；

於該基底基板上的覆晶晶粒或線接合晶片；以及  
耦接至該插入件頂部的球柵陣列、針柵腳陣列或導線封裝件。

17. 如申請專利範圍第 16 項所述之系統，其中：

安裝至該插入件底部的該第一積體電路包含藉由該覆晶晶粒耦接至該插入件底部及利用黏著劑耦接該線接合晶片而安裝至該插入件底部的該覆晶晶粒、該線接合晶片或其堆疊；以及

安裝至該插入件頂部的該第二積體電路包含藉由該覆晶晶粒耦接至該插入件頂部及利用該黏著劑耦接該線接合晶片而安裝至該插入件頂部的該覆晶晶粒、該線接合晶片或其堆疊。

18. 如申請專利範圍第 16 項所述之系統，復包括於該雙側模製的插入件單元上的接觸點，用以耦接該外部元件、於該雙側模製的插入件單元和該基底基板之間的電性

互連或是其組合，包含該接觸點之外部陣列和內部陣列。

19. 如申請專利範圍第 16 項所述之系統，復包括形成基底封裝件，包含：

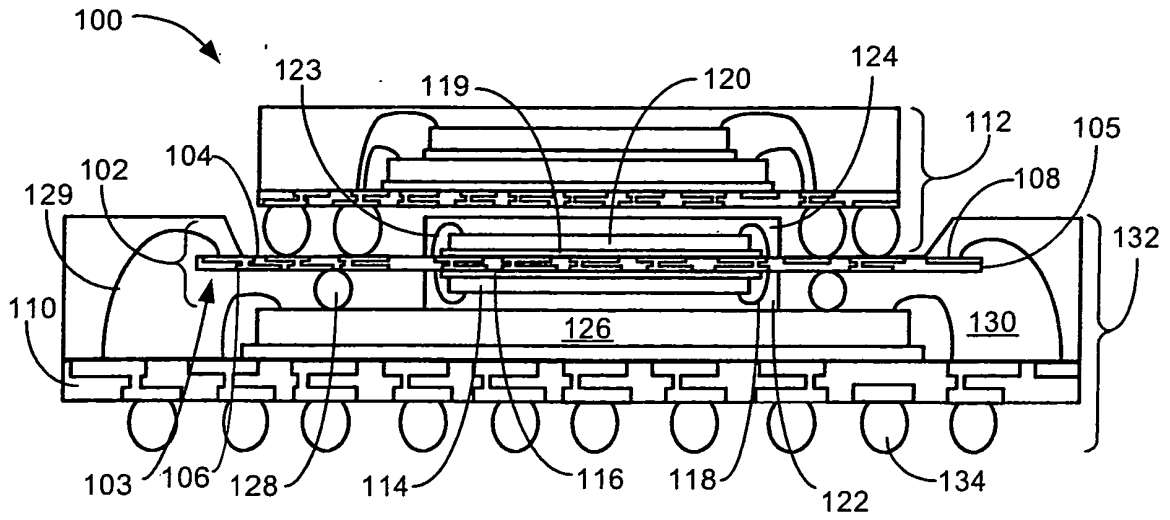
於該雙側模製的插入件單元和該基底積體電路之間的黏著支撐物，包含附接的環氧樹脂點；以及其中：

該基底封裝件本體係形成於該基底積體電路、該基底基板和該雙側模製的插入件單元上，而留下暴露於該第二晶片蓋和該基底封裝件本體之間的接觸點，包含藉由在具有預先模製蓋、屏蔽或其組合的該基底積體電路上模製環氧樹脂模製化合物或其他的封裝材料而形成的該基底封裝件本體。

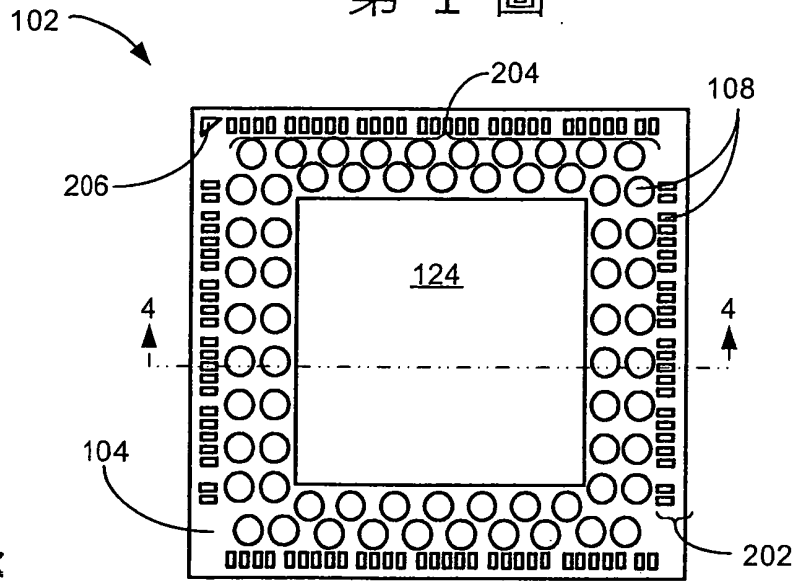
20. 如申請專利範圍第 16 項所述之系統，其中，該雙側模製的插入件單元包含插入件基板或引線指，包含在該插入件頂部的接觸點，用以耦接該外部元件。

本  
年 3 月 7 日修正替換頁

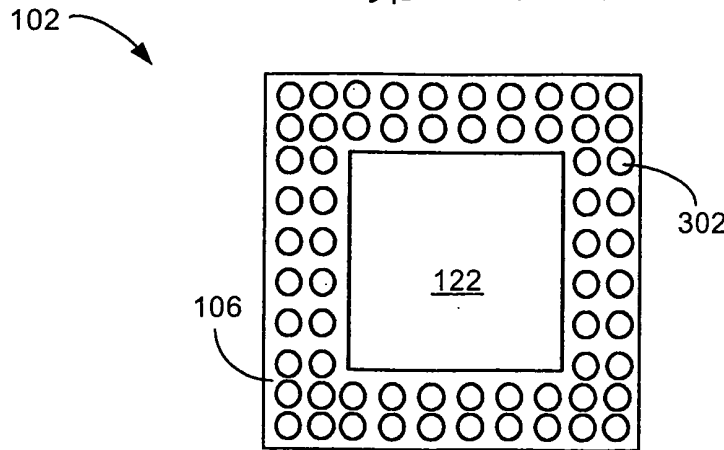
八、圖式：



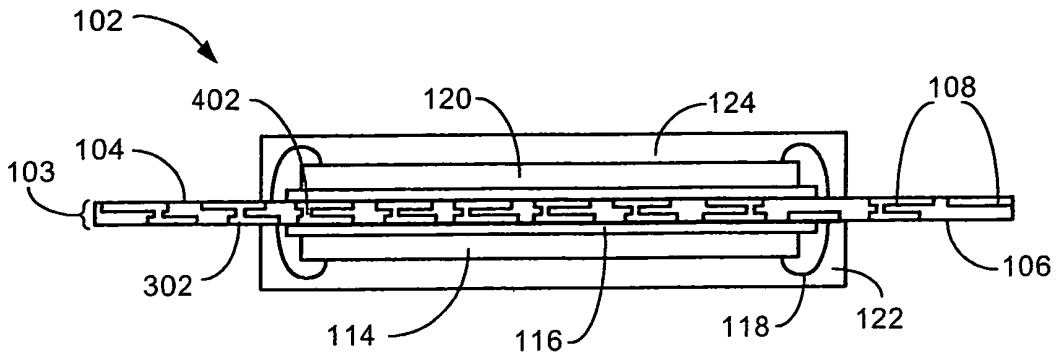
第 1 圖



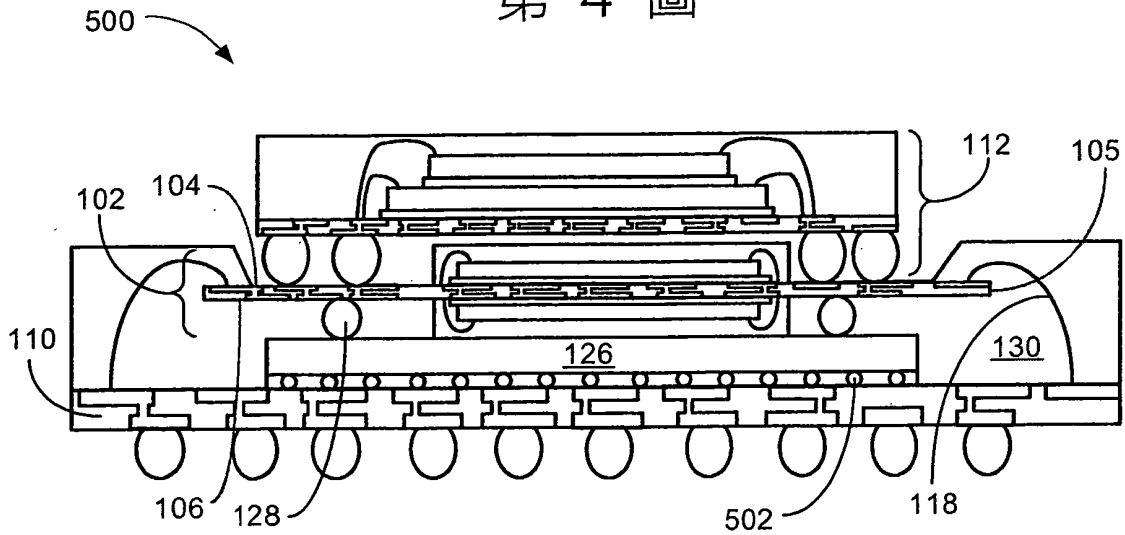
第 2 圖



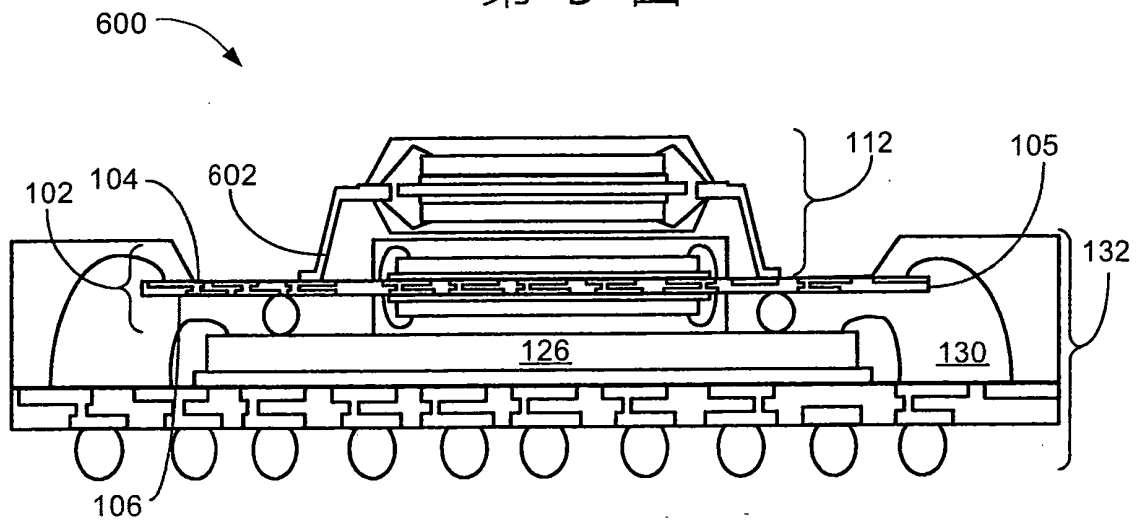
第 3 圖



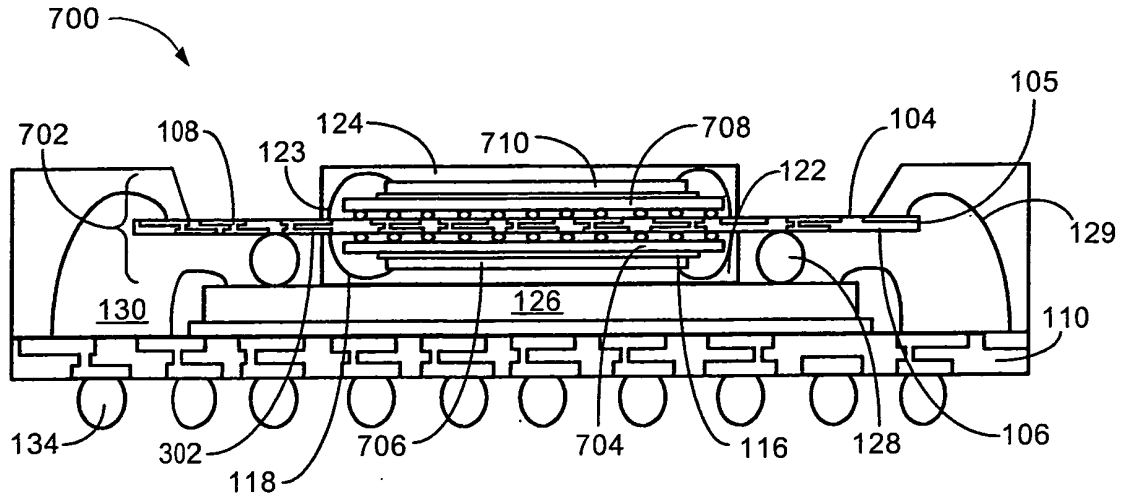
第 4 圖



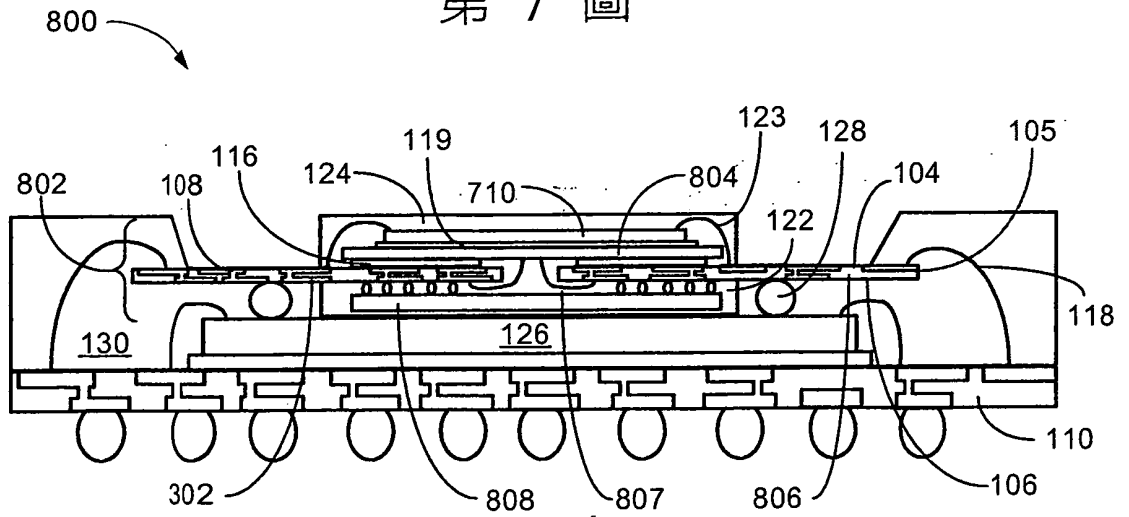
第 5 圖



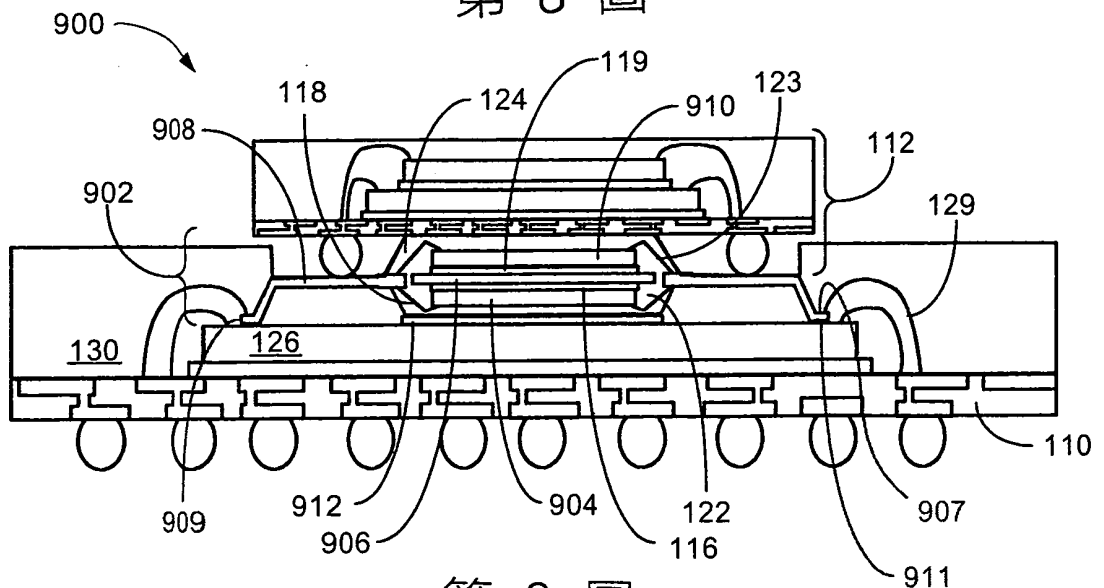
第 6 圖



第 7 圖



第 8 圖



第 9 圖





## 四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

- |         |           |                 |       |
|---------|-----------|-----------------|-------|
| 100     | 積體電路封裝件系統 |                 |       |
| 102     | 雙側模製插入件單元 |                 |       |
| 103、110 | 基板基板      | 104、106         | 插入件   |
| 105     | 垂直終邊      | 108             | 接觸點   |
| 112     | 外部元件      | 114、120、126     | 積體電路  |
| 116、119 | 黏著劑       | 118、123、129、134 | 互連    |
| 122、124 | 晶片蓋       | 128             | 黏著支撐物 |
| 130     | 封裝件主體     | 132             | 封裝件   |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式