



(12) 发明专利

(10) 授权公告号 CN 113434355 B

(45) 授权公告日 2021.12.17

(21) 申请号 202110985008.8

审查员 刘凤娇

(22) 申请日 2021.08.26

(65) 同一申请的已公布的文献号

申请公布号 CN 113434355 A

(43) 申请公布日 2021.09.24

(73) 专利权人 苏州浪潮智能科技有限公司

地址 215100 江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢

(72) 发明人 王莹

(74) 专利代理机构 北京集佳知识产权代理有限公司

11227

代理人 杨威

(51) Int. Cl.

G06F 11/26 (2006.01)

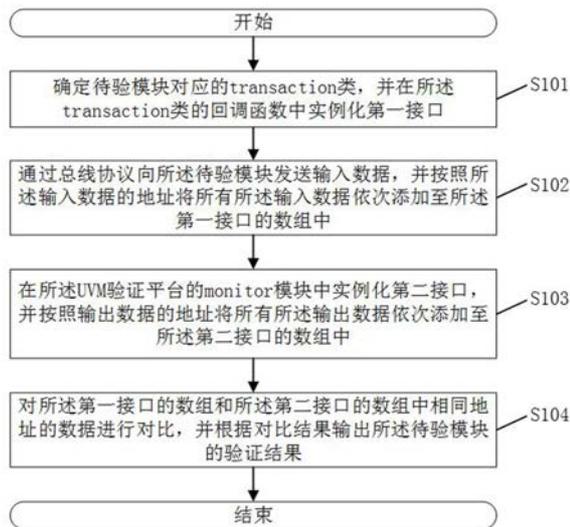
权利要求书2页 说明书7页 附图1页

(54) 发明名称

模块验证方法、UVM验证平台、电子设备及存储介质

(57) 摘要

本申请公开了一种模块验证方法、UVM验证平台、电子设备及存储介质,上述方法包括:确定待验模块对应的transaction类,在回调函数中实例化第一接口;通过总线协议向待验模块发送输入数据,按照输入数据的地址将所有输入数据依次添加至第一接口的数组中;在monitor模块中实例化第二接口,并按照输出数据的地址将所有输出数据依次添加至第二接口的数组中;对第一接口的数组和第二接口的数组中相同地址的数据进行对比,根据对比结果输出待验模块的验证结果。本申请能够避免总线乱序传输对模块验证结果的影响,提高UVM验证平台的可靠性。本申请还公开了一种UVM验证平台、一种电子设备及一种存储介质,具有以上有益效果。



1. 一种模块验证方法,其特征在于,应用于UVM验证平台,包括:

确定待验模块对应的transaction类,并在所述transaction类的回调函数中实例化第一接口;

通过总线协议向所述待验模块发送输入数据,并按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

在所述UVM验证平台的monitor模块中实例化第二接口,并按照输出数据的地址将所有输出数据依次添加至所述第二接口的数组中;其中,所述输出数据为所述待验模块对所述输入数据的处理结果;每一所述输入数据都有其唯一对应的地址,所述待验模块对所述输入数据进行处理后得到的结果中所述地址不发生变化;

对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,并根据对比结果输出所述待验模块的验证结果。

2. 根据权利要求1所述模块验证方法,其特征在于,在确定待验模块对应的transaction类之前,还包括:

声明预设类型的接口;其中,所述预设类型的接口中包括logic类型的数组;

相应的,所述第一接口和所述第二接口均为所述预设类型的接口。

3. 根据权利要求1所述模块验证方法,其特征在于,对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,包括:

将所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据发送至所述UVM验证平台的计分板;

利用所述计分板对相同地址的输入数据和输出数据进行对比。

4. 根据权利要求3所述模块验证方法,其特征在于,按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中,包括:

使用寄信的方式按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

相应的,按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中,包括:

使用寄信的方式按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中。

5. 根据权利要求4所述模块验证方法,其特征在于,将所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据发送至所述UVM验证平台的计分板,包括:

控制所述UVM验证平台的计分板使用收信的方式分别获取所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据。

6. 根据权利要求1所述模块验证方法,其特征在于,在所述transaction类的回调函数中实例化第一接口,包括:

在所述transaction类的回调函数post\_randomize中实例化所述第一接口。

7. 根据权利要求1至6任一项所述模块验证方法,其特征在于,所述根据对比结果输出所述待验模块的验证结果,包括:

根据所述对比结果判断所述输入数据和所述输出数据是否相同;

若是,则判定所述待验模块通过验证;

若否,则判定所述待验模块未通过验证并报错。

8. 一种UVM验证平台,其特征在于,包括:

接口实例化模块,用于确定待验模块对应的transaction类,并在所述transaction类的回调函数中实例化第一接口;

输入数据添加模块,用于通过总线协议向所述待验模块发送输入数据,并按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

输出数据添加模块,用于在所述UVM验证平台的monitor模块中实例化第二接口,并按照输出数据的地址将所有输出数据依次添加至所述第二接口的数组中;其中,所述输出数据为所述待验模块对所述输入数据的处理结果;每一所述输入数据都有其唯一对应的地址,所述待验模块对所述输入数据进行处理后得到的结果中所述地址不发生变化;

数据对比模块,用于对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,并根据对比结果输出所述待验模块的验证结果。

9. 一种电子设备,其特征在于,包括存储器和处理器,所述存储器中存储有计算机程序,所述处理器调用所述存储器中的计算机程序时实现如权利要求1至7任一项所述模块验证方法的步骤。

10. 一种存储介质,其特征在于,所述存储介质中存储有计算机可执行指令,所述计算机可执行指令被处理器加载并执行时,实现如权利要求1至7任一项所述模块验证方法的步骤。

## 模块验证方法、UVM验证平台、电子设备及存储介质

### 技术领域

[0001] 本申请涉及计算机技术领域,特别涉及一种模块验证方法、UVM验证平台、电子设备及存储介质。

### 背景技术

[0002] 通用验证方法学(Universal Verification Methodology,UVM)是一个以System Verilog类库为主体的验证平台开发框架,验证工程师可以利用其可重用组件构建具有标准化层次结构和接口的功能验证环境。

[0003] 传统的UVM验证平台中的记分板是将参考模型和待验模块(Device Under Test,DUT)的结果打包通过UVM提供的t1m(事务级建模)级通信传送到记分板进行顺序的、逐一比对,如果比对结果有不一致,则表示运算错误。在实际应用中,多数总线支持乱序传输,即待验模块输出的实际待验证结果并不是和发送的数据同步的,可能会出现早发送的数据,输出结果后到情况的,如果还按照顺序逐一对比的方式对比,就可能出现错误的验证结果。

[0004] 因此,如何避免总线乱序传输对模块验证结果的影响,提高UVM验证平台的可靠性是本领域技术人员目前需要解决的技术问题。

### 发明内容

[0005] 本申请的目的是提供一种模块验证方法、一种UVM验证平台、一种电子设备及一种存储介质,能够避免总线乱序传输对模块验证结果的影响,提高UVM验证平台的可靠性。

[0006] 为解决上述技术问题,本申请提供一种模块验证方法,应用于UVM验证平台,该模块验证方法包括:

[0007] 确定待验模块对应的transaction类,并在所述transaction类的回调函数中实例化第一接口;

[0008] 通过总线协议向所述待验模块发送输入数据,并按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

[0009] 在所述UVM验证平台的monitor模块中实例化第二接口,并按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中;其中,所述输出数据为所述待验模块对所述输入数据的处理结果;

[0010] 对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,并根据对比结果输出所述待验模块的验证结果。

[0011] 可选的,在确定待验模块对应的transaction类之前,还包括:

[0012] 声明预设类型的接口;其中,所述预设类型的接口中包括logic类型的数组;

[0013] 相应的,所述第一接口和所述第二接口均为所述预设类型的接口。

[0014] 可选的,对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,包括:

[0015] 将所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据发送

至所述UVM验证平台的计分板；

[0016] 利用所述计分板对相同地址的输入数据和输出数据进行对比。

[0017] 可选的,按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中,包括:

[0018] 使用寄信的方式按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

[0019] 相应的,按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中,包括:

[0020] 使用寄信的方式按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中。

[0021] 可选的,将所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据发送至所述UVM验证平台的计分板包括:

[0022] 控制所述UVM验证平台的计分板使用收信的方式分别获取所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据。

[0023] 可选的,在所述transaction类的回调函数中实例化第一接口,包括:

[0024] 在所述transaction类的回调函数post\_randomize中实例化所述第一接口。

[0025] 可选的,所述根据对比结果输出所述待验模块的验证结果,包括:

[0026] 根据所述对比结果判断所述输入数据和所述输出数据是否相同;

[0027] 若是,则判定所述待验模块通过验证;

[0028] 若否,则判定所述待验模块未通过验证并报错。

[0029] 本申请还提供了一种UVM验证平台,包括:

[0030] 接口实例化模块,用于确定待验模块对应的transaction类,并在所述transaction类的回调函数中实例化第一接口;

[0031] 输入数据添加模块,用于通过总线协议向所述待验模块发送输入数据,并按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

[0032] 输出数据添加模块,用于在所述UVM验证平台的monitor模块中实例化第二接口,并按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中;其中,所述输出数据为所述待验模块对所述输入数据的处理结果;

[0033] 数据对比模块,用于对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,并根据对比结果输出所述待验模块的验证结果。

[0034] 本申请还提供了一种存储介质,其上存储有计算机程序,所述计算机程序执行时实现上述模块验证方法执行的步骤。

[0035] 本申请还提供了一种电子设备,包括存储器和处理器,所述存储器中存储有计算机程序,所述处理器调用所述存储器中的计算机程序时实现上述模块验证方法执行的步骤。

[0036] 本申请提供了一种模块验证方法,应用于UVM验证平台,包括:确定待验模块对应的transaction类,并在所述transaction类的回调函数中实例化第一接口;通过总线协议向所述待验模块发送输入数据,并按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;在所述UVM验证平台的monitor模块中实例化第二接口,并按照

输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中;其中,所述输出数据为所述待验模块对所述输入数据的处理结果;对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,并根据对比结果输出所述待验模块的验证结果。

[0037] 本申请在transaction类中实例化第一接口,进而利用第一接口存储待验模块发送的输入数据。由于输入数据基于总线协议发送,因此输入数据中包括唯一对应的地址,本申请基于输入数据在总线中传输时的地址将输入数据依次添加至所述第一接口的数组中,即第一接口的数组中输入数据按照地址的顺序排列。在将输入数据输入至待验模块之后,待验模块对输入数据进行处理得到输出数据。输出数据与输入数据在总线中传输时的地址不发生变化,因此本申请按照输出数据的地址将所有输出数据依次添加至所述第二接口的数组中。由于输入数据和输出数据均按照地址依次存储在所述第一接口的数组和第二接口的数组,能够保证第一接口的数组和第二接口的数组中的数据序列关系相同,不出现乱序的情况。本申请基于第一接口的数组和所述第二接口的数组中相同地址的数据对比结果得到相应的验证结果。因此,本申请能够避免总线乱序传输对模块验证结果的影响,提高UVM验证平台的可靠性。本申请同时还提供了一种UVM验证平台、一种电子设备及一种存储介质,具有上述有益效果,在此不再赘述。

## 附图说明

[0038] 为了更清楚地说明本申请实施例,下面将对实施例中所需要使用的附图做简单的介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0039] 图1为本申请实施例所提供的一种模块验证方法的流程图;

[0040] 图2为本申请实施例所提供的一种UVM验证平台的结构示意图。

## 具体实施方式

[0041] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0042] 下面请参见图1,图1为本申请实施例所提供的一种模块验证方法的流程图。

[0043] 具体步骤可以包括:

[0044] S101:确定待验模块对应的transaction类,并在所述transaction类的回调函数中实例化第一接口;

[0045] 本实施例可以应用于UVM验证平台,UVM验证平台提供了一套基于System-Verilog语言的库文件,能够提高数字电路的验证效率。UVM验证平台的库文件包含了众多常用的基类和方法,也规范了验证平台的结构和运行过程,使得验证人员能够快速有效的搭建出标准化的验证平台。Soc(System on chip,系统级芯片)工程的规模越来越大,系统越来越复杂,验证的难度也相应增加,利用UVM能有利于适应验证的需求,提高验证环境的复用性提高验证效率。

[0046] transaction是UVM验证平台中定义的一个类(class),transaction类(业务类)中

打包了所有测试要用的数据。每一待验模块都可以有其对应的transaction类,本实施例在确定待验模块之后,确定待验模块对应的transaction类,进而在transaction类的回调函数中实例化第一接口。第一接口中可以含有logic(逻辑)类型的数组,以便存储输入数据。具体的,本实施例可以在transaction类的回调函数post\_randomize中实例化所述第一接口。

[0047] S102:通过总线协议向所述待验模块发送输入数据,并按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

[0048] 其中,UVM验证平台可以通过总线协议向待验模块发送输入数据,以便待验模块对输入数据进行处理。上述输入数据可以为随机生成的数据,在使用总线协议向待验模块发送输入数据时,每一输入数据都有其唯一对应的地址,待验模块对输入数据进行处理后得到的结果中上述地址不发生变化。本实施例按照输入数据的地址将所有的输入数据依次添加至第一接口的数组中,具体的,本实施例可以按照地址从小到大的顺序依次添加至第一接口的数组中。

[0049] S103:在所述UVM验证平台的monitor模块(监控模块)中实例化第二接口,并按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中;

[0050] 其中,UVM验证平台的monitor模块用于对待验模块的输出数据进行监控,上述输出数据为所述待验模块对所述输入数据的处理结果。本实施例在所述UVM验证平台的monitor模块中实例化第二接口,上述第二接口中可以含有logic类型的数组,以便存储输出数据。本实施例按照输出数据的地址将所有的输入数据依次添加至第二接口的数组中,具体的,本实施例可以按照地址从小到大的顺序依次添加至第二接口的数组中。

[0051] S104:对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,并根据对比结果输出所述待验模块的验证结果。

[0052] 其中,第一接口的数组中的输入数据按照地址存储,第二接口的数组中的输出数据按照同样的地址存储,因此本实施例可以对第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,进而根据对比文结果输出待验模块的验证结果。举例说明上述过程,第一接口的数组中存储的输入数据依次为A1、A2和A3,待验模块先后输出的结果为A2'、A3'、A1',按照地址存储时,第一接口的数组中存储的输出数据依次为A1'、A2'和A3',对第一接口的数组和第二接口的数组中相同地址的数据进行对比时可以将A1与A1'对比,将A2与A2'对比,将A3与A3'对比,进而避免了输出结果乱序对于验证结果的影响。

[0053] 本实施例在transaction类中实例化第一接口,进而利用第一接口存储待验模块发送的输入数据。由于输入数据基于总线协议发送,因此输入数据中包括唯一对应的地址,本实施例基于输入数据在总线中传输时的地址将输入数据依次添加至所述第一接口的数组中,即第一接口的数组中输入数据按照地址的顺序排列。在将输入数据输入至待验模块之后,待验模块对输入数据进行处理得到输出数据。输出数据与输入数据在总线中传输时的地址不发生变化,因此本实施例按照输出数据的地址将所有输出数据依次添加至所述第二接口的数组中。由于输入数据和输出数据均按照地址依次存储在所述第一接口的数组和第二接口的数组,能够保证第一接口的数组和第二接口的数组中的数据序列关系相同,不出现乱序的情况。本实施例基于第一接口的数组和所述第二接口的数组中相同地址的数据对比结果得到相应的验证结果。因此,本实施例能够避免总线乱序传输对模块验证结果的影响,

提高UVM验证平台的可靠性。本实施例实现输入到待验模块的数据和待验模块输出的结果数据连接到一个接口(interface)上,通过改变接口的数值来保存数据进行对比,使UVM验证平台能适应更多测试场景,验证更加灵活高效。

[0054] 作为对于图1对应实施例的进一步介绍,在确定待验模块对应的transaction类之前,还可以声明预设类型的接口;其中,所述预设类型的接口中包括logic类型的数组;相应的,所述第一接口和所述第二接口均为所述预设类型的接口。

[0055] 作为对于图1对应实施例的进一步介绍,可以使用UVM验证平台的计分板实现输入数据与输出数据的对比。例如,可以将所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据发送至所述UVM验证平台的计分板,利用所述计分板对相同地址的输入数据和输出数据进行对比。

[0056] 具体的,本实施例可以使用寄信的方式按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;也可以使用寄信的方式按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中。所述计分板使用收信的方式分别获取所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据。

[0057] 作为一种可行的实施方式,图1对应的实施例可以通过以下方式确定待验模块的验证结果:根据所述对比结果判断所述输入数据和所述输出数据是否相同;若是,则判定所述待验模块通过验证;若否,则判定所述待验模块未通过验证并报错。

[0058] 下面通过在实际应用中的实施例说明上述实施例描述的流程,本实施例提供一种基于UVM的总线乱序报文的验证平台,该验证平台的乱序报文结果对比的工作步骤描述如下:

[0059] 步骤1、声明一个接口A,里面包含一个深度和实际测试中memory(内存)地址范围相等的logic类型的数组。上述memory即内存地址,用一个数组模拟总线的数据要存储的内存。

[0060] 步骤2、在transaction的post\_randomize这个回调函数中,实例化一个A类型的接口A1,并将随机化产生的transaction的数据按照需要测试的总线协议的要求,按照地址驱动,保存在该接口的数组上。

[0061] 步骤3、在monitor模块,实例化另一个A类型的接口A2,监控待验模块的输出数据,然后按照总线协议的规范和地址驱动到接口A2上,保存在数组中。

[0062] 步骤4、用config\_db机制在平台不同模块之间传递接口。在测试环境的顶层,分别使用uvm\_config\_db#(virtual interface A)::set的方式寄信上述两个模块中的A1和A2接口。

[0063] 步骤5、在计分板中,使用uvm\_config\_db#(virtual interface A)::get的方式收信,分别获得A1和A2的接口的参数。并且在计分板中对两个接口内保存的数组数据进行对比。

[0064] 步骤6、因为数据是按照地址驱动在接口的数组上保存,所以可以规避总线传输过程中乱序的问题,直接对比待验模块的输出结果存储在memory对应地址上的数据和平台一开始随机产生发送的数据是否相等。

[0065] 本实施例实现输入到待验模块的数据和待验模块输出的结果数据连接到一个接口(interface)上,通过改变接口的数值来保存数据进行对比,使UVM验证平台能适应更多

测试场景,验证更加灵活高效。

[0066] 请参见图2,图2为本申请实施例所提供的一种UVM验证平台的结构示意图,该UVM验证平台可以包括:

[0067] 接口实例化模块201,用于确定待验模块对应的transaction类,并在所述transaction类的回调函数中实例化第一接口;

[0068] 输入数据添加模块202,用于通过总线协议向所述待验模块发送输入数据,并按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

[0069] 输出数据添加模块203,用于在所述UVM验证平台的monitor模块中实例化第二接口,并按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中;其中,所述输出数据为所述待验模块对所述输入数据的处理结果;

[0070] 数据对比模块204,用于对所述第一接口的数组和所述第二接口的数组中相同地址的数据进行对比,并根据对比结果输出所述待验模块的验证结果。

[0071] 本实施例在transaction类中实例化第一接口,进而利用第一接口存储待验模块发送的输入数据。由于输入数据基于总线协议发送,因此输入数据中包括唯一对应的地址,本实施例基于输入数据在总线中传输时的地址将输入数据依次添加至所述第一接口的数组中,即第一接口的数组中输入数据按照地址的顺序排列。在将输入数据输入至待验模块之后,待验模块对输入数据进行处理得到输出数据。输出数据与输入数据在总线中传输时的地址不发生变化,因此本实施例按照输出数据的地址将所有输出数据依次添加至所述第二接口的数组中。由于输入数据和输出数据均按照地址依次存储在所述第一接口的数组和第二接口的数组,能够保证第一接口的数组和第二接口的数组中的数据序列关系相同,不出现乱序的情况。本实施例基于第一接口的数组和所述第二接口的数组中相同地址的数据对比结果得到相应的验证结果。因此,本实施例能够避免总线乱序传输对模块验证结果的影响,提高UVM验证平台的可靠性。

[0072] 可选的,还包括:

[0073] 接口声明模块,用于在确定待验模块对应的transaction类之前,声明预设类型的接口;其中,所述预设类型的接口中包括logic类型的数组;

[0074] 相应的,所述第一接口和所述第二接口均为所述预设类型的接口。

[0075] 进一步的,数据对比模块204,用于将所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据发送至所述UVM验证平台的计分板;还用于利用所述计分板对相同地址的输入数据和输出数据进行对比。

[0076] 进一步的,输入数据添加模块202用于使用寄信的方式按照所述输入数据的地址将所有所述输入数据依次添加至所述第一接口的数组中;

[0077] 相应的,输出数据添加模块203用于使用寄信的方式按照输出数据的地址将所有所述输出数据依次添加至所述第二接口的数组中。

[0078] 进一步的,所述计分板使用收信的方式分别获取所述第一接口的数组中的输入数据和所述第二接口的数组中的输出数据。

[0079] 进一步的,接口实例化模块201用于在所述transaction类的回调函数post\_randomize中实例化所述第一接口。

[0080] 进一步的,数据对比模块204,用于根据所述对比结果判断所述输入数据和所述输

出数据是否相同;若是,则判定所述待验模块通过验证;若否,则判定所述待验模块未通过验证并报错。

[0081] 由于系统部分的实施例与方法部分的实施例相互对应,因此系统部分的实施例请参见方法部分的实施例的描述,这里暂不赘述。

[0082] 本申请还提供了一种存储介质,其上存有计算机程序,该计算机程序被执行时可以实现上述实施例所提供的步骤。该存储介质可以包括:U盘、移动硬盘、只读存储器(Read-Only Memory,ROM)、随机存取存储器(Random Access Memory,RAM)、磁碟或者光盘等各种可以存储程序代码的介质。

[0083] 本申请还提供了一种电子设备,可以包括存储器和处理器,所述存储器中存有计算机程序,所述处理器调用所述存储器中的计算机程序时,可以实现上述实施例所提供的步骤。当然所述电子设备还可以包括各种网络接口,电源等组件。

[0084] 说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的系统而言,由于其与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。应当指出,对于本技术领域的普通技术人员来说,在不脱离本申请原理的前提下,还可以对本申请进行若干改进和修饰,这些改进和修饰也落入本申请权利要求的保护范围内。

[0085] 还需要说明的是,在本说明书中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的状况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

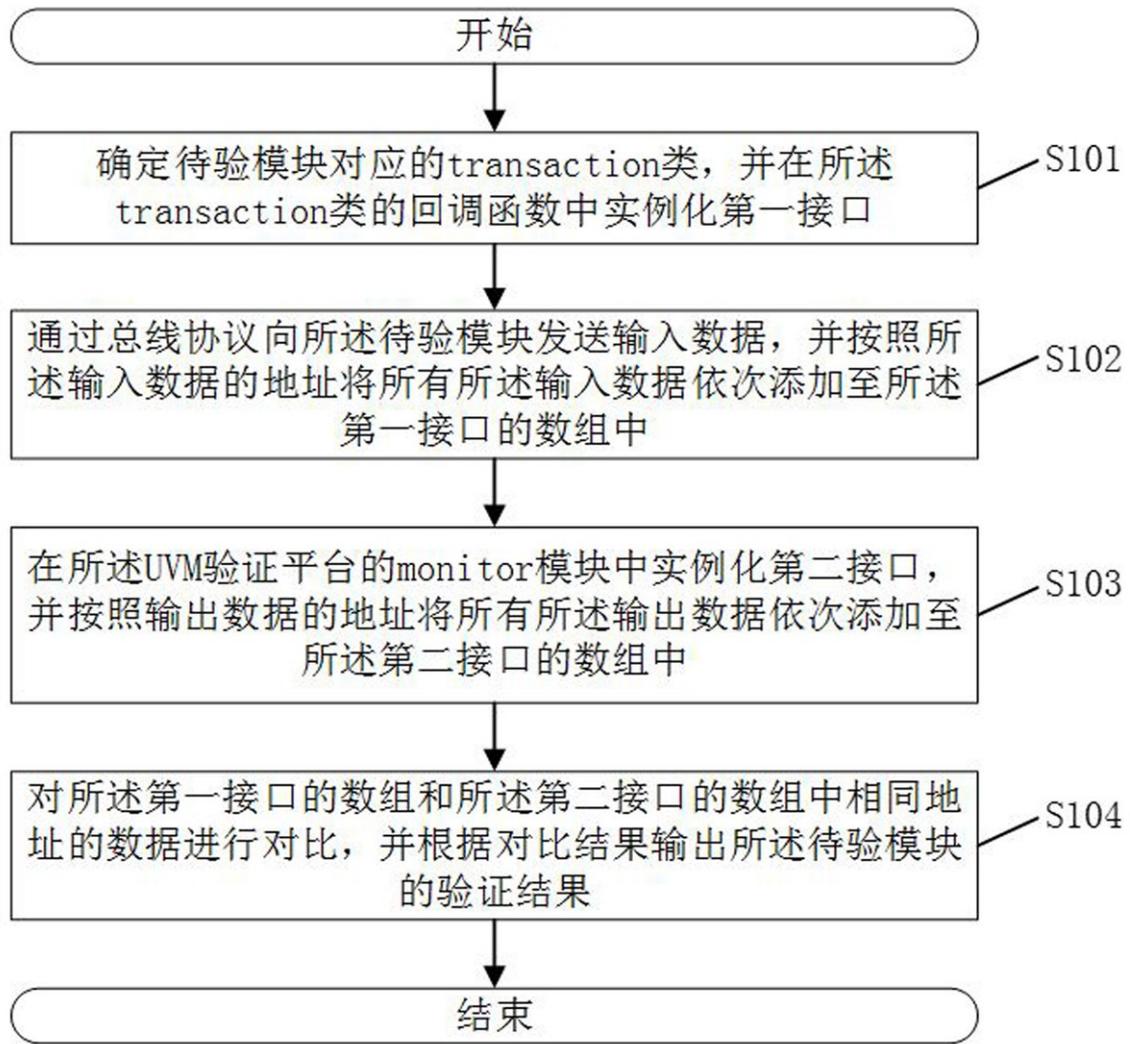


图1

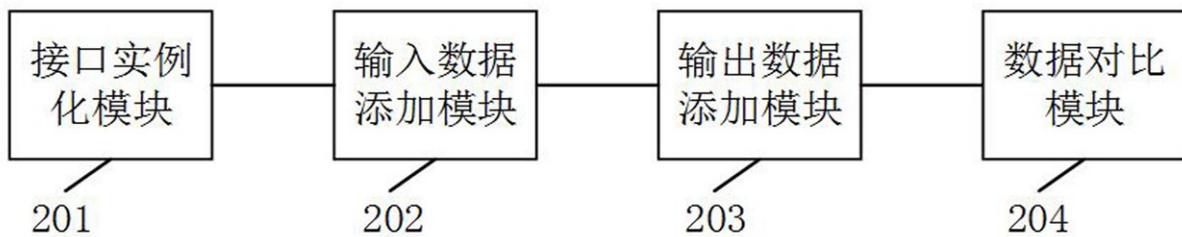


图2