

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/82
H01L 27/02

(45) 공고일자 1990년01월23일
(11) 공고번호 특1990-0000202

| | | | |
|------------|---|-----------|---------------|
| (21) 출원번호 | 특1985-0004145 | (65) 공개번호 | 특1986-0000712 |
| (22) 출원일자 | 1985년06월12일 | (43) 공개일자 | 1986년01월30일 |
| (30) 우선권주장 | 59-135410 1984년06월29일 | 일본(JP) | |
| (71) 출원인 | 후지쓰 가부시끼가이샤 야마모토 다쿠마 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015번지 | | |
| (72) 발명자 | 아네하 노부히코 일본국 가나가와켄 가와사끼시 나카하라구 가미고 다나카 1015번지(후지쓰 가부시끼가이샤내) 바바 시게노리 일본국 가나가와켄 가와사끼시 나카하라구 가미고 다나카 1015번지(후지쓰 가부시끼가이샤내) | | |
| (74) 대리인 | 문병암 | | |

심사관 : 조성욱 (책자공보 제1728호)

(54) 반도체 집적회로 및 그 회로 패턴 설계방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 집적회로 및 그 회로 패턴 설계방법

[도면의 간단한 설명]

제1도는 셀(cell)의 순서를 정하는 상호연결과 실시예의 배치를 나타내는 개념도.

제2a도는 2입력 CMOS NAND 게이트 셀을 제공하는 예시 패턴.

제2b도는 제2a도에서 보여준 2입력 NAND 게이트의 등가 회로도.

제2c도는 제2a도에서 보여준 바와 같은 2입력 NAND 게이트를 구성하기 위한 MOS 트랜지스터의 벌크(bulk) 패턴.

제2d도는 제2c도에서 보여준 벌크 패턴상에 형성된 내부 배선의 패턴.

제3a도는 일반적인 표준셀배열 법칙에 따라 서로 인접하여 놓여진 3입력 NAND 게이트 셀1과 4입력 NAND 게이트셀 2로 구성된 CMOS-LSI의 부분 배치도.

제3b도와 c도는 제3a도에서 3입력과 4입력 NAND 게이트의 각 등가회로도.

제4도는 본 발명에 따라 표준셀 방법에 사용된 CAD 시스템의 개념형태를 나타내는 블록선도.

제5a도는 본 발명에 따라 CAD 시스템에서 디스플레이(display)단자의 스크린상에 디스플레이된 셀 프레임(frame).

제5b도와 c도는 전자가 서로 인접하는 셀에 대한 것이고, 후자가 오버랩(overlap)된 영역을 분할하는 셀에 대한 2개 셀의 프레임의 단순화된 설명도.

제6도는 본 발명에 따른 셀배치와 관련된 공정을 나타내는 흐름도.

제7도는 본 발명에 따라 서로 오버랩되도록 배치된 NAND 게이트셀을 포함하는 CMOS-LSI의 부분 형태도.

제8a도와 b도는 각각 CMOS 인버터셀과 상응 등가회로도의 예시 벌크(bulk) 패턴이며, 제8c도는 본 발명에 따라 서로 부분적으로 오버랩되도록 놓여진 한 쌍의 인버터 셀의 쌍.

제9a도는 일렬로 연속적으로 배치된 CMOS 게이트의 다른 종류를 포함하는 논리 LSI의 부분 벌크 패턴.

제9b도는 2입력 NOR 게이트의 등가회로.

[발명의 상세한 설명]

본 발명은 반도체 집적회로에 관한 것이며, 특히 소위 기본셀 방법론에 의거한 논리 LSI의 회로패턴 설계의 개선에 관한 것이다.

반도체 회로에 대한 최근 미세한 패턴링(patterning) 기술은 칩당 수만개의 게이트를 갖는 논리 LSI를 제공하는 것이 가능하게 하였다. 반대로 조작자의 특별한 요구를 만족하도록 설계된 다양한 논리 LSI에 대한 요구를 증가시킨다. 그러한 커스텀(custom)화된 논리 LSI는 표준 LSI, 메모리 LSI와 비교하여 제작 범위에서 보다 작으며, 설계에서 선적까지 짧은 소요시간을 갖도록 요구된다.

칩상에 트랜지스터의 배치와 설계로부터 반드시 시작하는 완전히 커스텀화된 LSI를 제공할 때, 설계 최적화는 회로의 성능과 칩면적 사용의 능률을 최소화하도록 지적된다. 그러나, 완전 커스텀 설계는 결점이 있다. 즉, 반년 혹은 그 이상의 소요시간이 필요하다는 것이며, 매우 최적화된 칩 설계의 변경에 유연성이 낮다는 것이다. 그러므로, 게이트 어레이와 표준셀 방법과 같은 몇 개의 방법론은 설계 유연성과 짧은 소요시간으로 커스텀화된 LSI를 개선하기 위하여 제안되었다.

게이트 어레이 방법에서, 커스텀화된 논리 LSI는 스톡(stock)에서 실리콘 웨이퍼상에 요구된 설계망에 대하여 단지 배선을 제공함으로써 제작되고, 미리 트랜지스터가 형성된다. 커스텀화에 대한 필요한 마스크의 수는 LSI의 제작에 사용된 전체 마스크의 약 1/30이다.

표준셀 방법은 NAND, NOR 인버터, 플립-플롭등과 같은 논리게이트에 상응하는 단위회로-셀-의 예정된 패턴을 사용한다. 셀의 패턴은 컴퓨터 시스템에서 라이브러리(library)로서 기록된다. 각종 LSI에 대하여 전체 마스크가 커스텀(custom)화되고 LSI칩의 설계는 CAD(Computer aided design) 시스템의 보호로 셀의 순서를 정하는 상호 연결과 배치를 기본으로 하여 시행된다. 표준셀 방법은 다음 특징을 갖는다.

(a)트랜지스터와 같은 회로소자의 전기적 특성과 패턴상의 정보가 CAD 시스템의 라이브러리에 잘 편집되며, 따라서 LSI 칩 설계의 효과적인 제어가 달성될 수 있다. (b)결과적으로 칩설계에 포함될 수 있는 오차가 감소될 수 있다. (c)칩면적의 효과적인 사용은 게이트 어레이 방법에서의 것과 비교하여 달성될 수 있다. 그러므로, 표준셀 방법은 칩설계에서 비교적 큰 자유를 갖고, 회로소자의 전문지식 없이 LSI설계의 가능성을 제공하고, LSI의 개발에 포함된 위험을 감소시키도록 한다.

제1도는 표준셀 방법에 따라 셀의 순서를 정하는 상호연결과 예시 배치를 나타내는 개념도이다. 제1도를 참고하여, 여러종류의 셀 1은 반도체기판 2상에 일렬로 배열된다. 그들은 같은 높이의 실제로 직사각형 프레임에 형성되지만, 종류에 따라 폭이 다르다. 이 셀들은 인접하는 두열 사이의 영역(때때로 배선 채널로서 언급한다)에 분배하여 형성된 배선 3에 의하여 상호연결 된다. 각 셀 1은 거기에 내부의 배선층과 트랜지스터와 같은 회로 소자를 제공하기 위하여 예정된 패턴을 갖는다. 제2a도는 제2b도에서 나타난 바와 같은 등가회로와 상응하는 프레임에서 CMOS(상보형 메탈 산화 반도체)형 논리의 2입력 NAND 게이트를 제공하는 예시 패턴을 나타낸다.

제2a도를 참고할 때, 2입력 NAND 셀을 파선 100에 의하여 표시된 실제 사각형 가상 프레임에 의하여 정의된 영역을 차지한다. 프레임 크기의 차원은 약 수십-백 마이크론의 순서로 된다.

MOS 트랜지스터 P_1 , P_2 , N_1 과 N_2 와 같은 회로 요소가 프레임에 형성되고, 외부연결을 위한 노드(node)가 프레임 100을 가로질러 연장되어 형성되었다. 열려진 면적은 예를 들어 알루미늄(Al)의 배선층을 나타낸다. I_1 과 I_2 는 입력신호를 수신하기 위한 노드를 나타내며, O_1 는 출력노드를 표시한다.

B_{VDD} 와 B_{VSS} 는 각각 전원 V_{DD} 와 V_{SS} 의 정, 부측에 연결된 버스선이다.

더 잘 이해하기 위하여, 제2a도에 나타난 패턴의 형태는 제2c, d도를 참조하여 설명하겠다. 제2c도는 MOS 트랜지스터 P_1 , P_2 , N_1 과 N_2 를 제공한 벌크 패턴을 나타내며, 제2d도는 트랜지스터를 상호연결하는 내부배선층의 패턴을 보여주고, 버스선 B_{VDD} 와 B_{VSS} 에 대한 층을 포함한다. 제2c도를 참조할 때, P형 영역 101(실선 101'로 둘러싸임)과 n형 영역 102(실선 102'로 둘러싸임)은 거기에 P형과 n형 물순물을 선택적으로 주입함으로써 프레임 100에 형성된다. 영역 101과 102 외측 영역은 두꺼운 절연층(도시되지 않음)으로 코팅되었으며, 예를 들어 "전계산화층"인 산화층이다. 한쌍의 게이트 전극 103과 104는 둘다 폴리실리콘으로 구성되며, 영역 101과 102상에 형성된 "게이트 산화층"인 산화층과 같은 각각 얇은 절연층(도시되지 않음)의 삽입으로 P형과 n형 영역 101과 102를 가로질러 형성된다. 그러므로, P형영역 101에서 P채널 MOS 트랜지스터 P_1 , P_2 와 n형 영역 102에서 n채널 MOS 트랜지스터 N_1 , N_2 가 제작된다. P형영역 101과 n형 영역 102는 각각 부영역 109와 110으로 제공되며, 이후 버스선 접촉 영역이라 하고, 버스선 B_{VDD} 와 B_{VSS} 로 각 접촉은 뒤에 언급된 바와 같이 거기에 형성된다.

제2d도에서 보여준 바와 같이 알루미늄으로 구성된 배선패턴 105, 106, 107의 무리는 제2c도의 벌크 패턴상에서 제작된다. 배선패턴은 제2a, d도에 나타난 바와 같은 위치에서 절연층(도시되지 않음)에 형성된 창 108을 통하여 벌크 패턴으로 접촉을 갖는다. 그러므로, P채널 트랜지스터 P_1 과 P_2 , n채널트랜지스터 N_1 과 N_2 는 제2b도에서 보여준 바와 같은 2입력 NAND 게이트를 형성하기 위하여 또다른 것과 상호 연결 된다. 연장된 부분 105'와 107'상에 버스선 B_{VDD} 와 B_{VSS} 의 수직방향으로, 각각 정(+)과 접지 전위로 그 부분에 공급하기 위하여 P형과 n형 영역(상기 언급된 버스선 접촉영역 109와 110)의 상응하는 밑에 놓인 부분에 접점을 제공한다. 버스선과 그들의 상응하는 밑에 놓인 P형과 n형 부분의 그러한 연장된 부분

105'와 107'에 의하여 점유된 영역은 버스선 접촉영역으로 된다. 3 또는 4 입력의 NAND 게이트, NOR 게이트, 인버터 등을 포함하는 다른 논리셀의 형태가 제2c, d도에 관하여 설명된 바와 특히 같다.

제2a도에서 나타난 바와 같이 논리 회로 셀의 최종별크 패턴을 나타내기 위하여, 각 공정에 대한 각 마스크 패턴, 예를 들면 P형, n형 영역, 게이트 전극, 배선등을 만들기 위한 것들이 설계된다. 각종 셀에 대한 마스크 패턴에 관련된 정보의 전체 세트(set)는 CAD 시스템의 라이브러리에 기록된다. 그러므로 LSI칩 설계에서, 설계자가 요구된 셀의 이름을 사용함으로써 라이브러리로 액세스될 때, 셀의 프레임은 디스플레이 소자상에 주어지며, 단지 그는 셀들중 상호연결의순서를 정하는 것과 셀 프레임의 배치를 정하도록 요구된다. 칩상에 배치된 모든 셀의 패턴 정보는 마스크 패턴 데이터 파일에 저장되고 편집한다. 그러므로 포괄적인 마스크 패턴은 컴퓨터 시스템에 의하여 모든 셀에 관련된 각 제조공정에 대하여 발생된다.

제3a도는 종래 표준 배치법에 따라 놓여진, 그 위에 형성된 내부 배선층(열려진 패턴)과 함께 서로 인접한 3입력 NAND 게이트(셀 1)와 4입력 NAND 게이트(셀 2)를 보여주는, CMOS-LSI의 부분 별크 패턴이다. 제3b, c도는 제3a도에서 3 입력과 4 입력 NAND 게이트의 각 등기화본이다. 제3a도를 참조하여, 셀 1과 2는 참조번호 200과 300에 의하여 표시된 각 가상의 프레임으로 정의 된다. 셀 1은 P형 영역 201, n형 영역 202, 3개 게이트 전극 203, P 채널트랜지스터 P_1, P_2, P_3 를 제공하기 위한 모든 것과, n채널 트랜지스터 N_1, N_2, N_3 를 제공하기 위한 모든것을 포함한다. 셀 2는 P형영역 301, n형 영역 302, 4개 게이트 전극 303, P채널 트랜지스터 P_1, P_2, P_3, P_4 를 제공하기 위한 모든것, n 채널 트랜지스터 N_1, N_2, N_3, N_4 를 제공하기 위한 모든 것을 포함한다. 셀 1과 2에서 트랜지스터는 내부 배선층의 각 세트(무리)에 의하여 상호 연결된다. 즉, 205, 206, 207로 구성되는 세트, 305, 306, 307로 구성되는 다른 세트이다. 그러므로 3입력 NAND와 4 입력 NAND 게이트는 각각 프레임 200과 300에 제공된다. 배선층 205와 305는 각각 프레임 200과 300을 가로질러 연장되는 노드와 함께 서로 연결되고, 배선층 207과 307은 각각 프레임 200과 300을 가로질러 연장되는 노드와 함께 서로 연결된다. 그러므로 각 버스선 B_{VDD} 와 B_{VSS} 는 일렬로 셀을 통하여 갈 수 있다.

다시, 같은 칩상에 놓여진 다른 셀의 것과 함께 셀상의 패턴 정보는 CAD 시스템에서 처리될 수 있고, 각 제조 공정에 대한 각각의 마스크 패턴은 셀중 모두와 함께 공통으로 발생된다. 그러한 마스크 패턴은 뒤에 P형과 N형 영역으로서 특정지워지는 영역을 정의하고, P형과 N형 불순물이 선택적으로 확산되는 영역에 대한 마스크층을 제공하며, 각각 배선층과 게이트 전극을 설계하기 위한 것들을 포함한다.

상기 언급된 바와 같이, 종래 표준셀 방법에서, 인접하는 셀이 인접하는 프레임을 갖도록 배치되지만 서로 오버랩되지는 않고, 칩 면적의 효과적인 사용은 상기 언급된 배선 채널에 대하여 할당된 영역을 최소화 하기 위하여 셀 배치에서 정교하게 함으로써 제한된다. 비록 배선 채널의 면적이 최소화된다 할지라도, 그 달성은 일반적으로 완전한 커스텀의 칩에서 효과적이지 못하다. 그러므로 칩 면적 사용의 개선은 표준셀 방법론에서 진지한 관계의 경우를 갖는다.

칩면적 사용에서 개선된 LSI를 제공하는 것이 본 발명의 목적이다.

표준셀 형태를 갖는 LSI의 칩면적 사용을 개선하는 방법을 제공하는 것이 본 발명의 다른 목적이다.

제3a도를 참조할 때, P형 영역 201과 301의 각각 상응하는 밑에 놓인 부분과 버스선 B_{VDD} 와 관련되는 버스선 접점 209와 309가 그들의 기능면에서 서로 독립될 필요가 없다. n형 영역 202와 302의 각각 상응하는 밑에 놓인 부분과 버스선 B_{VSS} 와 관련되는 버스선 접촉영역 210과 310에 대하여 같다. 발명자는 그들이 각각의 버스선 B_{VDD} 와 B_{VSS} 에 대하여 그들과 공통으로 버스선 접촉영역중 각각 하나를 갖을 수 있으므로 서로 부분적으로 오버랩되는 열에서 서로 인접하는 셀 1과 2와 같은 2개 셀을 고안하고, 이점에 주의하였다.

본 발명에서, 버스선 접촉영역의 패턴은 모든 종류의 셀과 공통으로 표준화되도록 설계되며, 표준화된 버스선 접촉 영역에 의하여 점유된 영역을 나타내기 위하여 추가 정보는 각 셀의 패턴 정보에 더해진다. LSI칩 설계의 단계에서, 셀들은 서로 오버랩 될 수 있는 영역을 나타내는 추가 정보량을 취하여 배열된다. 그러므로 본 발명에 따른 표준셀 방법론에 의거한 논리 LSI에서, 일렬로 서로 인접하도록 배열된 요구된 회로 셀의 모든 쌍은 만약 그들이 서로 오버랩될 수만 있다면, 서로 공통으로 버스선 B_{VDD} 와 B_{VSS} 에 대하여 한쌍의 버스선 접촉영역을 갖는다. 결과적으로, 셀에 의하여 점유된 전체 칩 면적은 그러한 오버래핑의 수와 비례하여 감소된다.

제2a도와 제3a도의 별크 패턴에서 나타난 바와 같이, 각각의 회로셀은 일반적으로 그 하나의 수직축에 인접하여 표준화된 단 한쌍의 버스선 접촉영역 갖는다. 따라서, 같은 종류의 2개의 인접하는 셀은 공통쌍의 버스 접촉영역을 갖을 수 없다. 이 경우에 셀의 반전된 패턴은 상응하는 비반전된 패턴으로 부분적으로 오버랩되어 배치되고 불려진다. 반전의 정의와 자세한 설명은 반전 공정없이 서로 오버랩되는 2개의 인접하는 셀을 허용하기 위하여 셀의 각축에 대하여 그러한 쌍의 버스선 접촉영역을 제공하는 결점과 함께 뒤에 나타날 것이다.

제4도를 참고할 때, 이는 본 발명에 따라서 표준셀 방법에 대하여 사용된 CAD 시스템의 개념도를 나타내며, 다양한 표준셀의 패턴 정보, 즉 NAND, NOR 등과 같은 논리회로 블록은 셀 라이브러리(CELL LIBRARY)에 저장된다. 사용자가 요구된 셀의 이름을 입력함으로써 셀 라이브러리로 액세스 하도록 중앙처리 장치 CPU를 요청할 때, 셀의 패턴 정보는 디스크 저장장치(DISK)와 같은 랜덤 액세스 메모리에 로드되고, 제5a도에서 나타난 바와 같은 가상기호와 셀의 프레임은 디스플레이 단자(DISPLAY)의 스크린 상에 디스플레이 된다. 같은 방법으로, 같은 종류의 셀 또는 다른 종류의 셀들은 그들의 이름에 의하여 스크린 상에 불려진다. 스크린상의 각셀의 위치는 조작자에 의하여 임의로 선택될 수 있다.

제5a도에서, 큰 삼각형 11은 CAD에서 정의된 좌표면 상에서 셀 프레임 10의 위치를 나타내기 위하여 제

공되고, 그러므로 그것은 "원시정보"로서 나타난다. 작은 사각형 12와 12'는 제2a도와 제3a도에서 I_1 과 I_2 등과 같은 입력 노드의 위치를 나타내기 위한 것이며, 사각형 13은 0T와 같은 출력노드의 위치를 나타내기 위한 것이다. 나비와 같은 기호 14와 15는 각각 제2a도 또는 제3a도에서 버스선 B_{VDD} 와 B_{VSS} 에 대한 노드를 나타낸다. 작은 삼각형 16은 본 발명에 따라 논리회로 셀의 패턴 정보에 새로 추가된 기호이다.

보조의 원시 정보로서 언급된 기호 16은 인접셀과 오버랩 하도록 하는 영역을 나타내기 위한 것이다. 그것은 두셀의 프레임 20과 30이 제5b도에서 보여준 바와 같이 서로 인접하여, 배치되고, 서로 오버랩하는 셀에 대하여 어떤 제한이 없다는 것이며, 수직축에 대하여 프레임 20에 관한 미러(mirror)영상을 갖는 다른 프레임은 프레임 20을 대신하도록 페치(fetch)된다. (그러한 프레임은 이후 반전된 프레임으로서 언급된다) 그런데 프레임 30과 반전된 프레임 20'의 위치는 제5c도에서 보여준 바와 같이 서로 부분적으로 오버랩되도록 조정된다. 제5c도에서 원시정보 11'과 보조의 원시정보 16'는 프레임 20'와 관련되고, 11과 16은 프레임 30과 관련된다. 만약 조작자가 그 패턴 정보를 페치하기 전에 요구된 셀의 오버래핑을 예견한다면, 그는 제5b도를 참조하여 설명한 것에 상응하는 단계에서 20'와 같은 반전된 프레임들을 얻을 수 있다.

본 발명에서, 일반적으로 각 셀의 예정된 패턴은 제2a도 또는 3a도에서 보여준 바와 같이 다른 셀들과 함께 공통으로 될 수 있는 한쌍의 영역을 갖기 때문에 모든 두 인접하는 셀사이에서 그러한 오버랩을 고안하는 것이 충분하다. 물론 그 양측에 다른 것 중 어느 하나와 함께 셀을 오버랩하도록 촉진하기 위하여 두쌍의 영역을 갖는 셀을 설계하는 것이 가능하지만, 그러한 셀은 필연적으로 그 큰 측면 차원으로 나타난다. 더구나, 어떤 종류의 셀은 그 패턴의 특성처럼 다른 것들과 함께 오버래핑하기 위하여 할당된 영역을 갖지 않으며, 또한 셀폭의 증가의 결과로 나타나는 다른 것들을 오버래핑하는 영역과 함께 그러한 셀을 제공한다. 그러므로 제5b도에 관하여 언급된 바와 같이 어떤 비보조의 원시정보를 더하는 것은 그러한 셀에 대하여 불필요하다.

제6도는 본 발명에 따라 셀 배치에 관한 공정을 나타내는 흐름도이다. 셀이 그 이름과 함께 불러질 때, 셀 라이브러리에서 관련 셀 정보가 페치되고, 그 셀의 프레임은 디스플레이 스크린상에 발생된다. 본 발명에서, 특별한 단계는 셀이 디스플레이 스크린상에 이미 다른 셀과 함께 오버래핑하여 배치되었는지 아닌지를 결정하기 위한 것이다. 만약 셀이 다른 셀과 함께 오버래핑하지 않고 배치되어졌다는 결정으로 나타나면, 셀의 프레임은 종래의 표준셀 방법론에서 처럼 같은 방법으로 배치된다. 만약 셀을 다른 셀과 함께 오버래핑하는 것이 결정된다면, 이 셀들의 프레임은 제5c도에 관하여 설명된 바와 같이 공통 영역을 갖도록 배치된다. 그러므로 각셀은 그것이 불러졌을 때 결정단계로 나타나며, 칩상에 배치된 모든 셀의 배치가 끝날때까지 계속 디스플레이 스크린상에 놓여진다. 배치의 완료후 제1도에 도시된 바와 같이 셀사이의 상호 연결 배선을 정하는 것이 시행된다.

제7도는 본 발명에 따라 서로 부분적으로 오버랩되어 놓여진 3입력 NAND 게이트 셀 1과 4입력 NAND 게이트 2를 포함하는 CMOS-LSI의 부분 형태를 나타낸다. 제7도에서 NAND 게이트 셀의 형태는 제3a도와 등가인 것처럼 거의 같고, 같은 참조번호는 같거나 상응하는 부분을 표시한다. 제3a도와 비교하여, 제7도에서 3입력 NAND 게이트 셀 1과 4입력 NAND 게이트셀 2는 서로(교차하여 열려진 영역)공통으로 버스선 접촉 영역 21,22를 갖는다.

전에 언급된 바와 같이, 본 발명에서의, 3입력 NAND 게이트 셀 1과 4입력 NAND 게이트 셀 2의 패턴 정보는 미리 수정되었고, 버스선 접촉 영역의 오버래핑할 수 있도록 기록된다. 그것은 제3a도의 종래 기술과 비교하여, 셀 1과 2사이의 상응 버스선 접촉영역이 각각의 패턴을 갖는 점에서 이 실시예에서 상응 버스선 접촉영역은 셀 라이브러리에 기록되고, 서로 공통으로 패턴을 갖도록 표준화된다는 것이다. 여기서, 셀의 배치는 종래 기술에서 처럼 각 셀에서 패턴에 관계없이 시행될 수 있다.

제8a도는 제8b도에서 보여준 바와 같이 등가회로에 상응하는 CMOS 인버터셀의 예시 벌크 패턴을 나타낸다. 프레임(400에서, 인버터 셀은 P채널 MOS 트랜지스터 P_1 과 n채널 트랜지스터 N_1 이 각각 형성된 P형 영역 401과 n형 영역 402를 포함한다. 트랜지스터 P_1 과 N_1 은 공통게이트 전극 GA 폴리실리콘층을 갖고, 알루미늄 배선층 205, 206, 207에 의하여 상호 연결된다. 배선층 205, 207은 각각 버스선 B_{VDD} 와 B_{VSS} 를 구성한다.

종래 표준셀 배치에서, 두 인버터 셀의 프레임 400과 400a는 제8a도에 나타난 바와 같이 서로 인접하여 놓여진다. 여기서 프레임 400'의 패턴은 프레임 400의 것과 같다. 반면에, 본 발명에 따른 배치에서, 인버터셀 400"의 반전된 패턴은 제8c도에 나타난 바와 같이 불러지며, 프레임 400과 함께 부분적으로 오버랩되도록 놓여진다. 그러므로 인버터 셀 400과 400"는 그들과 함께 공통으로 한쌍의 버스선 접촉영역 41, 42를 갖는다. 제8c도를 제8a도와 비교하면, 셀의 오버래핑 면적에 의한 감소가 칩면적상에서 달성될 수 있다는 것이 명확하여 질 것이다.

제9a도는 일렬로 연속적으로 배치된 인버터(셀 3), 2입력 NAND(셀 4), 2입력 NOR(셀 5), 3입력 NAND(셀 6)을 포함하는 CMOS 게이트로 구성된 논리 LSI의 부분 벌크 패턴을 나타내고 있으며, 각각은 2입력 NOR의 셀 5의 경우를 제외한 상기 실시예를 보여준 바와 같이 상응하는 등가회로를 갖는다. 인버터셀 3과 2입력 NAND 셀4의 벌크 패턴은 각각 제8a도와 제2a도에서 보여준 것과 같으며, 셀 6은 제3a도에서 3입력 NAND 셀 1의 반전된 벌크 패턴을 갖는다. 제9b도는 제9a도에서 셀 5의 벌크패턴에 상응하는 2입력 NOR의 등가회로이다. 2입력 NOR 셀 5의 구조는 그 분야의 사람들은 쉽게 이해할 것이다.

제9a도에 나타난 바와 같이 셀 3과 4는 그들과 함께 공통으로 버스선 접촉영역 51과 52(서로 교차하여 열려짐)를 가지므로 서로 부분적으로 오버래핑하는 각 프레임 500과 600을 갖도록 놓여진다. 마찬가지로, 셀 5와 6은 그들과 함께 공통으로 버스선 접촉영역 17과 72(서로 교차하여 열려짐)를 갖으므로 서로 부분적으로 오버래핑하는 각 프레임 700과 800을 갖도록 놓여진다. 셀 54와 5사이에는 그러한 오버래핑이 허용될 수 없고, 그들의 각 프레임은 일반적인 표준셀 배치에서 처럼 서로 인접한다.

그러므로, 본 발명에 따른 셀 배열에서, 그러한 오버래핑은 그들의 기능에서 서로 다르더라도 두 인접하는 셀에 인가될 수 있고, 셀의 반전된 벌크패턴은 필요할 때면 언제든지 오버래핑을 촉진하도록 나타날 수 있다. 그것은 비록 그들이 셀 라이브러리에 기록된 같은 패턴의 정보로부터 발생된다 할지라도, 각 셀과 그 반전된 변형은 다른 종류의 셀과 같은 본 발명에 따라 실제적인 칩 설계동작을 가정하는 것이 좋다. 이에 대한 이유는 같은 종류의 인접하는 2개의 셀은 서로 오버랩 될 수 없다는 것이며, 그들 중 하나는 전에 언급된 바와 같이 오버래핑에 대하여 반전되어져야만 한다.

상기 실시예는 CMOS 트랜지스터를 포함하는 논리셀의 배치를 설명하지만, 본 발명은 만약 셀이 유사한 버스선 접촉영역을 갖는다면, 표준셀 방법론에 의거한 CMOS형보다 다른 트랜지스터를 포함하는 LSI 설계에 이용될 수 있다.

(57) 청구의 범위

청구항 1

최소한 2종류의 회로 셀이 일렬로 배치되고, 각종의 상기 회로셀이 회로소자의 예정된 세트(set)를 제공하는 벌크(bulk) 패턴을 갖고, 상기 벌크패턴이 일렬로 상기 회로셀의 일측에 한쌍의 영역을 포함하고, 각 쌍의 상기 영역이 정, 부전압을 공급하기 위한 배선에 각각 연결되며, 상기 회로셀중 하나가 다른 종류의 인접하는 상기 회로셀과 함께 공통으로 한쌍의 상기 영역을 갖고, 상기 회로셀중 다른 것이 그 배타적 이용을 위하여 한쌍의 상기 영역을 갖도록 구성되는 반도체 집적회로.

청구항 2

미리 기록된 회로셀의 다수 종류를 가상으로 배치함으로써 요구된 회로를 제공하기 위한 첫 번째의 단계와, 반도체칩상에 상기 회로의 실제 패턴을 만들기 위한 두 번째의 단계를 포함하고, 상기 첫 번째의 단계가 상기 회로셀과 함께 공통으로 패턴을 갖는 한쌍의 영역과 함께 각각의 상기 회로셀과 정, 부전압을 공급하기 위한 배선에 연결되어진 상기 영역들을 제공하고, 상기 인접하는 두 회로셀이 각각 서로 인접하는 상기 영역들을 갖을 때, 서로 인접하는 두 상기 회로셀들의 상기 영역의 각 상기 패턴들을 오버랩(overlap)하는 것으로, 상기 인접하는 회로셀의 실제 패턴은 상기 회로셀에 공통으로 한쌍의 상기 영역을 갖는 반도체 집적회로를 제작하기 위한 방법.

청구항 3

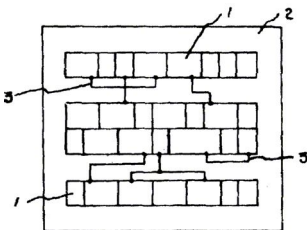
제2항에 있어서, 상기 영역을 나타내기 위한 수단과 함께 상기 회로셀을 제공하는 단계로 구성된 첫 번째의 단계인 반도체 집적회로를 제작하기 위한 방법.

청구항 4

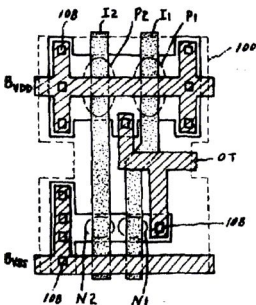
제2항에 있어서, 상기 회로셀의 미러(mirror) 영상과 상응하는 패턴을 제공하는 상기 회로셀을 반전하는 단계로 구성된 상기 첫 번째의 단계인 반도체 집적회로를 제작하기 위한 방법.

도면

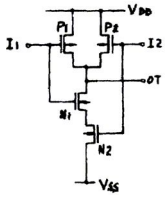
도면1



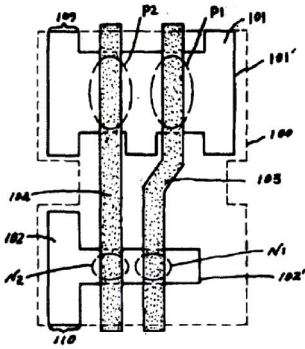
도면2a



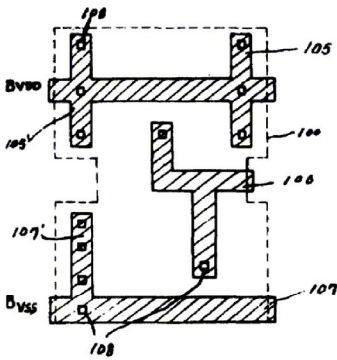
도면2b



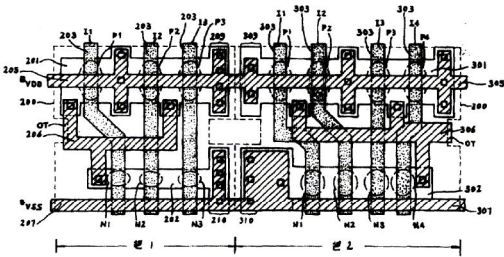
도면2c



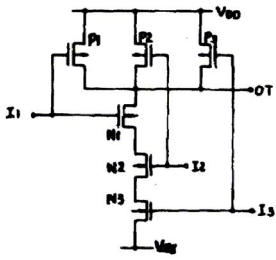
도면2d



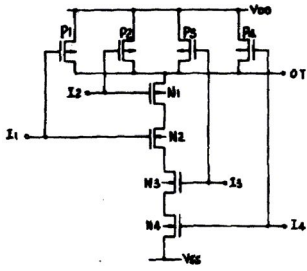
도면3a



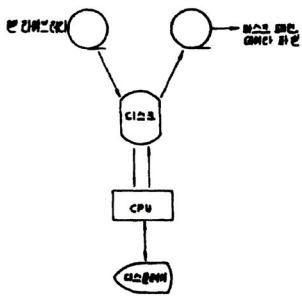
도면3b



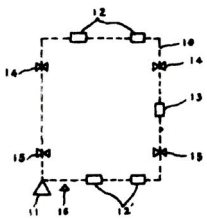
도면3c



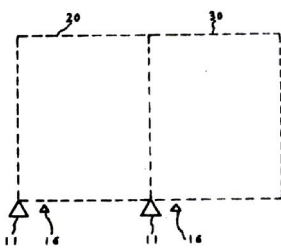
도면4



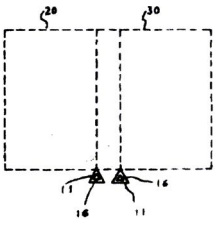
도면5a



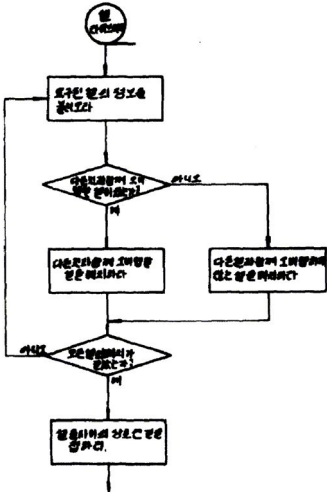
도면5b



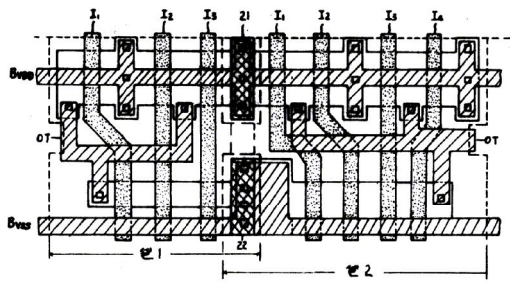
도면5c



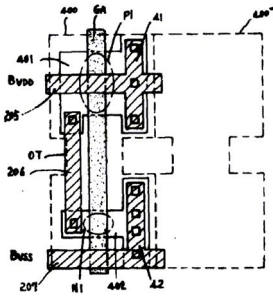
도면6



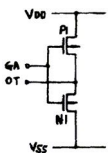
도면7



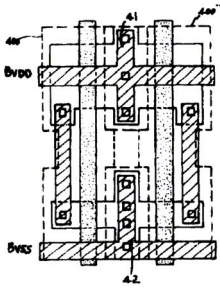
도면8a



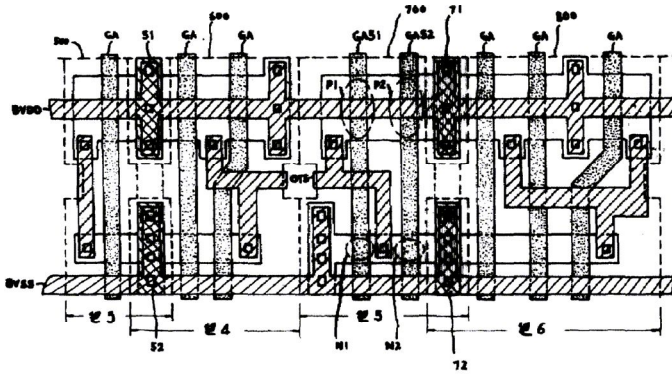
도면8b



도면8c



도면9a



도면9b

