



(10) **DE 11 2019 003 896 T5** 2021.04.15

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2020/028614**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜG)

(51) Int Cl.: **G05F 1/59 (2006.01)**

(21) Deutsches Aktenzeichen: **11 2019 003 896.6**

(86) PCT-Aktenzeichen: **PCT/US2019/044585**

(86) PCT-Anmeldetag: **01.08.2019**

(87) PCT-Veröffentlichungstag: **06.02.2020**

(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **15.04.2021**

(30) Unionspriorität:

62/713,634 **02.08.2018** **US**
16/527,488 **31.07.2019** **US**

(74) Vertreter:

**sgb europe - Grubert & Dienwiebel Patentanwälte
PartG mbB, 82067 Ebenhausen, DE**

(71) Anmelder:

**MICROCHIP TECHNOLOGY INCORPORATED,
Chandler, AZ, US**

(72) Erfinder:

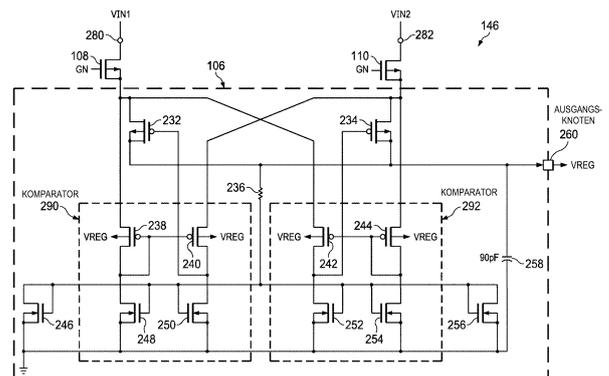
Deval, Philippe, Lutry, CH

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **LDO-Spannungsreglerschaltung mit zwei Eingängen**

(57) Zusammenfassung: Ein Low Drop-Out (LDO) weist Spannungseingänge zum Empfangen von Einspeisungen von Spannungsquellen auf. Der LDO-Spannungsregler weist einen geregelten Spannungsausgang, Sperrdioden und eine Schaltung auf, die ausgebildet ist, um Leckverluste von einem ersten Spannungseingang mit einer ersten Sperrdiode zu blockieren, wenn der erste Spannungseingang kleiner als der geregelte Spannungsausgang ist, und um den geregelten Spannungsausgang von dem ersten Spannungseingang und einem zweiten Spannungseingang bereitzustellen.



Beschreibung

PRIORITÄT

[0001] Die vorliegende Anmeldung beansprucht Priorität gegenüber der am 2. August 2018 eingereichten vorläufigen US-Patentanmeldung Nr. 62 / 713,634, deren Inhalt hiermit vollständig aufgenommen wird.

GEBIET DER ERFINDUNG

[0002] Die vorliegende Offenbarung betrifft die Leistungsregelung und insbesondere eine Low-Drop-Out (LDO-) Spannungsreglerschaltung mit zwei Eingängen und ein Verfahren zum Bereitstellen einer geregelten Versorgungsspannung aus zwei unabhängigen Versorgungsanschlüssen.

HINTERGRUND DER ERFINDUNG

[0003] Ein LDO-Spannungsregler kann einen Gleichspannungsregler (DC) aufweisen, der die Ausgangsspannung selbst dann regeln kann, wenn die Versorgungsspannung sehr nahe an der Ausgangsspannung liegt. LDO-Spannungsregler können verwendet werden, um Schalten zu vermeiden. LDO-Spannungsregler verbrauchen Leistung, um die Ausgangsspannung zu regeln. LDO-Spannungsregler können mit einem Leistungsfeldeffekttransistor (FET) implementiert werden. Darüber hinaus können LDO-Spannungsregler mit einem Differenzverstärker implementiert werden, um den Fehler zu verstärken. Ein Eingang des Differenzverstärkers kann einen Anteil des Ausgangssignals überwachen, der durch ein Widerstandsverhältnis bestimmt wird. Ein LDO-Spannungsregler kann eine Einspeisung von einer bekannten stabilen Spannungsreferenz aufweisen. LDO-Spannungsregler können arbeiten, indem ihre Transistoren auf Sättigung gebracht werden. Der Spannungsabfall von einer unregelmäßigen Versorgungsspannung auf die geregelte Spannung kann so niedrig sein wie die Sättigungsspannung am Transistor. Im LDO-Spannungsregler können Leistungs-FETs oder Bipolartransistoren verwendet werden.

[0004] Ein Merkmal eines LDO-Spannungsreglers ist sein Ruhestrom. Dieser Strom kann die Differenz zwischen dem Eingangsstrom und dem Ausgangsstrom des LDO-Spannungsreglers erklären. Diese Stromdifferenz kann vom LDO-Spannungsregler gezogen werden, um seine interne Schaltkreise für einen ordnungsgemäßen Betrieb zu steuern. Das Einschwingverhalten eines LDO-Spannungsreglers ist die maximal zulässige Änderung der Ausgangsspannung für eine schrittweise Änderung des Laststroms. Die Antwort kann eine Funktion der Ausgangskapazität, des äquivalenten Serienwiderstands dieser Kapazität, des Bypass-Kondensators und des maximalen Laststroms sein. Anwendungen von LDO-

Spannungsreglern können beispielsweise die Überwachung von Spannung, Strom und Temperatur sowie das Sammeln von Diagnoseinformationen aufweisen. LDO-Spannungsregler können mit programmierbaren Strombegrenzungen, aktiven Ausgangsentladungen oder der Steuerung von Stromversorgungen gesteuert werden, die mit dem LDO-Spannungsregler in Beziehung stehen.

[0005] Erfinder von Ausführungsformen der vorliegenden Offenbarung haben Lösungen zum Bereitstellen von bidirektionalen Hochspannungs-Leistungsschaltern entdeckt, die von den darin enthaltenen Schaltanschlüssen selbst versorgt werden. Solche Leistungsschalter können den UC S3205-Leistungsschalter aufweisen, der von Microchip Technology, Inc., dem Einreichenden der vorliegenden Offenbarung, erhältlich ist. Infolgedessen haben Erfinder von Ausführungsformen der vorliegenden Offenbarung entdeckt, dass ein Bedarf an einem internen Regler innerhalb eines solchen Leistungsschalters besteht, der in der Lage ist, die geregelte Spannung unabhängig von seinen Anschlüssen bereitzustellen, ohne Strom von dem geregelten Spannungsausgang zurück zu einer Spannungsquelle in einem Port zu leiten, dessen Spannung niedriger als der geregelte Spannungsausgang ist. Ausführungsformen der vorliegenden Offenbarung können einen oder mehrere dieser Bedürfnisse ansprechen.

ZUSAMMENFASSUNG

[0006] Ausführungsformen der vorliegenden Offenbarung können einen LDO-Spannungsregler aufweisen. Der LDO-Spannungsregler kann Spannungseingänge aufweisen, um Einspeisungen von Spannungsquellen zu empfangen. Der LDO-Spannungsregler kann einen geregelten Spannungsausgang, Sperrdioden und eine Schaltung aufweisen, die ausgebildet ist, um Leckverluste von einem ersten Spannungseingang mit einer ersten Sperrdiode zu blockieren, wenn der erste Spannungseingang kleiner als der geregelte Spannungsausgang ist, und um den geregelten Spannungsausgang vom ersten Spannungseingang und einem zweiten Spannungseingang bereitzustellen.

[0007] Ausführungsformen der vorliegenden Offenbarung können einen Mikrocontroller aufweisen. Der Mikrocontroller kann Spannungsquellen und einen LDO-Spannungsregler aufweisen. Der LDO-Spannungsregler kann Spannungseingänge aufweisen, um Einspeisungen von den Spannungsquellen zu empfangen. Der LDO-Spannungsregler kann einen geregelten Spannungsausgang, Sperrdioden und eine Schaltung aufweisen, die ausgebildet ist, um Leckverluste von einem ersten Spannungseingang mit einer ersten Sperrdiode zu blockieren, wenn der erste Spannungseingang kleiner als der geregelte Spannungsausgang ist, und um den geregelten Span-

nungsausgang vom ersten Spannungseingang und einem zweiten Spannungseingang bereitzustellen.

[0008] Ausführungsformen der vorliegenden Offenbarung können ein Verfahren aufweisen. Das Verfahren kann von einem LDO-Spannungsregler durchgeführt werden. Das Verfahren kann an einem ersten Spannungseingang das Empfangen einer Einspeisung von einer ersten Spannungsquelle aufweisen. Das Verfahren kann weiterhin an einem zweiten Spannungseingang das Empfangen einer Einspeisung von einer zweiten Spannungsquelle aufweisen. Das Verfahren kann weiterhin das Blockieren einer Leckage von einem geregelten Spannungsausgang des LDO-Reglers zum ersten Spannungseingang mit der ersten Sperrdiode aufweisen, wenn der erste Spannungseingang kleiner als der geregelte Spannungseingang ist, und das Bereitstellen des geregelten Spannungsausgangs vom ersten Spannungseingang und der zweite Spannungseingang.

Figurenliste

Fig. 1 ist eine Veranschaulichung eines beispielhaften Systems, das einen LDO-Spannungsregler mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung aufweist.

Fig. 2 ist eine Veranschaulichung eines beispielhaften LDO-Spannungsreglers mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung.

Fig. 3 ist eine detailliertere Veranschaulichung von Teilen des LDO-Spannungsreglers mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung.

Fig. 4 ist eine weitere Veranschaulichung einer beispielhaften Implementierung von Teilen des LDO-Operators mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung.

Fig. 5 ist eine weitere detailliertere Veranschaulichung von Teilen des LDO-Spannungsreglers mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung.

Fig. 6 ist eine Veranschaulichung des simulierten Verhaltens des LDO-Spannungsreglers mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung.

DETAILLIERTE BESCHREIBUNG

[0009] Ausführungsformen der vorliegenden Offenbarung weisen einen LDO-Spannungsregler auf. Der LDO-Spannungsregler kann einen ersten Spannungseingang, einen zweiten Spannungseingang, einen geregelten Spannungseingang, eine erste Sperrdiode und eine zweite Sperrdiode aufweisen. Der LDO-Spannungsregler kann eine Schaltung aufweisen, die ausgebildet ist, um Leckverluste zum ersten

Spannungseingang mit der ersten Sperrdiode zu blockieren, wenn der erste Spannungseingang kleiner als der geregelte Spannungseingang ist, und um den geregelten Spannungsausgang vom ersten Spannungseingang und dem zweiten Spannungseingang bereitzustellen. Die Schaltung kann durch eine analoge Schaltung, eine digitale Schaltung oder eine beliebige Kombination davon implementiert werden. Die Sperrdioden können unter Verwendung von Transistoren implementiert werden. Die Leckage kann ein Strom- oder Spannungsleckverlust sein. Die Sperrdioden können zwischen Spannungsfolgertransistoren und dem geregelten Spannungsausgang implementiert werden.

[0010] In Kombination mit einer der obigen Ausführungsformen kann die Schaltung weiterhin ausgebildet sein, um Leckverluste an dem zweiten Spannungseingang mit der zweiten Sperrdiode zu blockieren, wenn der zweite Spannungseingang kleiner als der geregelte Spannungsausgang ist. In Kombination mit einer der obigen Ausführungsformen kann der LDO-Spannungsregler weiterhin interne Vorrichtungen aufweisen, die ausgebildet sind, um von dem geregelten Spannungsausgang betrieben zu werden. Solche internen Vorrichtungen können Ladungspumpen, Spannungsquellen, Verstärker, Transistoren, Dioden oder andere elektronische Vorrichtungen aufweisen, die in dem Spannungsregler verwendet werden.

[0011] In Kombination mit einer der obigen Ausführungsformen kann der LDO-Regler weiterhin einen Ausgangstank-Bypass-Kondensator aufweisen.

[0012] In Kombination mit einer der obigen Ausführungsformen können die erste Sperrdiode und die zweite Sperrdiode durch aktive Dioden implementiert werden. Die aktiven Dioden können durch Transistoren implementiert werden. Die aktiven Dioden können von einem Komparator gesteuert werden. Ein erster Steuereingang der ersten Sperrdiode kann mit einer Anode der zweiten Sperrdiode verbunden sein. Ein zweiter Steuereingang der zweiten Sperrdiode kann mit einer Anode der ersten Sperrdiode verbunden sein.

[0013] In Kombination mit einer der obigen Ausführungsformen werden die erste Sperrdiode und die zweite Sperrdiode durch Transistoren implementiert.

[0014] In Kombination mit einer der obigen Ausführungsformen ist der erste Spannungseingang über einen ersten Transistor mit der ersten Sperrdiode verbunden. Der erste Transistor kann ein n-Kanal-Transistor sein. Der zweite Spannungseingang kann über einen zweiten Transistor mit der zweiten Sperrdiode verbunden sein. Der zweite Transistor kann ein n-Kanal-Transistor sein. Der erste und der zweite Tran-

sistor können so ausgebildet sein, dass sie in Bezug aufeinander als Spannungsfolger arbeiten.

[0015] Weitere Beschreibungen von Ausführungsformen der LDO-Spannungsregler werden nachstehend im Zusammenhang mit den Figuren beschrieben.

[0016] Ausführungsformen der vorliegenden Offenbarung können einen Mikrocontroller aufweisen. Der Mikrocontroller kann eine erste Spannungsquelle, eine zweite Spannungsquelle und einen der LDO-Spannungsregler der obigen Ausführungsformen aufweisen. Die erste Spannungsquelle und die zweite Spannungsquelle können jeweils mit dem ersten und dem zweiten Spannungseingang des LDO-Spannungsreglers verbunden sein.

[0017] Ausführungsformen der vorliegenden Offenbarung können ein Verfahren aufweisen. Das Verfahren kann den Betrieb eines der Mikrocontroller oder LDO-Spannungsregler der obigen Ausführungsformen aufweisen.

[0018] Fig. 1 ist eine Veranschaulichung eines beispielhaften Systems 100, das einen LDO-Spannungsregler mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung aufweist. Ein solcher Regler kann einen Spannungsregler 146 aufweisen. In einer Ausführungsform kann der Spannungsregler 146 unter Verwendung von zwei LDO-Spannungsregler-Ausgangsstufen in paralleler und invers blockierender Diodentopologie implementiert werden. In einer weiteren Ausführungsform kann der Spannungsregler 146 mit aktiven Dioden implementiert werden. Der Spannungsregler 146 ist in Fig. 2 unten detaillierter veranschaulicht.

[0019] Das System 100 kann eine Implementierung des Spannungsreglers 146 in einem geeigneten Kontext aufweisen. Beispielsweise kann der Spannungsregler 146 in einem Leistungsschalter, einer Steuerung, einem Mikrocontroller, einer Stromversorgung, einem Laptop, einer mobilen Vorrichtung, einem Fahrzeug oder einer anderen geeigneten elektronischen Vorrichtung implementiert sein. In dem Beispiel von Fig. 1 kann der Spannungsregler 146 in einer elektronischen Vorrichtung 148 und weiterhin in einem Leistungsschalter 156 in einer solchen elektronischen Vorrichtung 148 implementiert sein. Die elektronische Vorrichtung 148 kann wiederum ganz oder teilweise eine Leistungssteuerung implementieren oder einen Teil eines Laptops, eines Mobilgeräts, eines Mikrocontrollers, eines Fahrzeugs oder einer anderen geeigneten elektronischen Vorrichtung. In einer Ausführungsform kann der Leistungsschalter 156 als Mikrocontroller implementiert sein. Der Leistungsschalter 156 kann ausgebildet sein, um zwei oder mehr Spannungseinspeisungen wie VIN1 und VIN2 von den jeweiligen Spannungsquellen 150 zu

empfangen. Die Spannungsquellen 150 sind als außerhalb der elektronischen Vorrichtung 148 veranschaulicht, können jedoch innerhalb der elektronischen Vorrichtung 148 implementiert und ausgebildet sein, um die Einspeisungen VTN1 oder VIN2 selektiv an ein geeignetes Ziel oder eine geeignete Last zu leiten, wie z. B. eine oder mehrere interne Lasten 152 der elektronischen Vorrichtung 148 oder eine oder mehrere externe Lasten 154. Der Netzschalter 156 kann ausgebildet sein, um VIN1 und VIN2 miteinander zu verbinden, um VIN2 von VIN1 bereitzustellen oder umgekehrt. Interne Lasten 152 können beispielsweise jeden geeigneten Stromverbraucher aufweisen, wie Teile der elektronischen Vorrichtung 148, Prozessoren, Schaltungen, Peripheriegeräte oder jede andere geeignete elektronische Vorrichtung oder einen Teil davon. Externe Lasten 154 können beispielsweise jeden geeigneten Stromverbraucher aufweisen, wie beispielsweise eine Schaltung, einen Halbleitermatrize, einen Chip oder eine andere geeignete elektronische Vorrichtung.

[0020] Der Spannungsregler 146 kann ausgebildet sein, um eine kontinuierliche, wenn möglich konstante Spannung an eine oder mehrere Lasten in System 100 bereitzustellen. Beispielsweise kann der Spannungsregler 146 ausgebildet sein, um die Spannung VREG bereitzustellen. Die Spannung VREG kann so ausgelegt sein, dass sie beispielsweise einen Wert von 3,3 Volt aufweist. Die Spannung VREG kann für alle geeigneten Lasten bereitgestellt werden. Beispielsweise kann der Spannungsregler 146 ausgebildet sein, um eine Spannung oder eine oder mehrere externe Lasten 154 oder eine oder mehrere interne Lasten 152 mit VREG zu versorgen.

[0021] In einer Ausführungsform kann der Spannungsregler 146 ausgebildet sein, um die Spannung VREG für seinen eigenen Betrieb bereitzustellen. In einer anderen Ausführungsform kann der Spannungsregler 146 ausgebildet sein, um eine Spannung VREG für den Betrieb des Leistungsschalters 156 bereitzustellen. In einer weiteren Ausführungsform kann der Spannungsregler 146 ausgebildet sein, um eine Spannung VREG unter Verwendung der Einspeisungen VIN1 und VIN2 bereitzustellen. In noch einer weiteren Ausführungsform kann der Spannungsregler 146 ausgebildet sein, um die Spannung VREG unter Umständen bereitzustellen, bei denen eine oder beide der Einspeisungen VIN1 und VIN2 kleiner als der geplante Wert von VREG sind.

[0022] Fig. 2 ist eine detailliertere Veranschaulichung des Spannungsreglers 146 gemäß Ausführungsformen der vorliegenden Offenbarung.

[0023] Der Spannungsregler 146 kann ein Spannungsregler mit zwei Eingängen sein, mit Einspeisungen VIN1 und VIN2. Die Einspeisung VIN1 kann über einen Anschluss 150 in den Spannungsreg-

ler **146** eintreten. Die Einspeisung VIN2 kann über einen Anschluss **152** in den Spannungsregler **146** eintreten. Die Einspeisungen VIN1 und VIN2 können Spannungseinspeisungen mit einem Eingangsbereich von 0 bis 22 Volt sein. In einigen Implementierungen können die Einspeisungen VIN1 und VIN2 Stromeinspeisungen sein. Somit können die Einspeisungen VIN1 und VIN2 als „Hochspannung“ betrachtet werden. Der aktive Bereich der Einspeisungen VIN1 und VIN2 kann 2,5 bis 22 Volt betragen, wobei die Einspeisungen VIN1 und VIN2 zum Schalten und Versorgen des Spannungsreglers **146** mit Strom zur Verfügung stehen, wenn die jeweiligen Einspeisungen VIN1 und VIN2 über 2,5 Volt und unter 22 Volt liegen. Der Spannungsregler **146** kann ausgebildet sein, um einen Leckverlust der Einspeisungen VIN1 oder VIN2 zu verhindern, wenn eine der Einspeisungen VIN1 oder VIN2 kleiner als die Spannung VREG ist. Um eine solche Leckage zu verhindern, kann eine Rückwärtssperrdiode an den Ausgangsstufen im Spannungsregler **146** zwischen den beiden Einspeisungen VIN1 und VIN2 und den Ausgangsstufen zu Spannung VREG implementiert werden. Die maximale Drop-Out-Spannung im LDO-Modus für den Spannungsregler **146** kann 100 Millivolt betragen. Ein solcher Zustand kann beispielsweise vorliegen, wenn beide Einspeisungen VIN1 und VIN2 kleiner als 3,4 Volt sind. Um eine derart niedrige maximale Drop-Out-Spannung zu erzwingen, können die Rückwärtssperrdioden aktive Dioden sein, um zu verhindern, dass die Drop-Out-Spannung durch den typischen Durchlassspannungsabfall einer Standarddiode von etwa 0,7 Volt signifikant verschlechtert wird. Wenn eine Standarddiode verwendet wird, beträgt die Drop-Out-Spannung häufig nicht weniger als 0,7 Volt. Im Gegensatz dazu kann eine aktive Diode des Spannungsreglers **146** eine Durchlassvorspannung von weniger als 100 Millivolt aufweisen. Eine aktive Diode kann jedoch immer noch Strom treiben, wenn sie leicht (0 - 30 Millivolt) in Sperrrichtung vorgespannt ist. Eine solche Situation kann zu einem Stromverlust führen. Eine solche Leckage kann eine Strom- oder Spannungsleckage von VREG zu VIN1 oder VIN2 sein. Der Spannungsregler **146** kann so ausgebildet sein, dass er ohne einen externen Kondensator arbeitet, der zwischen der Spannung VREG und Masse angeschlossen ist, wenn eine Last an den Spannungsregler **146** angeschlossen ist. Die Spannung VREG kann so ausgelegt sein, dass sie ungefähr 3,3 Volt beträgt. Somit kann die Spannung VREG als „Niederspannung“ betrachtet werden.

[0024] Der Spannungsregler **146** kann zwei parallele LDO-Ausgangsstufen aufweisen, die durch die Transistoren **108**, **110** implementiert werden. Die Transistoren **108**, **110** können von beliebigen geeigneten Transistoren implementiert werden. Beispielsweise können die Transistoren **108**, **110** durch n-Kanal-Metalloxid-Halbleiter-Feldeffekttransistoren (MOSFET) implementiert werden. Die Einspeisung VIN1 kann

mit dem Drain des Transistors **108** verbunden sein. Die Einspeisung VIN2 kann mit dem Drain des Transistors **110** verbunden sein.

[0025] Der Spannungsregler **146** kann eine Diode **102** aufweisen, die an ihrer Anode mit der Einspeisung VIN1 verbunden ist. Weiterhin kann der Spannungsregler **146** eine Diode **104** aufweisen, die an ihrer Anode mit der Einspeisung VIN2 verbunden ist. Die Kathoden der Dioden **102**, **104** können miteinander verbunden sein. Weiterhin können die Kathoden der Dioden **102**, **104** mit einem ersten Ende eines Widerstands **118** verbunden sein. Ein zweites Ende des Widerstands **118** kann mit den Gates der Transistoren **108**, **110** verbunden sein.

[0026] Der Spannungsregler **146** kann einen n-Kanal-MOSFET-Transistor **116** aufweisen, dessen Drain und Gate mit dem zweiten Ende des Widerstands **118** verbunden sind. Diese Konfiguration kann als diodenverbundener Transistor bezeichnet werden. Weiterhin kann der Transistor **116** stattdessen mit einem diodenverbundenen p-Kanal-MOSFET-Transistor (nicht gezeigt) implementiert werden. Die Source des Transistors **116** kann mit der Anode einer ersten von zwei in Reihe geschalteten Dioden **122**, **124** verbunden sein, und die Kathode der zwei in Reihe geschalteten Dioden **122**, **124** kann mit einer Source eines Transistors **126** verbunden sein. Der Transistor **126** kann mit Masse verbunden sein. Der Transistor **126** kann beispielsweise durch einen p-Kanal-MOSFET-Transistor implementiert werden.

[0027] Der Spannungsregler **146** kann eine Ladungspumpe **120** als Eingangsspannung aufweisen. Die Ladungspumpe **120** kann auf jede geeignete Weise implementiert werden, beispielsweise durch eine analoge Schaltung, eine digitale Schaltung oder eine Kombination davon. Die Ladungspumpe **120** kann ausgebildet sein, um die Spannung VREG zu empfangen. Die Ladungspumpe **120** kann ausgebildet sein, um eine Ausgangsspannung bereitzustellen, die proportional zur Spannung VREG ist. Beispielsweise kann die Ladungspumpe **120** als Spannungsverdoppler implementiert sein (wobei der Spannungsausgang das doppelte des Spannungseingangs beträgt). Eine Ladungspumpe ist jedoch möglicherweise keine ideale Spannungsquelle, da sie einen Reihenausgangswiderstand aufweisen kann, der vom Wert der Pumpkapazität und der Pumpfrequenz abhängt. Typischerweise ist der Reihenwiderstand eines Ladungspumpenspannungsverdopplers gleich $1 / (\text{Pumpfrequenz} * \text{Pumpkapazität})$. Dementsprechend kann die Ladungspumpe **120** als äquivalente Spannungsquelle und äquivalenter Widerstand mit Werten von

$$V_{\text{chargepump}} = 2 * VREG$$

$$R_{\text{chargepump}} = 1 / (f_{\text{chargepump}} * C_{\text{chargepump}})$$

veranschaulicht werden, wobei die Ladungspumpe die Frequenz einer Taktquelle in der oder an die Ladungspumpe **120** bereitgestellten Taktquelle ist, beispielsweise mit 2 MHz, und $C_{\text{chargepump}}$ die Ladungspumpenkapazität ist, beispielsweise 0,9 pF. Wenn die Frequenz 2 MHz beträgt und die Kapazität 0,9 pF beträgt, kann der äquivalente Widerstand der Ladungspumpe **120** **550** K Ω betragen. Die Ladungspumpe **120** kann ausgebildet sein, um dem Gate und dem Drain des Transistors **116** Spannung zuzuführen. Der Ausgang der Ladungspumpe **120** kann weiterhin mit den Gates der Transistoren **108**, **110** verbunden sein. Eine Anode, die eine solche Abgabe der Ladungspumpe **120** empfängt, kann als GN bezeichnet werden.

[0028] Der Spannungsregler **146** kann eine Referenzspannungsquelle **142** aufweisen. Die Referenzspannungsquelle **142** kann auf jede geeignete Weise implementiert werden. Beispielsweise kann die Referenzspannungsquelle **142** durch eine Bandlückenspannung mit einem Wert von VBG implementiert werden, die von einem Teil eines Halbleiterchips oder eines Mikrocontrollers verfügbar ist. Die interne Regelschaltung des Spannungsreglers **146** kann mit der Spannung VREG betrieben werden.

[0029] Die Source der Transistoren **108**, **110** kann mit einer Rückwärtssperrdiodenschaltung **106** verbunden sein. Die Rückwärtssperrdiodenschaltung **106** kann auf jede geeignete Weise implementiert werden. In einer Ausführungsform kann die Rückwärtssperrdiodenschaltung **106** unter Verwendung eines Paares aktiver Dioden **112**, **114** implementiert werden. Die aktiven Dioden **112**, **114** können auf jede geeignete Weise implementiert werden, beispielsweise durch MOSFETs. Wie oben angegeben, verhindern die aktiven Dioden **112**, **114** einen Strom- oder Spannungsverlust von VREG zu VIN1 oder VIN2. Die Anode der aktiven Diode **112** kann mit der Source des Transistors **110** verbunden sein. Die Kathode der aktiven Diode **112** kann mit einem Ausgangsknoten für die Spannung VREG verbunden sein. Die aktive Diode **114** kann an ihrer Anode mit der Source des Transistors **108** verbunden sein. Die aktive Diode **114** kann an ihrer Kathode mit dem Ausgangsknoten für VREG verbunden sein. Die aktiven Dioden **112**, **114** können mit ihren transistorseitigen Enden kreuzgekoppelt sein. Der Betrieb der aktiven Diode **112** kann durch die Differenzspannung zwischen der Source des Transistors **108** und der Anode der aktiven Diode **112** gesteuert werden, die auch die Source des Transistors **110** ist. Der Betrieb der aktiven Diode **114** kann durch die Differenzspannung zwischen der Source des Transistors **110** und der Anode der aktiven Diode **114** gesteuert werden, die auch die Source des Transistors **108** ist. Der Betrieb der aktiven

Dioden kann durch die Differenzspannung zwischen den Source-Anschlüssen der Transistoren **108**, **110** gesteuert werden. Die Steuerung der aktiven Diode **112** kann beinhalten, dass ein Stromfluss von der Source des Transistors **110** zum Ausgangsknoten für die Spannung VREG zugelassen wird, wenn die Differenzspannung zwischen der Source des Transistors **108** und der Source des Transistors **110** kleiner als eine Schwellenspannung ist. Die Steuerung der aktiven Diode **114** kann beinhalten, dass ein Stromfluss von der Source des Transistors **108** zum Ausgangsknoten für die Spannung VREG zugelassen wird, wenn die Differenzspannung zwischen der Source des Transistors **110** und der Source des Transistors **108** kleiner als eine Schwellenspannung ist. Die Schwellenspannungen können zum Beispiel 20 Millivolt betragen. Detailliertere Implementierungen der Rückwärtssperrdiodenschaltung **106** sind nachstehend im Zusammenhang mit **Fig. 3** veranschaulicht.

[0030] Der Spannungsregler **146** kann ein Widerstandsrückkopplungsnetzwerk aufweisen, einschließlich eines Widerstands **128**, der an seinem zweiten Ende mit einem ersten Ende des Widerstands **130** verbunden ist. Ein erstes Ende des Widerstands **128** kann mit dem Ausgangsknoten für die Spannung VREG verbunden sein. Ein zweites Ende des Widerstands **130** kann mit Masse verbunden sein. Das zweite Ende des Widerstands **128** und das erste Ende des Widerstands **130** können mit einem invertierenden Eingang eines Verstärkers **140** verbunden sein. Der nichtinvertierende Eingang des Verstärkers **140** kann mit dem Ausgang der Referenzspannungsquelle **142** verbunden sein. Der Ausgang des Verstärkers **140** kann mit dem Gate des Transistors **126** verbunden sein. Das Widerstandsrückkopplungsnetzwerk kann als Widerstandsteiler arbeiten, der eine Ausgangsspannung (VFB) bereitstellt, die gleich $((VREG * \text{Widerstand des Widerstands } 130) / (\text{Widerstand des Widerstands } 128 + \text{Widerstand des Widerstands } 130))$ ist. Der Verstärker **140** kann ausgebildet sein, um die Schleife zu überwachen, damit VFB gleich der Spannung VBG ist. Wenn die VFB-Spannung kleiner als die VBG-Spannung wird, kann der Verstärker **140** ausgebildet sein, um seine Ausgangsspannung zu erhöhen, damit VFB wieder gleich zu der VBG-Spannung ansteigen kann. Die Spannung an der Source des Transistors **126** steigt entsprechend an, und somit steigt auch die Spannung an GN an. Das Erhöhen der Spannung an GN verursacht einen Anstieg der VREG-Spannung, so dass die VFB-Spannung wieder ansteigt, um der Spannung von VBG zu entsprechen. Wenn die Spannung von VFB höher als die Spannung von VBG wird, kann der Verstärker **140** ausgebildet sein, um seine Ausgangsspannung zu senken, und die Spannung bei GN wird verringert, so dass die VFB-Spannung abnimmt. Schließlich ist die VREG-Spannung gleich $(VBG * ((\text{Widerstand des Widerstands } 128 + \text{Wider-$

stand des Widerstands **130**) / Widerstand des Widerstands **130**)).

[0031] Die Verwendung eines PMOS-Transistors zum Ansteuern der Kathode der Diode **124** bewirkt ein Spannungsfolgerverhalten (nicht-invertierend) zwischen dem Ausgang des Verstärkers **140** und der Kathode der Diode **124**. In anderen Implementierungen kann der Transistor **126** ein NMOS-Transistor sein, der seine Source mit Masse verbunden aufweist und sein Drain verbunden mit der Kathode der Diode **124**. Die Verwendung eines NMOS-Transistors anstelle eines PMOS-Transistors zum Ansteuern der Kathode der Diode **124** bewirkt jedoch ein invertierendes Verhalten zwischen dem Ausgang des Verstärkers und dem Kathodenantrieb der Diode **124**. Daher muss in einem solchen Fall die Verbindung der positiven und negativen Eingänge des Verstärkers vertauscht werden, um das Invertierungsverhalten des NMOS-Transistors **126** zu kompensieren.

[0032] Somit können Transistoren vom PMOS-Typ oder NMOS-Typ verwendet werden. Es kann jedoch ein Transistor vom PMOS-Typ verwendet werden, da er für eine solche Anwendung einfacher zu stabilisieren ist.

[0033] Die Dioden **122**, **124** können ausgebildet sein, um eine ausreichende Selbstanlaufspannung für einen Regelkreis (nicht gezeigt) zur Erzeugung der Spannung VREG bereitzustellen. Die mit GCTRL bezeichnete Spannung an der Anode der Diode **122** kann zumindest das Zweifache einer Sperrschichtspannung der Dioden **122**, **124** und damit beispielsweise zumindest 1,4 Volt betragen. Der Transistor **116** kann so ausgebildet sein, dass er als Schwellenspannungskompensator für die Schwellenspannung V_{thn} der Transistoren **108** und **110** arbeitet. Der Transistor **116** kann mit einem niedrigen Strom vorgespannt werden. Daher kann die Spannung am Knoten GN zumindest $(1,4 \text{ Volt} + V_{thn})$ betragen. Die Transistoren **108**, **110** können relativ große und starke Sourcefolgertransistoren sein, da die Transistoren **108**, **110** so dimensioniert sein können, dass sie eine maximale Drop-Out-Spannung von 100 Millivolt aufweisen. Darüber hinaus kann die Schaltung, deren Spannung von VREG geliefert wird, so ausgelegt sein, dass der Stromverbrauch von VREG während des Einschaltens im Bereich von 10 bis 100 Mikroampere relativ gering ist. Unter diesen Bedingungen kann die Gate-Source-Spannung der Transistoren **108**, **110** gleich ihrer Schwellenspannung V_{thn} sein. Infolgedessen kann die Sourcespannung für die Transistoren **108**, **110** gleich der GCTRL-Knotenspannung sein, also zumindest 1,4 Volt. Die Drop-Out-Spannung an den aktiven Dioden **112**, **114** ist relativ sehr niedrig, da die Transistoren **108**, **110** und die aktiven Dioden **112**, **114** so dimensioniert sind, dass eine maximale kumulierte Drop-Out-Spannung von 100 Millivolt erreicht wird. Daher kann die Span-

nung VREG während des Einschaltens zumindest 1,4 Volt betragen. 1,4 Volt sind ausreichend groß, um Teile des Spannungsreglers **146** wie die Ladungspumpe **120**, den Verstärker **140** oder andere Elemente (nicht gezeigt) zu betreiben, die während des Einschaltens aktiviert werden. Somit kann der Spannungsabfall über den Dioden **122**, **124** eine Selbstanlaufspannung sein.

[0034] Die Dioden **102**, **104** können in Kombination mit dem Widerstand **118** einen Versorgungspfad zum Erzeugen der Selbstanlaufspannung bereitstellen. Wenn entweder die Einspeisung VIN1 oder VIN2 oder beide Einspeisungen VIN1 und VIN2 höher als $(V_{REG} + U_j + V_{thn})$ sind, wobei U_j die Sperrschichtspannung einer Diode ist, können die Dioden **102**, **104** und der Widerstand **118** dazu beitragen, einen Bruchteil des Stroms für den Zweig der Regelschleife einschließlich des Transistors **116**, der Dioden **122**, **124** und des Transistors **126** bereitzustellen. Der Rest des Stroms eines solchen Zweigs kann von der Ladungspumpe **120** bereitgestellt werden. Wenn jedoch beide Einspeisungen VIN1, VIN2 kleiner als $(V_{REG} + U_j + V_{thn})$ sind, dann fließt überhaupt kein Strom durch diesen Versorgungspfad, da weder die Einspeisung VIN1 noch die Einspeisung VIN2 groß genug sind, um die U_j -„Ein-“ Spannung für die Dioden **102**, **104** bereitzustellen. In dieser Situation wird nur die Ladungspumpe **120** in der Lage, dem Transistor **116**, den Dioden **122**, **124** und dem Transistor **126** einen Versorgungsstrom bereitzustellen.

[0035] Die Regelschleife basiert auf einem Klasse-A-Verstärker, bei dem der Ausgangs-Pull-up-Widerstand der Ausgangswiderstand der Ladungspumpe **120** ist. Der Kern der Regelschleife weist Widerstände **128**, **130**, Referenzspannungsquelle **142**, Verstärker **140**, Transistoren **108**, **110**, Rückwärtssperrdiodeschaltung **106**, Transistor **116**, Diode **122**, **124** und Transistor **126** auf.

[0036] Der Ausgangswiderstand der Ladungspumpe **120** kann die Dimensionierung der Transistoren **116**, **126** und der Dioden **122**, **124** definieren. Der in die Dioden **102**, **104** und den Widerstand **118** fließende Strom addiert sich zu dem von der Ladungspumpe **120** fließenden Strom. Dementsprechend sollte der Widerstand **118** vorzugsweise einen sehr hohen Wert aufweisen, wie z. B. mehrere Megaohm, um den durch diesen Pfad fließenden Strom zu begrenzen. Während ein bestimmter Mechanismus zum Bereitstellen von Anlaufstrom gezeigt wurde, können andere Verfahren, wie die Verwendung einer potentialfreien Stromquelle, verwendet werden.

[0037] Ausführungsformen der vorliegenden Offenbarung des Spannungsreglers **146** können Herausforderungen adressieren, die sich aus der Implementierung von Einspeisungen hoher Spannung bis zu Regelung bei niedriger Spannung ergeben, wie bei-

spielsweise Anforderungen an große Chips zum Vergleichen von Hochspannungswerten, zur Durchführung von Vergleichen von niedrigeren Spannungswerten, wie sie von den Transistoren **108**, **110** verfügbar sind. Ausführungsformen der vorliegenden Offenbarung des Spannungsreglers **146** können eine Folgestruktur von LDO-Spannungsreglerstufen verwenden, wie sie beispielsweise von den Transistoren **108**, **110** implementiert werden, um eine Information zu erhalten, dass die Einspeisungen VIN1 oder VIN2 kleiner als die Spannung VREG sind. Solch eine Information kann in Niederspannungsschaltungen im Spannungsregler **146** verfügbar sein, wie beispielsweise in der Rückwärtssperrdiodenschaltung **106**. Diese Information ist die Differenzspannung zwischen den Source-Anschlüssen der Transistoren **108**, **110**, die als Spannungsfolger arbeiten.

[0038] Wenn die Einspeisungen VIN1 und VIN2 beide größer als die Spannung VREG sind, können beide Transistoren **108**, **110** als Source-Follower-Transistoren eingeschaltet werden, und somit kann an den jeweiligen Source-Anschlüssen der Transistoren **108**, **110** dieselbe jeweilige Spannung anliegen. Die Spannung an der Source des Transistors **108** kann weiterhin die Diode **112** aktivieren und die Spannung an der Source des Transistors **110** kann weiterhin die Diode **114** aktivieren. Somit können die Dioden **112**, **114** den Stromfluss von den Source-Anschlüssen der Transistoren **108**, **110** zu einem Ausgangsknoten für die Spannung VREG ermöglichen, wobei der Stromfluss von beiden Einspeisungen VIN1 und VIN2 gleichmäßig geteilt wird. Der in die Dioden **112** und **114** fließende Strom ist somit der gleiche, was den gleichen Spannungsabfall an den Dioden **112** und **114** verursacht. Daher ist die Differenzspannung zwischen den Source-Anschlüssen der Transistoren **108** und **110** Null.

[0039] Wenn eine der Einspeisungen VIN1 oder VIN2 kleiner als VREG ist, fließt der Strom zu VREG nur von der Einspeisung VIN1 oder VIN2, die größer ist als VREG.

[0040] Wenn die Einspeisung VTN1 kleiner ist als die Spannung VREG, mit einem beliebigen Wert bis herab zu Null, und die Einspeisung VIN2 größer ist als die Spannung VREG, ist die Source des Transistors **108** ebenfalls niedriger als die Spannung VREG, während die Source des Transistors **110** höher als die Spannung VREG ist. Diese verursachte Differenzspannung wird erfasst und die Diode **114** wird ausgeschaltet. Dieses Verhalten gilt für jede Eingangsspannung VIN1, die niedriger als die Spannung VREG bis herab zu Null ist, und für jede Spannung VIN2 größer als VREG bis hin zur maximal zulässigen Spannung (z. B. 22 Volt).

[0041] Wenn die Einspeisung VIN2 kleiner als die Spannung VREG ist, mit einem Wert bis hin zu Null,

und die Eingangsspannung VIN1 größer als VREG ist, ist die Source des Transistors **110** ebenfalls niedriger als die Spannung VREG, während die Source des Transistors **108** höher als die Spannung VREG ist. Diese verursachte Differenzspannung wird erfasst und die Diode **112** wird ausgeschaltet. Dieses Verhalten gilt für jede Eingangsspannung VIN2, die niedriger als VREG bis hin zu Null ist, und für jede VIN1-Spannung größer als VREG bis hin zur maximal zulässigen Spannung (z. B. 22 Volt).

[0042] Die aktiven Dioden **114**, **112** werden nachstehend im Zusammenhang mit **Fig. 3** ausführlicher veranschaulicht.

[0043] **Fig. 3** ist eine detailliertere Veranschaulichung von Teilen des Spannungsreglers **146** gemäß Ausführungsformen der vorliegenden Offenbarung. Insbesondere ist eine detailliertere Veranschaulichung der Rückwärtssperrdiodenschaltung **106** im Zusammenhang mit dem Spannungsregler **146** veranschaulicht.

[0044] Die Rückwärtssperrdiodenschaltung **106** kann Transistoren **232**, **234**, **238**, **240**, **242**, **244**, **246**, **248**, **250**, **252**, **254**, **256** und Widerstand **236** aufweisen, von denen jeder auf irgendeine geeignete Weise implementiert werden kann. Die Transistoren **232**, **234**, **238**, **240**, **242**, **244** können durch p-Kanal-MOSFETs implementiert werden. Die Transistoren **246**, **248**, **250**, **252**, **254**, **256** können durch n-Kanal-MOSFETs implementiert werden. Der Widerstand **236** kann einen Wert von 1,4 Megaohm aufweisen. Der Kondensator **258** ist der Reglerausgangstank- (Bypass-) Kondensator und kann einen Wert von 90 Picofarad aufweisen.

[0045] Die Source des Transistors **232** kann mit der Source des Transistors **108** verbunden sein. Die Source des Transistors **234** kann mit der Source des Transistors **110** verbunden sein. Der Drain und das Gehäuse des Transistors **232** und der Drain des Transistors **234** können mit einem Ausgangsknoten **260** für Spannung VREG verbunden sein. Weiterhin können der Drain und das Gehäuse des Transistors **232** und der Drain und das Gehäuse des Transistors **234** mit einem ersten Ende des Widerstands **236** verbunden sein.

[0046] Das Gehäuse der Transistoren **238**, **240**, **242**, **244** kann mit dem Ausgangsknoten **260** für die Spannung VREG verbunden sein. Die Source des Transistors **238** kann mit der Source des Transistors **8** verbunden sein. Die Source des Transistors **240** kann mit der Source des Transistors **110** verbunden sein. Die Source des Transistors **242** kann mit der Source des Transistors **108** verbunden sein. Die Source des Transistors **244** können mit der Source des Transistors **110** verbunden sein. Die Gates der Transistoren **238**, **240** können miteinander und weiterhin mit

dem Drain des Transistors **238** verbunden sein. Die Gates der Transistoren **242**, **244** können miteinander und weiterhin mit dem Drain des Transistors **244** verbunden sein. Das Gate des Transistors **232** kann mit dem Drain des Transistors **240** verbunden sein. Das Gate des Transistors **234** kann mit dem Drain des Transistors **242** verbunden sein. Diese Konfiguration kann bei LDO-Spannungsreglern nach dem Stand der Technik untypisch sein. Diese Konfiguration kann es jedoch ermöglichen, dass der LDO-Spannungsregler **146** über eine intrinsische Source von Gehäusedioden der Transistoren **232**, **234** den Betrieb aufnimmt. Wenn an der Source des Transistors **108** eine Spannung anliegt und die Spannung VREG gleich Null Volt oder sehr niedrig ist, ist die intrinsische Source zum Gehäuse des Transistors **232** in Vorwärtsrichtung vorgespannt und zieht die Spannung VREG hoch. Darüber hinaus kann dies dazu führen, dass der Transistor **232** als aktive Diode verwendet wird, die bei Bedarf vollständig ausgeschaltet wird. In ähnlicher Weise ist, wenn eine Spannung an der Source des Transistors **110** vorhanden ist und die Spannung VREG gleich Null Volt oder sehr niedrig ist, die intrinsische Source zum Gehäuse des Transistors **234** in Vorwärtsrichtung vorgespannt und zieht die Spannung VREG hoch. Darüber hinaus kann dies dazu führen, dass der Transistor **234** als aktive Diode verwendet wird, die bei Bedarf vollständig ausgeschaltet wird. Der Transistor **232** kann vollständig ausgeschaltet sein, wenn beispielsweise die Einspeisung VIN1 kleiner als die Spannung VREG ist. Der Transistor **234** kann vollständig ausgeschaltet sein, wenn beispielsweise die Einspeisung VIN2 kleiner als VREG ist. Somit können die Transistoren **232**, **234** als aktive Dioden arbeiten.

[0047] Jeder der Transistoren **238**, **240**, **242** und **244** kann seine Source und sein Gehäuse miteinander verbunden haben. Somit kann jeder Transistor **238**, **240**, **242** und **244** in seiner individuellen Wanne angeordnet sein, dies kann jedoch einen größeren Layoutbereich für diese Gruppe von Transistoren verursachen.

[0048] Die Gates der Transistoren **246**, **248**, **250**, **252**, **254**, **256** können mit einem zweiten Ende des Widerstands **236** verbunden sein. Die Source-Anschlüsse der Transistoren **246**, **248**, **250**, **252**, **254**, **256** können mit Masse verbunden sein. Der Drain des Transistors **246** und der Drain des Transistors **256** können mit dem zweiten Ende des Widerstands **236** verbunden sein. Die Transistoren **246**, **256** können parallel geschaltet sein und könnten somit als eine einzelne Vorrichtung implementiert werden. Diese getrennt zu implementieren kann jedoch die Gesamtsymmetrie und damit die Gesamtleistung des Spannungsreglers **146** verbessern. Der Drain des Transistors **248** kann mit dem Drain des Transistors **238** verbunden sein. Der Drain des Transistors **250** kann mit dem Drain des Transistors **240** verbunden sein. Der

Drain des Transistors **252** kann mit dem Drain des Transistors **242** verbunden sein. Der Drain des Transistors **254** kann mit dem Drain des Transistors **244** verbunden sein.

[0049] Der Kondensator **258** kann zwischen einem Ausgangsknoten **260** für die Spannung VREG und Masse geschaltet sein. Der Kondensator **258** kann eine relativ kleine Größe aufweisen, wie beispielsweise 90 Picofarad. Die relativ kleine Größe des Kondensators **258** kann ermöglichen, dass der Kondensator **258** innerhalb des Spannungsreglers **146** implementiert wird, im Gegensatz zu einem größeren Kondensator, der möglicherweise ein externer Kondensator sein muss und außerhalb des Spannungsreglers **146** implementiert ist. Die kleine Größe des Kondensators **258** kann durch Ausführungsformen der vorliegenden Offenbarung ermöglicht werden. Insbesondere kann die geringe Größe des Kondensators **258** und damit die Einbindung in den Spannungsregler **146** durch die Verwendung einer NMOS-Sourcefolger-Ausgangsstufe, wie zum Beispiel der Transistoren **108**, **110**, ermöglicht werden.

[0050] Die aktive Diode **114** kann in **Fig. 3** durch den Transistor **232** umgesetzt werden. Die aktive Diode **112** kann in **Fig. 3** durch den Transistor **234** implementiert werden. Die Transistoren **238**, **240**, **248**, **250** können einen Differenzverstärker implementieren, um den Betrieb des Transistors **232** zu steuern. Die Transistoren **242**, **244**, **252**, **254** können einen Differenzverstärker implementieren, um den Betrieb des Transistors **234** zu steuern. Die Transistoren **246**, **256** können als globale Vorspannung für die Transistoren **246**, **250**, **252**, **254** arbeiten.

[0051] Um eine Pin-Anzahl des Spannungsreglers **146** zu verringern, kann in einer Ausführungsform kein Ausgangs-Pin für den externen Zugriff auf die interne geregelte Spannung bereitgestellt werden. In einer solchen Ausführungsform kann die Spannung VREG möglicherweise nicht an andere Elemente außerhalb des Spannungsreglers **146** bereitgestellt werden.

[0052] Die Transistoren **238**, **240**, **248** und **250** können einen Komparator **290** implementieren, der den Transistor **232** ansteuert (der wiederum eine aktive Diode implementiert). Die Transistoren **242**, **244**, **252** und **254** implementieren einen Komparator **292**, der den Transistor **234** ansteuert (der wiederum eine aktive Diode implementiert).

[0053] Wenn die Transistoren **238**, **240** identisch sind und wenn die Transistoren **248**, **250** identisch sind, weist der Komparator **290** keinen Offset auf. Jedoch verursacht das Implementieren des Transistors **250** mit 50% größerer Breite als Transistor **248** einen Offset von 20 Millivolt. Wenn dementsprechend die Differenzspannung am Eingang des Komparators

290 Null ist, bewirkt das Implementieren des Transistors **250** mit 50% größerer Breite als Transistor **248**, dass der Ausgang des Komparators **290** Null ist, wodurch der Transistor **232** als aktive Diode arbeitet, die vollständig „eingeschaltet“ ist. Wie oben erörtert, ist die Differenzspannung zwischen der Source der Transistoren **108**, **110** Null, wenn beide Einspeisungen VIN1 und VIN2 größer als die Spannung VREG sind. Unter dieser Bedingung müssen beide Dioden **232**, **234** „an“ sein, was impliziert, dass die Gate-Spannung der Transistoren **108**, **110** Null sein muss. Durch Implementieren eines 20-Millivolt-Offsets im Komparator **290** und im Komparator **292** (durch Implementieren des Transistors **252** mit 50% größerer Breite als Transistor **254**) werden beide Dioden **232**, **234** so ausgebildet, dass sie vollständig eingeschaltet sind, wenn beide Einspeisungen VIN1 und VIN2 größer als VREG sind. Diese Bedingung bleibt bestehen, bis die Sourcespannung des Transistors **108** 20 Millivolt unter der Sourcespannung des Transistors **110** liegt oder die Sourcespannung des Transistors **110** 20 Millivolt unter der Sourcespannung des Transistors **108** liegt.

[0054] Betrachten wir den Fall, in dem die Einspeisung VIN2 zumindest 100 Millivolt höher ist als die Spannung VREG und die Einspeisung VIN1 höher ist als die Spannung VREG, die Einspeisung VIN1 jedoch begonnen hat zu fallen. Die Sourcespannung des Transistors **108** wird niedriger als die Sourcespannung des Transistors **110**, wenn die Eingangsspannung VIN1 gleich oder niedriger als die Spannung VREG ist. Dann steigt die Differenzspannung zwischen den Source-Anschlüssen der Transistoren **108**, **110** an, wenn die Einspeisung VIN1 niedriger wird als die Spannung VREG. Der Strom beginnt von VREG zur Einspeisung VIN1 zu fließen, sobald die Einspeisung VIN1 kleiner als die Spannung VREG ist. Dies führt zu einem Kreuzleitungszustand zwischen den Einspeisungen VIN2 und VIN1: die Einspeisung VIN2 stellt VREG bereit, die wiederum die Einspeisung VIN1 bereitstellt, so dass die Einspeisung VIN2 die Einspeisung VIN1 bereitstellt. Idealerweise sollte diese Situation nicht auftreten. Jedoch kann ein solches Phänomen nur unwesentlich schädlich sein und schnell verschwinden. Der Differenz-Offset von 20 Millivolt, der bewirkt, dass der Transistor **232** abgekoppelt wird, ein Triggerpunkt, wird typischerweise erreicht, wenn die Einspeisung VIN1 in einem Bereich von fünf bis fünfzig Millivolt unter der Spannung VREG liegt. Der genaue Wert des Triggerpunkts hängt von der relativen Größe der Transistoren **108**, **110** und der Transistoren **232**, **234** ab. Sobald der Triggerpunkt erreicht ist, wird der Transistor **232** „ausgeschaltet“, wodurch der Pfad von VREG zur Einspeisung VIN1 entfernt wird und damit der Pfad von Einspeisung VIN2 zu Einspeisung VIN1. Durch Entfernen dieses Pfades steigt die Differenzspannung zwischen der Source des Transistors **108** und der Source des Transistors **110** an. Es kann ein

kleiner positiver Abfall Vdrop_cross von einigen Millivolt zwischen Source und Drain des Transistors **108** aufgetreten sein. Dieser Kreuzleitungsspannungsabfall war auf den Strom zurückzuführen, der von der Source des Transistors **108** zum Drain des Transistors **108** fließt. Diese Spannung fällt auf Null ab, sobald der Transistor **232** „ausgeschaltet“ wird, da der Kreuzleitungsstrom, der in den Transistor **108** fließt, aufgehoben wird. Infolgedessen wird die Spannung an der Source des Transistors **108** durch Vdrop_cross reduziert. Gleichzeitig fällt der in den Transistor **110** fließende Strom, der gleich dem geregelten Strom (d.h. dem Strom, der dem Ausgang von VREG zugeführt wird) plus dem Kreuzleitungsstrom war, auf den geregelten Strom ab. Dies verursacht einen Anstieg der Sourcespannung des Transistors **110** von ungefähr Vdrop_cross. Schließlich springt die Differenzspannung am Eingang des Komparators **290** von 20 Millivolt auf etwa 20 Millivolt plus zweimal Vdrop_cross, wenn der Transistor **232** „ausgeschaltet“ wird. Dementsprechend ist der Transistor **232** sicher „ausgeschaltet“. Dies vermeidet Schwingungen, wenn der Auslösepunkt des Komparators **290** erreicht wird. Um den Transistor **232** wieder „einzuschalten“, würde sich die Einspeisung VIN1 um das Zweifache von Vdrop_cross erhöhen. Dementsprechend weist die Rückwärtssperrdiodenschaltung **106** eine Hysterese von ungefähr dem Zweifachen von Vdrop_cross auf, typischerweise 10 bis 20 Millivolt. Dies kann als eingebaute Hysterese bezeichnet werden. Normalerweise tritt der Auslösepunkt, an dem der Transistor **232** „ausgeschaltet“ wird, auf, wenn die Einspeisung VIN1 gleich der Spannung VREG ist. Von diesem Punkt an bleibt der Transistor **232** für weitere Werte des Eingangs VIN1 bis herunter zu Null Volt ausgeschaltet.

[0055] Nehmen wir an, die Einspeisung VIN2 ist jetzt noch zumindest gleich der Spannung VREG plus 100 Millivolt, und die Einspeisung VIN1 beginnt von Null (oder einem beliebigen Wert zwischen Null und Spannung VREG) hochzufahren. Die Sourcespannung des Transistors **108** ist gleich der Einspeisung VIN1, da der Transistor **108** „an“ ist und kein Strom hindurchfließt (der Transistor **232** ist „aus“). Um den Transistor **232** wieder „einzuschalten“, muss die Einspeisung VIN1 auf ($2 * Vdrop_cross$) über dem Punkt ansteigen, an dem die Einspeisung VIN1 während des Herunterfahrens der Einspeisung VIN1 getrennt wurde, wodurch ein Anstieg auf etwa VREG-Spannung erreicht wurde.

[0056] Unter der Annahme, dass die Einspeisung VIN2 zumindest 100 Millivolt höher als die Spannung VREG und Vdrop_cross 10 Millivolt beträgt, handelt es sich bei der Spannung zum Triggern des Transistors **232** zum Einschalten um die Spannung VREG für die Einspeisung VIN1, die von einem Wert ansteigt, der kleiner als die Spannung VREG ist und die Spannung zum Triggern des Transistors **232** zum Ausschalten beträgt etwa (Spannung VREG - 20 Millivolt) für die

Einspeisung VIN1, die von einem Wert abfällt, der höher als die Spannung VREG ist.

[0057] In dem obigen Beispiel erfasst der Komparator **290** die Differenzspannung zwischen den Source-Anschlüssen der Transistoren **108**, **110**, um den Transistor **232** zu betreiben. In ähnlicher Weise erfasst der Komparator **292** die Differenzspannung zwischen den Source-Anschlüssen der Transistoren **108**, **110**, um den Transistor **234** zu betreiben. In einer anderen Ausführungsform könnte die Differenzspannung zwischen der Source des Transistors **108** und der Spannung VREG verwendet werden. Eine solche Ausführungsform kann jedoch möglicherweise nicht von einem Anstieg der Empfindlichkeit profitieren, der erreicht wird, wenn die Erfassung zwischen den Source-Anschlüssen der Transistoren **108**, **110** ausgeführt wird.

[0058] Der eingebaute Offset von 20 Millivolt kann beide Pfade für die Einspeisungen VIN1 und VIN2 so konfigurieren, dass sie aktiviert werden, wenn beide Einspeisungen VIN1 und VIN2 größer als die Spannung VREG sind. Der Offset minimiert die Gesamt-Drop-Out-Spannung des Spannungsreglers **146**, da beide Einspeisungen VIN1 und VIN2 parallel arbeiten. Idealerweise könnte dieser Wert dramatisch verringert werden, wenn jede Vorrichtung des Spannungsreglers **146** perfekt angepasst wäre, wodurch eine echte Differenzspannung von Null zwischen den Source-Anschlüssen von Transistor **108**, **110** verursacht würde, wenn beide Einspeisungen VIN1 und VIN2 größer als die Spannung VREG sind. In der Praxis kann jedoch, wenn beide Einspeisungen VIN1 und VIN2 größer als die Spannung VREG sind, die Differenzspannung zwischen den Source-Anschlüssen von Transistor **108**, **110** im Bereich von 5 bis 10 Millivolt liegen. Darüber hinaus kann der tatsächlich eingebaute Offset bis zu 5-10 Millivolt vom vorgesehenen Wert abweichen. Daher kann ein eingebauter Offset von 20 Millivolt ein guter Kompromiss sein, der dazu beiträgt, die Pfade VIN1 und VIN2 so zu konfigurieren, dass sie aktiviert werden, wenn sowohl VIN1 als auch VIN2 größer als VREG ist, während der Kreuzleitungsstrom begrenzt wird. Das Verringern dieses eingebauten Offset verringert den Kreuzleitungsstrom, kann jedoch zu einer Situation führen, in der der Drop-Out erhöht wird, wenn eine von VIN1 oder VIN2 deaktiviert ist. Durch Erhöhen des eingebauten Offset auf 20 Millivolt wird ein möglicher Drop-Out verringert, aber der Kreuzleitungsstrom erhöht.

[0059] Wie zuvor erläutert, ist, wenn die Einspeisung VIN1 kleiner als die Spannung VREG ist, die Source des Transistors **108** gleich der Einspeisung VIN1 abzüglich des Spannungsabfalls des Transistors **108**, da der Transistor **108** stark „an“ ist. Wenn die Einspeisung VIN2 kleiner als die Spannung VREG ist, ist die Source des Transistors **110** gleich der Einspeisung VIN2 abzüglich des Spannungsabfalls des

Transistors **110**, da der Transistor **110** stark „an“ ist. Dies kann den Transistor **108** oder den Transistor **110** aus ihren jeweiligen sicheren Betriebsbereichen herausdrücken. Dies kann insbesondere dann auftreten, wenn eine der Einspeisungen VIN1, VIN2 höher als die Spannung VREG ist und die andere der Einspeisungen VIN1, VIN2 Null ist. Wenn beispielsweise die Einspeisung VIN1 größer als die Spannung VREG ist und die Einspeisung VIN2 Null ist, kann die Source des Transistors **110** gleich Null sein und die Gate-Source-Spannung des Transistors **110** ist gleich der Spannung von GN. Die Spannung von GN hängt von dem Strom ab, der durch den Transistor **108** und die aktive Diode **232** zur Spannung VREG fließt. Wenn dieser Strom sehr niedrig ist, beträgt der Spannungswert von GN ungefähr die Spannung VREG plus die Schwellenspannung (V_{th}) des Transistors **108**. Wenn der Ausgang des Spannungsreglers **146** hoch ist, kann der Spannungswert von GN so groß sein wie $2 * VREG$. Dementsprechend kann die Gate-Source-Spannung (V_{gs}) des Transistors **110** so groß wie $2 * VREG$ sein. In vielen Anwendungen können die Transistoren **108**, **110** sowie alle anderen im Niederspannungsbereich arbeitenden Transistoren einen maximal sicheren Betriebsbereich für die Gate-Spannung aufweisen, der nahe an der Spannung VREG liegt, wie beispielsweise $1,1 * VREG$. Somit kann in diesem Beispiel der Transistor **110** für die meisten Anwendungen eine V_{gs} -Spannung außerhalb des sicheren Betriebsbereichs aufweisen.

[0060] Fig. 4 veranschaulicht weitere Details einer beispielhaften Implementierung des Spannungsreglers **146**, um Probleme zu adressieren, die sich aus Gate- zu Source-Spannungen ergeben, die außerhalb des sicheren Betriebsbereichs für Transistoren gemäß Ausführungsformen der vorliegenden Offenbarung arbeiten. Die Implementierung des Spannungsreglers **146**, wie in Fig. 4 gezeigt, kann Modifikationen nach Fig. 2 aufweisen. In dem Beispiel von Fig. 4 können eine andere Ladungspumpe **450**, ein Widerstand **458**, Dioden **452**, **454** und Gate-Schutzschaltungen **472**, **474** zur Implementierung des Spannungsreglers **146** nach Fig. 2 hinzugefügt werden. Der Transistor **116** von Fig. 2 könnte in der beispielhaften Implementierung von Fig. 4 nicht verwendet werden.

[0061] Die Diode **104** kann an ihrer Kathode mit einem ersten Ende des Widerstands **458** anstelle des Widerstands **118** verbunden sein, wie in Fig. 2 gezeigt. Ein zweites Ende des Widerstands **458** kann mit der Anode der Diode **454** verbunden sein. Eine solche Verbindung kann auch als GN2 bezeichnet werden. Das Gate des Transistors **110** kann mit GN2 anstelle von GN verbunden sein, wie in Fig. 2 gezeigt. Der Ausgang der Ladungspumpe **450** kann mit GN2 verbunden sein. Die Kathode der Diode **454** kann mit einem als GCTRL bezeichneten Verbindungspunkt verbunden sein. Die Gate-Schutzschal-

tung **474** kann beispielsweise eine Reihe von vier Dioden aufweisen. Die Gate-Schutzschaltung **474** kann am Anodenende ihrer ersten Diode mit GN2 verbunden sein. Die Gate-Schutzschaltung **474** kann am Kathodenende ihrer letzten Diode mit der Source des Transistors **110** verbunden sein.

[0062] Die Ausgabe der Ladungspumpe **120** kann an GN1 erfolgen, anstatt an GN wie in **Fig. 2** gezeigt. GN1 kann mit dem Gate des Transistors **108** verbunden sein. GN1 kann mit der Anode der Diode **452** verbunden sein. Die Kathode der Diode **452** kann mit GCTRL verbunden sein. Die Gate-Schutzschaltung **472** kann beispielsweise eine Reihe von vier Dioden aufweisen. Die Gate-Schutzschaltung **472** kann am Anodenende ihrer ersten Diode mit GN1 verbunden sein. Die Gate-Schutzschaltung **472** kann am Kathodenende ihrer letzten Diode mit der Source des Transistors **108** verbunden sein. Die Anode der Diode **102** ist möglicherweise nicht mit der Anode der Diode **104** verbunden, wie in **Fig. 2** gezeigt. GCTRL kann mit der Kathode der Diode **122** verbunden sein.

[0063] GCTRL kann der Hauptsteuerknoten für den Regelkreis sein. Wenn beide Einspeisungen VIN1 und VIN2 größer als die Spannung VREG sind, sind die Spannungen GN1 und GN2 gleich. Dementsprechend kann der Spannungsregler **146** auf die gleiche Weise wie in **Fig. 2** arbeiten. Weiterhin wird der Transistor **108** von der Regelschleife (durch die Diode **114**) getrennt, wenn die Einspeisung VIN1 kleiner als die Spannung VREG ist und der einzige aktive Eingang der Regelschleife die Einspeisung VIN2 durch den Transistor **110** und die Diode **112** ist. In ähnlicher Weise wird der Transistor **110** von der Regelschleife (durch die Diode **112**) getrennt, wenn die Einspeisung VIN2 kleiner als die Spannung VREG ist und der einzige aktive Eingang der Regelschleife die Einspeisung VIN1 über den Transistor **108** und die aktive Diode **114** ist. Wenn jedoch die Gate-Ansteuerung für die Transistoren **108** und **110** separiert sind, steuert GN1 die Schleife nur, wenn die Einspeisung VIN2 kleiner als die Spannung VREG ist, und GN2 steuert die Schleife nur, wenn die Einspeisung VIN1 kleiner als die Spannung VREG ist. Dementsprechend kann GN1 oder GN2 nach Bedarf geklemmt werden, wie nachstehend ausführlicher erläutert wird.

[0064] Dementsprechend kann in **Fig. 4** die Gate-Ansteuerspannung des Transistors **108** von der Gate-Ansteuerspannung des Transistors **110** separiert sein. Wie oben erörtert, kann der Transistor **116** nach **Fig. 2** in der beispielhaften Implementierung von **Fig. 4** nicht verwendet werden. Stattdessen kann die Diode **452** verwendet werden. Die Diode **452** kann beispielsweise durch eine intrinsische Body-Source-Übergangsdiode eines Transistors implementiert werden. Der Widerstand **458** kann mit dem gleichen Widerstand wie der Widerstand **118** imple-

mentiert werden. Die Diode **454** kann auf die gleiche Weise wie die Diode **452** implementiert werden.

[0065] Dementsprechend wird in **Fig. 4**, wenn die Einspeisung VIN1 höher als die Spannung VREG ist und die Einspeisung VIN2 gleich Null ist, die Spannung VREG wird über die Einspeisung VIN1 bereitgestellt. Darüber hinaus ist der Pfad für die Einspeisung VIN2 durch die aktive Rückwärtssperrdiode **112** gesperrt, wie dies in **Fig. 2** durchgeführt wurde. In **Fig. 4** ist die Spannung an GN2 am Gate des Transistors **110** jedoch auf die Spannung über der Gate-Schutzschaltung **474** begrenzt. Eine solche Spannung kann beispielsweise ungefähr 2,8 Volt betragen, wenn vier gestapelte Dioden in der Gate-Schutzschaltung **474** verwendet werden. Eine solche geklemmte Spannung an GN2 kann den Regelkreis möglicherweise nicht beeinflussen, der unter dieser Bedingung Widerstände **128**, **130**, Referenzspannungsquelle **142**, Verstärker **140**, Dioden **122**, **124** und Transistor **126** zum Überwachen der GCTRL aufweist, und im gegenwärtig aktiven Pfad der Einspeisung VIN1 die Diode **102**, den Widerstand **118**, die Ladungspumpe **120**, die Diode **452**, die Transistoren **108** und die Diode **114**. Die geklemmte Spannung an GN2 hat möglicherweise keinen Einfluss auf den aktiven Pfad der Einspeisung VIN1, da sie durch die Diode **454** von der Regelschleife isoliert ist, die jetzt in Sperrrichtung vorgespannt und somit blockiert ist. Der aus der Ladungspumpe **160** fließende Strom kann gleich $(2 * VREG - V_{clamp}) / R_{chargepump}$ sein und kann somit sieben Mikroampere betragen (wobei $VREG = 3,3 \text{ V}$, $V_{clamp} = 2,8 \text{ V}$ und $R_{chargepump} = 550 \text{ k}\Omega$).

[0066] Wenn die Einspeisung VIN2 höher ist als die Spannung VREG und die Einspeisung VTN1 gleich Null ist, kann die Spannung VREG über die Einspeisung VIN2 erfolgen. Darüber hinaus kann der Pfad für die Einspeisung VIN1 durch die aktive Rückwärtssperrdiode **114** blockiert werden, wie dies in **Fig. 2** durchgeführt wurde. In **Fig. 4** ist jedoch die Spannung an GN1 am Gate des Transistors **108** auf die Spannung über der Gate-Schutzschaltung **472** begrenzt. Eine solche Spannung kann beispielsweise ungefähr 2,8 Volt betragen, wenn vier gestapelte Dioden in der Gate-Schutzschaltung **472** verwendet werden. Eine solche geklemmte Spannung an GN1 kann den Regelkreis nicht beeinflussen, der unter dieser Bedingung den Widerstand **128**, **130**, Referenzspannungsquelle **142**, Verstärker **140**, Dioden **122**, **124** und Transistor **126** zum Überwachen der GCTRL aufweist und im derzeit aktiven Pfad der Einspeisung VIN2 Diode **104**, Widerstand **458**, Ladungspumpe **450**, Diode **454**, Transistor **110** und Diode **114** aufweist. Die geklemmte Spannung an GN1 hat möglicherweise keinen Einfluss auf den aktiven Pfad der Einspeisung VIN1, da sie von der Regelschleife durch die Diode **452** isoliert ist, die jetzt in Sperrrichtung vorgespannt und daher blockiert ist. Der aus der Ladungspumpe **120** fließende Strom kann gleich $(2 * VREG - V_{clamp}) / R_{chargepump}$ sein und kann somit sieben Mikroampere betragen (wobei $VREG = 3,3 \text{ V}$, $V_{clamp} = 2,8 \text{ V}$ und $R_{chargepump} = 550 \text{ k}\Omega$).

VREG-Vclamp) / Rchargepump sein und kann somit sieben Mikroampere betragen (wobei VREG = 3,3 V, Vclamp = 2,8 V und Rchargepump = 550 kQ).

[0067] Während des normalen Betriebs, bei dem die Einspeisungen VIN1 und VIN2 beide größer als die Spannung VREG sind, haben die Knoten GN1 und GN2 das gleiche Potential, ungefähr $GCTRL + 0,7 V$, da der Spannungsabfall an identischen Dioden **452** und **454** gleich ist. Der VREG-Strom wird also wie zuvor beschrieben gleichermaßen von VIN1 und VIN2 geteilt.

[0068] Fig. 5 ist eine Veranschaulichung einer weiteren, detaillierteren Veranschaulichung von Teilen des Spannungsreglers **146**, die im Rahmen der Implementierung nach Fig. 4 gemäß Ausführungsformen der vorliegenden Offenbarung verwendet werden kann. Insbesondere veranschaulicht Fig. 5 eine alternative Implementierung des Spannungsreglers **146** im Vergleich zu Fig. 3. Anstatt die Gates beider Transistoren **108**, **110** mit demselben Knoten GN zu verbinden, können in Fig. 5 die Gates der Transistoren **108**, **110** mit verschiedenen Knoten verbunden sein. Insbesondere kann das Gate des Transistors **108** mit GN1 verbunden sein, wie in Fig. 4 gezeigt. Darüber hinaus kann das Gate des Transistors **110** mit GN2 verbunden sein, wie in Fig. 4 gezeigt. Somit können die Transistoren **108**, **110** separat betrieben werden.

[0069] Fig. 6 ist eine Veranschaulichung des simulierten Verhaltens des LDO-Spannungsreglers mit zwei Eingängen gemäß Ausführungsformen der vorliegenden Offenbarung.

[0070] Die Kurve **602** zeigt Beispielwerte der Einspeisung VIN1, die sich im Laufe der Zeit ändern. Die Kurve **604** zeigt beispielhafte Werte der Einspeisung VIN2, die sich im Laufe der Zeit ändern. Die Kurve **606** zeigt die Spannung VREG, die sich aus den Einspeisungen VIN1 und VIN2 über die Zeit ergibt. Die Kurve **608** zeigt beispielhafte Stromwerte in einem Port **150** für Einspeisung VIN1 über die Zeit. Trace **610** zeigt beispielhafte Stromwerte in einem Port **152** für VIN2 über die Zeit.

[0071] Bei **0** Millisekunden kann die Einspeisung VIN1 schnell auf 2 Volt ansteigen und die Spannung VREG kann mit einer kleinen Verzögerung folgen. VIN2 kann bei 0 Volt verbleiben. Nach ungefähr 1 Millisekunde kann die Einspeisung VIN1 auf 5 Volt ansteigen und die Spannung VREG kann folgen. Bei ungefähr 2,1 Millisekunden kann die Einspeisung VIN den Wert der Spannung VREG erreichen. Anschließend kann die Spannung VREG ihren Folgemodus verlassen und in einen Regelmodus wechseln. Dementsprechend stoppt die Spannung VREG der Einspeisung VIN1 zu folgen und beginnt als 3,3 Volt geregelt zu werden. Während dieser ersten Sequenz

kann die Einspeisung VIN2 niedriger als die Spannung VREG sein. Weiterhin kann die durch den Transistor **234** implementierte aktive Diode ausgeschaltet sein. Somit kann der gesamte Strom, der die Spannung VREG liefern soll, durch die Einspeisung VIN1 über den Transistor **108** und die durch den Transistor **232** implementierte aktive Diode bereitgestellt werden.

[0072] Nach **3** Millisekunden kann VIN2 beginnen, auf 5 V hochzufahren. Sobald die Einspeisung VIN2 größer als die Spannung VREG wird, kann der Transistor **234**, der eine aktive Sperrdiode implementiert, eingeschaltet werden. Dies kann den Ausgangspfad für VIN2 aktivieren, während der Ausgangspfad von Einspeisung VIN1 aufrechterhalten bleibt. Der der Spannung VREG bereitgestellte Strom, kann zu gleichen Teilen von den Anschlüssen **150**, **152** für die Einspeisungen VIN1 und VIN2 geteilt werden.

[0073] Nach zehn Millisekunden kann die Einspeisung VIN1 abfallen, während die Einspeisung VIN2 auf 5 Volt gehalten wird. Aufgrund der eingebauten Hysterese im Spannungsregler **146** bleibt der Transistor **232**, der eine aktive Sperrdiode auf dem Ausgangspfad der Einspeisung VIN1 implementiert, eingeschaltet, bis die Einspeisung VIN1 knapp unter die Spannung VREG fällt. Dies führt kurz vor zwölf Millisekunden zu einem Kreuzleitungszustand, der durch Stromspitzen in entgegengesetzter Richtung für die Einspeisungen VIN1 und VIN2 angezeigt wird. Die Stromaufnahme wird für die Einspeisung VIN2 vollständig an den Port **152** übertragen, sobald die Einspeisung VIN1 nach vierzehn Millisekunden auf null Volt abfällt.

[0074] Obwohl die vorliegende Offenbarung ausführlich und unter Bezugnahme auf bestimmte Elemente beschrieben wurde, können Ergänzungen, Änderungen und äquivalente Komponenten eingebracht werden, ohne vom Schutzzumfang der vorliegenden Offenbarung abzuweichen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 62/713634 [0001]

Patentansprüche

1. Low Drop-Out (LDO-) Spannungsregler, der aufweist:

einen ersten Spannungseingang;
einen zweiten Spannungseingang;
einen geregelten Spannungsausgang;
eine erste Sperrdiode;
eine zweite Sperrdiode; und
eine Schaltung, ausgebildet um:

Leckverlust zum ersten Spannungseingang mit der ersten Sperrdiode zu blockieren, wenn der erste Spannungseingang kleiner als der geregelte Spannungsausgang ist; und
den geregelten Spannungsausgang vom ersten Spannungseingang und vom zweiten Spannungseingang bereitzustellen.

2. LDO-Spannungsregler nach Anspruch 1, wobei die Schaltung weiterhin ausgebildet ist, um Leckverluste an dem zweiten Spannungseingang mit der zweiten Sperrdiode zu blockieren, wenn der zweite Spannungseingang kleiner als der geregelte Spannungsausgang ist.

3. LDO-Spannungsregler nach einem der Ansprüche 1 bis 2, der weiterhin mehrere interne Vorrichtungen aufweist, die ausgebildet sind, um von dem geregelten Spannungsausgang betrieben zu werden.

4. LDO-Spannungsregler nach einem der Ansprüche 1 bis 3, der weiterhin einen Ausgangstank-By-pass-Kondensator aufweist.

5. LDO-Spannungsregler nach einem der Ansprüche 1 bis 4, wobei:

die erste Sperrdiode und die zweite Sperrdiode durch aktive Dioden implementiert sind,
ein erster Steuereingang der ersten Sperrdiode mit einer Anode der zweiten Sperrdiode verbunden ist; und
ein zweiter Steuereingang der zweiten Sperrdiode mit einer Anode der ersten Sperrdiode verbunden ist.

6. LDO-Spannungsregler nach einem der Ansprüche 1 bis 5, wobei die erste Sperrdiode und die zweite Sperrdiode durch Transistoren implementiert sind.

7. LDO-Spannungsregler nach einem der Ansprüche 1 bis 6, wobei:

der erste Spannungseingang über einen ersten n-Kanal-Transistor mit der ersten Sperrdiode verbunden ist;
der zweite Spannungseingang über einen zweiten n-Kanal-Transistor mit der zweiten Sperrdiode verbunden ist; und
die ersten und zweiten n-Kanal-Transistoren ausgebildet sind, in Bezug aufeinander als Spannungsfolger zu arbeiten.

8. Mikrocontroller, der aufweist:

eine erste Spannungsquelle;
eine zweite Spannungsquelle; und
einen Low-Drop-Out- (LDO-) Spannungsregler nach einem der Ansprüche 1 bis 7.

9. Verfahren, das in einem Low-Drop-Out- (LDO-) Spannungsregler aufweist:

Empfangen einer Einspeisung von einer ersten Spannungsquelle an einem ersten Spannungseingang;
Empfangen einer Einspeisung von einer zweiten Spannungsquelle an einem zweiten Spannungseingang;
Blockieren von Leckverlusten von einem geregelten Spannungsausgang des LDO-Reglers zum ersten Spannungseingang mit der ersten Sperrdiode, wenn die erste Spannungseinspeisung kleiner ist als der geregelte Spannungsausgang; und
Bereitstellen des geregelten Spannungsausgangs vom ersten Spannungseingang und vom zweiten Spannungseingang.

10. Verfahren nach Anspruch 9, das weiterhin das Blockieren eines Leckverlusts vom geregelten Spannungsausgang zum zweiten Spannungseingang mit der zweiten Sperrdiode aufweist, wenn der zweite Spannungseingang kleiner ist als der geregelte Spannungsausgang.

11. Verfahren nach einem der Ansprüche 9 bis 10, das weiterhin das Bereitstellen des geregelten Spannungsausgangs für mehrere interne Vorrichtungen des LDO-Reglers aufweist.

12. Verfahren nach einem der Ansprüche 9 bis 11, das weiterhin aufweist:

Bereitstellen aktiver Dioden zum Implementieren der ersten Sperrdiode und der zweiten Sperrdiode;
Verbinden eines ersten Steuereingangs der ersten Sperrdiode mit einer Anode der zweiten Sperrdiode; und
Verbinden eines zweiten Steuereingangs der zweiten Sperrdiode mit einer Anode der ersten Sperrdiode.

13. Verfahren nach einem der Ansprüche 9 bis 12, das weiterhin das Bereitstellen von Transistoren zum Implementieren der ersten Sperrdiode und der zweiten Sperrdiode aufweist.

14. Verfahren nach einem der Ansprüche 9 bis 13, das weiterhin aufweist:

Verbinden des ersten Spannungseingangs mit der ersten Sperrdiode über einen ersten n-Kanal-Transistor;
Verbinden des zweiten Spannungseingangs mit der zweiten Sperrdiode über einen zweiten n-Kanal-Transistor; und

Betreiben der ersten und zweiten n-Kanal-Transistoren als Spannungsfolger in Bezug aufeinander.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

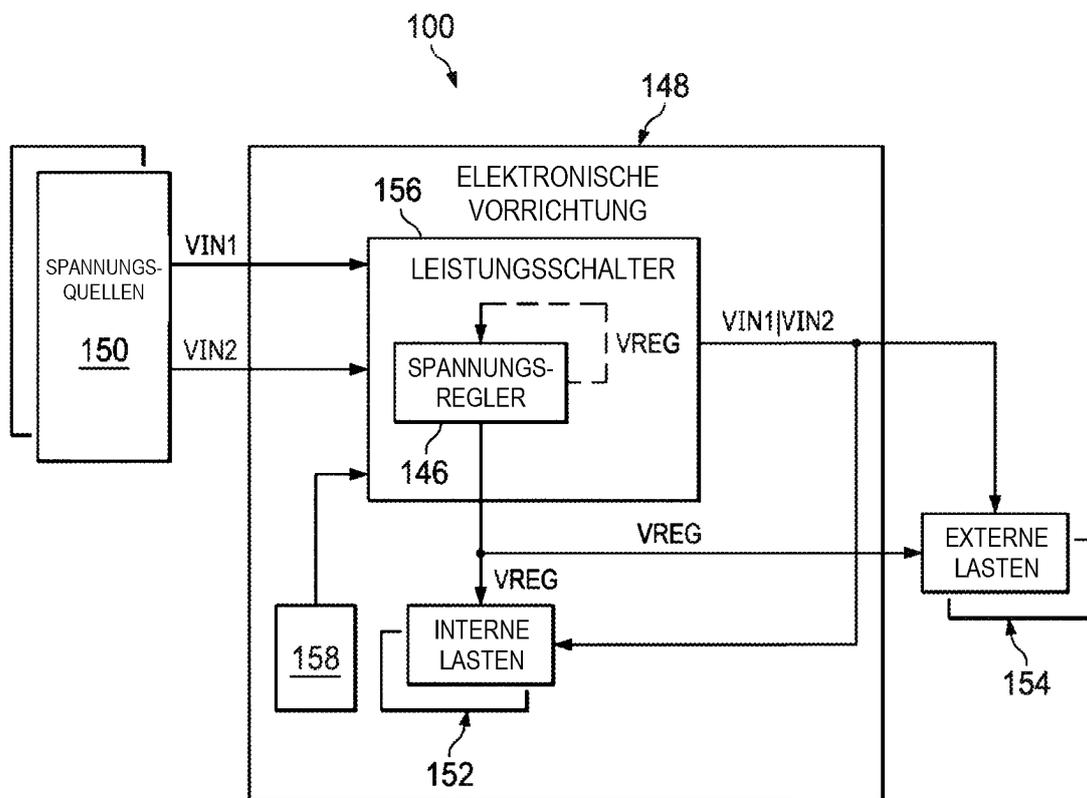


FIG. 1

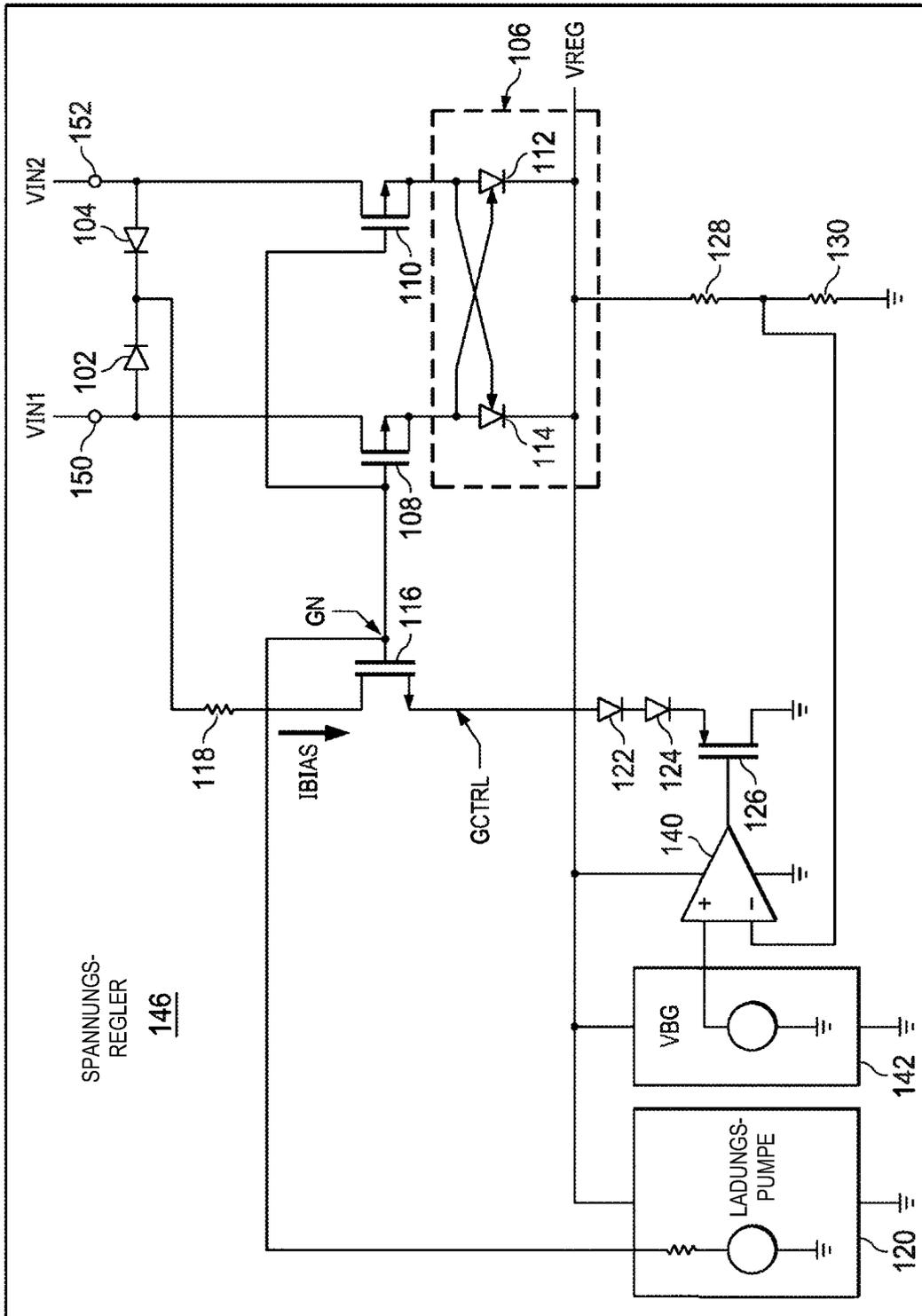


FIG. 2

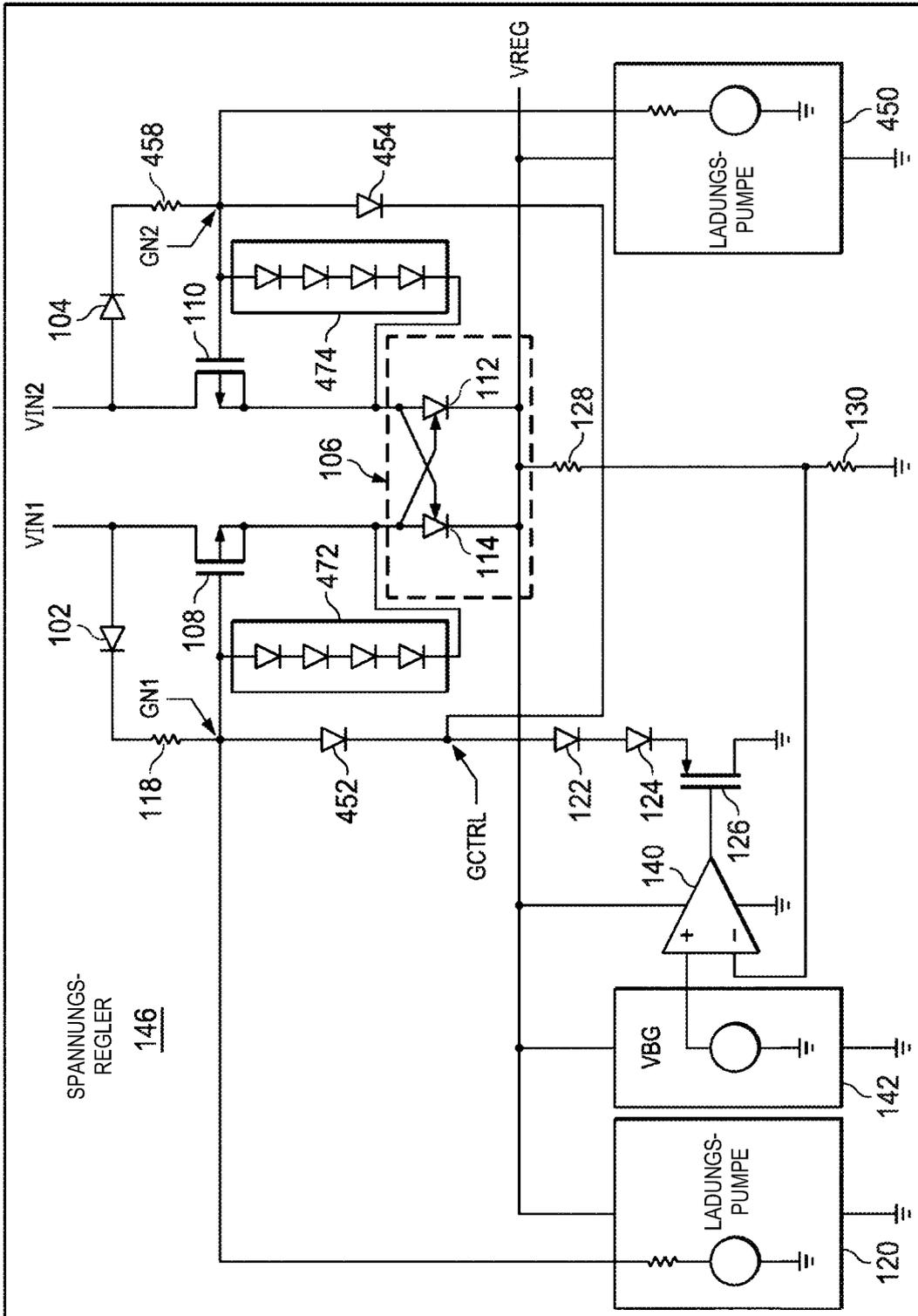


FIG. 4

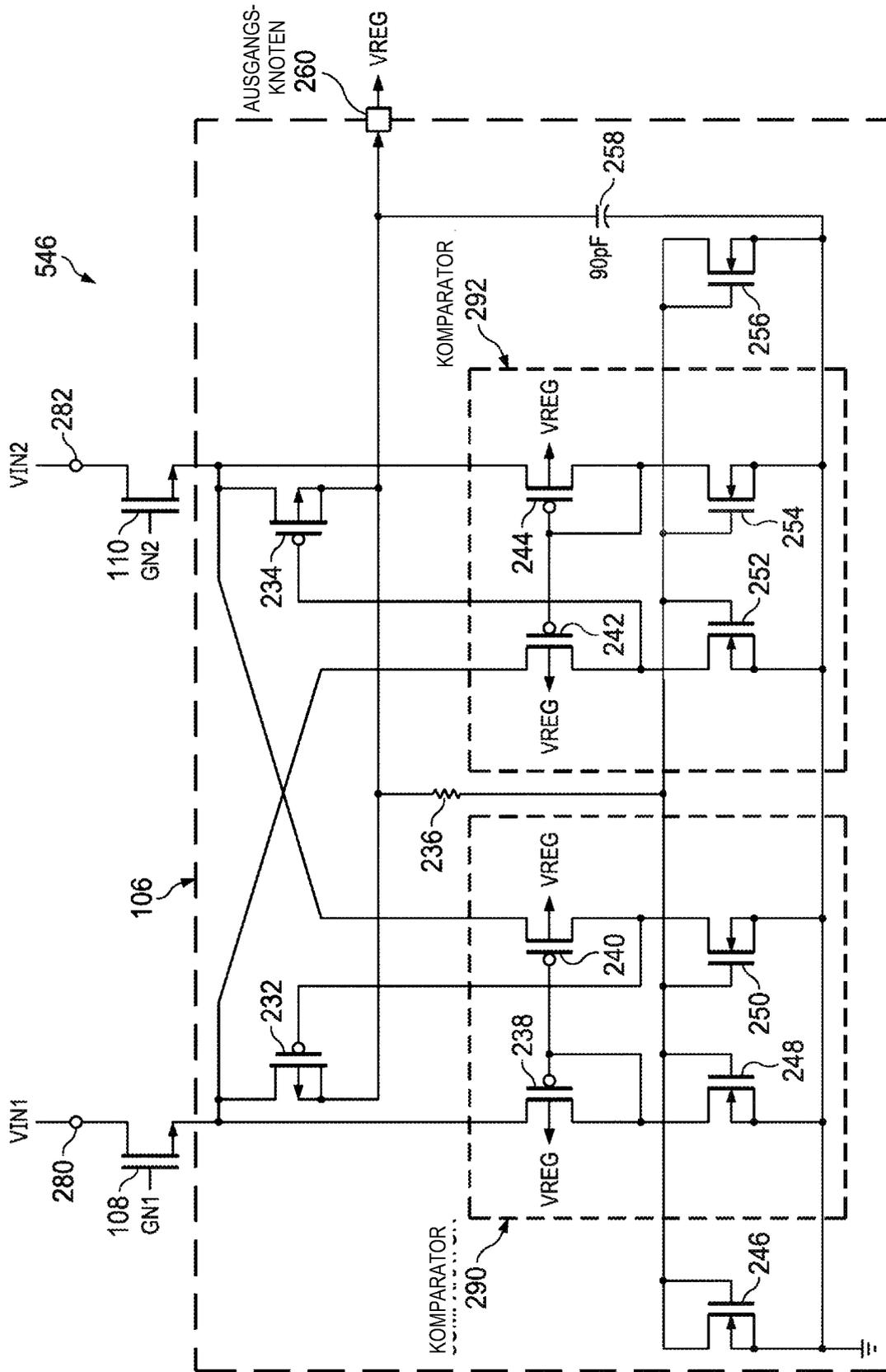


FIG. 5

FIG. 6

