



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I761800 B

(45) 公告日：中華民國 111 (2022) 年 04 月 21 日

(21) 申請案號：109111599 (22) 申請日：中華民國 109 (2020) 年 04 月 07 日

(51) Int. Cl. : *H01L21/76 (2006.01)* *H01L21/762 (2006.01)*
H01L29/772 (2006.01) *H01L29/94 (2006.01)*

(30) 優先權：2019/04/28 中國大陸 201910347466.1

(71) 申請人：大陸商杭州芯邁半導體技術有限公司 (中國大陸) (CN)
 中國大陸

(72) 發明人：蔡金勇 (CN)

(74) 代理人：李彥慶；林宗武

(56) 參考文獻：

TW	I340430	TW	I599041
TW	201503366A	US	6683346B2
US	6852597B2	US	6921939B2
US	7936009B2		

審查人員：趙天生

申請專利範圍項數：19 項 圖式數：2 共 27 頁

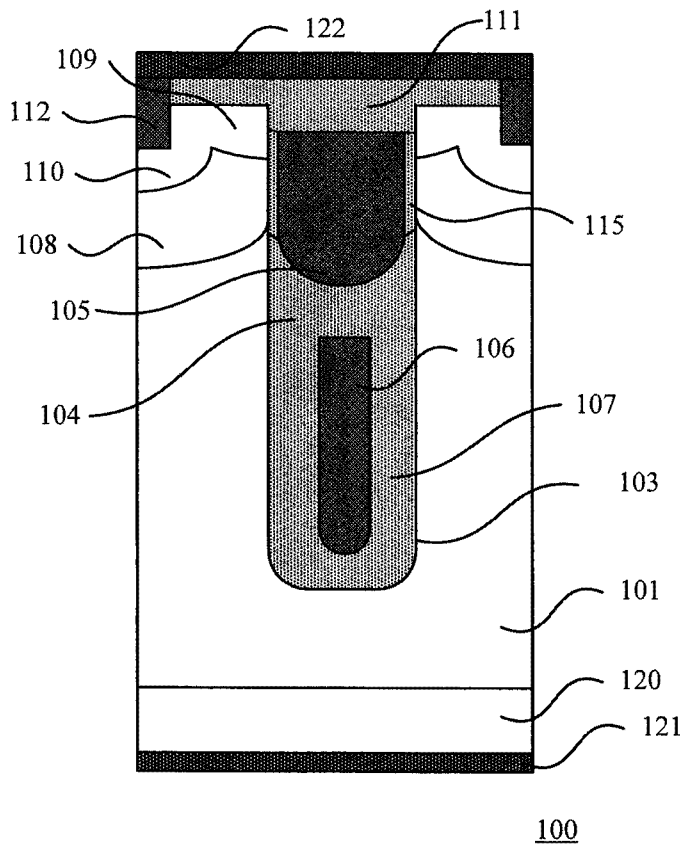
(54) 名稱

溝槽型 MOSFET 裝置製造方法

(57) 摘要

揭示一種溝槽型 MOSFET 裝置製造方法，包括在基層中形成從上表面延伸至其內部的溝槽；在溝槽的下部形成第一絕緣層和遮罩導體；在位於溝槽中部的第二絕緣層的上部形成閘極介電質層和閘極導體，閘極導體的頂部低於所述外延層的上表面；以及在形成體區之前，在閘極導體頂部鄰近溝槽壁的区域形成阻擋區，以阻止後續離子注入時的雜質從溝槽的側壁注入外延層中。本發明提出的溝槽型 MOSFET 裝置製造方法，在形成體區之前形成阻擋區，可防止注入的離子從溝槽中回蝕刻閘極導體的位置的側壁注入外延層，避免閘極導體回刻深度對體區和源極區深度的影響。

指定代表圖：



符號簡單說明：

100:溝槽型 MOSFET
裝置

101:外延層

103:溝槽

104:獲取單元

105:閘極導體

106:遮罩導體

107:第一絕緣層

108:體區

109:源極區

110:體接觸區

111:層間介電質層

112:導電通道

115:閘極介電質層

120:基底

121:汲極電極

122:源極電極

【圖 1】



I761800

【發明摘要】**【中文發明名稱】**

溝槽型MOSFET裝置製造方法

【中文】

揭示一種溝槽型MOSFET裝置製造方法，包括在基層中形成從上表面延伸至其內部的溝槽；在溝槽的下部形成第一絕緣層和遮罩導體；在位於溝槽中部的第二絕緣層的上部形成閘極介電質層和閘極導體，閘極導體的頂部低於所述外延層的上表面；以及在形成體區之前，在閘極導體頂部鄰近溝槽壁的區域形成阻擋區，以阻止後續離子注入時的雜質從溝槽的側壁注入外延層中。本發明提出的溝槽型MOSFET裝置製造方法，在形成體區之前形成阻擋區，可防止注入的離子從溝槽中回蝕刻閘極導體的位置的側壁注入外延層，避免閘極導體回刻深度對體區和源極區深度的影響。

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

100:溝槽型MOSFET裝置

101:外延層

103:溝槽

104:獲取單元

105:閘極導體

106:遮罩導體

107:第一絕緣層

108:體區

109:源極區

110:體接觸區

111:層間介電質層

112:導電通道

115:閘極介電質層

120:基底

121:汲極電極

122:源極電極

【特徵化學式】無

【發明說明書】

【中文發明名稱】

溝槽型MOSFET裝置製造方法

【技術領域】

本發明有關半導體技術領域，具體地，有關一種溝槽型MOSFET裝置製造方法。

【先前技術】

隨著半導體技術的發展，功率裝置作為積體電路中的重要組成部分，被廣泛應用於汽車電子、通訊設備等多個領域。目前常用的功率裝置包括溝槽型MOSFET裝置、平面擴散型MOSFET裝置等。

現有技術中，為了保證遮罩閘極溝槽型MOSFET裝置中的閘極導體在外延層表面沒有殘留，一般會對溝槽中閘極導體進行蝕刻處理，然而對閘極導體的蝕刻深度在同一閘極導體的不同位置以及在不同批次的MOSFET裝置製造中均存在差異，在進行後續的離子注入時，雜質會從閘極導體頂部的溝槽側壁進入到外延層，進而影響MOSFET裝置中體區的深度和結深，使得體區的深度和結深會隨著閘極導體蝕刻深度的差異而波動，導致裝置的閾值電壓 V_{th} 、閘極汲極電容 C_{gd} 特性等受到大幅影響，嚴重的甚至出現軟擊穿的現象。

因此，需要提供一種溝槽型MOSFET裝置製造方法以

解決上述因閘極導體回蝕刻深度差異影響裝置性能的技術問題。

【發明內容】

鑒於上述問題，本發明的目的在於提供一種溝槽型 MOSFET 裝置製造方法，從而避免閘極導體回刻深度差異對體區和源極區深度造成影響，進而保證了 MOSFET 裝置的閾值電壓 V_{th} 、閘極汲極電容 C_{gd} 等特性不受影響。

根據本發明的一態樣，提供一種溝槽型 MOSFET 裝置製造方法，包括：在基層中形成從上表面延伸至其內部的溝槽；在所述溝槽的下部形成第一絕緣層和遮罩導體；在所述溝槽的上部形成閘極介電質層和閘極導體，其中，所述閘極導體的頂部低於所述基層的上表面；以及在形成體區之前，在所述閘極導體頂部鄰近所述溝槽側壁的區域形成阻擋區，以阻止後續離子注入時的雜質從所述溝槽的側壁注入所述基層中。

可選地，形成所述阻擋區的步驟包括：在所述閘極導體頂部和所述閘極介電質層上形成第三絕緣層；以及蝕刻所述第三絕緣層以形成位於所述閘極導體頂部鄰近所述溝槽側壁區域的所述阻擋區。

可選地，所述第三絕緣層為正矽酸乙酯氧化層。

可選地，所述阻擋區的厚度隨所述基層上表面至所述閘極導體頂部的距離變化而自我調整變化。

可選地，所述阻擋區靠近所述溝槽側壁的厚度大於所

述阻擋區遠離所述溝槽側壁的厚度。

可選地，所述阻擋區的厚度小於或者等於所述基層上表面至所述閘極導體頂部的距離。

可選地，所述方法還包括在所述溝槽中形成位於所述遮罩導體和所述閘極導體之間的第二絕緣層。

可選地，形成所述閘極導體的步驟包括：在所述第二絕緣層上方填充導體層，所述導體層包括位於所述溝槽內的第一部分和位於所述基層上表面的第二部分；回蝕刻所述導體層以形成所述閘極導體。

可選地，至少回蝕刻所述導體層的所述第二部分以形成所述閘極導體。

可選地，所述遮罩導體和所述閘極導體分別包括多晶矽。

可選地，所述第一絕緣層位於所述溝槽的下部側壁和底部，且將所述遮罩導體與所述基層隔離。

可選地，形成所述第二絕緣層的步驟包括：在所述遮罩導體和所述第一絕緣層的頂部形成絕緣層；對所述絕緣層進行化學機械拋光及蝕刻處理以形成所述第二絕緣層。

可選地，所述第二絕緣層採用高密度等離子體化學氣相沉積製程形成。

可選地，所述蝕刻為乾式蝕刻。

可選地，所述閘極介電質層位於所述溝槽的上部側壁，且將所述閘極導體與所述基層隔離。

可選地，還包括：在所述基層鄰近所述溝槽的上部區

域中形成所述體區，所述體區具有第一摻雜類型；在所述體區中形成源極區，所述源極區具有第二摻雜類型，其中所述第二摻雜類型與所述第一摻雜類型相反；在所述基層的下表面上形成汲極電極，所述下表面與所述上表面彼此相對。

可選地，在形成所述源極區之後，還包括：在所述體區中形成具有所述第一摻雜類型的體接觸區。

可選地，還包括：在所述源極區上方形成層間介電質層；形成穿透所述層間介電質層以及所述源極區到達所述體接觸區的導電通道；以及在所述層間介電質層上方形成源極電極，所述源極電極經由所述導電通道電連接所述體接觸區。

可選地，所述基層包括基底和在所述基底上形成的具有第一摻雜類型的外延層。

可選地，所述第一摻雜類型為N型和P型之一，所述第二摻雜類型為N型和P型中另一者。

本發明提供的溝槽型MOSFET裝置製造方法，在形成所述體區之前，在閘極導體頂部鄰近溝槽側壁的區域形成阻擋區，可防止後續注入離子時雜質從溝槽上部中回蝕刻閘極導體的位置的側壁注入外延層中，進而避免了閘極導體回刻深度對體區和源極區深度的影響，從而改善了閘極導體回刻深度的波動對MOSFET裝置閾值電壓以及閘極汲極電容值等的影響。

較佳地，阻擋區位於溝槽中的部分為共形層，其位於

閘極導體頂部且靠近溝槽側壁部分的厚度大於其遠離溝槽側壁部分的厚度，因此，位於溝槽內的阻擋區更好地隔離了雜質以防止注入的離子雜質從溝槽上部中回蝕刻閘極導體所在的位置注入外延層中。

【圖式簡單說明】

透過以下參照圖式對本發明實施例的描述，本發明的上述以及其他目的、特徵和優點將更為清楚，在圖式中：

[圖 1]示出根據本發明的實施例的溝槽型 MOSFET 的剖面圖；以及

[圖 2a]至[圖 2j]示出根據本發明的實施例的製造溝槽 MOSFET 的方法的各個階段的剖面圖。

【實施方式】

以下將參照圖式更詳細地描述本發明的各種實施例。在各個圖式中，相同的元件採用相同或類似的圖式標記來表示。為了清楚起見，圖式中的各個部分沒有按比例繪製。此外，可能未示出某些公知的部分。為了簡明起見，可以在一幅圖中描述經過數個步驟後獲得的半導體結構。

在描述裝置的結構時，當將一層、一個區域稱為位於另一層、另一個區域“上面”或“上方”時，可以指直接位於另一層、另一個區域上方，或者在其與另一層、另一個區域之間還包含其它的層或區域。並且，如果將裝置翻轉，該一層、一個區域將位於另一層、另一個區域“下面”或

“下方”。

如果為了描述直接位於另一層、另一個區域上面的情形，本文將採用“A直接在B上面”或“A在B上面並與之鄰接”的表述方式。在本申請中，“A直接位於B中”表示A位於B中，並且A與B直接鄰接，而非A位於B中形成的摻雜區中。

在下文中描述了本發明的許多特定細節，例如半導體裝置的結構、材料、尺寸、處理製程和技術，以便更清楚地理解本發明。但正如本領域的技術人員能夠理解的那樣，可以不按照這些特定的細節來實現本發明。

除非在下文中特別指出，半導體裝置的各個層或者區域可以由本領域的技術人員公知的材料構成。半導體材料例如包括III-V族半導體，如GaAs、InP、GaN、SiC，以及IV族半導體，如Si、Ge。閘極導體、電極層可以由導電的各種材料形成，例如金屬層、摻雜多晶矽層、或包括金屬層和摻雜多晶矽層的疊層閘極導體或者是其他導電材料，例如為TaC、TiN、TaSiN、HfSiN、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、W、和所述各種導電材料的組合。閘極介電質可以由SiO₂或介電常數大於SiO₂的材料構成，例如包括氧化物、氮化物、氧氮化物、矽酸鹽、鋁酸鹽、鈦酸鹽。並且，閘極介電質不僅可以由本領域的技術人員公知的材料形成，也可以採用將來開發的用於閘極介電質的材料。

在本申請中，術語“半導體結構”指在製造半導體裝置

的各個步驟中形成的整個半導體結構的統稱，包括已經形成的所有層或區域。術語“橫向延伸”是指沿著大致垂直於溝槽深度方向的方向延伸。

下面結合圖式和實施例，對本發明的具體實施方式作進一步詳細描述。

圖1示出根據本發明的實施例的溝槽型MOSFET的截面圖。

如圖1所示，該溝槽型MOSFET裝置100包括一基層，在本實施例中，所述基層包括具有第一摻雜類型的矽基底120，以及在基底120上表面上方生長的具有第二摻雜類型的外延層101。在其他實施例中，所述基層還可包括基底，外延層以及位於兩者之間的其他導體層。

該MOSFET裝置還包括溝槽103，溝槽103從遠離基底120上表面的外延層101的上表面沿縱向延伸進入，並終止於外延層101中，即溝槽103的底部與基底120之間透過外延層101隔開。溝槽103的底部和下部側壁上沉積第一絕緣層107，在溝槽103下部的第一絕緣層107中填充有遮罩導體106，在溝槽103中的遮罩導體106頂部形成具有一定形狀的第二絕緣層104，在溝槽103中的第二絕緣層104頂部設置閘極導體105，其中，第二絕緣層104沿溝槽103的縱向方向上將遮罩導體106與閘極導體105隔離。其中，閘極導體105的蝕刻深度為外延層101上表面到閘極導體105遠離第二絕緣層104的表面的距離。在溝槽103上部側壁上設置閘極介電質層115以將閘極導體與外延層101隔離。其

中，閘極介電質層 115 位於外延層 101 的上表面和溝槽 103 的上部側壁上。

在外延層 101 中鄰近溝槽 103 上部區域中設置具有第二摻雜類型的體區 108；在體區 108 中形成具有第一摻雜類型的源極區 109；以及在體區 108 中形成具有第二摻雜類型的體接觸區 110。在形成源極區 109 之後，在源極區 109 和閘極導體 105 上方形成層間介電質層 111。在設置層間介電質層 111 之前，閘極導體 105 靠近溝槽 103 的區域以及閘極介電質層 115 上方設置有隔離區 114，以使得體區的深度不受閘極導體 105 的回蝕刻深度影響。在形成層間介電質層 111 之前，例如可以直接在隔離區上方形成層間介電質層 111。

在溝槽型 MOSFET 裝置 100 中，緊鄰溝槽 103 處設置有穿透層間介電質層 111 以及源極區 109 到達體接觸區 110 的導電通道 112，在層間介電質層 111 上方設置有源極電極 122，源極電極 122 透過導電通道 112 與體接觸區 110 電連接。在基底 120 背離上表面的下表面設置有汲極電極 121，其中，層間介電質層 111 可以是具有一定厚度的氧化物層，例如氧化矽。

其中，第二摻雜類型與第一摻雜類型相反，所述第一摻雜類型為 N 型和 P 型之一，所述第二摻雜類型為 N 型和 P 型中的另一個。

圖 2a 至圖 2j 描述根據本發明的製造溝槽 MOSFET 的方法的各個階段。

如圖 2a 所示，在半導體基底 120 的上表面上生長形成外延層 101，在外延層 101 的上表面上沉積形成氧化物介電質層 102。並以圖案化的氧化物介電質層 102 作為掩膜蝕刻外延層 101 以形成溝槽 103，該溝槽 103 從外延層 101 上表面延伸進入內部並終止於其中。其中，蝕刻外延層可以採用乾式蝕刻，例如離子銑蝕刻、等離子蝕刻、反應離子蝕刻、雷射燒蝕，或者透過使用蝕刻溶液的選擇型的濕式蝕刻，從光致抗蝕劑掩膜中的開口向下蝕刻，在氧化物層中形成開口，從而將氧化物介電質層圖案化成硬掩膜。由於蝕刻的選擇，該蝕刻可以停止在外延層 101 的上表面。在形成硬掩膜之後，透過在溶劑中的溶解或灰化去除光致抗蝕劑層。採用硬掩膜，透過上述已知的蝕刻製程，進一步蝕刻外延層 101 內部以形成溝槽 103。其中溝槽 103 的深度例如與蝕刻的時間相關。在形成溝槽 103 之後，例如還可以透過選擇性的蝕刻劑，相對於外延層 101 去除硬掩膜。

接著，如圖 2b 所示，在溝槽 103 的側壁以及外延層 101 的上表面形成一層介電質層 122；接著在介電質層 122 的表面沉積第一半導體層 123 以填滿溝槽 103。介電質層 122 將第一半導體層 123 與外延層 101 隔開，介電質層 122 和第一半導體層 123 分別延伸至外延層 101 的上表面。其中，介電質層 122 可以由氧化物或者氮化物組成，例如，氧化矽或者氮化矽；第一半導體層 123 可以由摻雜型多晶矽組成。

接著，如圖 2c 所示，可以先對第一半導體層 123 進行化學機械研磨。然後選擇性的回蝕刻介電質層 122 以及第

一半導體層123，去除形成於外延層101上表面以及溝槽上部的第一半導體層123以形成遮罩導體106，該回蝕刻可採用乾式蝕刻。去除形成於外延層101上表面以及溝槽上部的介電質層122以在蝕刻後形成第一絕緣層107，該第一絕緣層107位於溝槽103的側壁與遮罩導體106之間，將遮罩導體106和外延層101隔開，並且第一絕緣層107未覆蓋遮罩導體106頂部，例如，第一絕緣層107的表面低於遮罩導體106的頂表面，該蝕刻製程可以是濕式蝕刻，主要在較為平整的膜面上刻出絨面，從而增加光程，減少光的反射，濕式蝕刻可用稀釋的鹽酸等。

接著，如圖2d所示，在遮罩導體106和第一絕緣層107的頂部形成絕緣層124。絕緣層124覆蓋遮罩導體106和第一絕緣層107的頂部，並且位於溝槽103上部以及外延層101的上表面。絕緣層124可以由氧化物或者氮化物組成，例如，氧化矽或者氮化矽。較佳地，絕緣層124例如採用高密度等離子體化學氣相沉積等製程形成。

接著，如圖2e所示，首先對氧化層124進行化學機械拋光，然後選擇性的回蝕刻絕緣層124，去除形成於外延層101上表面以及溝槽103上部的絕緣層124以形成第二絕緣層104，該第二絕緣層104位於遮罩導體106和後續製程形成的閘極導體之間，該回蝕刻例如可採用乾式蝕刻。

接著，如圖2f所示，在溝槽103上部的側壁上形成一層氧化層以形成閘極介電質層115，使得溝槽103上部側壁被所形成的閘極介電質層115覆蓋。閘極介電質層115，例

如可以採用熱氧化技術形成，其中，熱氧化技術一般為矽與含有氧化物質的氣體，例如水汽和氧氣在高溫下進行化學反應，而在矽片表面產生一層緻密的二氧化矽 (SiO_2) 薄膜，是矽平面技術中一項重要的製程。

接著，如圖 2g 所示，在覆蓋有第二絕緣層 104 的溝槽 103 中填充第二半導體層，第二半導體層包括位於溝槽 103 中的第一部分和位於外延層 101 上表面上的第二部分。其中，第二半導體層可以是摻雜型多晶矽。之後採用回蝕刻或化學機械拋光去除第二半導體層的第二部分，進一步地，採用相對於閘極介電質層 115 選擇性去除第二半導體層的第一部分以形成閘極導體 105，回蝕刻該第二半導體層，使得位於溝槽 103 頂部側壁處的部分閘極介電質層 115 暴露，即形成的閘極導體 105 的頂部表面低於外延層 101 的上表面，以保證閘極導體在外延層的表面沒有殘留。上述製程中被保留的第二絕緣層 104 使得遮罩導體 106 以及閘極導體 105 彼此絕緣，並且被保留的第二絕緣層 104 具有一定的品質和厚度支持可能存在於遮罩導體 106 以及閘極導體 105 之間的電位差。所述回蝕刻可以是乾式蝕刻。乾式蝕刻是用等離子體進行薄膜蝕刻的技術。當氣體以等離子體形式存在時，它具備兩個特點：一方面等離子體中的這些氣體化學活性比常態下時要強很多，根據被蝕刻材料的不同，選擇合適的氣體，就可以更快地與材料進行反應，實現蝕刻去除的目的；另一方面，還可以利用電場對等離子體進行引導和加速，使其具備一定能量，當其轟擊被蝕刻

物的表面時，會將被蝕刻物材料的原子擊出，從而達到利用物理上的能量轉移來實現蝕刻的目的。因此，乾式蝕刻是晶圓片表面物理和化學兩種過程平衡的結果。

接著，如圖 2h 所示，在閘極導體 105 上方、閘極介電質層 115 表面形成第三絕緣層 113，該第三絕緣層 113 可以包括氧化物和/或氮化物或者其他絕緣介電質。其中，第三絕緣層 113 位於閘極導體 105 的頂部和外延層 101 的上表面，在本實施例中，第三絕緣層 113 透過沉積製程形成，因為沉積製程的原因，第三絕緣層 113 位於閘極導體 105 頂部鄰近溝槽 103 側壁的區域，在遠離溝槽 103 側壁的區域形成一個縫，即使得閘極導體 105 遠離溝槽側壁區域的頂部暴露。當然，在其他實施例中，第三絕緣層 113 例如可以覆蓋閘極導體 105 頂部的部分或者全部。較佳地，第三絕緣層 113 可以是採用正矽酸乙酯分解系統沉積的正矽酸乙酯氧化層，在沉積過程中，可以防止基底雜質向外擴散。

接著，如圖 2i 所示，蝕刻第三絕緣層 113 以形成阻擋區 114，該蝕刻方式例如可採用乾式蝕刻，所述乾式蝕刻為各向異性蝕刻。選擇性的蝕刻第三絕緣層以使得位於外延層上表面的閘極介電質層裸露，以保證後續離子注入製程的正常注入。可以透過控制蝕刻的速率和時間來控制蝕刻的深度。在本實施例中，完全蝕刻掉位於外延層上表面的第三絕緣層，以在離子注入過程中保留閘極介電質層來保護外延層的表面。然而，在其他實施例中，由於製程的原因，也可能會在閘極介電質層的表面殘留部分第三絕緣

層或者進一步地蝕刻了一部分閘極介電質層。蝕刻後的第三絕緣層，即位於所述閘極導體頂部的第三絕緣層為阻擋區114，所述阻擋區避免了離子注入時的雜質從溝槽103的側壁進入外延層101中。該阻擋區114為共形層，位於溝槽103內的阻擋區114靠近溝槽103側壁部分的厚度大於阻擋區114遠離溝槽103側壁部分的厚度，位於溝槽103內的阻擋區114的最大厚度與外延層101上表面至閘極導體105頂部的距離相等。其中，阻擋區114的厚度與閘極導體105的回蝕刻深度相關，以避免後續形成體區時，注入離子時的雜質從閘極導體105的回蝕刻側壁注入外延層101中，使得體區深度受閘極導體105的回蝕刻深度影響，進而影響MOSFET裝置的性能。

接著，如圖2j所示，採用常規的體注入、驅入技術，進行第一次離子注入，形成在外延層101鄰近溝槽103的上部區域中的具有第二摻雜類型的體區108。

接著，如圖1所示，進一步地，進行第二次離子注入，在體區108中形成具有第一摻雜類型的源極區109。透過控制離子注入的參數，例如注入能量和劑量，可以達到所需要的深度和獲得所需的摻雜濃度。採用附加的光致抗蝕劑掩模，可以控制體區108和源極區109的橫向延伸區域。較佳地，體區108和源極區109分別與溝槽相鄰接，由閘極介電質115分別和閘極導體105隔開。

接著，在源極區109上方和閘極導體頂部形成層間介電質層111，較佳地，可以對層間介電質層111進行化學機

械平面化處理，以獲得平整的表面。層間介電質層 111 覆蓋源極區 109 和閘極導體 105 暴露的頂部表面。進一步地，在形成層間介電質層 111 之前，可以選擇去除阻擋區或者不去除阻擋區。之後，透過蝕刻形成穿透層間介電質層到達體區 108 的接觸孔，然後透過所述接觸孔進行體接觸區的注入，即第二摻雜類型離子的注入，形成位於體區中的體接觸區 110。之後在所述接觸孔中沉積導電材料形成導電通道 112，該導電材料一般包括鈦、氮化鈦、鎢等。最後在層間介電質層 111 上方形成源極電極 122，該源極電極 122 透過導電通道 112 電連接體接觸區 110，以及在半導體基底 120 與上表面背對的下表面，減薄處理之後形成汲極電極 121。

本發明提出的上述實施例中，閘極導體 105、遮罩導體 106、導電通道 112、汲極電極 121 以及源極電極 122 例如分別由導電材料形成，導電材料例如包括諸如鋁合金或銅之類的金屬材料或者多晶矽之類的半導體材料。

本發明的實施例中，上述形成氧化層的氧化方式例如可以採用熱氧化、沉積等製程。

依照本發明的實施例如上文所述，這些實施例並沒有詳盡敘述所有的細節，也不限制該發明僅為所述的具體實施例。顯然，根據以上描述，可作很多的修改和變化。本說明書選取並具體描述這些實施例，是為了更好地解釋本發明的原理和實際應用，從而使所屬技術領域技術人員能很好地利用本發明以及在本發明基礎上的修改使用。本發

明僅受申請專利範圍及其全部範圍和等效物的限制。

【符號說明】

100:溝槽型MOSFET裝置

101:外延層

102:氧化物介電質層

103:溝槽

104:獲取單元

105:閘極導體

106:遮罩導體

107:第一絕緣層

108:體區

109:源極區

110:體接觸區

111:層間介電質層

112:導電通道

114:隔離區

115:閘極介電質層

120:基底

121:汲極電極

122:源極電極

123:第一半導體層

124:絕緣層

【發明申請專利範圍】

【請求項 1】一種溝槽型 MOSFET 裝置製造方法，其特徵在於，包括：

在基層中形成從上表面延伸至其內部的溝槽；

在該溝槽的下部形成第一絕緣層和遮罩導體；

在該溝槽的上部形成閘極介電質層和閘極導體，其中，該閘極導體的頂部低於該基層的該上表面；以及

在形成體區之前，在該閘極導體頂部鄰近該溝槽側壁的区域形成阻擋區，以阻止後續離子注入時的雜質從該溝槽的側壁注入該基層中，

其中，該阻擋區的厚度隨該基層的該上表面至該閘極導體頂部的距離變化而自我調整變化。

【請求項 2】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，形成該阻擋區的步驟包括：

在該閘極導體頂部和該閘極介電質層上形成第三絕緣層；以及

蝕刻該第三絕緣層以形成位於該閘極導體頂部鄰近該溝槽側壁区域的該阻擋區。

【請求項 3】如請求項 2 之溝槽型 MOSFET 裝置製造方法，其中，該第三絕緣層為正矽酸乙酯氧化層。

【請求項 4】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，位於該溝槽內的該阻擋區靠近該溝槽側壁的厚度大於該阻擋區遠離該溝槽側壁的厚度。

【請求項 5】如請求項 4 之溝槽型 MOSFET 裝置製造方

法，其中，該阻擋區的厚度小於或者等於該基層的該上表面至該閘極導體頂部的距離。

【請求項 6】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，該方法還包括：

在該溝槽中形成位於該遮罩導體和該閘極導體之間的第二絕緣層。

【請求項 7】如請求項 6 之溝槽型 MOSFET 裝置製造方法，其中，形成該閘極導體的步驟包括：

在該第二絕緣層上方填充導體層，該導體層包括位於該溝槽內的第一部分和位於該基層的該上表面的第二部分；以及

回蝕刻該導體層以形成該閘極導體。

【請求項 8】如請求項 7 之溝槽型 MOSFET 裝置製造方法，其中，至少回蝕刻該導體層的該第二部分以形成該閘極導體。

【請求項 9】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，該遮罩導體和該閘極導體分別包括多晶矽。

【請求項 10】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，該第一絕緣層位於該溝槽的下部側壁和底部，且將該遮罩導體與該基層隔離。

【請求項 11】如請求項 6 之溝槽型 MOSFET 裝置製造方法，其中，形成該第二絕緣層的步驟包括：

在該遮罩導體和該第一絕緣層的頂部形成絕緣層；以及

對該絕緣層進行化學機械拋光及蝕刻處理以形成該第二絕緣層。

【請求項 12】如請求項 11 之溝槽型 MOSFET 裝置製造方法，其中，該第二絕緣層採用高密度等離子體化學氣相沉積製程形成。

【請求項 13】如請求項 2 之溝槽型 MOSFET 裝置製造方法，其中，該蝕刻為乾式蝕刻。

【請求項 14】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，該閘極介電質層位於該溝槽的上部側壁，且將該閘極導體與該基層隔離。

【請求項 15】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，還包括：

在該基層鄰近該溝槽的上部區域中形成該體區，該體區具有第一摻雜類型；

在該體區中形成源極區，該源極區具有第二摻雜類型，其中，該第二摻雜類型與該第一摻雜類型相反；以及

在該基層的下表面上形成汲極電極，該基層的該下表面與該基層的該上表面彼此相對。

【請求項 16】如請求項 15 之溝槽型 MOSFET 裝置製造方法，其中，在形成該源極區之後，還包括：

在該體區中形成具有該第一摻雜類型的體接觸區。

【請求項 17】如請求項 16 之溝槽型 MOSFET 裝置製造方法，其中，還包括：

在該源極區上方形成層間介電質層；

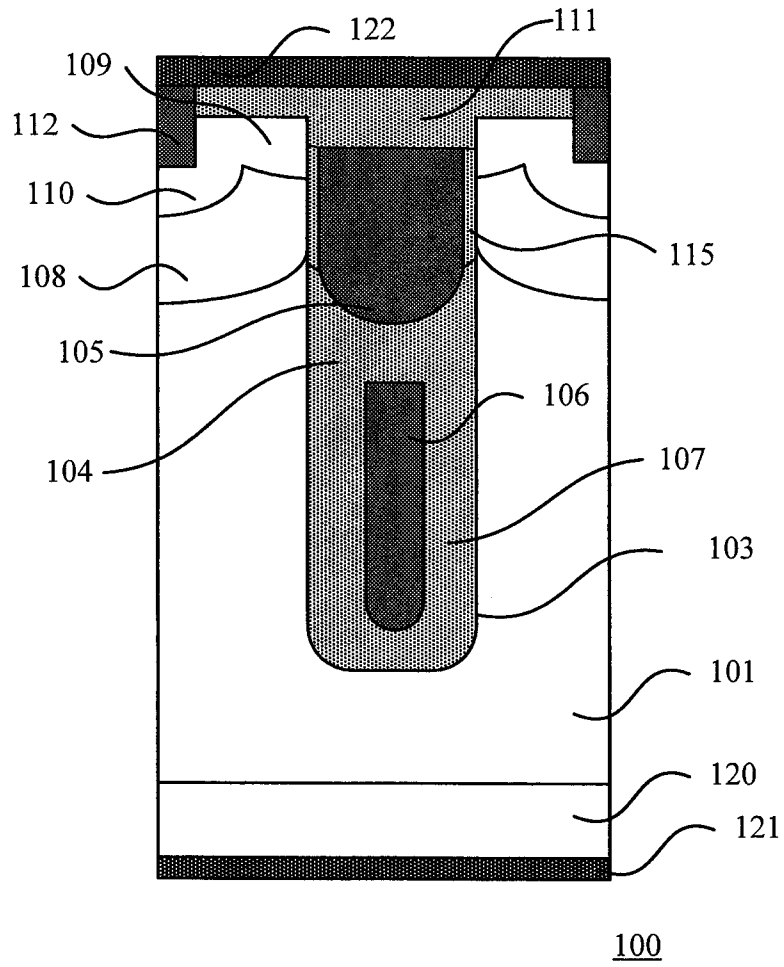
形成穿透該層間介電質層以及該源極區到達該體接觸區的導電通道；以及

在該層間介電質層上方形成源極電極，該源極電極經由該導電通道電連接該體接觸區。

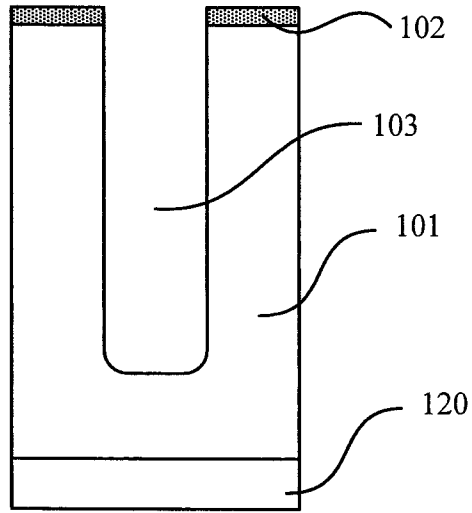
【請求項 18】如請求項 1 之溝槽型 MOSFET 裝置製造方法，其中，該基層包括基底和在該基底上形成的具有第一摻雜類型的外延層。

【請求項 19】如請求項 15 之溝槽型 MOSFET 裝置製造方法，其中，該第一摻雜類型為 N 型和 P 型之一，該第二摻雜類型為 N 型和 P 型中另一者。

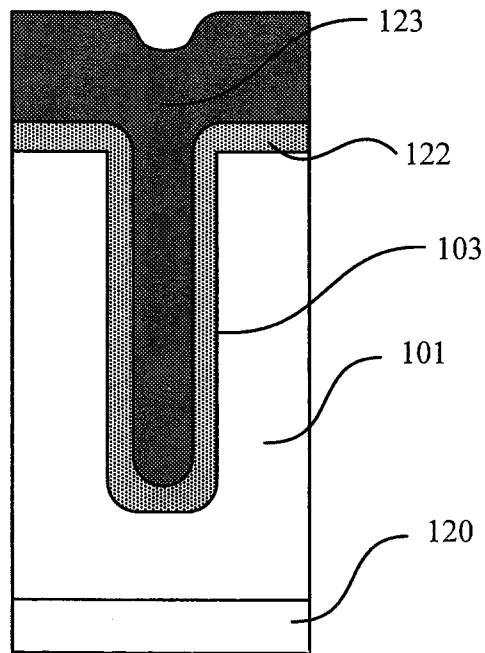
【發明圖式】



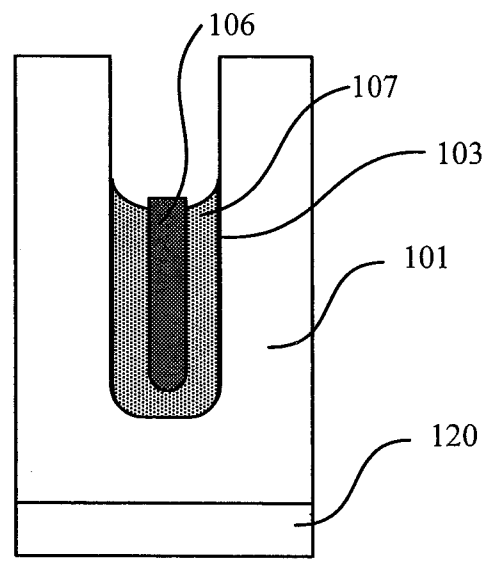
【圖 1】



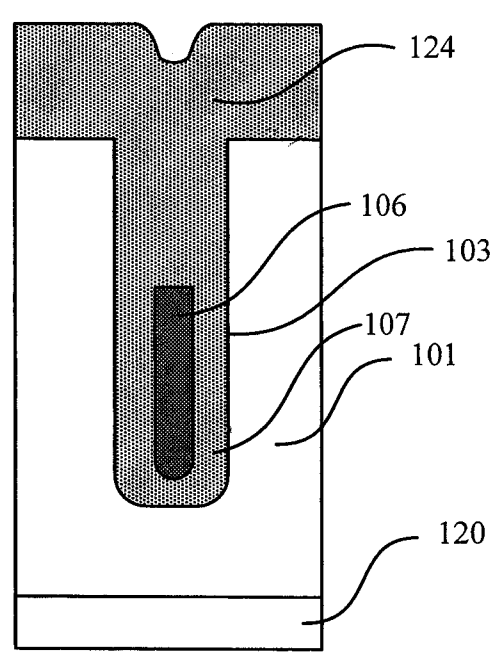
【圖 2a】



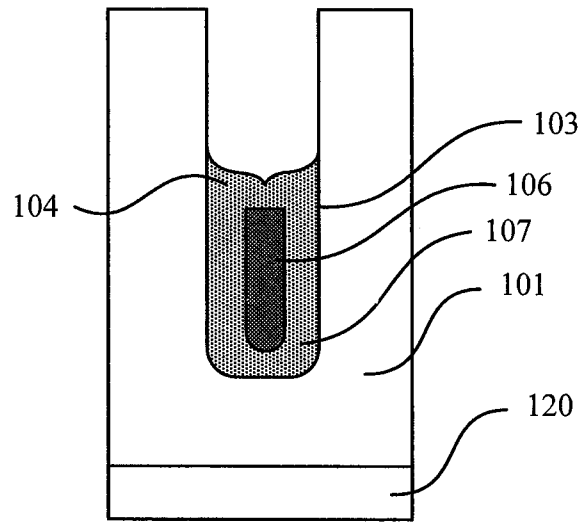
【圖 2b】



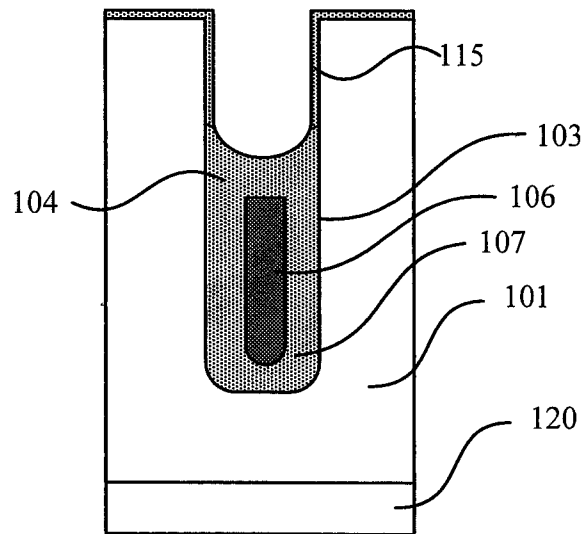
【圖 2c】



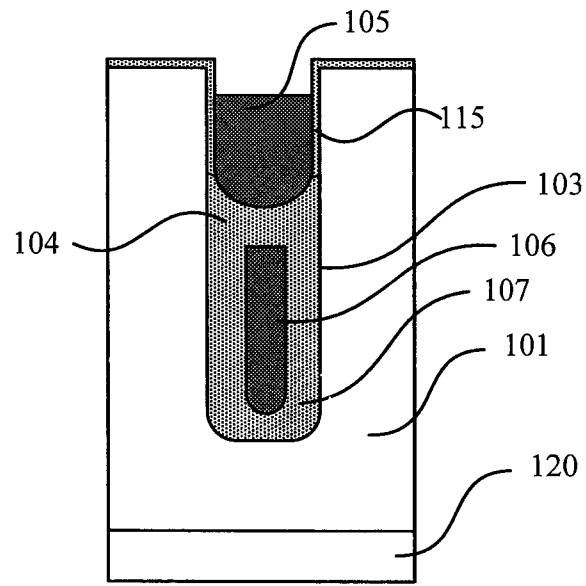
【圖 2d】



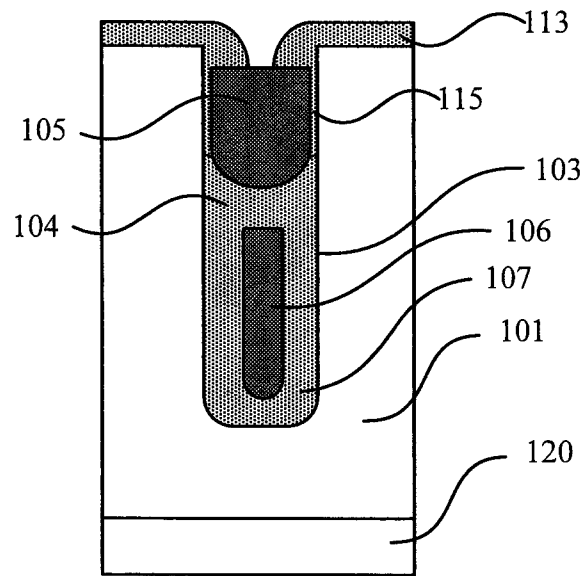
【圖 2e】



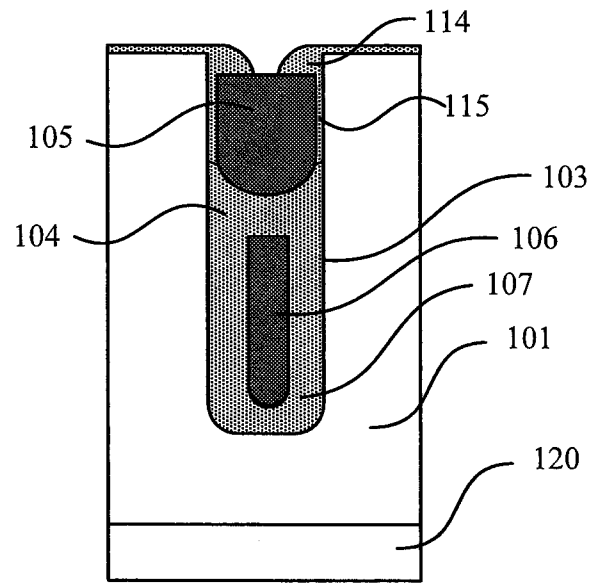
【圖 2f】



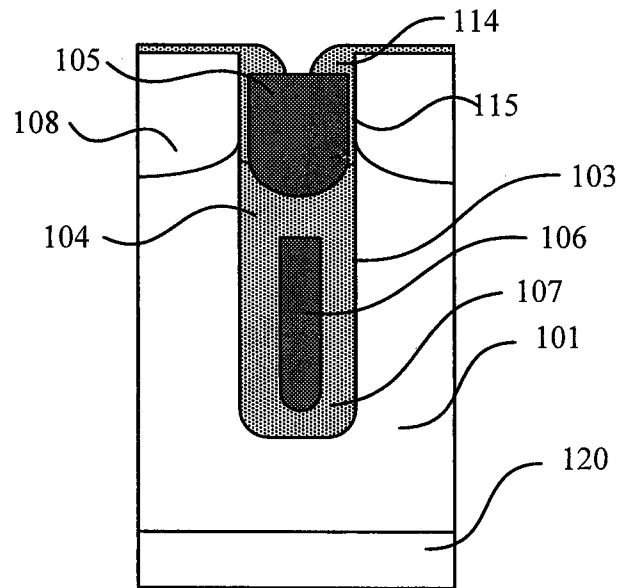
【圖 2g】



【圖 2h】



【圖 2i】



【圖 2j】