



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0031467  
(43) 공개일자 2018년03월28일

(51) 국제특허분류(Int. Cl.)  
H02M 3/06 (2006.01)

(52) CPC특허분류  
H02M 3/06 (2013.01)

(21) 출원번호 10-2016-0120144

(22) 출원일자 2016년09월20일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

응우이엔후이 히에우

경기도 수원시 영통구 봉영로1517번길 73, 924동  
904호 (영통동, 삼성.태영 아파트)

김대용

서울특별시 서대문구 이화여대길 50-12, 107동  
405호 (대현동, 럭키아파트)

김상호

경기도 수원시 권선구 동수원로145번길 73, 306동  
1005호 (권선동, 수원아이파크시티3단지)

(74) 대리인

리엔목특허법인

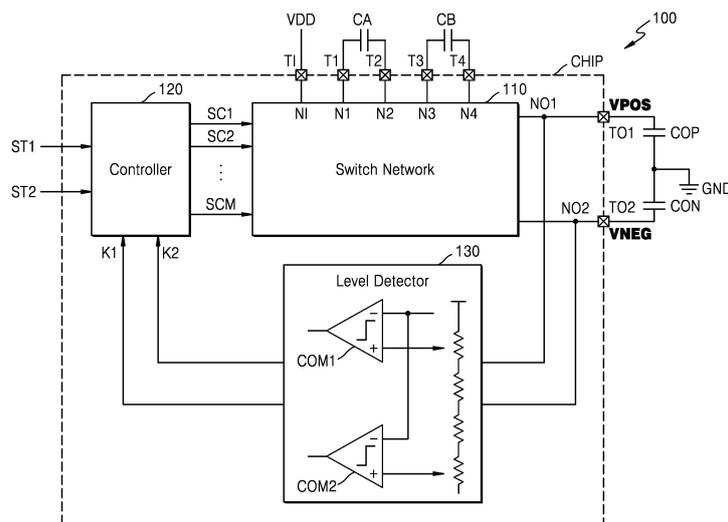
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 재구성 가능한 양극성 출력 차지 펌프 회로 및 이를 포함하는 집적 회로

**(57) 요약**

본 개시에 따른 재구성 가능한 양극성 출력 차지 펌프 회로는 입력 전압을 수신하도록 구성된 입력 단자, 제1 플라이킹 커패시터에 접속되도록 구성된 제1 및 제2 단자들, 제2 플라이킹 커패시터에 접속되도록 구성된 제3 및 제4 단자들, 제1 및 제2 출력 커패시터들에 각각 접속되고 양의 출력 전압 및 음의 출력 전압을 각각 제공하도록 구성된 제1 및 제2 출력 단자들, 스위치 제어 신호들에 응답하여 입력 단자, 제1 내지 제4 단자들 및 제1 및 제2 출력 단자들을 상호 접속시키도록 구성된 스위치들을 포함하고, 차지 펌프 모드들 중 하나를 제공하도록 구성된 스위치 네트워크, 및 양의 출력 전압 및 음의 출력 전압의 크기가 미리 정의된 전압 레벨들 중 하나가 되도록 차지 펌프 모드들 중 하나를 지시하는 모드 제어 신호에 응답하여, 스위치 제어 신호들을 생성하는 컨트롤러를 포함한다.

**대표도**



## 명세서

### 청구범위

#### 청구항 1

재구성 가능한 양극성 출력 차지 펌프 회로로서,

입력 전압을 수신하도록 구성된 입력 단자;

제1 플라잉 커패시터에 접속되도록 구성된 제1 및 제2 단자들;

제2 플라잉 커패시터에 접속되도록 구성된 제3 및 제4 단자들;

제1 및 제2 출력 커패시터들에 각각 접속되고, 양의 출력 전압 및 음의 출력 전압을 각각 제공하도록 구성된 제1 및 제2 출력 단자들;

복수의 스위치 제어 신호들에 응답하여 상기 입력 단자, 상기 제1 내지 제4 단자들, 및 상기 제1 및 제2 출력 단자들을 상호 접속시키도록 구성된 복수의 스위치들을 포함하고, 복수의 차지 펌프 모드들 중 하나를 제공하도록 구성된 스위치 네트워크; 및

상기 양의 출력 전압 및 상기 음의 출력 전압의 크기(magnitude)가 미리 정의된 복수의 전압 레벨들 중 하나가 되도록 상기 복수의 차지 펌프 모드들 중 하나를 지시하는 모드 제어 신호에 응답하여, 상기 복수의 스위치 제어 신호들을 생성하는 컨트롤러를 포함하는 차지 펌프 회로.

#### 청구항 2

제1항에 있어서,

상기 복수의 차지 펌프 모드들은,

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압에 대응하는 제1 차지 펌프 모드;

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압의  $1/m$ 에 대응하는 제2 차지 펌프 모드; 및

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압의  $1/n$ 에 대응하는 제3 차지 펌프 모드를 포함하고,

상기  $m$ 과  $n$ 은 2 이상의 서로 다른 양의 정수인 것을 특징으로 하는 차지 펌프 회로.

#### 청구항 3

제1항에 있어서,

상기 복수의 차지 펌프 모드들은,

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압에 대응하는 제1 차지 펌프 모드;

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압의  $1/m$ 에 대응하는 제2 차지 펌프 모드; 및

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압의  $n/m$ 에 대응하는 제3 차지 펌프 모드를 포함하고,

상기  $n$ 과  $m$ 은 2 이상의 서로 다른 양의 정수인 것을 특징으로 하는 차지 펌프 회로.

#### 청구항 4

제1항에 있어서,

상기 복수의 차지 펌프 모드들은,

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압에 대응하는 제1 차지 펌프 모드;

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압의 2/3에 대응하는 제2 차지 펌프 모드;

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압의 1/2에 대응하는 제3 차지 펌프 모드; 및

상기 양의 출력 전압 및 상기 음의 출력 전압의 상기 크기가 상기 입력 전압의 1/3에 대응하는 제4 차지 펌프 모드 중 적어도 두 개를 포함하는 것을 특징으로 하는 차지 펌프 회로.

#### 청구항 5

제4항에 있어서,

상기 스위치 네트워크는,

상기 입력 단자를 상기 제1 단자에 접속시키기 위한 제1 스위치;

상기 제1 단자를 상기 제1 출력 단자에 접속시키기 위한 제2 스위치;

상기 제2 단자를 접지 단자에 접속시키기 위한 제3 스위치;

상기 제2 단자를 상기 제1 출력 단자에 접속시키기 위한 제4 스위치;

상기 제1 단자를 상기 제3 단자에 접속시키기 위한 제5 스위치;

상기 제2 단자를 상기 제3 단자에 접속시키기 위한 제6 스위치;

상기 제2 단자를 상기 제2 출력 단자에 접속시키기 위한 제7 스위치;

상기 제4 단자를 상기 접지 단자에 접속시키기 위한 제8 스위치; 및

상기 제4 단자를 상기 제2 출력 단자에 접속시키기 위한 제9 스위치를 포함하는 것을 특징으로 하는 차지 펌프 회로.

#### 청구항 6

제5항에 있어서,

상기 모드 제어 신호가 상기 제1 차지 펌프 모드를 지시하는 경우,

제1 상태에서, 상기 제1 내지 제3, 제5 및 제8 스위치들이 턴온되고 제4, 제6, 제7 및 제9 스위치들이 턴오프되어, 상기 제1 및 제2 플라잉 커패시터들은 상기 입력 전압에 대응하는 전압 레벨로 충전되고,

제2 상태에서, 상기 제1 내지 제3, 제6 및 제9 스위치들이 턴온되고 제4, 제5, 제7 및 제8 스위치들이 턴오프되어, 상기 제1 출력 단자에서 상기 입력 전압에 대응하는 크기를 갖는 상기 양의 출력 전압을 제공되고, 상기 제2 출력 단자에서 상기 입력 전압에 대응하는 크기를 갖는 상기 음의 출력 전압을 제공되는 것을 특징으로 하는 차지 펌프 회로.

#### 청구항 7

제5항에 있어서,

상기 모드 제어 신호가 상기 제2 차지 펌프 모드를 지시하는 경우,

제1 상태에서, 상기 제1, 제4, 제5 및 제8 스위치들이 턴온되고 상기 제2, 제3, 제6, 제7 및 제9 스위치들이 턴오프되어, 상기 제1 플라잉 커패시터는 상기 입력 전압의 1/3에 대응하는 전압 레벨로 충전되고, 상기 제2 플라잉 커패시터는 상기 입력 전압에 대응하는 전압 레벨로 충전되고,

제2 상태에서, 상기 제3, 제5 및 제9 스위치들이 턴온되고, 상기 제1, 제2, 제4, 제6 내지 제8 스위치들이 턴오프되어, 상기 제2 출력 단자에서 상기 입력 전압의 2/3에 대응하는 크기를 갖는 상기 음의 출력 전압이 제공되며,

제3 상태에서, 상기 제2, 제6 및 제9 스위치들이 턴온되고, 상기 제1, 제3내지 제5, 제7 및 제8 스위치들이 턴

오프되어, 상기 제1 출력 단자에서 상기 입력 전압의 2/3에 대응하는 크기를 갖는 상기 양의 출력 전압이 제공되고, 상기 제2 출력 단자에서 상기 입력 전압의 2/3에 대응하는 크기를 갖는 상기 음의 출력 전압이 제공되는 것을 특징으로 하는 차지 펌프 회로.

**청구항 8**

제5항에 있어서,

상기 모드 제어 신호가 상기 제3 차지 펌프 모드를 지시하는 경우,

제1 상태에서, 상기 제1, 제4, 제5 및 제8 스위치들이 턴온되고 상기 제2, 제3, 제6, 제7 및 제9 스위치들이 턴오프되어, 상기 제1 플라잉 커패시터는 상기 입력 전압의 1/2에 대응하는 전압 레벨로 충전되고, 상기 제2 플라잉 커패시터는 상기 입력 전압에 대응하는 전압 레벨로 충전되고,

제2 상태에서, 상기 제2, 제3, 제5 및 제9 스위치들이 턴온되고 상기 제1, 제4, 제6 내지 제8 스위치들이 턴오프되어, 상기 제1 출력 단자에서 상기 입력 전압의 1/2에 대응하는 크기를 갖는 상기 양의 출력 전압을 제공하고, 상기 제2 출력 단자에서 상기 입력 전압의 1/2에 대응하는 크기를 갖는 상기 음의 출력 전압이 제공되는 것을 특징으로 하는 차지 펌프 회로.

**청구항 9**

제5항에 있어서,

상기 모드 제어 신호가 상기 제4 차지 펌프 모드를 지시하는 경우,

제1 상태에서, 상기 제1, 제4, 제5 및 제8 스위치들이 턴온되고 상기 제2, 제3, 제6, 제7 및 제9 스위치들이 턴오프되어, 상기 제1 플라잉 커패시터는 상기 입력 전압의 2/3에 대응하는 전압 레벨로 충전되고, 상기 제2 플라잉 커패시터는 상기 입력 전압에 대응하는 전압 레벨로 충전되고,

제2 상태에서, 상기 제3, 제5 및 제9 스위치들이 턴온되고 상기 제1, 제2, 제4, 제6 내지 제9 스위치들이 턴오프되어, 상기 제2 출력 단자에서 상기 입력 전압의 1/3에 대응하는 크기를 갖는 상기 음의 출력 전압이 제공되며,

제3 상태에서, 상기 제2 및 제7 스위치들이 턴온되고 상기 제1, 제3 내지 제6, 제8 및 제9 스위치들이 턴오프되어, 상기 제1 출력 단자에서 상기 입력 전압의 1/3에 대응하는 크기를 갖는 상기 양의 출력 전압이 제공되고, 상기 제2 출력 단자에서 상기 입력 전압의 1/3에 대응하는 크기를 갖는 상기 음의 출력 전압이 제공되는 것을 특징으로 하는 차지 펌프 회로.

**청구항 10**

제4항에 있어서,

복수의 입력 전압들을 수신하고, 선택 신호에 따라 상기 복수의 입력 전압들 중 선택된 입력 전압을 상기 입력 단자에 제공하는 선택기를 더 포함하는 것을 특징으로 하는 차지 펌프 회로.

**발명의 설명**

**기술 분야**

[0001] 본 개시의 기술적 사상은 차지 펌프에 관한 것이며, 더욱 상세하게는, 멀티 출력 레벨을 갖는 양의 출력 전압 및 음의 출력 전압을 제공하는 재구성 가능한 양극성 출력 차지 펌프 회로 및 이를 포함하는 집적 회로에 관한 것이다.

**배경 기술**

[0002] 차지 펌프는 DC-DC 컨버터의 일종으로서, 입력 전압보다 높거나 낮은 전압을 생성하기 위해 에너지 저장 소자로서 커패시터들을 사용한다. 차지 펌프가 모바일 장치에 포함되는 경우 차지 펌프의 소형화가 요구되며, 배터리의 수명을 늘리기 위해서 고 성능 및 고 효율의 차지 펌프가 요구된다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 개시의 기술적 사상은 칩 사이즈를 감소시키면서 성능을 향상시킬 수 있는 재구성 가능한 양극성 출력 차지 펌프 회로 및 이를 포함하는 집적 회로를 제공한다.

**과제의 해결 수단**

[0004] 본 개시의 기술적 사상에 따른 재구성 가능한 양극성 출력 차지 펌프 회로는 입력 전압을 수신하도록 구성된 입력 단자, 제1 플라잉 커패시터에 접속되도록 구성된 제1 및 제2 단자들, 제2 플라잉 커패시터에 접속되도록 구성된 제3 및 제4 단자들, 제1 및 제2 출력 커패시터들에 각각 접속되고, 양의 출력 전압 및 음의 출력 전압을 각각 제공하도록 구성된 제1 및 제2 출력 단자들, 복수의 스위치 제어 신호들에 응답하여 상기 입력 단자, 상기 제1 내지 제4 단자들, 및 상기 제1 및 제2 출력 단자들을 상호 접속시키도록 구성된 복수의 스위치들을 포함하고, 복수의 차지 펌프 모드들 중 하나를 제공하도록 구성된 스위치 네트워크, 및 상기 양의 출력 전압 및 상기 음의 출력 전압의 크기가 미리 정의된 복수의 전압 레벨들 중 하나가 되도록 상기 복수의 차지 펌프 모드들 중 하나를 지시하는 모드 제어 신호에 응답하여, 상기 복수의 스위치 제어 신호들을 생성하는 컨트롤러를 포함한다.

[0005] 또한, 본 개시의 기술적 사상에 따른 집적 회로는 입력 전압으로부터 양의 출력 전압 및 음의 출력 전압을 제공하도록 구성된 차지 펌프 회로, 및 상기 양의 출력 전압 및 상기 음의 출력 전압을 공급받고, 입력 신호를 증폭하여 출력 신호를 제공하는 증폭기를 포함하고, 상기 차지 펌프 회로는 상기 입력 전압을 수신하도록 구성된 입력 단자, 제1 플라잉 커패시터에 접속되도록 구성된 제1 및 제2 단자들, 제2 플라잉 커패시터에 접속되도록 구성된 제3 및 제4 단자들, 제1 및 제2 출력 커패시터들에 각각 접속되고, 상기 양의 출력 전압 및 상기 음의 출력 전압을 각각 제공하도록 구성된 제1 및 제2 출력 단자, 복수의 스위치 제어 신호들에 응답하여 상기 입력 단자, 상기 제1 내지 제4 단자들, 및 상기 제1 및 제2 출력 단자들을 상호 접속시키도록 구성된 복수의 스위치들을 포함하고, 복수의 차지 펌프 모드들 중 하나를 제공하도록 구성된 스위치 네트워크, 및 상기 양의 출력 전압 및 상기 음의 출력 전압의 크기가 미리 정의된 복수의 전압 레벨들 중 하나가 되도록 상기 복수의 차지 펌프 모드들 중 하나를 지시하는 모드 제어 신호에 응답하여, 상기 복수의 스위치 제어 신호들을 생성하는 컨트롤러를 포함한다.

**도면의 간단한 설명**

- [0006] 도 1은 본 개시의 일 실시예에 따른 집적 회로를 나타낸다.
- 도 2a는 싱글 파워 레일에 의해 구동되는 증폭기를 나타내고, 도 2b는 본 개시의 일 실시예에 따른, 듀얼 파워 레일에 의해 구동되는 증폭기를 나타낸다.
- 도 3a 내지 도 3d는 다양한 종류의 헤드폰 증폭기들의 출력 신호들을 예시하는 그래프들이다.
- 도 4는 본 개시의 일 실시예에 따른 재구성 가능한 양극성 출력 차지 펌프 회로를 나타내는 블록도이다.
- 도 5는 본 개시의 일 실시예에 따라, 도 4의 모드 제어 신호에 따른 차지 펌프 모드들을 나타내는 표이다.
- 도 6은 본 개시의 일 실시예에 따른 재구성 가능한 양극성 출력 차지 펌프 회로를 나타내는 회로도이다.
- 도 7a는 본 개시의 일 실시예에 따른 두 개의 상태를 제어하는 클럭 신호를 예시하고, 도 7b는 본 개시의 일 실시예에 따른 세 개의 상태를 제어하는 클럭 신호를 예시한다.
- 도 8은 본 개시의 일 실시예에 따른 차지 펌프 모드들을 정의하는 스위치 상태들을 나타내는 표이다.
- 도 9a 내지 도 10b는 본 개시의 일 실시예에 따라 제1 차지 펌프 모드를 제공하는 차지 펌프 회로를 나타내는 회로도들이다.
- 도 11a 내지 13b는 본 개시의 일 실시예에 따라 제2 차지 펌프 모드를 제공하는 차지 펌프 회로를 나타내는 회로도들이다.
- 도 14a 내지 도 15b는 본 개시의 일 실시예에 따라 제3 차지 펌프 모드를 제공하는 차지 펌프 회로를 나타내는 회로도들이다.
- 도 16a 내지 도 18b는 본 개시의 일 실시예에 따라 제4 차지 펌프 모드를 제공하는 차지 펌프 회로를 나타내는 회로도들이다.

회로도들이다.

도 19는 본 개시의 일 실시예에 따른 양극성 출력 차지 펌프 회로를 나타내는 회로도이다.

도 20a 및 도 20b는 도 19의 차지 펌프 회로의 제1 및 제2 상태의 등가 회로도들을 각각 나타낸다.

도 21은 도 19의 차지 펌프 회로의 출력에 대한 시뮬레이션 결과이다.

도 22는 본 개시의 일 실시예에 따른 양극성 출력 차지 펌프 회로를 나타내는 회로도이다.

도 23a 내지 도 23c는 도 22의 차지 펌프 회로의 제1 및 제2 상태의 등가 회로도들을 각각 나타낸다.

도 24는 도 22의 차지 펌프 회로의 출력에 대한 시뮬레이션 결과이다.

도 25는 본 개시의 일 실시예에 따른 양극성 출력 차지 펌프 회로를 나타내는 회로도이다.

도 26a 내지 도 26c는 도 25의 차지 펌프 회로의 제1 내지 제3 상태의 등가 회로도들을 각각 나타낸다.

도 27은 도 25의 차지 펌프 회로의 출력에 대한 시뮬레이션 결과이다.

도 28은 본 개시의 일 실시예에 따른 집적 회로를 나타낸다.

도 29는 도 28의 집적 회로의 일 예를 나타내는 회로도이다.

도 30은 본 개시의 일 실시예에 따른 전자 장치를 나타내는 블록도이다.

도 31은 본 개시의 일 실시예에 따른 모바일 장치를 나타내는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0007] 이하, 첨부한 도면을 참조하여 본 개시의 실시예들에 대해 상세히 설명한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이에 대한 중복된 설명은 생략한다.

[0008] 도 1은 본 개시의 일 실시예에 따른 집적 회로(IC)를 나타낸다.

[0009] 도 1을 참조하면, 집적 회로(Integrated Circuit)(IC)는 차지 펌프(charge pump)(CP) 및 증폭기(amplifier)(AMP)를 포함할 수 있다. 일 실시예에서, 차지 펌프(CP) 및 증폭기(AMP)는 단일 칩으로 구현될 수 있다. 일 실시예에서, 차지 펌프(CP) 및 증폭기(AMP)는 단일 패키지로 구현될 수 있고, 이때, 차지 펌프(CP)의 일부 구성 요소 및 증폭기(AMP)는 칩으로 구현되고, 차지 펌프(CP)의 나머지 구성 요소는 칩 외부에 배치될 수 있다.

[0010] 차지 펌프(CP)는 입력 전압(VDD)으로부터 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 생성할 수 있다. 입력 전압(VDD)은 단일 전압, 즉, 싱글 레일 공급 전압(single rail supply voltage)일 수 있다. 차지 펌프(CP)는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 포함하는 듀얼 레일 공급 전압들(dual rail supply voltages), 즉, 양극성(bipolar) 공급 전압들을 생성할 수 있다.

[0011] 일 실시예에서, 차지 펌프(CP)는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 전압 레벨에 따라 다양한 차지 펌프 모드들을 제공할 수 있고, 이에 따라, 차지 펌프(CP)를 '멀티 레벨 차지 펌프'라고 지칭할 수 있다. 구체적으로, 차지 펌프(CP)는 미리 정의된 복수의 출력 전압 레벨들 중 하나에 대응하는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 생성할 수 있고, 차지 펌프 모드는 원하는 출력 전압 레벨에 따라 결정될 수 있다. 따라서, 차지 펌프(CP)는 '재구성 가능한(reconfigurable) 양극성 출력 차지 펌프'라고 지칭할 수 있다.

[0012] 일 실시예에서, 복수의 차지 펌프 모드들은 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기가 입력 전압(VDD)에 대응하는 제1 차지 펌프 모드, 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기가 입력 전압의 1/m에 대응하는 제2 차지 펌프 모드, 및 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기가 입력 전압의 1/n에 대응하는 제3 차지 펌프 모드를 포함하고, m과 n은 2 이상의 서로 다른 정수일 수 있다. 일 실시예에서, 복수의 차지 펌프 모드들은 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기가 입력 전압(VDD)에 대응하는 제1 차지 펌프 모드, 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기가 입력 전압의 1/m에 대응하는 제2 차지 펌프 모드, 및 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기가 입력 전압의 n/m에 대응하는 제3 차지 펌프 모드를 포함하고, m과 n은 2 이상의 서로 다른 정수일 수 있다. 예를 들어, 복수의 출력 전압 레벨들은  $\pm VDD$ ,  $\pm 2VDD/3$ ,  $\pm VDD/2$ , 및/또는  $\pm VDD/3$ 일 수 있으나, 본 발명은 이에 한정되지 않는다.

[0013] 증폭기(AMP)는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)에 의해 구동될 수 있고, 입력 신호(IN)를 증폭하

여 출력 신호(OUT)를 제공할 수 있다. 일 실시예에서, 집적 회로(IC)는 오디오 코덱일 수 있고, 증폭기(AMP)는 입력된 오디오 신호를 증폭하여 헤드폰(headphone)을 구동하기 위한 헤드폰 드라이버일 수 있다. 예를 들어, 증폭기(AMP)는 클래스-G 헤드폰 드라이버일 수 있다. 이하에서는, 도 2a 내지 도 3d를 참조하여 증폭기(AMP)에 대해 상세하게 설명하기로 한다.

- [0014] 도 2a는 싱글 파워 레일에 의해 구동되는 증폭기(AMP')를 나타내고, 도 2b는 본 개시의 일 실시예에 따른, 듀얼 파워 레일에 의해 구동되는 증폭기(AMP)를 나타낸다.
- [0015] 도 2a를 참조하면, 증폭기(AMP')는 싱글 파워 레일, 즉, 입력 전압(VDD)에 의해 전력을 제공받고, 입력 신호(IN)를 증폭하여 출력 신호(OUT)를 제공한다. 증폭기(AMP')의 출력 신호(OUT)는 그라운드보다 높은 VDD/2에서 바이어싱되므로 대기 전류(quiescent current)가 높을 수 있다. 따라서, 증폭기(AMP')의 출력단에 DC 차단(blocking) 커패시터(Cd)가 요구되는데, 저 주파수의 오디오 신호가 감쇠(attenuation) 없이 부하에 전달되는 것을 보장하기 위해서는 고 용량의 DC 차단 커패시터(Cd)가 필요하고, 이에 따라, 증폭기(AMP')의 구현 비용 및 사이즈가 늘어날 수 있다.
- [0016] 도 2b를 참조하면, 증폭기(AMP)는 듀얼 파워 레일, 즉, 양의 출력 전압(VDD) 및 음의 전압(-VDD)에 의해 전력을 제공받고, 입력 신호(IN)를 증폭하여 출력 신호(OUT)를 제공할 수 있다. 증폭기(AMP)는 예를 들어, 도 1의 증폭기(AMP)에 대응할 수 있고, 증폭기(AMP)에 제공되는 공급 전압은 도 1의 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)에 대응할 수 있다. 증폭기(AMP)의 출력 신호(OUT)는 그라운드에서 바이어싱되므로 대기 전류가 낮을 수 있다. 따라서, 증폭기(AMP)의 출력단에는 DC 차단 커패시터가 요구되지 않으며, 이에 따라, 증폭기(AMP)의 구현 비용 및 사이즈를 줄일 수 있다.
- [0017] 도 3a 내지 도 3d는 다양한 종류의 헤드폰 증폭기들의 출력 신호들을 예시하는 그래프들이다.
- [0018] 도 3a를 참조하면, 예를 들어, 클래스-AB 증폭기의 경우, 증폭기에 공급되는 전원 전압이  $\pm VDD$  로 고정된다. 이때, 출력 신호(OUT)가 감소하면, 전원 전압( $\pm VDD$ )과 출력 신호(OUT) 사이의 전압 차이가 증가하고, 이에 따라, 전력 손실이 증가하여 전력 효율이 감소하게 된다. 도 3b를 참조하면, 예를 들어, 클래스-G2 증폭기의 경우, 증폭기에 공급되는 전원 전압은  $\pm VDD$  또는  $\pm VDD/2$ 로 변경될 수 있다. 이때, 출력 신호(OUT)가 감소하면, 전력 손실을 줄임으로써 전력 효율을 향상시킬 수 있다. 도 3c를 참조하면, 예를 들어, 클래스-H 증폭기의 경우, 증폭기에 공급되는 전원 전압이 출력 신호(OUT)를 트래킹할 수 있다. 이때, 전력 효율을 크게 향상시킬 수 있으나, 클래스-H 증폭기를 구현하기 위해서는 고가의 외부 인덕터를 가진 벅 컨버터(buck converter)가 필요하다.
- [0019] 도 1 및 도 3d를 함께 참조하면, 본 개시의 일 실시예에 따르면, 차지 펌프(CP)는 미리 정의된 복수의 전원 전압들 중 하나를 생성할 수 있다. 예를 들어, 복수의 전원 전압은  $\pm VDD1$ ,  $\pm VDD1/2$ ,  $\pm VDD2$  및/또는  $\pm VDD2/2$ 일 수 있다. 차지 펌프(CP)는 증폭기(AMP)의 출력 신호(OUT)에 적응적으로 재구성될 수 있다. 구체적으로, 차지 펌프(CP)는 증폭기(AMP)의 출력 신호(OUT)의 레벨에 따라 복수의 전원 전압들 중 선택된 전원 전압을 증폭기(AMP)에 제공할 수 있다. 이에 따라, 출력 신호(OUT)가 감소하면, 증폭기(AMP)에 제공되는 전원 전압의 크기가 감소하게 된다. 따라서, 본 개시의 일 실시예에 따르면, 고가의 벅 컨버터를 포함하지 않더라도 전력 손실을 줄임으로써 전력 효율을 향상시킬 수 있다.
- [0020] 도 4는 본 개시의 일 실시예에 따른 재구성 가능한 양극성 출력 차지 펌프 회로(100)를 나타내는 블록도이다. 도 4의 재구성 가능성 양극성 출력 차지 펌프 회로(100)는 도 1의 차지 펌프(CP)의 일 구현 예에 대응할 수 있고, 도 1 내지 도 3d를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다.
- [0021] 도 4를 참조하면, 재구성 가능성 양극성 출력 차지 펌프 회로(100)(이하 편의상 '차지 펌프 회로'라고 지칭함)는 제1 및 제2 플라잉 커패시터들(CA, CB), 제1 및 제2 출력 커패시터들(COP, CON), 스위치 네트워크(110), 및 컨트롤러(120)를 포함할 수 있다. 또한, 차지 펌프 회로(100)는 레벨 검출기(130)를 더 포함할 수 있다. 일 실시예에서, 스위치 네트워크(110), 컨트롤러(120), 및 레벨 검출기(130)는 단일 칩(CHIP)으로 구현될 수 있고, 제1 및 제2 플라잉 커패시터들(CA, CB), 및 제1 및 제2 출력 커패시터들(COP, CON)은 칩(CHIP)의 외부에 배치될 수 있다.
- [0022] 차지 펌프 회로(100)는 입력 전압(VDD)을 수신하도록 구성된 입력 단자(terminal)(TI), 제1 플라잉 커패시터(CA)에 접속되도록 구성된 제1 및 제2 단자들(T1, T2), 제2 플라잉 커패시터(CB)에 접속되도록 구성된 제3 및 제4 단자들(T3, T4)을 더 포함할 수 있다. 입력 단자(TI), 및 제1 내지 제4 단자들(T1 내지 T4)는 스위치 네트워크(110)의 입력 노드(NI), 및 제1 내지 제4 노드들(N1 내지 N4)에 각각 연결될 수 있다. 제1 및 제2 플라잉

커패시터들(CA, CB)은 입력 전압(VDD)에 영구적으로 접속되지 않고, 차지 펌프 회로(100)의 동작 상태를 기초로 입력 전압(VDD)에 접속 또는 분리될 수 있다. 제1 및 제2 플라잉 커패시터들(CA, CB)은 제1 및 제2 출력 커패시터들(COP, CON)에 전달할 전하들을 저장할 수 있다.

[0023] 또한, 차지 펌프 회로(100), 제1 출력 커패시터(COP)에 접속되고 양의 출력 전압(VPOS)을 제공하도록 구성된 제1 출력 단자(TO1), 및 제2 출력 커패시터(CON)에 접속되고 음의 출력 전압(VNEG)을 제공하도록 구성된 제2 출력 단자(TO2)를 더 포함할 수 있다. 제1 및 제2 출력 단자들(TO1, TO2)은 스위치 네트워크(110)의 제1 및 제2 출력 노드들(NO1, NO2)에 각각 연결될 수 있다. 제1 및 제2 출력 커패시터들(COP, CON)은 저장(reservoir) 커패시터들이라고 지칭할 수 있다.

[0024] 스위치 네트워크(110)는 복수의 스위치 제어 신호들(SC1 내지 SCM)에 응답하여 입력 노드(NI), 제1 내지 제4 노드들(N1 내지 N4), 및 제1 및 제2 출력 노드들(NO1, NO2)을 상호 접속시키도록 구성된 복수의 스위치들을 포함하고, 복수의 차지 펌프 모드들 중 하나를 제공할 수 있다. 이에 따라, 복수의 스위치들은 복수의 스위치 제어 신호들(SC1 내지 SCM)에 응답하여 입력 노드(NI), 제1 내지 제4 노드들(N1 내지 N4), 및 제1 및 제2 출력 노드들(NO1, NO2)에 각각 연결된 입력 단자(TI), 제1 내지 제4 단자들(T1 내지 T4), 및 제1 및 제2 출력 노드들(TO1, TO2)을 상호 접속시킬 수 있다.

[0025] 컨트롤러(120)는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기가 미리 정의된 복수의 전압 레벨들 중 하나가 되도록 복수의 차지 펌프 모드들 중 하나를 지시하는 모드 제어 신호에 응답하여, 복수의 스위치 제어 신호들(SC1 내지 SCM)을 생성할 수 있다. 일 실시예에서, 모드 제어 신호는 적어도 두 개의 비트들로 구현될 수 있고, 예를 들어, 제1 모드 제어 비트(ST1) 및 제2 모드 제어 비트(ST2)를 포함할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 미리 정의된 복수의 전압 레벨들의 개수, 즉, 차지 펌프 모드들의 개수에 따라 모드 제어 신호에 포함되는 모드 제어 비트의 개수는 다양하게 변경될 수 있다. 컨트롤러(120)의 동작에 대해서는 도 5를 참조하여 후술하기로 한다.

[0026] 레벨 검출기(130)는 제1 출력 노드(NO1) 또는 제2 출력 노드(NO2)에 연결되어, 양의 출력 전압(VPOS) 또는 음의 출력 전압(VNEG)을 검출함으로써, 스위칭 주파수를 제어할 수 있다. 구체적으로, 레벨 검출기(130)는 제1 및 제2 비교기들(COM1, COM2)을 포함하고, 제1 및 제2 비교기들(COM1, COM2)의 네거티브 입력 단자에서 양의 출력 전압(VPOS) 또는 음의 출력 전압(VNEG)을 수신하여 서로 다른 기준 전압 레벨과 비교할 수 있다. 이때, 서로 다른 기준 전압 레벨들은 다수의 저항들을 이용하여 구현된 전압 분배기를 통해 획득될 수 있다.

[0027] 양의 출력 전압(VPOS) 또는 음의 출력 전압(VNEG)의 전압 레벨이 높은 경우, 레벨 검출기(130)는 스위칭 주파수를 감소시키도록 스위칭 주파수 제어 신호를 생성할 수 있다. 한편, 양의 출력 전압(VPOS) 또는 음의 출력 전압(VNEG)의 전압 레벨이 낮은 경우, 레벨 검출기(130)는 스위칭 주파수를 증가시키도록 스위칭 주파수 제어 신호를 생성할 수 있다. 스위칭 주파수 제어 신호는 제1 및 제2 스위칭 주파수 제어 비트들(K1, K2)을 포함할 수 있다. 제1 및 제2 스위칭 주파수 제어 비트들(K1, K2)에 의해 클럭 신호, 예를 들어, 도 7a의 클럭 신호(CK1) 또는 도 7b의 클럭 신호(CK2)의 스위칭 주파수가 변경될 수 있다.

[0028] 도 5는 본 개시의 일 실시예에 따라, 도 4의 모드 제어 신호에 따른 차지 펌프 모드들을 나타내는 표이다.

[0029] 도 4 및 도 5를 함께 참조하면, 일 실시예에 따르면, 제1 및 제2 모드 제어 비트들(ST1, ST2)에 따라 차지 펌프 회로(100)의 차지 펌프 모드가 결정될 수 있다. 따라서, 차지 펌프 회로(100)는 제1 및 제2 모드 제어 비트들(ST1, ST2)에 따라 결정된 차지 펌프 모드에 따라 재구성 가능하고, 차지 펌프 모드에 따른 양극성의 멀티 레벨 출력 전압을 생성할 수 있다.

[0030] 예를 들어, 제1 및 제2 모드 제어 비트들(ST1, ST2)이 모두 0이면, 차지 펌프 회로(100)는 입력 전압(VDD)과 동일한 레벨의 양극성 출력 전압(즉,  $\pm VDD$ )을 생성하는 제1 차지 펌프 모드를 제공할 수 있다. 제1 모드 제어 비트(ST1)가 1이고 제2 모드 제어 비트(ST2)가 0이면, 차지 펌프 회로(100)는 입력 전압(VDD)의 2/3에 대응하는 레벨의 양극성 출력 전압(즉,  $\pm 2VDD/3$ )을 생성하는 제2 차지 펌프 모드를 제공할 수 있다. 제1 모드 제어 비트(ST1)가 0이고 제2 모드 제어 비트(ST2)가 1이면, 차지 펌프 회로(100)는 입력 전압(VDD)의 1/2에 대응하는 레벨의 양극성 출력 전압(즉,  $\pm VDD/2$ )을 생성하는 제3 차지 펌프 모드를 제공할 수 있다. 제1 및 제2 모드 제어 비트들(ST1, ST2)이 모두 1이면, 차지 펌프 회로(100)는 입력 전압(VDD)의 1/3에 대응하는 레벨의 양극성 출력 전압(즉,  $\pm VDD/3$ )을 생성하는 제4 차지 펌프 모드를 제공할 수 있다.

[0031] 도 6은 본 개시의 일 실시예에 따른 재구성 가능한 양극성 출력 차지 펌프 회로(100)를 나타내는 회로도이다.

[0032] 도 6을 참조하면, 차지 펌프 회로(100)는 제1 및 제2 플라잉 커패시터들(CA, CB), 제1 및 제2 출력 커패시터들

(COP, CON), 및 스위치 네트워크(110)를 포함할 수 있다. 본 실시예에 따른 차지 펌프 회로(100)는 도 4의 차지 펌프 회로(100)의 일 구현 예에 대응할 수 있고, 도 4 및 도 5를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다. 이하에서는 편의상, 입력 노드(NI), 제1 내지 제4 노드들(N1 내지 N4), 및 제1 및 제2 출력 노드들(NO1, NO2)은 각각 입력 단자(TI), 제1 내지 제4 단자들(T1 내지 T4), 및 제1 및 제2 출력 노드들(TO1, TO2)을 포함하는 개념으로 설명하기로 한다.

[0033] 스위치 네트워크(110)는 제1 내지 제9 스위치들(S1 내지 S9)을 포함할 수 있다. 제1 스위치(S1)는 입력 노드(NI)와 제1 노드(N1) 사이에 배치되어, 입력 노드(NI)와 제1 노드(N1)를 연결시킬 수 있다. 제2 스위치(S2)는 제1 노드(N1)와 제1 출력 노드(NO1) 사이에 배치되어, 제1 노드(N1)와 제1 출력 노드(NO1)를 연결시킬 수 있다. 제3 스위치(S3)는 제2 노드(N2)와 접지 단자(GND) 사이에 배치되어, 제2 노드(N2)를 접지 단자(GND)에 연결시킬 수 있다. 제4 스위치(S4)는 제2 노드(N2)와 제1 출력 노드(NO1) 사이에 배치되어, 제2 노드(N2)와 제1 출력 노드(NO1)를 연결시킬 수 있다. 제5 스위치(S5)는 제1 스위치(S1)의 일단과 제3 노드(N3) 사이에 연결되어, 제3 노드(N3)를 제1 스위치(S1)에 연결시킬 수 있다. 제6 스위치(S6)는 제2 노드(N2)와 제3 노드(N3) 사이에 배치되어, 제2 노드(N2)와 제3 노드(N3)를 연결시킬 수 있다. 제7 스위치(S7)는 제2 노드(N2)와 제2 출력 노드(NO2) 사이에 배치되어, 제2 노드(N2)와 제2 출력 노드(NO2)에 연결시킬 수 있다. 제8 스위치(S8)는 제4 노드(N4)와 접지 단자(GND) 사이에 배치되어, 제4 노드(N4)를 접지 단자(GND)에 연결시킬 수 있다. 제9 스위치(S9)는 제4 노드(N4)와 제2 출력 노드(NO2) 사이에 배치되어, 제4 노드(N4)와 제2 출력 노드(NO2)를 연결시킬 수 있다.

[0034] 이와 같이, 본 실시예에서, 차지 펌프 회로(100)는 9개의 스위치들(S1 내지 S9)을 포함하는 스위치 네트워크(110), 두 개의 플라잉 커패시터들(CA, CB) 및 두 개의 출력 커패시터들(COP, CON)을 포함할 수 있다. 차지 펌프 회로(100)는 예를 들어, 제1 및 제2 모드 제어 비트들(ST1, ST2)을 포함하는 모드 제어 신호에 따라 선택된 차지 펌프 모드에 따라 재구성될 수 있다. 이에 따라, 차지 펌프 회로(100)는 입력 전압(VDD)으로부터 복수의 전압 레벨들 중 하나에 대응하는 양극성 출력 전압들(VPOS, VNEG)을 생성할 수 있다.

[0035] 본 실시예에 따르면, 차지 펌프 회로(100)에서, 하나의 전류 패쓰에는 두 개 또는 세 개의 스위치들이 연결될 수 있다. 따라서, 각 전류 패쓰에서 스위치 온 저항이 종래에 비해 감소할 수 있고, 이에 따라, 출력 임피던스가 감소할 수 있다. 결과적으로, 차지 펌프 회로(100)의 전력 효율이 증가하고 성능이 향상될 수 있다. 또한, 본 실시예에 따르면, 차지 펌프 회로(100)에 포함되는 전체 스위치 개수가 종래에 비해 감소할 수 있고, 이에 따라, 차지 펌프 회로(100)를 포함하는 칩의 사이즈가 감소할 수 있다.

[0036] 도 7a는 본 개시의 일 실시예에 따른 두 개의 상태들을 제어하는 클럭 신호를 예시하고, 도 7b는 본 개시의 일 실시예에 따른 세 개의 상태들을 제어하는 클럭 신호를 예시한다.

[0037] 도 7a를 참조하면, 클럭 신호(CK1)는 제1 상태를 제어하기 위한 제1 클럭 신호(CK1a) 및 제2 상태를 제어하기 위한 제2 클럭 신호(CK1b)를 포함할 수 있다. 이때, 제1 클럭 신호(CK1a) 및 제2 클럭 신호(CK1b)는 서로 겹치지 않을 수 있다. 차지 펌프 모드가 두 개의 상태들을 가지는 경우, 예를 들어, 도 8의 제1 및 제3 차지 펌프 모드들의 경우, 클럭 신호(CK1)를 이용하여 스위치 네트워크(110)를 제어할 수 있다. 제1 클럭 신호(CK1a)의 온 구간은 제1 위상( $\phi_1$ )에 대응하고, 제2 클럭 신호(CK1b)의 온 구간은 제2 위상( $\phi_2$ )에 대응할 수 있다. 일 실시예에서, 제1 클럭 신호(CK1a)의 온 구간의 길이와 제2 클럭 신호(CK1b)의 온 구간의 길이는 서로 같을 수 있다. 일 실시예에서, 제1 클럭 신호(CK1a)의 온 구간의 길이와 제2 클럭 신호(CK1b)의 온 구간의 길이는 서로 다를 수 있다.

[0038] 도 7b를 참조하면, 클럭 신호(CK2)는 제1 상태를 제어하기 위한 제1 클럭 신호(CK2a), 제2 상태를 제어하기 위한 제2 클럭 신호(CK2b) 및 제3 상태를 제어하기 위한 제3 클럭 신호(CK2c)를 포함할 수 있다. 이때, 제1 내지 제3 클럭 신호들(CK2a 내지 CK2c)은 서로 겹치지 않을 수 있다. 차지 펌프 모드가 세 개의 상태들을 가지는 경우, 예를 들어, 도 8의 제2 및 제4 차지 펌프 모드들의 경우, 클럭 신호(CK2)를 이용하여 스위치 네트워크(110)를 제어할 수 있다. 제1 클럭 신호(CK2a)의 온 구간은 제1 위상( $\phi_1$ )에 대응하고, 제2 클럭 신호(CK2b)의 온 구간은 제2 위상( $\phi_2$ )에 대응하며, 제3 클럭 신호(CK2c)의 온 구간은 제3 위상( $\phi_3$ )에 대응할 수 있다. 일 실시예에서, 제1 내지 제3 클럭 신호들(CK2a 내지 CK2c)의 온 구간들의 길이는 서로 같을 수 있다. 일 실시예에서, 제1 내지 제3 클럭 신호들(CK2a 내지 CK2c)의 온 구간들의 길이 중 적어도 두 개는 서로 다를 수 있다.

[0039] 도 8은 본 개시의 일 실시예에 따른 차지 펌프 모드들을 정의하는 스위치 상태들을 나타내는 표이다.

[0040] 도 5 내지 도 8을 함께 참조하면, 제1 차지 펌프 모드에서 차지 펌프 회로(100)는  $\pm VDD$ 를 생성할 수 있고, 스위치 네트워크(110)는 도 7a의 클럭 신호(CK1)를 이용하여 제어될 수 있다. 제1 상태는 충전 상태에 대응하고,

제1 위상( $\phi_1$ )에 따라 동작할 수 있다. 제2 상태는 전하 전달 상태 또는 방전 상태에 대응하고, 제2 위상( $\phi_2$ )에 따라 동작할 수 있다. 제1 상태에서 제1 내지 제3, 제5 및 제8 스위치들(S1 내지 S3, S5, S8)이 턴온되고, 제2 상태에서 제1 내지 제3, 제6 및 제9 스위치들(S1 내지 S3, S6, S9)이 턴온될 수 있다.

[0041] 제2 차지 펌프 모드에서 차지 펌프 회로(100)는  $\pm 2VDD/3$ 를 생성할 수 있고, 스위치 네트워크(110)는 도 7b의 클럭 신호(CK2)를 이용하여 제어될 수 있다. 제1 상태는 충전 상태에 대응하고, 제1 위상( $\phi_1$ )에 따라 동작할 수 있다. 제2 및 제3 상태들은 전하 전달 상태 또는 방전 상태에 대응하고, 제2 및 제3 위상들( $\phi_2$ ,  $\phi_3$ )에 따라 각각 동작할 수 있다. 제1 상태에서 제1, 제4, 제5 및 제8 스위치들(S1, S4, S5, S8)이 턴온되고, 제2 상태에서 제3, 제5 및 제9 스위치들(S3, S5, S9)이 턴온되고, 제3 상태에서 제2, 제6 및 제9 스위치들(S2, S6, S9)은 턴온될 수 있다.

[0042] 제3 차지 펌프 모드에서 차지 펌프 회로(100)는  $\pm VDD/2$ 를 생성할 수 있고, 스위치 네트워크(110)는 도 7a의 클럭 신호(CK1)를 이용하여 제어될 수 있다. 제1 상태는 충전 상태에 대응하고, 제1 위상( $\phi_1$ )에 따라 동작할 수 있다. 제2 상태는 전하 전달 상태 또는 방전 상태에 대응하고, 제2 위상( $\phi_2$ )에 따라 동작할 수 있다. 제1 상태에서 제1, 제4, 제5 및 제8 스위치들(S1, S4, S5, S8)이 턴온되고, 제2 상태에서 제2, 제3, 제5 및 제9 스위치들(S2, S3, S5, S9)이 턴온될 수 있다.

[0043] 제4 차지 펌프 모드에서 차지 펌프 회로(100)는  $\pm VDD/3$ 를 생성할 수 있고, 스위치 네트워크(110)는 도 7b의 클럭 신호(CK2)를 이용하여 제어될 수 있다. 제1 상태는 충전 상태에 대응하고, 제1 위상( $\phi_1$ )에 따라 동작할 수 있다. 제2 및 제3 상태들은 전하 전달 상태 또는 방전 상태에 대응하고, 제2 및 제3 위상들( $\phi_2$ ,  $\phi_3$ )에 따라 각각 동작할 수 있다. 제1 상태에서 제1, 제4, 제5 및 제8 스위치들(S1, S4, S5, S8)이 턴온되고, 제2 상태에서 제3, 제5 및 제9 스위치들(S3, S5, S9)이 턴온되고, 제3 상태에서 제2 및 제7 스위치들(S2, S7)은 턴온될 수 있다.

[0044] 이하에서는, 도 9a 내지 도 18b를 참조하여 본 개시의 일 실시예에 따른 제1 내지 제4 차지 펌프 모드들의 동작들에 대해 상세하게 설명하기로 한다. 도 4 내지 도 8을 참조하여 상술된 내용은 이하의 실시예에 적용될 수 있으며 중복된 설명은 생략하기로 한다.

[0045] 도 9a는 본 개시의 일 실시예에 따라 제1 차지 펌프 모드의 제1 상태로 동작하는 차지 펌프 회로(100a)를 나타내는 회로도이고, 도 9b는 도 9a의 등가 회로도이다.

[0046] 도 9a 및 도 9b를 참조하면, 제1 상태에서 제1 내지 제3 스위치들(S1 내지 S3)이 턴온되어 제1 플라이잉 커패시터(CA) 및 제2 출력 커패시터(COP)에 대해 전류 패스가 형성되고, 제1, 제5 및 제8 스위치들(S1, S5, S8)이 턴온되어 제2 플라이잉 커패시터(CB)에 대해 전류 패스가 형성된다. 제1 상태에서, 제1 및 제2 플라이잉 커패시터들(CA, CB)은 입력 전압(VDD)에 의해 각각 VDD에 대응하는 전압 레벨로 충전될 수 있다. 구체적으로, 제2 플라이잉 커패시터(CB)는 입력 노드(NI)와 접지 단자(GND) 사이에 연결되어, VDD로 충전될 수 있다. 제1 플라이잉 커패시터(CA)와 제1 출력 커패시터(COP)는 입력 노드(NI)와 접지 단자(GND) 사이에 병렬로 연결되어, 각각 VDD로 충전될 수 있다.

[0047] 도 10a는 본 개시의 일 실시예에 따라 제1 차지 펌프 모드의 제2 상태로 동작하는 차지 펌프 회로(100a)를 나타내는 회로도이고, 도 10b는 도 10a의 등가 회로도이다.

[0048] 도 10a 및 도 10b를 참조하면, 제2 상태에서 제1 내지 제3 스위치들(S1 내지 S3)이 턴온되어 제1 플라이잉 커패시터(CA) 및 제1 출력 커패시터(COP)에 대해 전류 패스가 형성되고, 제6 및 제9 스위치들(S6, S9)이 턴온되어 제2 플라이잉 커패시터(CB) 및 제2 출력 커패시터(CON)에 대해 전류 패스가 형성된다. 제1 출력 노드(NO1)에서는 +VDD에 대응하는 양의 출력 전압(VPOS)이 제공되고, 제2 출력 노드(NO2)에서는 -VDD에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.

[0049] 도 11a는 본 개시의 일 실시예에 따라 제2 차지 펌프 모드의 제1 상태로 동작하는 차지 펌프 회로(100b)를 나타내는 회로도이고, 도 11b는 도 11a의 등가 회로도이다.

[0050] 도 11a 및 도 11b를 참조하면, 제1 상태에서 제1 및 제4 스위치들(S1, S4)이 턴온되어 제1 플라이잉 커패시터(CA) 및 제1 출력 커패시터(COP)에 대해 전류 패스가 형성되고, 제1, 제5 및 제8 스위치들(S1, S5, S8)이 턴온되어 제2 플라이잉 커패시터(CB)에 대해 전류 패스가 형성된다. 제1 상태에서, 제1 및 제2 플라이잉 커패시터들(CA, CB)은 입력 전압(VDD)에 의해 각각  $VDD/3$ , VDD에 대응하는 전압 레벨로 충전될 수 있다. 구체적으로, 제2 플라이잉 커패시터(CB)는 입력 노드(NI)와 접지 단자(GND) 사이에 연결되어, VDD로 충전될 수 있다. 제1 플라이잉 커패시터(CA)와 제1 출력 커패시터(COP)는 입력 노드(NI)와 접지 단자(GND) 사이에서 직렬로 연결되어, 제1 플라이잉 커패

시터(CA)는  $VDD/3$ 으로 충전되고, 제1 출력 커패시터(COP)는  $2VDD/3$ 으로 충전될 수 있다.

- [0051] 도 12a는 본 개시의 일 실시예에 따라 제2 차지 펌프 모드의 제2 상태로 동작하는 차지 펌프 회로(100b)를 나타내는 회로도이고, 도 12b는 도 12a의 등가 회로도이다.
- [0052] 도 12a 및 도 12b를 참조하면, 제2 상태에서 제3, 제5 및 제8 스위치들(S3, S5, S8)이 턴온되어 제1 및 제2 플라잉 커패시터들(CA, CB) 및 제2 출력 커패시터(CON)에 대해 전류 패쓰가 형성된다. 제2 출력 노드(NO2)에서는  $-2VDD/3$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다. 제2 상태에서, 제1 및 제2 플라잉 커패시터들(CA, CB)에 충전된 전하가 제2 출력 커패시터(CON)에 전달될 수 있다.
- [0053] 도 13a는 본 개시의 일 실시예에 따라 제2 차지 펌프 모드의 제3 상태로 동작하는 차지 펌프 회로(100b)를 나타내는 회로도이고, 도 13b는 도 13a의 등가 회로도이다.
- [0054] 도 13a 및 도 13b를 참조하면, 제3 상태에서 제2, 제6 및 제9 스위치들(S2, S6, S9)이 턴온되어 제1 및 제2 플라잉 커패시터들(CA, CB) 및 제1 및 제2 출력 커패시터(COP, CON)에 대해 전류 패쓰가 형성된다. 제1 출력 노드(NO1)에서는  $2VDD/3$ 에 대응하는 양의 출력 전압(VPOS)이 제공되고, 제2 출력 노드(NO2)에서는  $-2VDD/3$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.
- [0055] 도 14a는 본 개시의 일 실시예에 따라 제3 차지 펌프 모드의 제1 상태로 동작하는 차지 펌프 회로(100c)를 나타내는 회로도이고, 도 14b는 도 14a의 등가 회로도이다.
- [0056] 도 14a 및 도 14b를 참조하면, 제1 상태에서 제1 및 제4 스위치들(S1, S4)이 턴온되어 제1 플라잉 커패시터(CA) 및 제1 출력 커패시터(COP)에 대해 전류 패쓰가 형성되고, 제1, 제5 및 제8 스위치들(S1, S5, S8)이 턴온되어 제2 플라잉 커패시터(CB)에 대해 전류 패쓰가 형성된다. 제1 상태에서, 제1 및 제2 플라잉 커패시터들(CA, CB)은 입력 전압(VDD)에 의해 각각  $VDD/2$ , VDD에 대응하는 전압 레벨로 충전될 수 있다. 구체적으로, 제2 플라잉 커패시터(CB)는 입력 노드(NI)와 접지 단자(GND) 사이에 연결되어, VDD로 충전될 수 있다. 또한, 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 입력 노드(NI)와 접지 단자(GND) 사이에서 직렬로 연결되어, 각각  $VDD/2$ 으로 충전될 수 있다.
- [0057] 도 15a는 본 개시의 일 실시예에 따라 제3 차지 펌프 모드의 제2 상태로 동작하는 차지 펌프 회로(100c)를 나타내는 회로도이고, 도 15b는 도 15a의 등가 회로도이다.
- [0058] 도 15a 및 도 15b를 참조하면, 제2 상태에서 제2 및 제3 스위치들(S2, S3)이 턴온되어 제1 플라잉 커패시터(CA) 및 제1 출력 커패시터(COP)에 대한 전류 패쓰가 형성되고, 제5 및 제9 스위치들(S5, S9)이 턴온되어 제2 플라잉 커패시터(CB) 및 제2 출력 커패시터(CN)에 대한 전류 패쓰가 형성된다. 제1 출력 노드(NO1)에서는  $VDD/2$ 에 대응하는 양의 출력 전압(VPOS)이 제공되고, 제2 출력 노드(NO2)에서는  $-VDD/2$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.
- [0059] 도 16a는 본 개시의 일 실시예에 따라 제4 차지 펌프 모드의 제1 상태로 동작하는 차지 펌프 회로(100d)를 나타내는 회로도이고, 도 14b는 도 14a의 등가 회로도이다.
- [0060] 도 16a 및 도 16b를 참조하면, 제1 상태에서 제1 및 제4 스위치들(S1, S4)이 턴온되어 제1 플라잉 커패시터(CA) 및 제1 출력 커패시터(COP)에 대해 전류 패쓰가 형성되고, 제1, 제5 및 제8 스위치들(S1, S5, S8)이 턴온되어 제2 플라잉 커패시터(CB)에 대한 전류 패쓰가 형성된다. 제1 상태에서, 제1 및 제2 플라잉 커패시터들(CA, CB)은 입력 전압(VDD)에 의해 각각  $2VDD/3$ , VDD에 대응하는 전압 레벨로 충전될 수 있다. 구체적으로, 제2 플라잉 커패시터(CB)는 입력 노드(NI)와 접지 단자(GND) 사이에 연결되어, VDD로 충전될 수 있다. 또한, 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 입력 노드(NI)와 접지 단자(GND) 사이에서 직렬로 연결되어, 제1 플라잉 커패시터(CA)는  $2VDD/3$ 으로 충전되고, 제1 출력 커패시터(COP)는  $VDD/3$ 으로 충전될 수 있다.
- [0061] 도 17a는 본 개시의 일 실시예에 따라 제4 차지 펌프 모드의 제2 상태로 동작하는 차지 펌프 회로(100d)를 나타내는 회로도이고, 도 17b는 도 17a의 등가 회로도이다.
- [0062] 도 17a 및 도 17b를 참조하면, 제2 상태에서 제3, 제5 및 제9 스위치들(S3, S5, S9)이 턴온되어 제1 및 제2 플라잉 커패시터들(CA, CB)과 제2 출력 커패시터(CON)에 대해 전류 패쓰가 형성된다. 제2 출력 노드(NO2)에서는  $-VDD/3$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.
- [0063] 도 18a는 본 개시의 일 실시예에 따라 제4 차지 펌프 모드의 제3 상태로 동작하는 차지 펌프 회로(100d)를 나타내는 회로도이고, 도 18b는 도 18a의 등가 회로도이다.

- [0064] 도 18a 및 도 18b를 참조하면, 제3 상태에서 제2 및 제7 스위치들(S2, S7)이 턴온되어 제1 플라잉 커패시터(CA) 및 제1 및 제2 출력 커패시터들(COP, CON)에 대해 전류 패쓰가 형성된다. 제1 출력 노드(N01)에서는 VDD/3에 대응하는 양의 출력 전압(VPOS)이 제공되고, 제2 출력 노드(N02)에서는 -VDD/3에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.
- [0065] 도 19는 본 개시의 일 실시예에 따른 양극성 출력 차지 펌프 회로(200)를 나타내는 회로도이다.
- [0066] 도 19를 참조하면, 양극성 출력 차지 펌프 회로(200)는 입력 전압(VDD)로부터  $\pm VDD/2$ 에 대응하는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 생성할 수 있다. 구체적으로, 양극성 출력 차지 펌프 회로(200)는 제1 및 제2 플라잉 커패시터들(CA, CB), 제1 및 제2 출력 커패시터들(COP, CON), 및 스위치 네트워크(210)를 포함할 수 있다. 스위치 네트워크(210)는 제1 내지 제6 스위치들(S1 내지 S6)을 포함할 수 있다.
- [0067] 제1 스위치(S1)는 입력 노드(NI)와 제1 노드(N1) 사이에 배치되어, 입력 노드(NI)와 제1 노드(N1)를 연결시킬 수 있다. 제2 스위치(S2)는 제1 노드(N1)와 제1 출력 노드(N01) 사이에 배치되어, 제1 노드(N1)와 제1 출력 노드(N01)를 연결시킬 수 있다. 제3 스위치(S3)는 제2 노드(N2)와 접지 단자(GND) 사이에 배치되어, 제2 노드(N2)를 접지 단자(GND)에 연결시킬 수 있다. 제4 스위치(S4)는 제2 노드(N2)와 제1 출력 노드(N01) 사이에 배치되어, 제2 노드(N2)와 제1 출력 노드(N01)를 연결시킬 수 있다. 제5 스위치(S5)는 제4 노드(N4)와 접지 단자(GND) 사이에 배치되어, 제4 노드(N4)를 접지 단자(GND)에 연결시킬 수 있다. 제6 스위치(S6)는 제4 노드(N4)와 제2 출력 노드(N02) 사이에 배치되어, 제4 노드(N4)와 제2 출력 노드(N02)를 연결시킬 수 있다.
- [0068] 양극성 출력 차지 펌프 회로(200)는 충전 상태, 즉, 제1 상태와 방전 상태, 즉, 제2 상태를 교대로 반복할 수 있고, 이에 따라, 제1 및 제2 출력 노드들(N01, N02)에서 생성되는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)이  $\pm VDD/2$ 에 수렴할 수 있다. 제1 및 제2 상태들에 따라 스위치 네트워크(210)의 연결 구성이 변경될 수 있다. 제1 상태에는 제1, 제4 및 제5 스위치들(S1, S4, S5)가 턴온되고, 제2 상태에서는 제2, 제3 및 제6 스위치들(S2, S3, S6)이 턴온될 수 있다. 이에 대해, 도 20a 및 도 20b를 참조하여 자세하게 설명하기로 한다.
- [0069] 도 20a 및 도 20b는 도 19의 양극성 출력 차지 펌프 회로(200)의 제1 및 제2 상태의 등가 회로도들을 각각 나타낸다.
- [0070] 도 20a를 참조하면, 제1 상태에서, 제1 및 제4 스위치들(S1, S4)에 의해 전류 패쓰들이 형성될 수 있고, 이에 따라, 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 입력 노드(NI)와 그라운드 단자(GND) 사이에 직렬 연결될 수 있다. 입력 전압(VDD)에 의해 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 각각 VDD/2로 충전될 수 있다. 또한, 제1 상태에서, 제1 및 제5 스위치들(S1, S5)에 의해 전류 패쓰가 생성될 수 있고, 이에 따라, 제2 플라잉 커패시터(CB)는 입력 노드(NI)와 그라운드 단자(GND) 사이에 연결될 수 있다. 입력 전압(VDD)에 의해 제2 플라잉 커패시터(CB)는 VDD로 충전될 수 있다.
- [0071] 도 20b를 참조하면, 제2 상태에서, 제1 스위치(S1)가 턴오프됨에 따라 제1 플라잉 커패시터(CA)는 입력 노드(NI)와 분리될 수 있고, 제2 스위치(S2)가 턴오프됨에 따라 제1 플라잉 커패시터(CA)는 제1 출력 노드(N01)에 연결될 수 있다. 이때, 제1 플라잉 커패시터(CA) 및 제1 출력 커패시터(COP)의 양단 전압은 모두 VDD/2이므로, 제1 출력 노드(N01)에서 VDD/2에 대응하는 양의 출력 전압(VPOS)이 제공될 수 있다.
- [0072] 또한, 제2 상태에서, 제1 및 제5 스위치들(S1, S5)이 턴오프됨에 따라 제2 플라잉 커패시터(CB)는 입력 노드(NI) 및 그라운드 단자(GND)와 분리될 수 있고, 제2 및 제6 스위치들(S2, S6)이 턴오프됨에 따라 제2 플라잉 커패시터(CB)는 제1 및 제2 출력 노드들(N01, N02)에 연결될 수 있다. 이때, 제1 출력 노드(N01)의 전압 레벨은 VDD/2이고, 제2 플라잉 커패시터(CB)의 양단 전압은 VDD이므로, 제2 출력 노드(N02)에서 -VDD/2에 대응하는 음의 출력 전압(VNEG)이 생성될 수 있다.
- [0073] 도 21은 도 19의 차지 펌프 회로(200)의 출력에 대한 시뮬레이션 결과이다.
- [0074] 도 21을 참조하면, 가로축은 시간을 나타내고, 세로축은 전압을 나타낸다. 파형들(21a 내지 21d)는 제1 내지 제4 차지 펌프들(CP1a 내지 CP4a)의 출력들을 나타낸다. 제1 내지 제4 차지 펌프들(CP1a 내지 CP4a)은 2개의 플라잉 커패시터들을 포함하여  $\pm VDD/2$ 을 제공하는 "divide by 2 차지 펌프들"이다. 구체적으로, 제1 차지 펌프(CP1a)는 본 개시의 일 실시예에 대응하고, 예를 들어, 도 19의 차지 펌프 회로(200)일 수 있다. 제2 내지 제4 차지 펌프들(CP2a 내지 CP4a)은 본 개시의 비교예들에 대응하고, 차지 펌프 회로(200)에 비해 많은 수의 스위치들을 포함한다.
- [0075] 제1 차지 펌프(CP1a)는 6개의 스위치들을 포함하고, 제2 차지 펌프(CP2a)는 9개의 스위치들을 포함하며, 제3 차

지 펌프(CP3a)는 7개 스위치들을 포함하고, 제4 차지 펌프(CP4a)는 8개의 스위치들을 포함한다. 제1 내지 제4 차지 펌프들(CP1a 내지 CP4a)에 대해 동일한 조건으로 동작시킨 경우 제1 내지 제4 차지 펌프들(CP1a 내지 CP4a)의 효율은 아래의 표 1과 같다. 동일한 조건은 각 차지 펌프에 인가되는 입력 전압, 각 차지 펌프 회로에 연결되는 부하의 저항, 각 스위치의 온 상태의 저항, 및 각 스위치의 동작 주파수를 포함할 수 있다.

표 1

파라미터	CP1a	CP2a	CP3a	CP4a
스위치 개수	6	9	7	8
효율	93%	87%	84%	93%

[0076]

표 1에 나타난 바와 같이, 제1 및 제4 차지 펌프들(CP1a, CP4a)의 효율이 가장 높다. 이때, 제1 차지 펌프(CP1a)는 제4 차지 펌프(CP4a)에 비해 스위치 개수가 적으므로, 출력 임피던스가 더 낮을 수 있다. 따라서, 본 개시의 일 실시예에 따른 제1 차지 펌프(CP1a)를 이용하여 "divide by 2 차지 펌프"를 구현하는 경우, 적은 수의 스위치들을 포함하므로 구현 면적의 감소에 따라 칩 사이즈를 소형화시킬 수 있고, 출력 임피던스의 감소에 따라 성능을 향상시킬 수 있다.

[0077]

도 22는 본 개시의 일 실시예에 따른 양극성 출력 차지 펌프 회로(300)를 나타내는 회로도이다.

[0078]

도 22를 참조하면, 양극성 출력 차지 펌프 회로(300)는 입력 전압(VDD)로부터  $\pm VDD/3$ 에 대응하는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 생성할 수 있다. 구체적으로, 양극성 출력 차지 펌프 회로(300)는 제1 및 제2 플라잉 커패시터들(CA, CB), 제1 및 제2 출력 커패시터들(COP, CON), 및 스위치 네트워크(310)를 포함할 수 있다. 스위치 네트워크(310)는 제1 내지 제7 스위치들(S1 내지 S7)을 포함할 수 있다.

[0079]

제1 스위치(S1)는 입력 노드(NI)와 제1 노드(N1) 사이에 배치되어, 입력 노드(NI)와 제1 노드(N1)를 연결시킬 수 있다. 제2 스위치(S2)는 제1 노드(N1)와 제1 출력 노드(NO1) 사이에 배치되어, 제1 노드(N1)와 제1 출력 노드(NO1)를 연결시킬 수 있다. 제3 스위치(S3)는 제2 노드(N2)와 접지 단자(GND) 사이에 배치되어, 제2 노드(N2)를 접지 단자(GND)에 연결시킬 수 있다. 제4 스위치(S4)는 제2 노드(N2)와 제1 출력 노드(NO1) 사이에 배치되어, 제2 노드(N2)와 제1 출력 노드(NO1)를 연결시킬 수 있다. 제5 스위치(S5)는 제2 노드(N2)와 제2 출력 노드(NO2) 사이에 배치되어, 제2 노드(N2)와 제2 출력 노드(NO2)를 연결시킬 수 있다. 제6 스위치(S6)는 제4 노드(N4)와 그라운드 단자(GND) 사이에 배치되어, 제4 노드(N4)를 접지 단자(GND)에 연결시킬 수 있다. 제7 스위치(S7)는 제4 노드(N4)와 제2 출력 노드(NO2) 사이에 배치되어, 제4 노드(N4)와 제2 출력 노드(NO2)를 연결시킬 수 있다.

[0080]

양극성 출력 차지 펌프 회로(300)는 제1 내지 제3 상태들을 교대로 반복할 수 있고, 제1 상태는 충전 상태에 대응하고, 제2 및 제3 상태들은 방전 상태에 대응한다. 이에 따라, 제1 및 제2 출력 노드들(NO1, NO2)에서 생성되는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)이  $\pm VDD/3$ 에 수렴할 수 있다. 제1 내지 제3 상태들에 따라 스위치 네트워크(310)의 연결 구성이 변경될 수 있다. 제1 상태에는 제1, 제4 및 제6 스위치들(S1, S4, S6)이 턴온되고, 제2 상태에서는 제3 및 제7 스위치들(S3, S7)이 턴온되며, 제3 상태에서는 제2 및 제5 스위치들(S2, S5)이 턴온될 수 있다. 이에 대해, 도 23a 내지 도 23c를 참조하여 자세하게 설명하기로 한다.

[0081]

도 23a 내지 도 23c는 도 22의 차지 펌프 회로(300)의 제1 내지 제3 상태의 등가 회로도들을 각각 나타낸다.

[0082]

도 23a를 참조하면, 제1 상태에서, 제1 및 제4 스위치들(S1, S4)에 의해 전류 패쓰들이 형성될 수 있고, 이에 따라, 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 입력 노드(NI)와 그라운드 단자(GND) 사이에 직렬 연결될 수 있다. 입력 전압(VDD)에 의해 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 각각  $2VDD/3$ ,  $VDD/3$ 로 충전될 수 있다. 또한, 제1 상태에서, 제1 및 제6 스위치들(S1, S6)에 의해 전류 패쓰가 생성될 수 있고, 이에 따라, 제2 플라잉 커패시터(CB)는 입력 노드(NI)와 그라운드 단자(GND) 사이에 연결될 수 있다. 입력 전압(VDD)에 의해 제2 플라잉 커패시터(CB)는 VDD로 충전될 수 있다.

[0083]

도 23b를 참조하면, 제2 상태에서, 제1 및 제2 스위치들(S1, S2)이 턴오프됨에 따라 제1 플라잉 커패시터(CA)는 입력 노드(NI) 및 제1 출력 노드(NO1)와 분리될 수 있다. 또한, 제2 상태에서, 제1 및 제6 스위치들(S1, S6)이 턴오프됨에 따라 제2 플라잉 커패시터(CB)는 입력 노드(NI) 및 그라운드 단자(GND)와 분리될 수 있고, 제2 및 제7 스위치들(S2, S7)이 턴오프됨에 따라 제2 플라잉 커패시터(CB)는 제1 노드(N1)와 제2 출력 노드(NO2) 사이에 연결될 수 있다. 이때, 제1 플라잉 커패시터(CA)의 양단 전압은  $2VDD/3$ 이고, 제2 플라잉 커패시터(CB)의 양단

[0084]

전압은 VDD이므로, 제2 출력 노드(N02)에서  $-VDD/3$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.

[0085] 도 23c를 참조하면, 제3 상태에서, 제1 스위치(S1)가 턴오프됨에 따라 제1 플라이잉 커패시터(CA)는 입력 노드(NI)와 분리되고, 제2 및 제5 스위치들(S2, S5)가 턴온됨에 따라 제1 플라이잉 커패시터(CA)는 제1 및 제2 출력 노드들(N01, N02)과 연결될 수 있다. 또한, 제3 상태에서, 제1, 제6 및 제7 스위치들(S1, S6, S7)이 턴오프됨에 따라 제2 플라이잉 커패시터(CB)는 입력 노드(NI), 그라운드 단자(GND) 및 제2 출력 노드(N02)와 분리될 수 있다. 이때, 제1 출력 커패시터(COP)의 양단 전압은  $VDD/3$ 이고, 제1 플라이잉 커패시터(CA)의 양단 전압은  $2VDD/3$ 이므로, 제1 출력 노드(N01)에서  $VDD/3$ 에 대응하는 양의 출력 전압(VPOS)가 제공되고, 제2 출력 노드(N02)에서  $-VDD/3$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.

[0086] 도 24는 도 22의 차지 펌프 회로(300)의 출력에 대한 시뮬레이션 결과이다.

[0087] 도 24를 참조하면, 가로축은 시간을 나타내고, 세로축은 전압을 나타낸다. 파형들(24a 내지 24d)는 제1 내지 제4 차지 펌프들(CP1b 내지 CP4b)의 출력들을 나타낸다. 제1 내지 제4 차지 펌프들(CP1b 내지 CP4b)은 2개의 플라이잉 커패시터들을 포함하여  $\pm VDD/3$ 을 제공하는 "divide by 3 차지 펌프들"이다. 구체적으로, 제1 차지 펌프(CP1b)는 본 개시의 일 실시예에 대응하고, 예를 들어, 도 22의 차지 펌프 회로(300)일 수 있다. 제2 내지 제4 차지 펌프들(CP2b 내지 CP4b)은 본 개시의 비교예들에 대응하고, 차지 펌프 회로(300)에 비해 많은 수의 스위치들을 포함한다.

[0088] 제1 차지 펌프(CP1b)는 7개의 스위치들을 포함하고, 제2 차지 펌프(CP2b)는 10개의 스위치들을 포함하며, 제3 차지 펌프(CP3b)는 8개 스위치들을 포함하고, 제4 차지 펌프(CP4b)는 8개의 스위치들을 포함한다. 제1 내지 제4 차지 펌프들(CP1b 내지 CP4b)에 대해 동일한 조건으로 동작시킨 경우 제1 내지 제4 차지 펌프들(CP1b 내지 CP4b)의 효율은 아래의 표 2와 같다. 동일한 조건은 각 차지 펌프에 인가되는 입력 전압, 각 차지 펌프 회로에 연결되는 부하의 저항, 각 스위치의 온 상태의 저항, 및 각 스위치의 동작 주파수를 포함할 수 있다.

표 2

파라미터	CP1b	CP2b	CP3b	CP4b
스위치 개수	7	10	8	8
효율	91%	88%	91%	82%

[0090] 표 2에 나타난 바와 같이, 제1 및 제3 차지 펌프들(CP1b, CP3b)의 효율이 가장 높다. 이때, 제1 차지 펌프(CP1b)는 제3 차지 펌프(CP3b)에 비해 스위치 개수가 적으므로, 출력 임피던스가 더 낮을 수 있다. 따라서, 본 개시의 일 실시예에 따른 제1 차지 펌프(CP1b)를 이용하여 "divide by 3 차지 펌프"를 구현하는 경우, 적은 수의 스위치들을 포함하므로 구현 면적의 감소에 따라 칩 사이즈를 소형화시킬 수 있고, 출력 임피던스의 감소에 따라 성능을 향상시킬 수 있다.

[0091] 도 25은 본 개시의 일 실시예에 따른 양극성 출력 차지 펌프 회로(400)를 나타내는 회로도이다.

[0092] 도 25를 참조하면, 양극성 출력 차지 펌프 회로(400)는 입력 전압(VDD)로부터  $\pm 2VDD/3$ 에 대응하는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 생성할 수 있다. 구체적으로, 양극성 출력 차지 펌프 회로(400)는 제1 및 제2 플라이잉 커패시터들(CA, CB), 제1 및 제2 출력 커패시터들(COP, CON), 및 스위치 네트워크(410)를 포함할 수 있다. 스위치 네트워크(410)는 제1 내지 제8 스위치들(S1 내지 S8)을 포함할 수 있다.

[0093] 제1 스위치(S1)는 입력 노드(NI)와 제1 노드(N1) 사이에 배치되어, 입력 노드(NI)와 제1 노드(N1)를 연결시킬 수 있다. 제2 스위치(S2)는 제1 노드(N1)와 제1 출력 노드(N01) 사이에 배치되어, 제1 노드(N1)와 제1 출력 노드(N01)를 연결시킬 수 있다. 제3 스위치(S3)는 제2 노드(N2)와 접지 단자(GND) 사이에 배치되어, 제2 노드(N2)를 접지 단자(GND)에 연결시킬 수 있다. 제4 스위치(S4)는 제2 노드(N2)와 제1 출력 노드(N01) 사이에 배치되어, 제2 노드(N2)와 제1 출력 노드(N01)를 연결시킬 수 있다. 제5 스위치(S5)는 제2 노드(N2)와 제3 노드(N03) 사이에 배치되어, 제2 및 제3 노드들(N2, N3)을 연결시킬 수 있다. 제6 스위치(S6)는 제1 노드(N1)와 제3 노드(N3) 사이에 배치되어, 제1 및 제3 노드들(N1, N3)을 연결시킬 수 있다. 제7 스위치(S7)는 제4 노드(N4)와 그라운드 단자(GND) 사이에 배치되어, 제4 노드(N4)를 접지 단자(GND)에 연결시킬 수 있다. 제8 스위치(S8)는 제4 노드(N4)와 제2 출력 노드(N02) 사이에 배치되어, 제4 노드(N4)와 제2 출력 노드(N02)를 연결시킬 수 있다.

[0094] 양극성 출력 차지 펌프 회로(400)는 제1 내지 제3 상태들을 교대로 반복할 수 있고, 제1 상태는 충전 상태에 대응하고, 제2 및 제3 상태들은 방전 상태에 대응한다. 이에 따라, 제1 및 제2 출력 노드들(N01, N02)에서 생성되

는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)이  $\pm 2VDD/3$ 에 수렴할 수 있다. 제1 내지 제3 상태들에 따라 스위치 네트워크(410)의 연결 구성이 변경될 수 있다. 제1 상태에는 제1, 제4, 제6 및 제7 스위치들(S1, S4, S6, S7)이 턴온되고, 제2 상태에서는 제3, 제6 및 제8 스위치들(S3, S6, S8)이 턴온되며, 제3 상태에서는 제2, 제5 및 제8 스위치들(S2, S5, S8)이 턴온될 수 있다. 이에 대해, 도 26a 내지 도 26c를 참조하여 자세하게 설명하기로 한다.

- [0095] 도 26a 내지 도 26c는 도 25의 차지 펌프 회로의 제1 내지 제3 상태의 등가 회로도들을 각각 나타낸다.
- [0096] 도 26a를 참조하면, 제1 상태에서, 제1 및 제4 스위치들(S1, S4)에 의해 전류 패쓰들이 형성될 수 있고, 이에 따라, 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 입력 노드(NI)와 그라운드 단자(GND) 사이에 직렬 연결될 수 있다. 입력 전압(VDD)에 의해 제1 플라잉 커패시터(CA)와 제1 출력 커패시터(COP)는 각각  $VDD/3$ ,  $2VDD/3$ 로 충전될 수 있다. 또한, 제1 상태에서, 제1, 제6 및 제7 스위치들(S1, S6, S7)에 의해 제2 전류 패쓰가 생성될 수 있고, 이에 따라, 제2 플라잉 커패시터(CB)는 입력 노드(NI)와 그라운드 단자(GND) 사이에 연결될 수 있다. 입력 전압(VDD)에 의해 제2 플라잉 커패시터(CB)는 VDD로 충전될 수 있다.
- [0097] 도 26b를 참조하면, 제2 상태에서, 제1 및 제2 스위치들(S1, S2)이 턴오프됨에 따라 제1 플라잉 커패시터(CA)는 입력 노드(NI) 및 제1 출력 노드(NO1)와 분리될 수 있다. 또한, 제2 상태에서, 제1 및 제7 스위치들(S1, S7)이 턴오프됨에 따라 제2 플라잉 커패시터(CB)는 입력 노드(NI) 및 그라운드 단자(GND)와 분리될 수 있고, 제6 및 제8 스위치들(S6, S8)이 턴온됨에 따라 제2 플라잉 커패시터(CB)는 제1 노드(N1) 및 제2 출력 노드(NO2) 사이에 연결될 수 있다. 이때, 제1 플라잉 커패시터(CA)의 양단 전압은  $VDD/3$ 이고, 제2 플라잉 커패시터(CB)의 양단 전압은 VDD이므로, 제2 출력 노드(NO2)에서  $-2VDD/3$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.
- [0098] 도 26c를 참조하면, 제3 상태에서, 제1 스위치(S1)가 턴오프됨에 따라 제1 플라잉 커패시터(CA)는 입력 노드(NI)와 분리되고, 제2 및 제5 스위치들(S2, S5)가 턴온됨에 따라 제1 플라잉 커패시터(CA)는 제1 출력 노드(NO1)와 제3 노드(N3) 사이에 연결될 수 있다. 또한, 제3 상태에서, 제1 및 제6 스위치들(S1, S6)이 턴오프됨에 따라 제2 플라잉 커패시터(CB)는 입력 노드(NI)와 분리되고, 제5 및 제8 스위치들(S5, S8)이 턴온됨에 따라 제2 플라잉 커패시터(CB)는 제2 노드(N2)와 제2 출력 노드(NO2) 사이에 연결될 수 있다. 이때, 제1 출력 커패시터(COP)의 양단 전압은  $2VDD/3$ 이고, 제1 플라잉 커패시터(CA)의 양단 전압은  $VDD/3$ 이고, 제2 플라잉 커패시터(CB)의 양단 전압은 VDD이므로, 제1 출력 노드(NO1)에서  $2VDD/3$ 에 대응하는 양의 출력 전압(VPOS)이 제공되고, 제2 출력 노드(NO2)에서  $-2VDD/3$ 에 대응하는 음의 출력 전압(VNEG)이 제공될 수 있다.
- [0099] 도 27은 도 25의 차지 펌프 회로(400)의 출력에 대한 시뮬레이션 결과이다.
- [0100] 도 27을 참조하면, 가로축은 시간을 나타내고, 세로축은 전압을 나타낸다. 파형들(27a, 27b)는 제1 및 제2 차지 펌프들(CP1c, CP2c)의 출력들을 나타낸다. 제1 및 제2 차지 펌프들(CP1c, CP2c)은 2개의 플라잉 커패시터들을 포함하여  $\pm 2VDD/3$ 을 제공하는 "divide by 3/2 차지 펌프들"이다. 구체적으로, 제1 차지 펌프(CP1c)는 본 개시의 일 실시예에 대응하고, 예를 들어, 도 25의 차지 펌프 회로(400)일 수 있다. 제2 차지 펌프(CP2c)은 본 개시의 비교예에 대응하고, 차지 펌프 회로(400)에 비해 많은 수의 스위치들을 포함한다.
- [0101] 제1 차지 펌프(CP1c)는 8개의 스위치들을 포함하고, 제2 차지 펌프(CP2c)는 9개의 스위치들을 포함한다. 제1 및 제2 차지 펌프들(CP1c, CP2c)에 대해 동일한 조건으로 동작시킨 경우 제1 및 제2 차지 펌프들(CP1c, CP2c)의 효율은 아래의 표 3과 같다. 동일한 조건은 각 차지 펌프에 인가되는 입력 전압, 각 차지 펌프 회로에 연결되는 부하의 저항, 각 스위치의 온 상태의 저항, 및 각 스위치의 동작 주파수를 포함할 수 있다.

**표 3**

파라미터	CP1c	CP2c
스위치 개수	8	9
효율	85%	84%

- [0103] 표 3에 나타난 바와 같이, 제2 차지 펌프(CP2c)에 비해 제1 차지 펌프(CP1c)의 효율이 높다. 또한, 제1 차지 펌프(CP1c)는 제2 차지 펌프(CP2c)에 비해 스위치 개수가 적으므로, 출력 임피던스가 더 낮을 수 있다. 따라서, 본 개시의 일 실시예에 따른 제1 차지 펌프(CP1c)를 이용하여 "divide by 3/2 차지 펌프"를 구현하는 경우, 적은 수의 스위치들을 포함하므로 구현 면적의 감소에 따라 칩 사이즈를 소형화시킬 수 있고, 출력 임피던스의 감소에 따라 성능을 향상시킬 수 있다.

- [0104] 도 28은 본 개시의 일 실시예에 따른 집적 회로(IC')를 나타낸다.
- [0105] 도 28을 참조하면, 집적 회로(IC')는 선택기(selector)(SEL), 차지 펌프(CP') 및 증폭기(AMP)를 포함할 수 있다. 일 실시예에서, 선택기(SEL), 차지 펌프(CP') 및 증폭기(AMP)는 단일 칩으로 구현될 수 있다. 일 실시예에서, 선택기(SEL), 차지 펌프(CP') 및 증폭기(AMP)는 단일 패키지로 구현될 수 있고, 이때, 차지 펌프(CP')의 일부 구성 요소, 선택기(SEL) 및 증폭기(AMP)는 칩으로 구현되고, 차지 펌프(CP')의 나머지 구성 요소는 칩 외부에 배치될 수 있다.
- [0106] 집적 회로(IC')는 도 1의 집적 회로(IC)에 비해 선택기(SEL)를 더 포함할 수 있다. 선택기(SEL)는 복수의 입력 전압들(VDD1 내지 VDDn)을 수신하고, 외부로부터 수신되는 선택 신호(SE)에 따라 복수의 입력 전압들 중 선택된 입력 전압을 차지 펌프(CP')에 제공할 수 있다. 차지 펌프(CP')에 입력되는 입력 전압(VDD)이 복수의 입력 전압들(VDD1 내지 VDDn) 중 하나로 결정되므로, 차지 펌프(CP')는 도 1의 차지 펌프(CP)에 비해 더 많은 개수의 멀티 출력 레벨을 생성할 수 있다. 차지 펌프(CP') 및 증폭기(AMP)는 도 1의 차지 펌프(CP) 및 증폭기(AMP)와 실질적으로 동일하게 구현될 수 있으며, 중복된 설명은 생략하기로 한다.
- [0107] 도 29는 도 28의 집적 회로(IC')의 일 예(500)를 나타내는 회로도이다.
- [0108] 도 29를 참조하면, 집적 회로(500)는 차지 펌프 회로(510) 및 선택 회로(520)를 포함할 수 있고, 차지 펌프 회로(510)는 제1 및 제2 플라잉 커패시터들(CA, CB), 제1 및 제2 출력 커패시터들(COP, CON), 및 스위치 네트워크(511)를 포함할 수 있다. 차지 펌프 회로(510)는 도 6의 차지 펌프 회로(100)와 실질적으로 유사하게 구현될 수 있고, 도 6 내지 도 18b를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다. 차지 펌프 회로(510)는 도 6의 차지 펌프 회로(100)에 비해 제1 스위치(S1)이 제외된 구성을 가질 수 있다.
- [0109] 선택기(520)는 복수의 스위치들(S11 내지 S1n)을 포함할 수 있다. 복수의 스위치들(S11 내지 S1n)은 복수의 입력 전압들(VDD1 내지 VDDn)에 각각 연결될 수 있고, 선택 신호들(SE1 내지 SEN)에 의해 각각 구동될 수 있다. 예를 들어, 선택기(520)가 제1 입력 전압(VDD1)을 입력 노드(NI)에 제공하는 경우, 차지 펌프 회로(510)에서 생성될 수 있는 복수의 출력 전압들은  $\pm VDD1$ ,  $\pm 2VDD1/3$ ,  $\pm VDD1/2$ , 및/또는  $\pm VDD1/3$ 일 수 있다. 예를 들어, 선택기(520)가 제N 입력 전압(VDDn)을 입력 노드(NI)에 제공하는 경우, 차지 펌프 회로(510)에서 생성될 수 있는 복수의 출력 전압들은  $\pm VDDn$ ,  $\pm 2VDDn/3$ ,  $\pm VDDn/2$ , 및/또는  $\pm VDDn/3$ 일 수 있다.
- [0110] 도 30은 본 개시의 일 실시예에 따른 전자 장치(600)를 나타내는 블록도이다.
- [0111] 도 30을 참조하면, 전자 장치(600)는 PMIC(Power Management IC)(610) 및 오디오 코덱(620)을 포함할 수 있다. 오디오 코덱(620)은 제1 및 제2 차지 펌프들(CP1, CP2), 제1 및 제2 LDO(Low Drop Out) 레귤레이터들(LD01, LD02), 디지털 블록(DB), 디지털-아날로그 컨버터(DAC), 제1 내지 제3 증폭기들(A1 내지 A3)을 포함할 수 있다. PMIC(610) 및 오디오 코덱(620)은 각각 단일 칩으로 구현될 수 있다.
- [0112] PMIC(610)는 외부로부터 전력을 공급받고, 오디오 코덱(620)에 제1 및 제2 입력 전압들(VDD1, VDD2) 및 접지 전압(VSS)을 제공할 수 있다. 제1 입력 전압(VDD1)은 제2 입력 전압(VDD2)보다 높을 수 있다. 예를 들어, 제1 입력 전압(VDD1)은 1.95 V이고, 제2 입력 전압(VDD2)은 1.35 V일 수 있다. 구체적으로, PMIC(610)는 제1 차지 펌프(CP1)에 제1 및 제2 입력 전압들(VDD1, VDD2)을 제공할 수 있다. 또한, PMIC(610)는 제1 LDO 레귤레이터(LD01)에 제2 입력 전압(VDD2)을 제공하고, 제2 LDO 레귤레이터(LD02)에 제1 입력 전압(VDD1)을 제공하며, 제2 차지 펌프(CP2)에 제2 입력 전압(VDD2)을 제공할 수 있다.
- [0113] 제1 차지 펌프(CP1)는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 생성하는 양극성 출력 차지 펌프일 수 있다. 이때, 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)의 크기는 복수의 출력 레벨들 중 하나로 선택될 수 있고, 이에 따라, 제1 차지 펌프(CP1)를 '멀티 레벨 차지 펌프'라고 지칭할 수 있다. 제2 차지 펌프(CP2)는 네거티브 전압(VN)을 생성하는 네거티브 출력 차지 펌프일 수 있다. 제1 LDO 레귤레이터(LD01)는 제2 입력 전압(VDD2)으로부터 제1 전압(V1)을 생성하고, 제2 LDO 레귤레이터(LD02)는 제1 입력 전압(VDD1)으로부터 제2 전압(V2)을 생성할 수 있다.
- [0114] 디지털 블록(DB)은 제1 전압(V1)을 공급받고, 디지털 오디오 신호를 생성할 수 있다. 디지털 아날로그 컨버터(DAC)는 제2 전압(V2)을 공급받고, 디지털 오디오 신호를 아날로그 오디오 신호로 변환할 수 있다. 제1 증폭기(A1)는 제2 전압(V2) 및 네거티브 전압(VN)을 공급받고, 아날로그 오디오 신호를 증폭할 수 있다. 제2 증폭기(A2)는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 공급받고, 제1 증폭기(A1)의 출력을 증폭할 수 있다. 제3 증폭기(A3)는 양의 출력 전압(VPOS) 및 음의 출력 전압(VNEG)을 공급받고, 제2 증폭기(A2)의 출력을 증폭할

수 있다. 제3 증폭기(A3)의 출력은 부하 저항( $R_{HP}$ )과 연결될 수 있다.

[0115] 일 실시예에서, 제1 차지 펌프(CP1)는 도 1의 차지 펌프(CP)에 대응할 수 있다. 구체적으로, 제1 차지 펌프(CP1)는 도 4 및 도 6에 예시된 집적 회로(100), 도 19의 차지 펌프 회로(200), 도 22의 차지 펌프 회로(300), 도 25의 차지 펌프 회로(400)와 같이 구현될 수 있다. 일 실시예에서, 제1 차지 펌프(CP1)은 도 28의 차지 펌프(CP')에 대응할 수 있고, 구체적으로, 도 29의 집적 회로(500)와 같이 구현될 수 있다. 한편, 제2 및 제3 증폭기들(A2, A3)은 도 1의 증폭기(AMP) 또는 도 28의 증폭기(AMP)에 대응할 수 있고, 부하 저항( $R_{HP}$ )은 헤드폰에 대응할 수 있다.

[0116] 도 31은 본 개시의 일 실시예에 따른 모바일 장치(1000)를 나타내는 블록도이다.

[0117] 도 31을 참조하면, 모바일 장치(1000)는 PMIC(1100), AP(1200), 입력 장치(1300), 디스플레이(1400), 메모리(1500) 및 배터리(1600)를 포함할 수 있다. 예를 들어, 전자 장치(1000)는 스마트 폰, PC(personal computer), 태블릿 PC, 넷북, e-리더, PDA, PMP, MP3 플레이어 등일 수 있다. 또한, 전자 장치(1000)는 전자 팔찌, 전자 목걸이 등과 같은 웨어러블 장치(wearable device) 일 수도 있다.

[0118] PMIC(1100)는 배터리(1600)로부터 전력을 공급받고, AP(1200), 입력 장치(1300), 디스플레이(1500) 또는 메모리(1500)의 전력을 관리할 수 있다. AP(1200)는 전자 장치(1000)의 전반적인 동작을 제어한다. 구체적으로, AP(1200)는 입력 장치(1300)에 의하여 발생한 입력 신호에 따라 메모리(1500)에 저장된 데이터를 디스플레이(1400)를 통하여 디스플레이할 수 있다. 예컨대, 입력 장치(1300)는 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다. AP(1200) 또는 메모리(1500)는 상술된 본 개시의 다양한 실시예들에 따른 차지 펌프 회로를 포함할 수 있다.

[0119] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**부호의 설명**

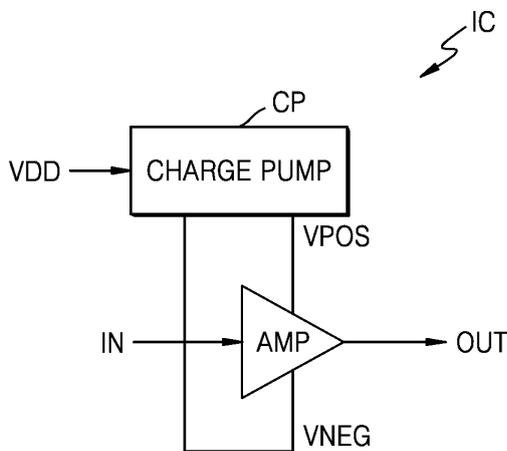
[0120] CP, CP', CP1, CP2: 차지 펌프

100, 500: 집적 회로

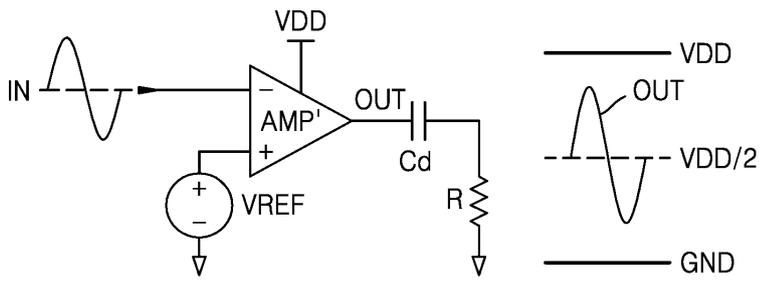
200, 300, 400, 510: 차지 펌프 회로

**도면**

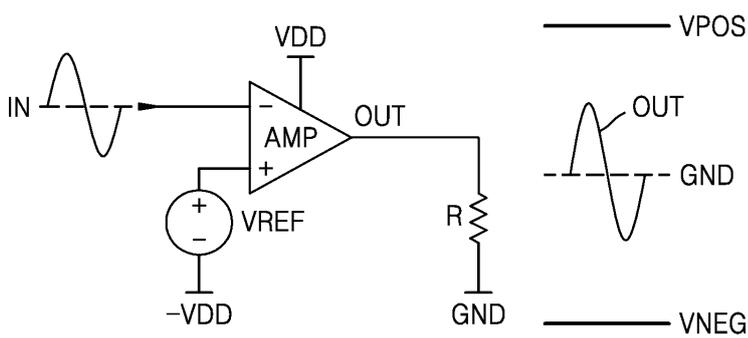
**도면1**



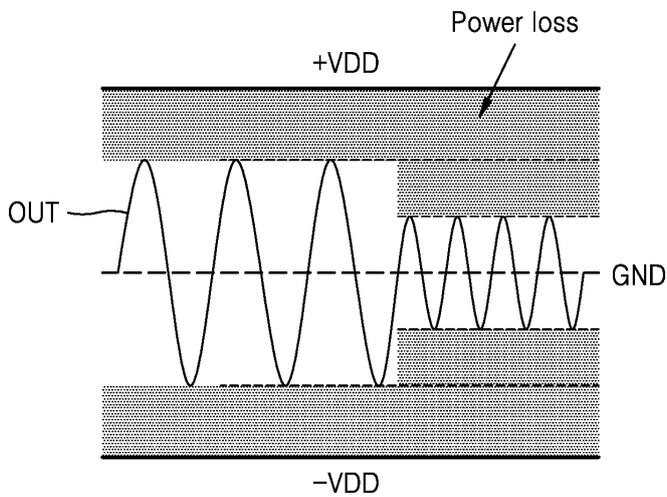
도면2a



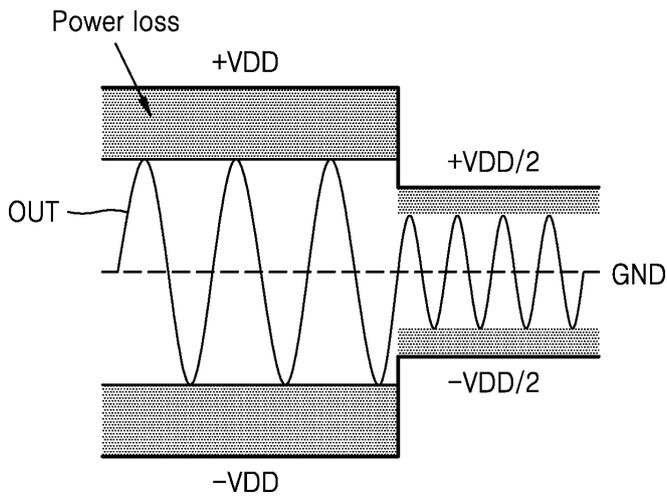
도면2b



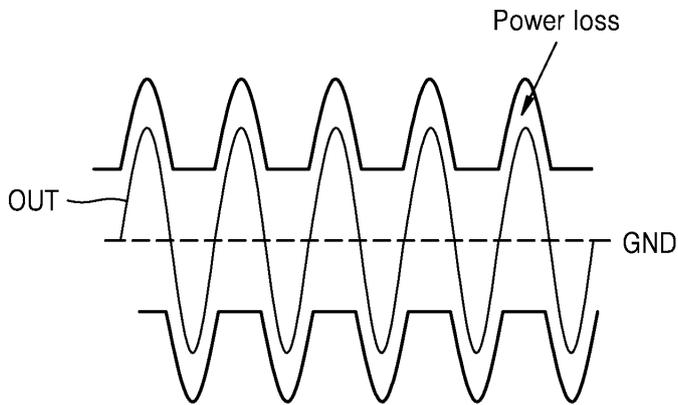
도면3a



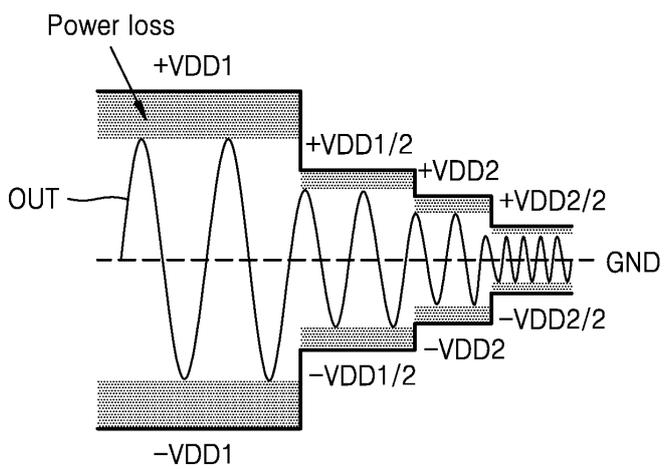
도면3b



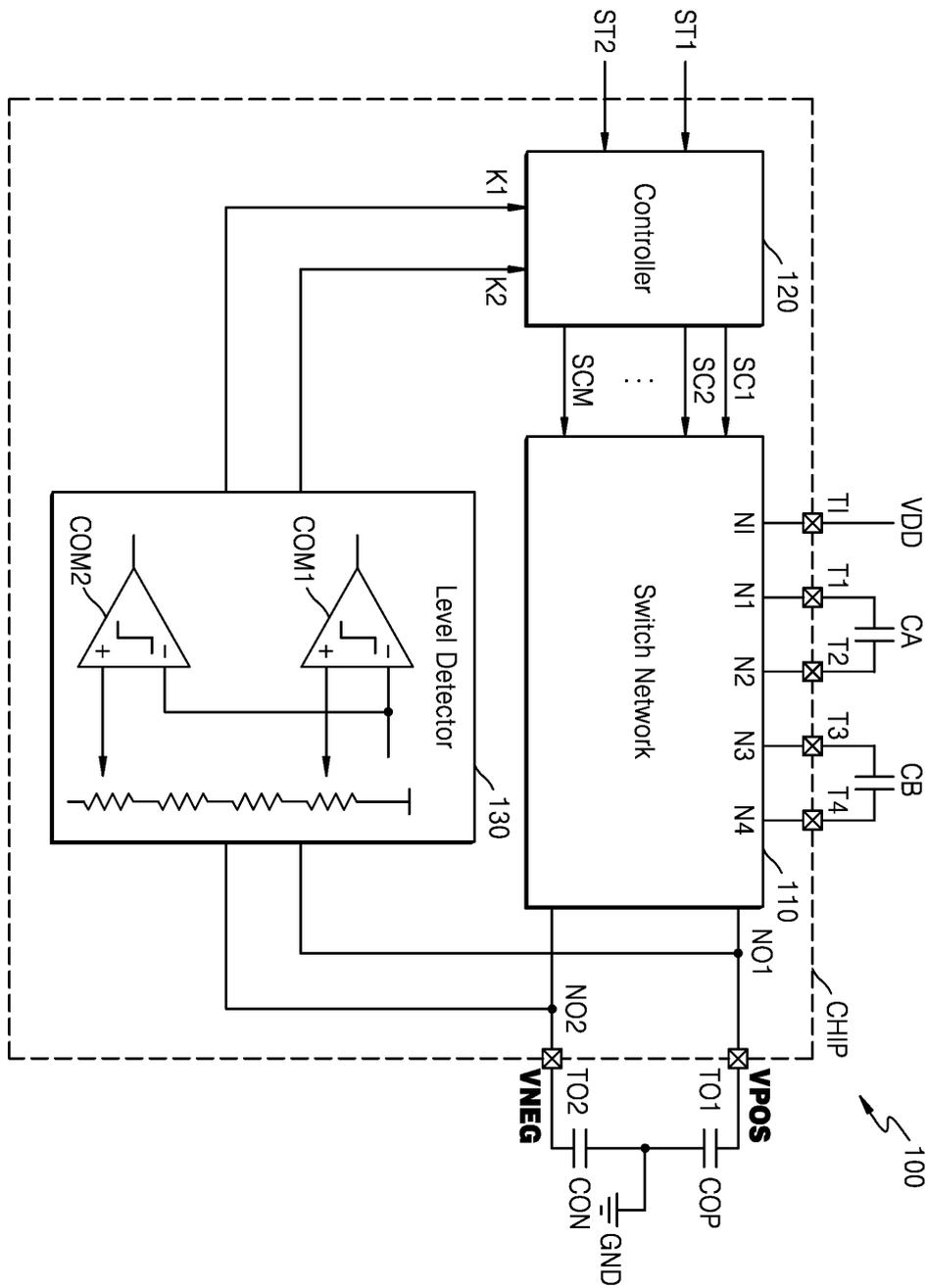
도면3c



도면3d



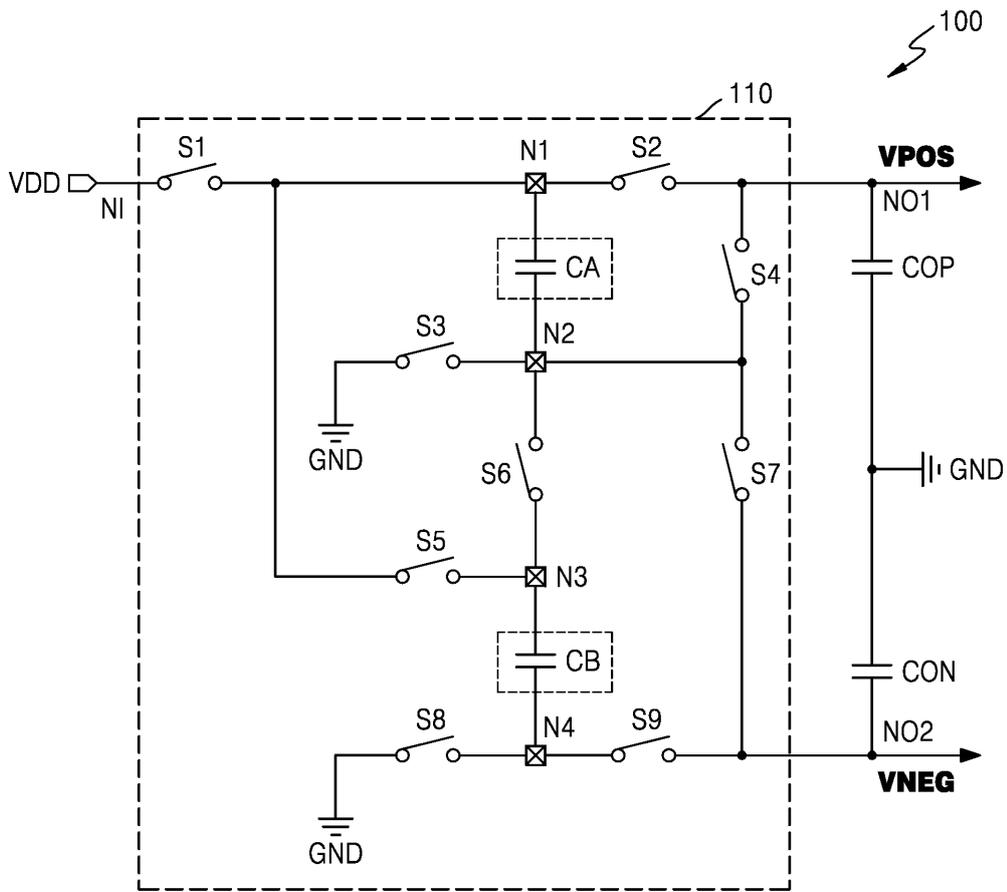
도면4



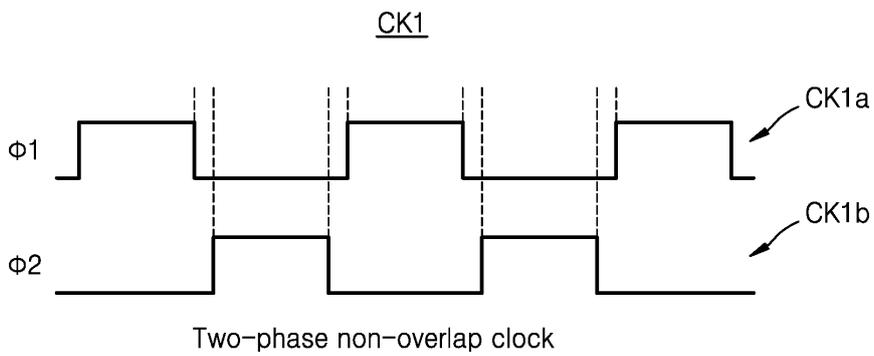
도면5

ST2	ST1	Charge Pump Mode
0	0	+VDD
0	1	$\pm 2VDD/3$
1	0	$\pm VDD/2$
1	1	$\pm VDD/3$

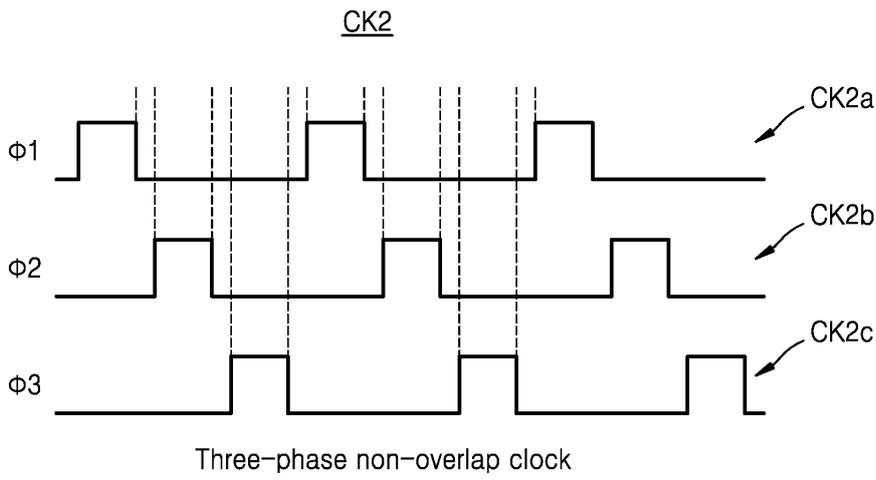
도면6



도면7a



도면7b

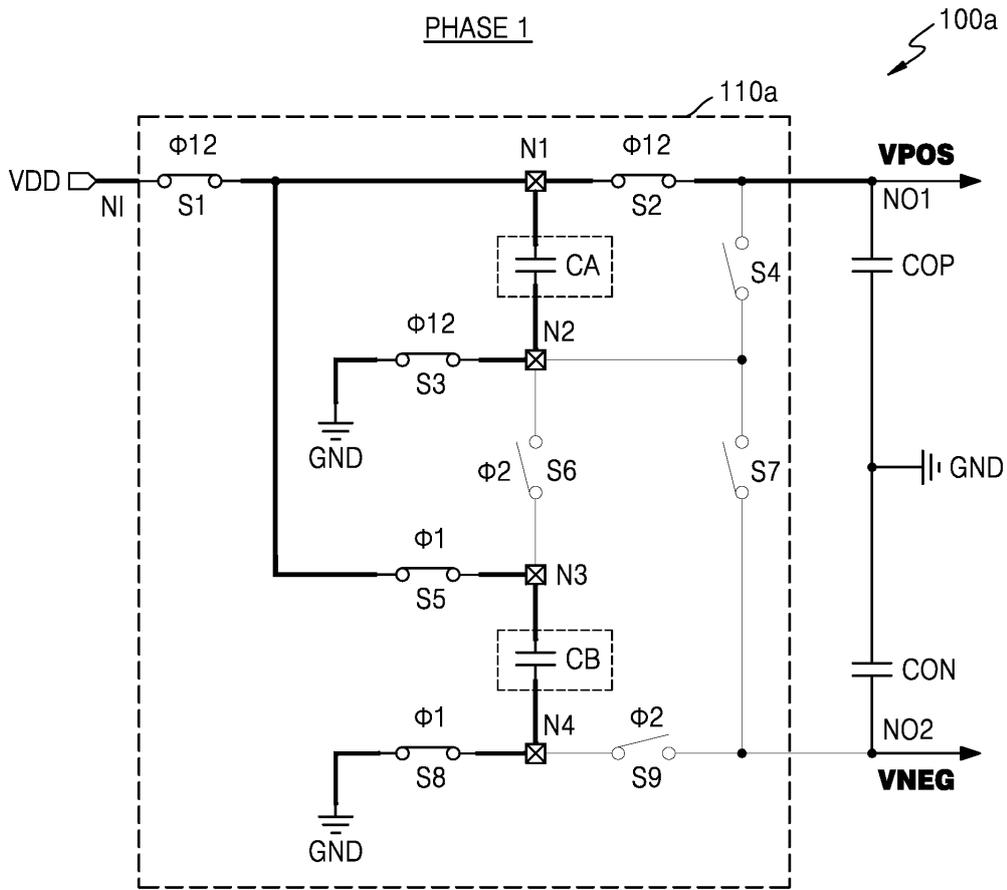


도면8

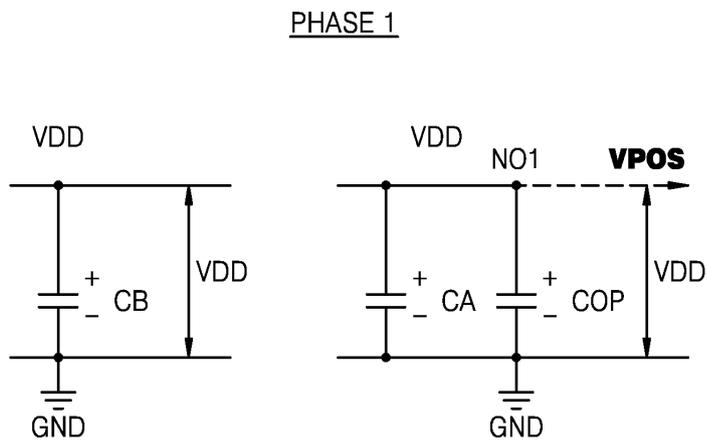
Switch	±VDD		±2VDD/3			±VDD/2		±VDD/3		
	Φ1	Φ2	Φ1	Φ2	Φ3	Φ1	Φ2	Φ1	Φ2	Φ3
S1	ON	ON	ON	-	-	ON	-	ON	-	-
S2	ON	ON	-	-	ON	-	ON	-	-	ON
S3	ON	ON	-	ON	-	-	ON	-	ON	-
S4	-	-	ON	-	-	ON	-	ON	-	-
S5	ON	-	ON	ON	-	ON	ON	ON	ON	-
S6	-	ON	-	-	ON	-	-	-	-	-
S7	-	-	-	-	-	-	-	-	-	ON
S8	ON	-	ON	-	-	ON	-	ON	-	-
S9	-	ON	-	ON	ON	-	ON	-	ON	-

- : OFF

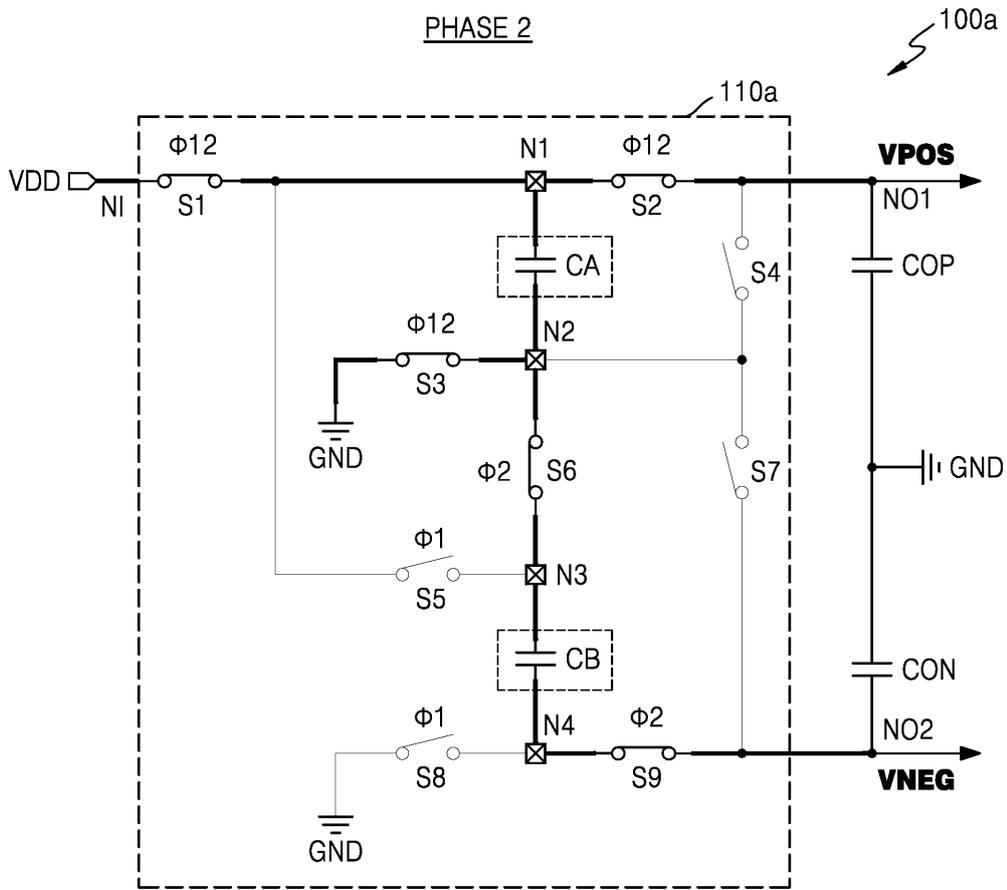
도면9a



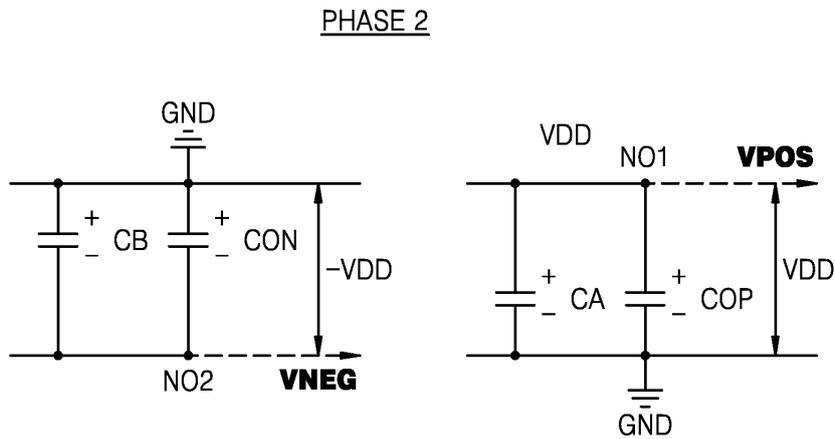
도면9b



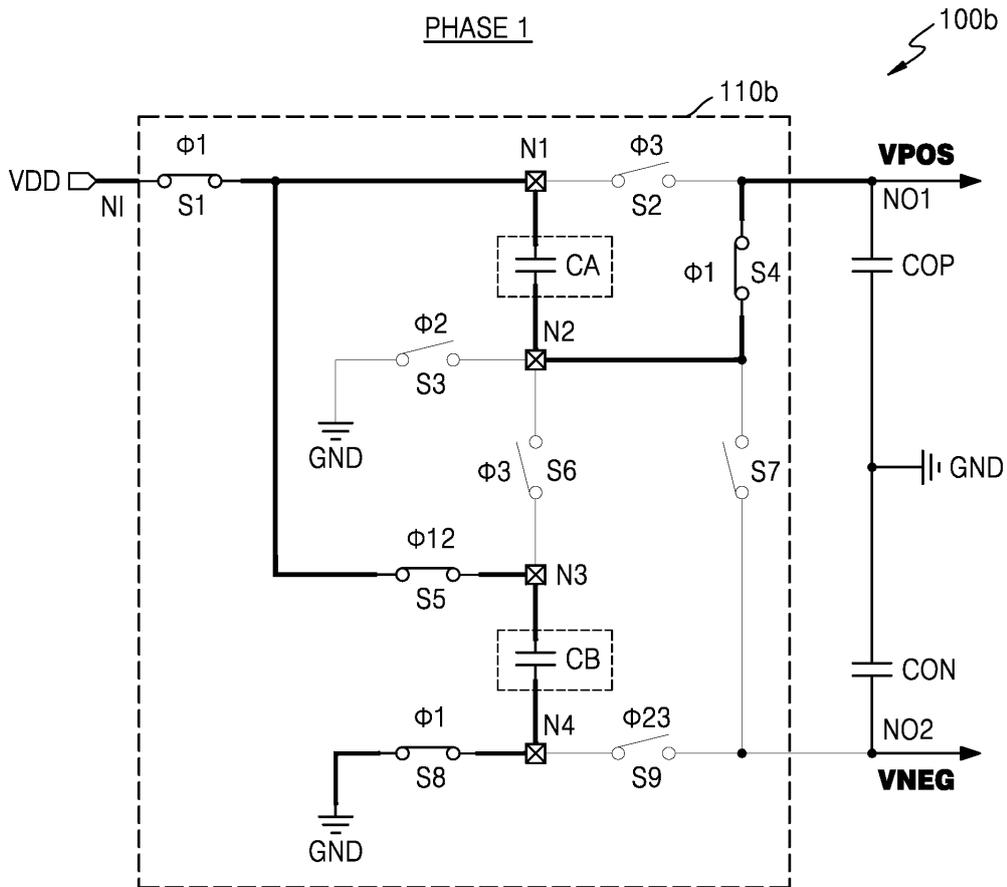
도면10a



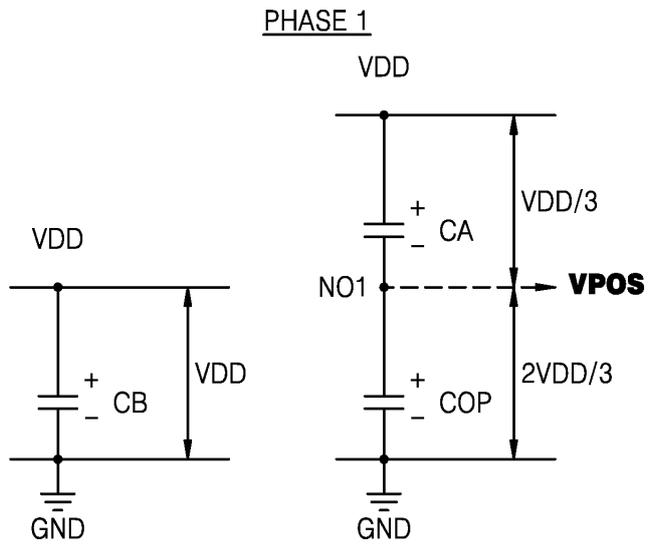
도면10b



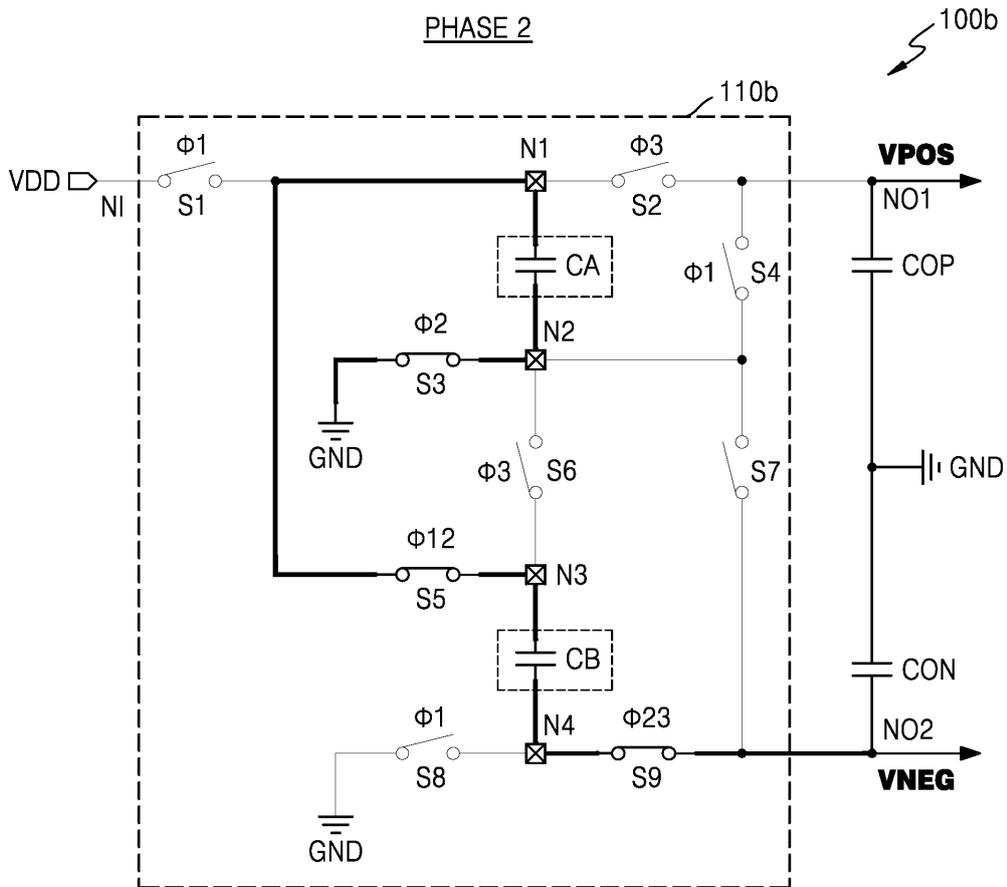
도면11a



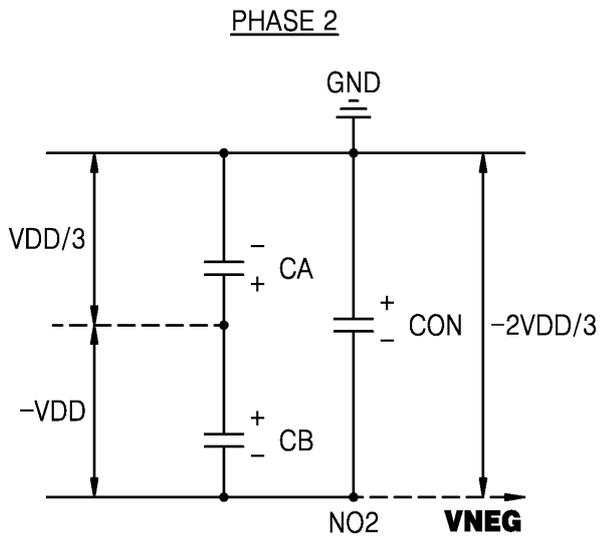
도면11b



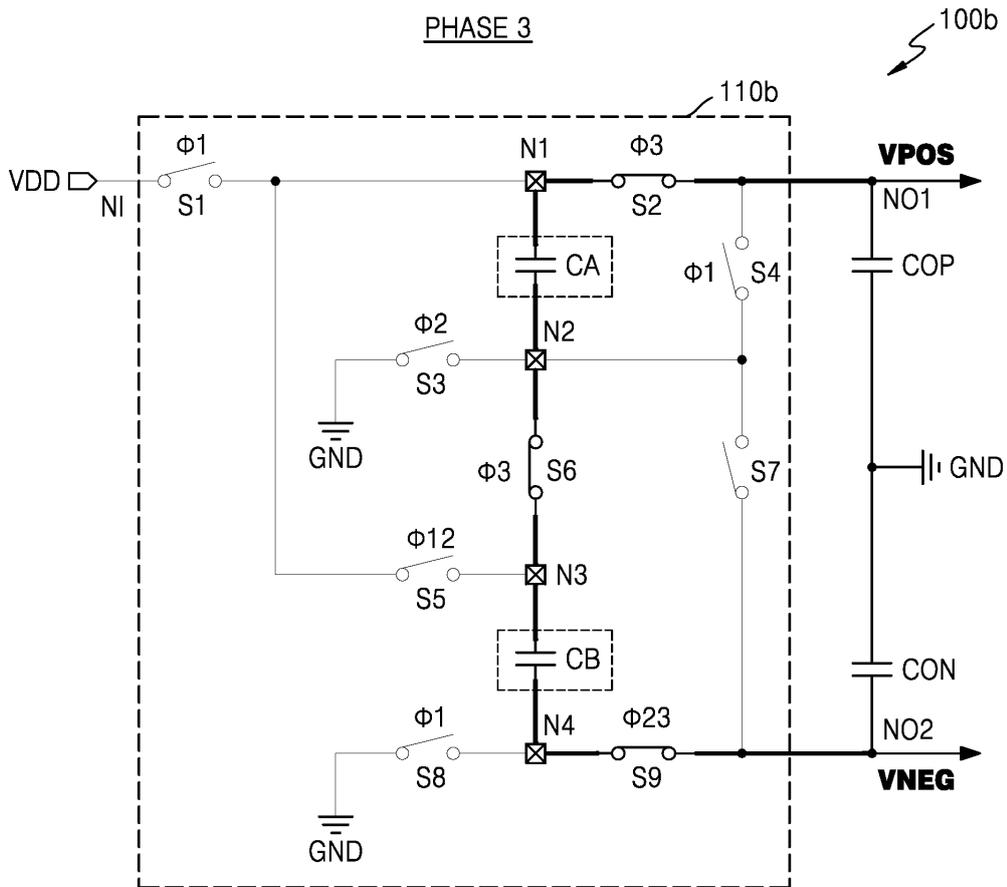
도면12a



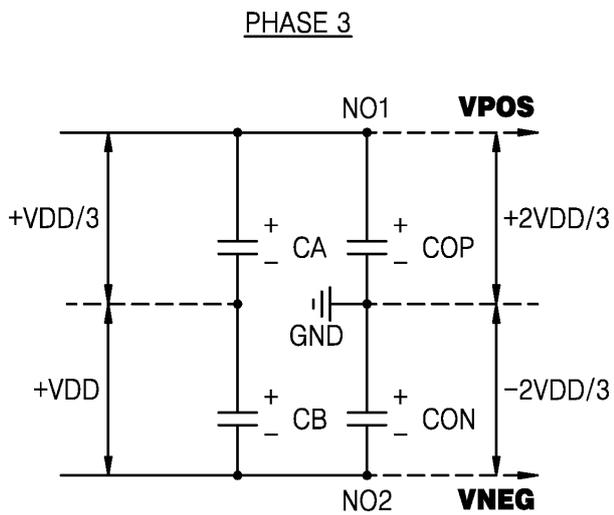
도면12b



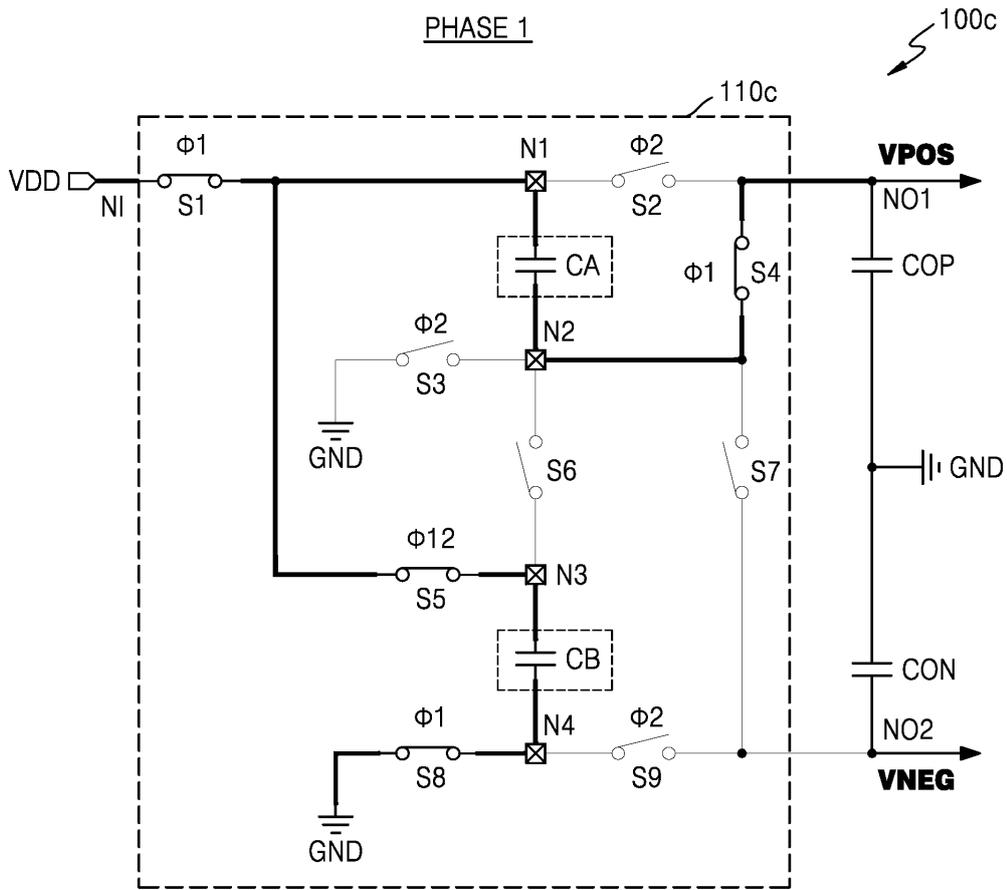
도면13a



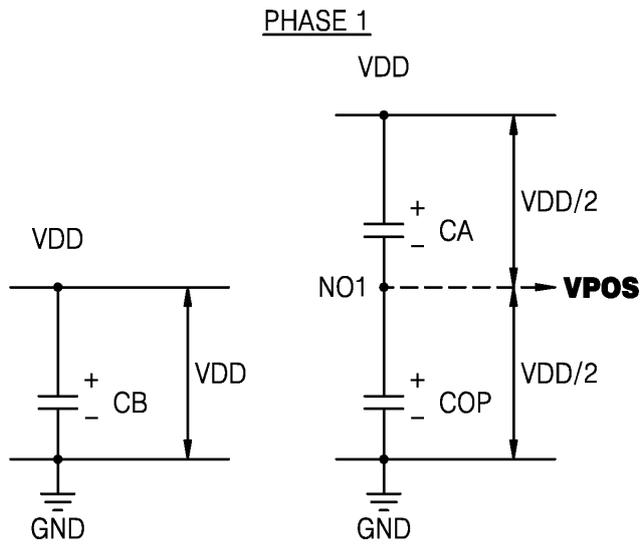
도면13b



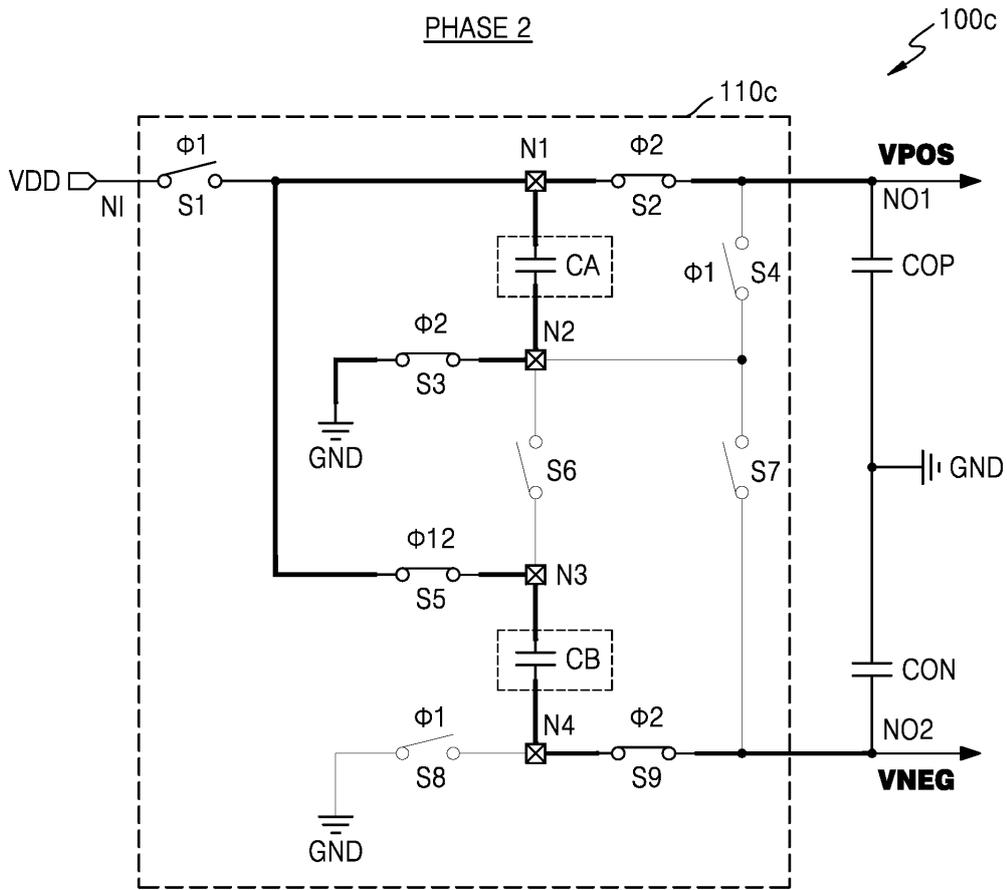
도면14a



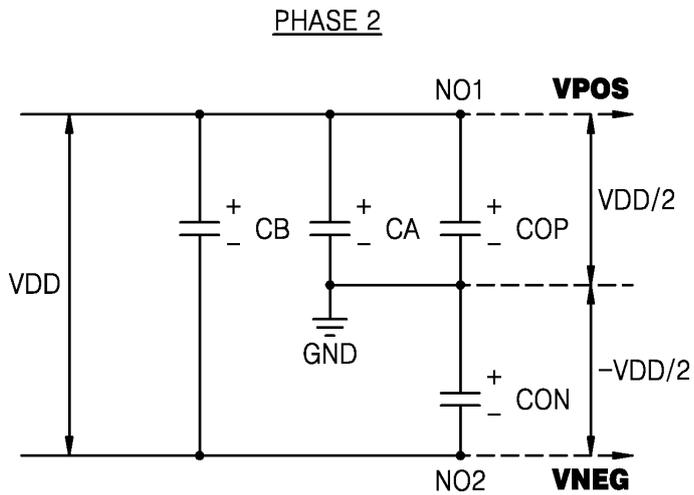
도면14b



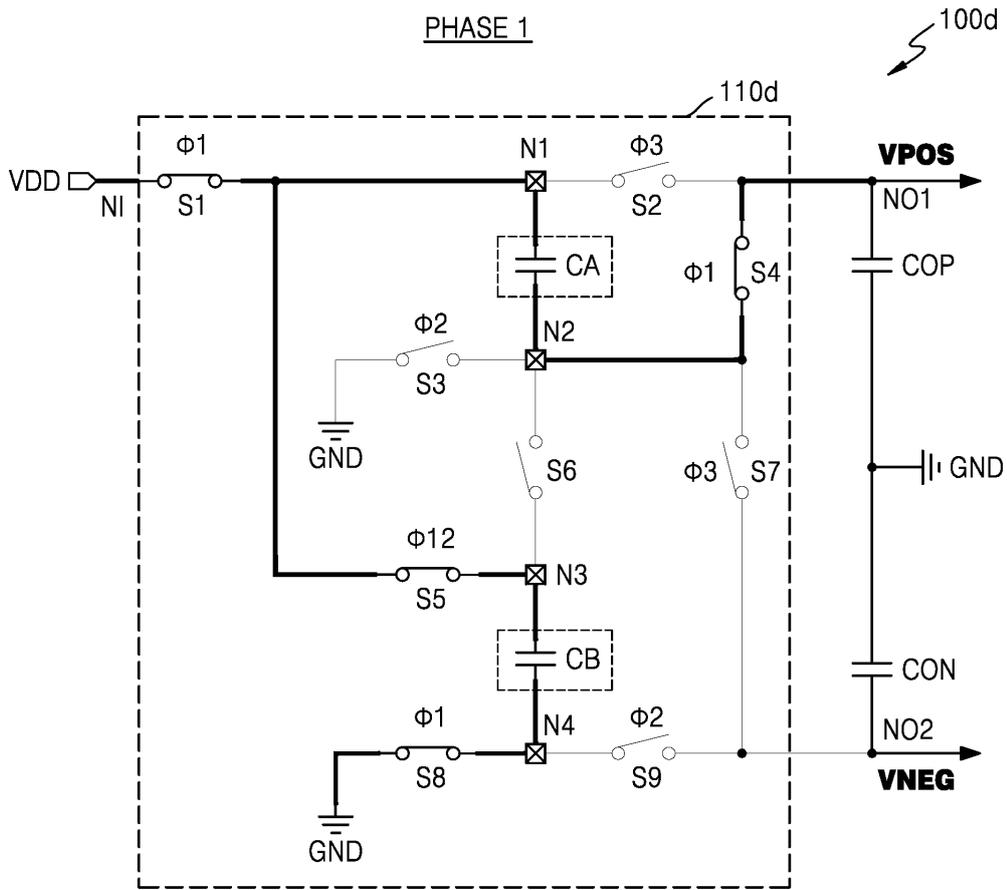
도면15a



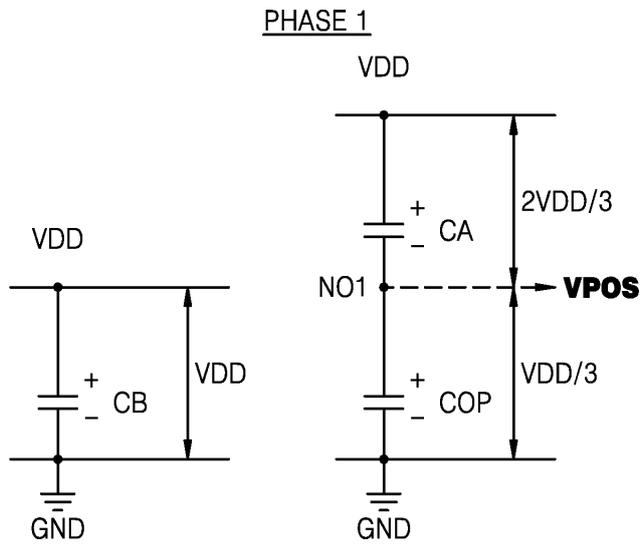
도면15b



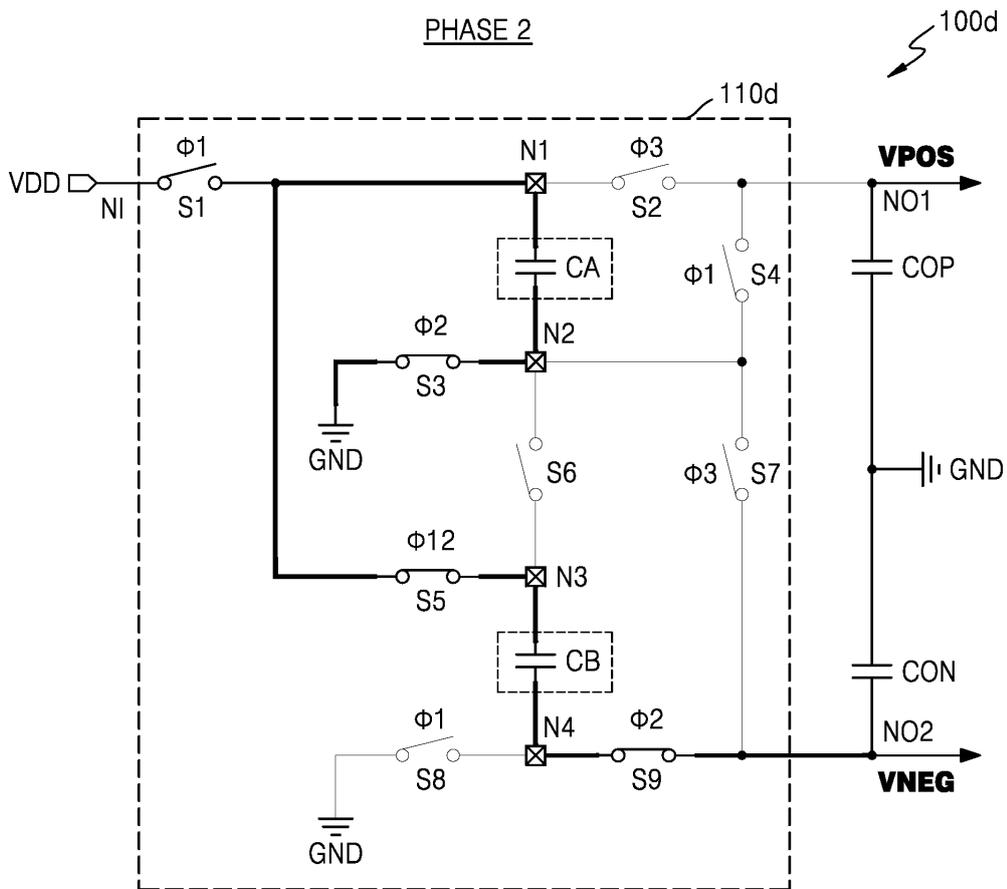
도면16a



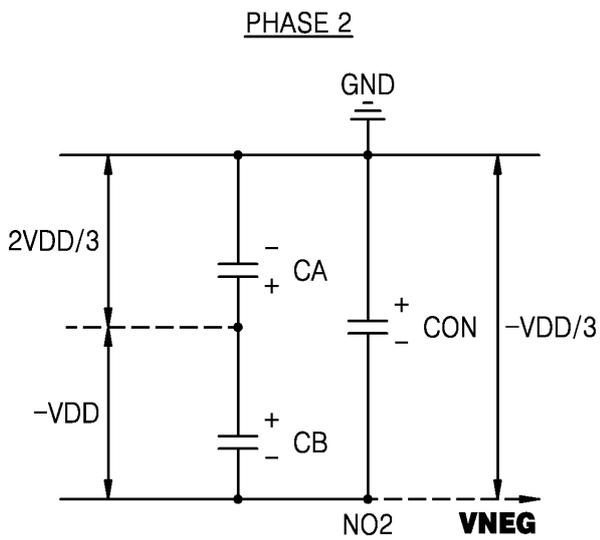
도면16b



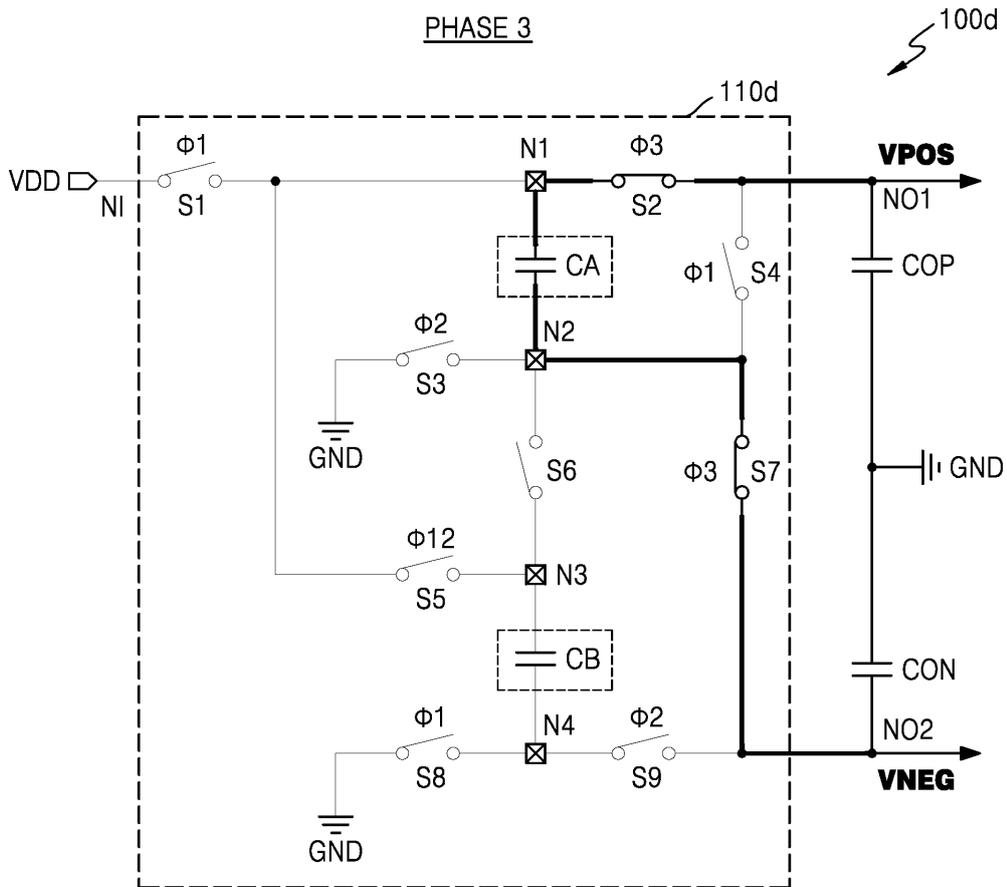
도면17a



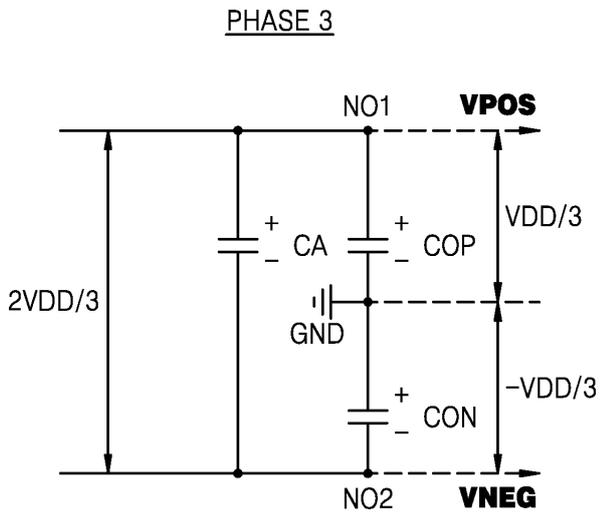
도면17b



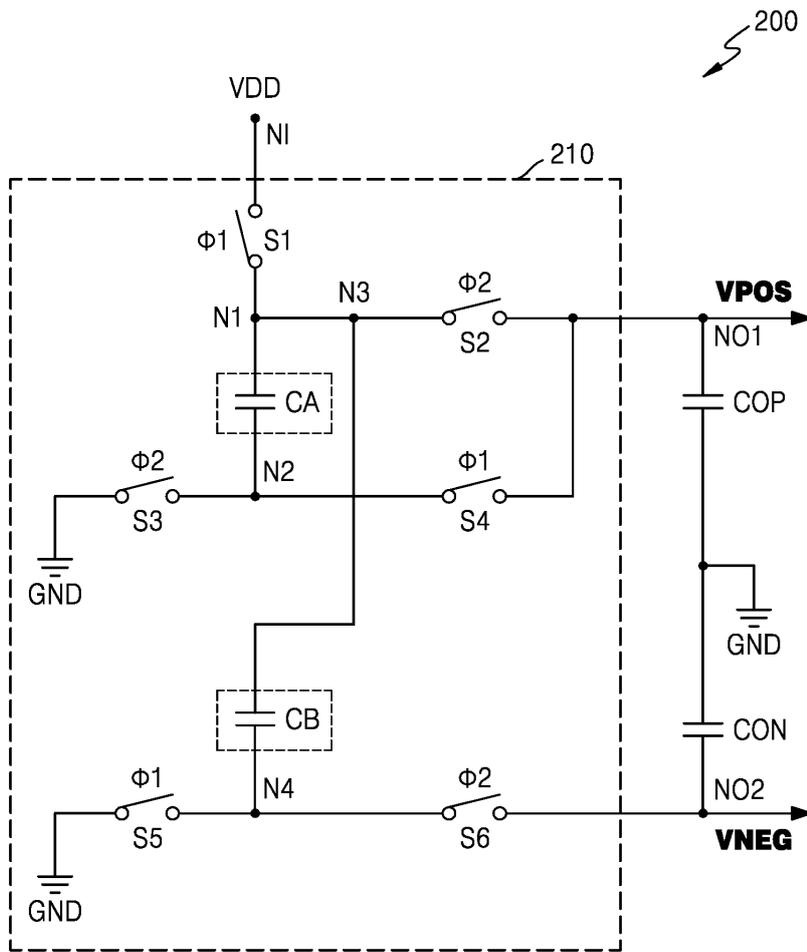
도면18a



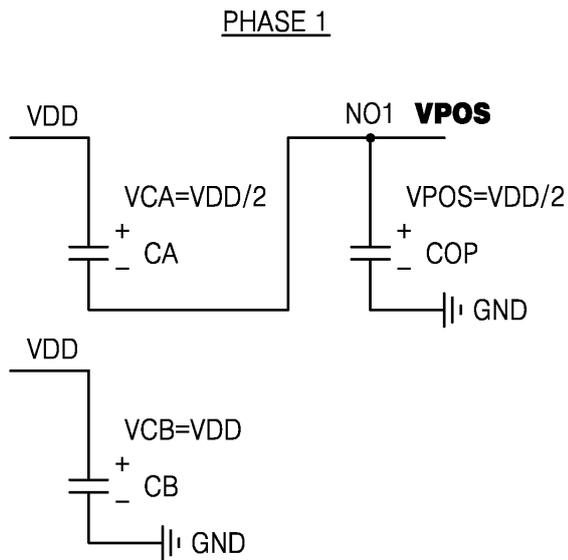
도면18b



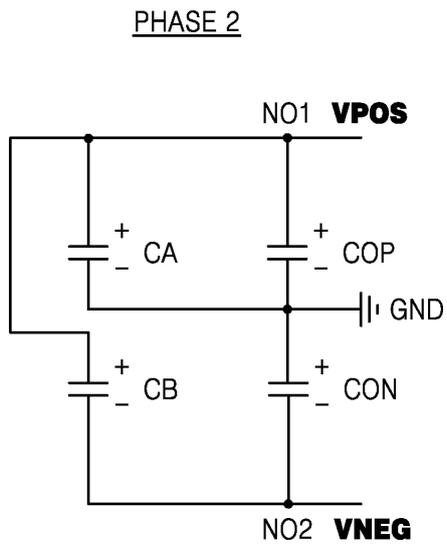
도면19



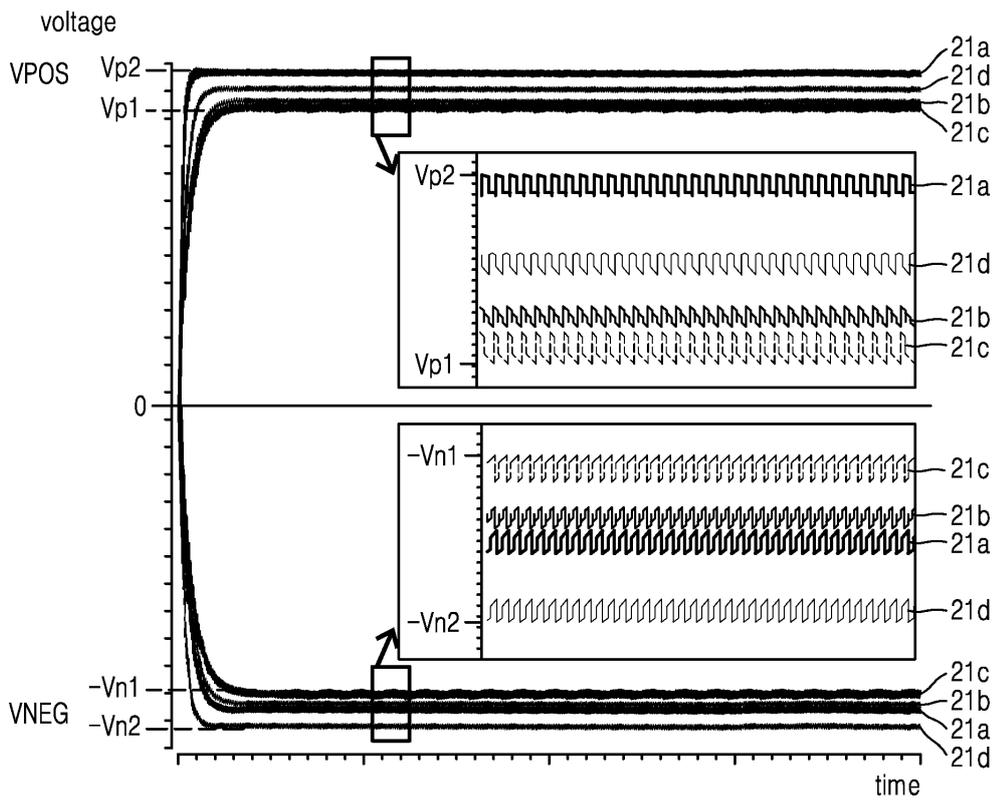
도면20a



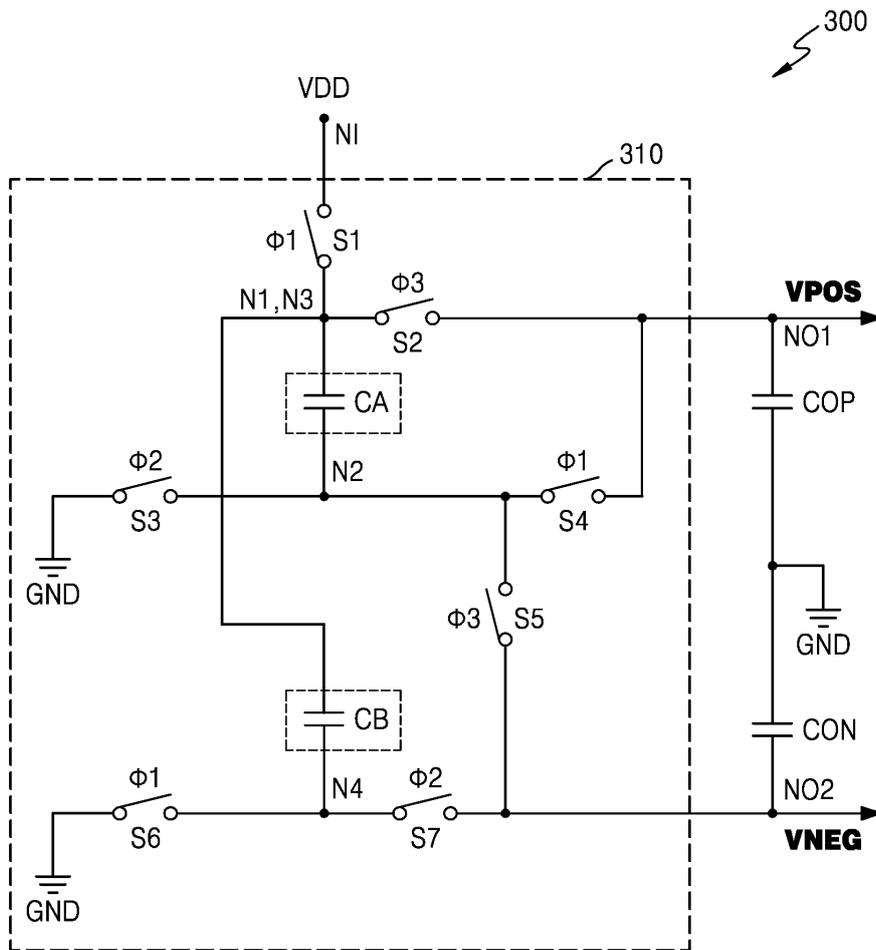
도면20b



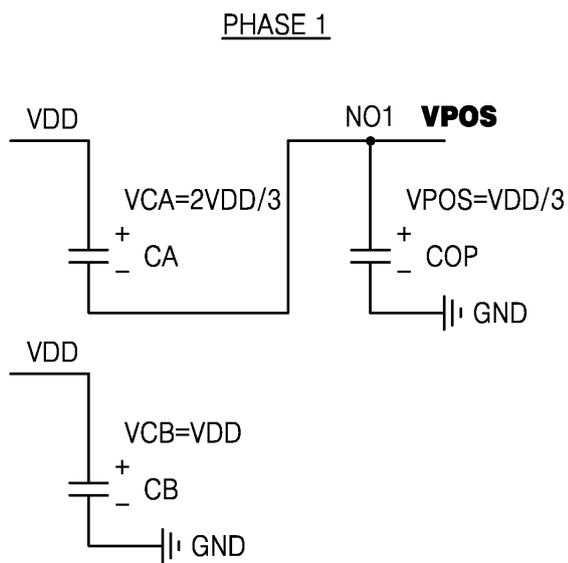
도면21



도면22

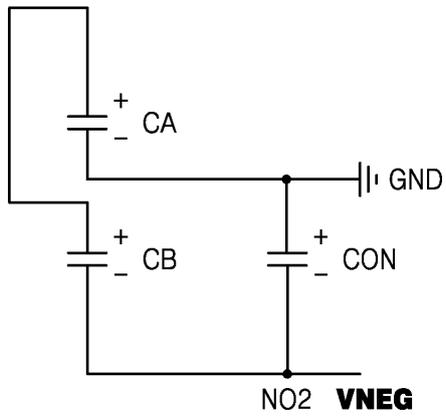


도면23a



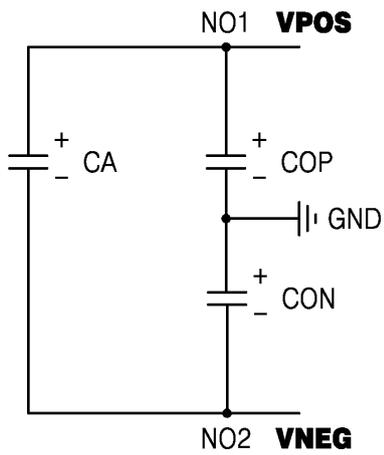
도면23b

PHASE 2

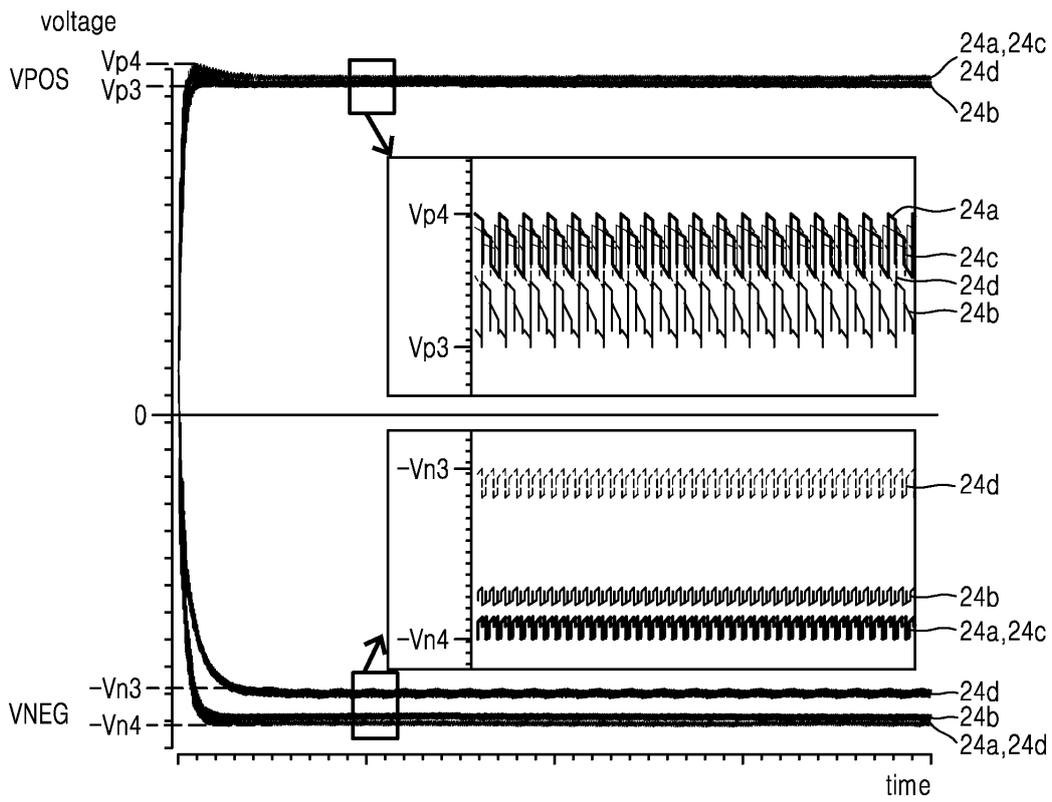


도면23c

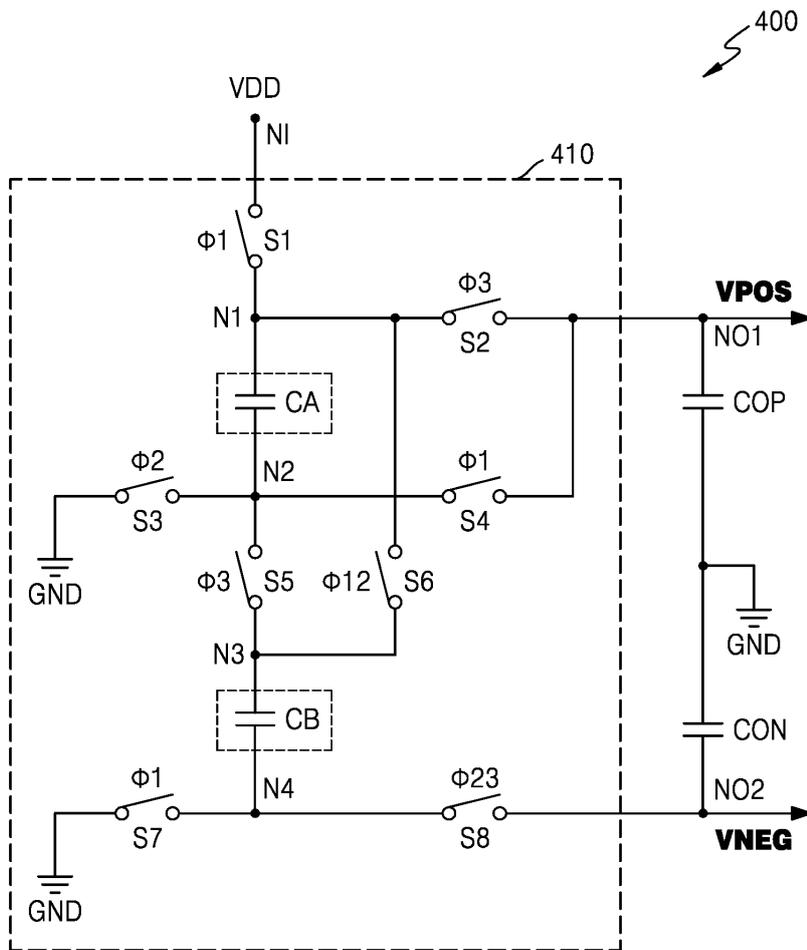
PHASE 3



도면24

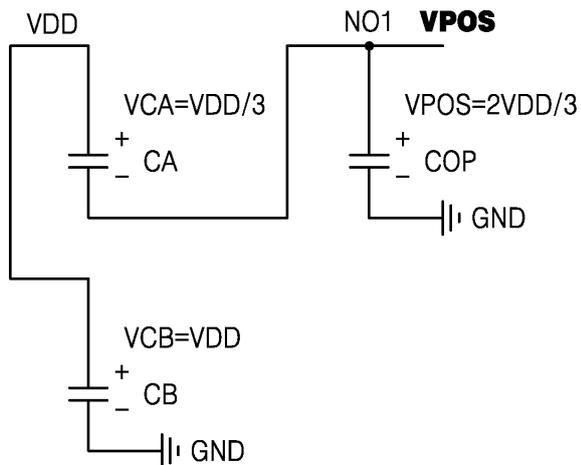


도면25



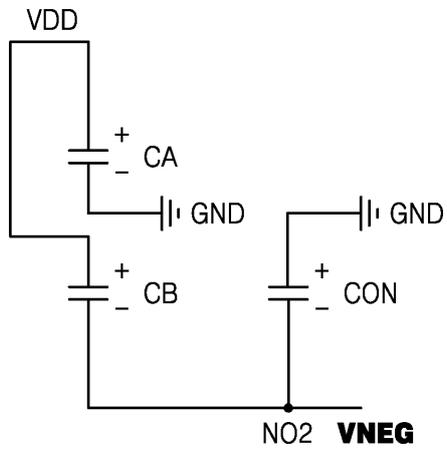
도면26a

PHASE 1



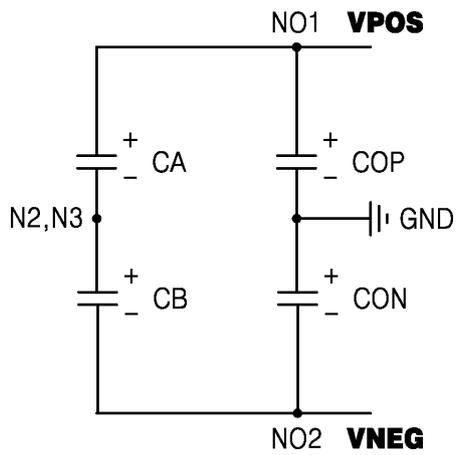
도면26b

PHASE 2

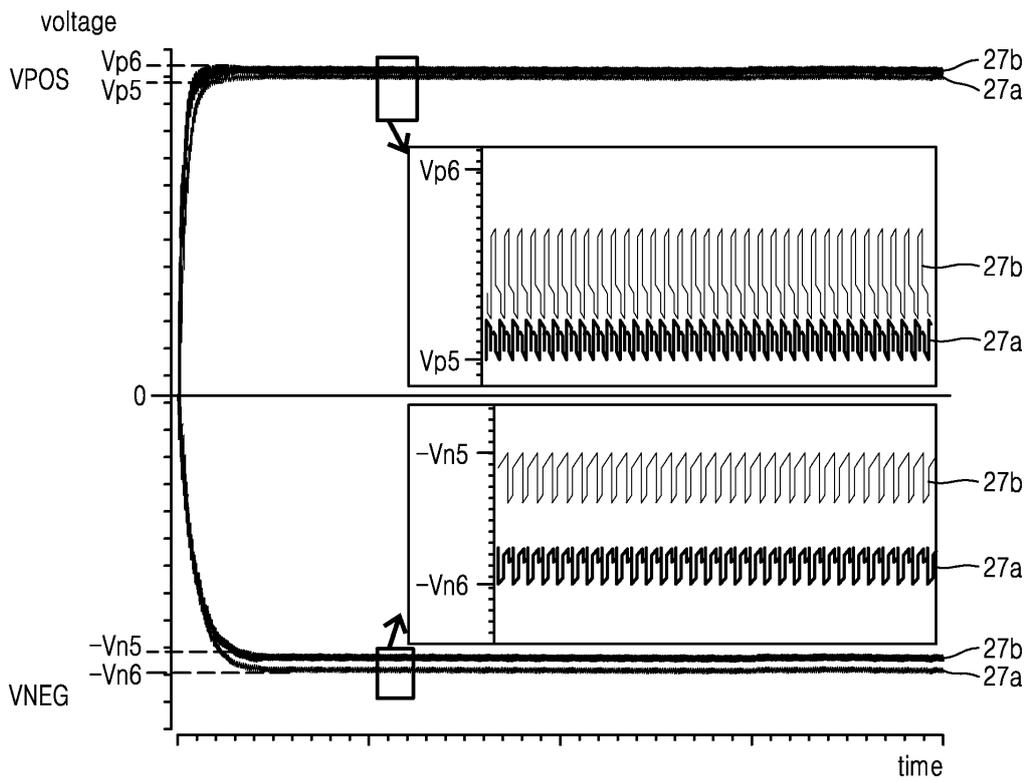


도면26c

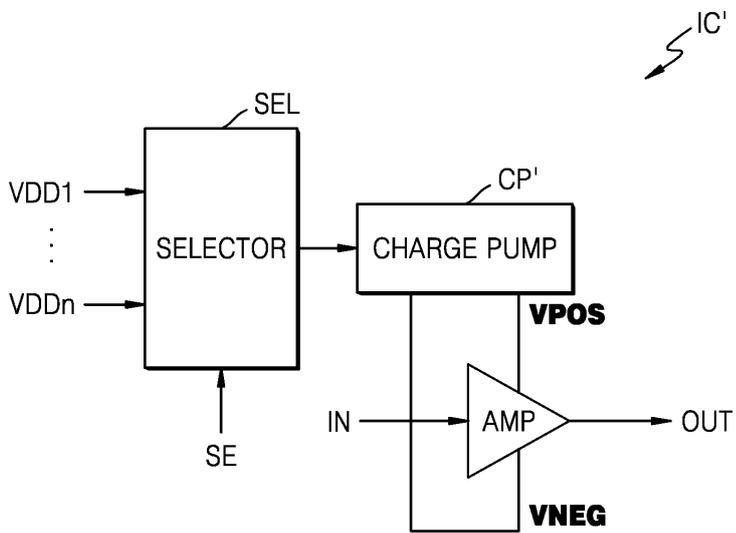
PHASE 3



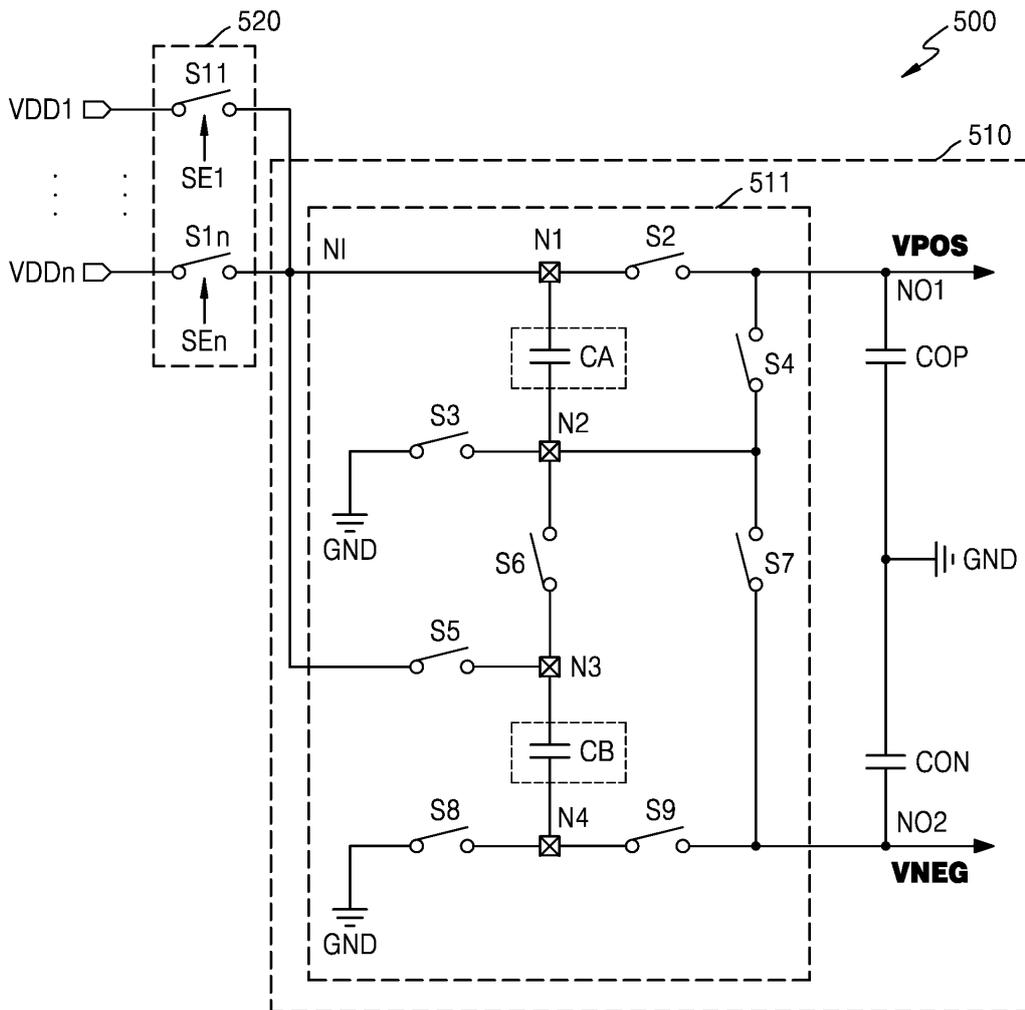
도면27



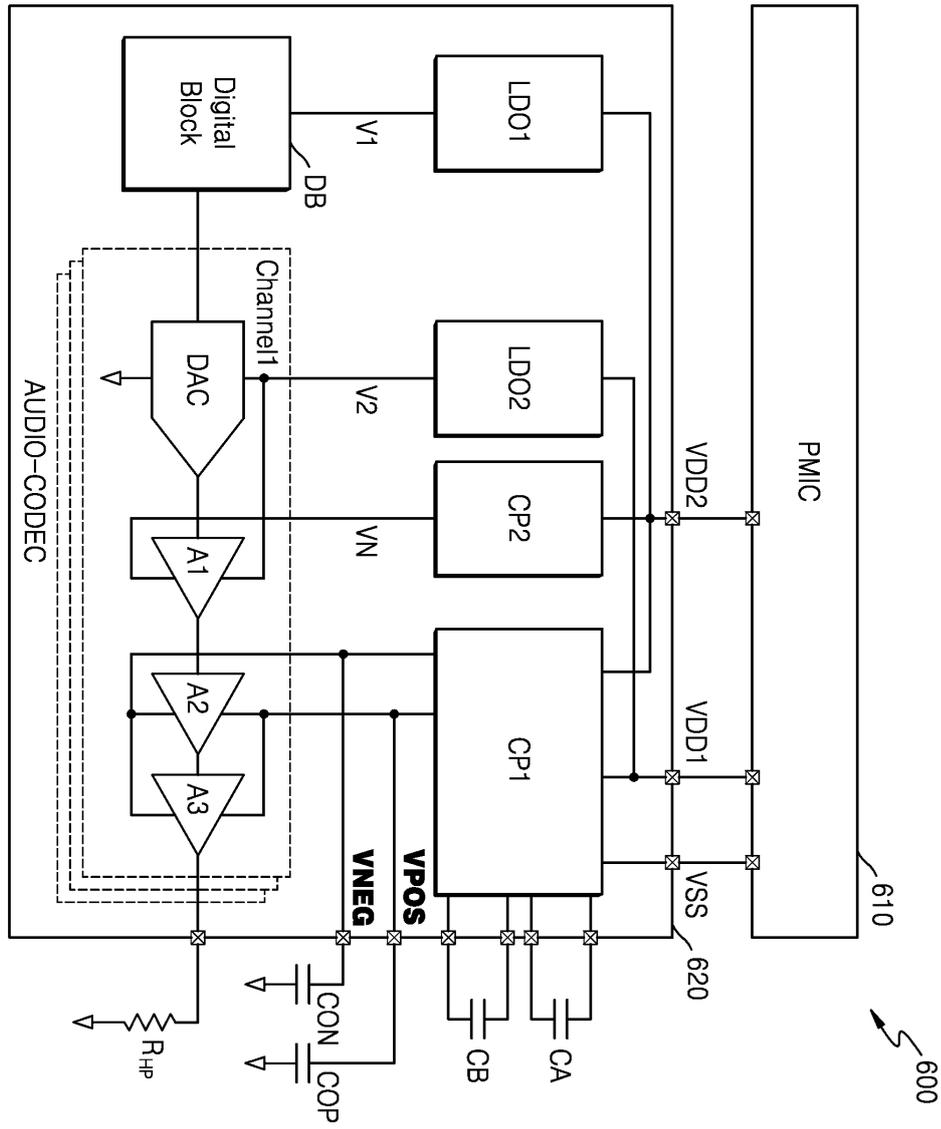
도면28



도면29



도면30



도면31

