

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-29687

(P2024-29687A)

(43)公開日 令和6年3月6日(2024.3.6)

(51)国際特許分類		F I		テーマコード(参考)
H 0 2 M	7/493(2007.01)	H 0 2 M	7/493	5 H 7 7 0
H 0 2 M	7/48 (2007.01)	H 0 2 M	7/48	Z

審査請求 未請求 請求項の数 10 O L (全12頁)

(21)出願番号	特願2022-132081(P2022-132081)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	令和4年8月22日(2022.8.22)	(71)出願人	598076591 東芝インフラシステムズ株式会社 神奈川県川崎市幸区堀川町7番地34
		(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
		(72)発明者	野木 雅之 神奈川県川崎市幸区堀川町7番地34 東芝インフラシステムズ株式会社内
		(72)発明者	佐竹 信彦 神奈川県川崎市幸区堀川町7番地34 東芝インフラシステムズ株式会社内
		Fターム(参考)	5H770 AA15 AA21 BA03 CA06 最終頁に続く

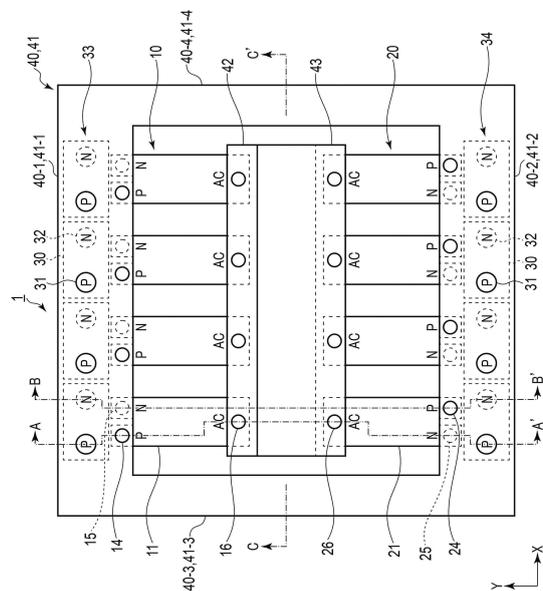
(54)【発明の名称】 電力変換装置

(57)【要約】

【課題】 並列接続された複数の半導体モジュールの電流アンバランスを低減することが可能な電力変換装置を提供する。

【解決手段】 実施形態の電力変換装置は、正極導体と、負極導体と、正極導体と負極導体との間に並列接続された複数の第1半導体モジュールを有する第1ハーフブリッジ回路と、正極導体と負極導体との間に並列接続された複数の第2半導体モジュールを有する第2ハーフブリッジ回路と、正極導体と負極導体との間に並列接続された複数の直流コンデンサを含む。正極導体は、複数の第1半導体モジュール及び前記複数の第2半導体モジュールを囲む口の字形を有する。負極導体は、複数の第1半導体モジュール及び複数の第2半導体モジュールを囲む口の字形を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

正極導体と、
負極導体と、

前記正極導体と前記負極導体との間に並列接続された複数の第 1 半導体モジュールを有し、前記複数の第 1 半導体モジュールの各々は、第 1 スイッチング素子と第 2 スイッチング素子とが直列接続されて構成される、第 1 ハーフブリッジ回路と、

前記正極導体と前記負極導体との間に並列接続された複数の第 2 半導体モジュールを有し、前記複数の第 2 半導体モジュールの各々は、第 3 スイッチング素子と第 4 スイッチング素子とが直列接続されて構成される、第 2 ハーフブリッジ回路と、

10

前記正極導体と前記負極導体との間に並列接続された複数の直流コンデンサと、
を具備し、

前記複数の第 1 半導体モジュールは、第 1 方向に並んで配置され、

前記複数の第 2 半導体モジュールは、前記第 1 方向に並んで配置され、前記複数の第 1 半導体モジュールに対して前記第 1 方向に直交する第 2 方向に隣接して配置され、

前記正極導体は、前記複数の第 1 半導体モジュール及び前記複数の第 2 半導体モジュールを囲む口の字形を有し、

前記負極導体は、前記複数の第 1 半導体モジュール及び前記複数の第 2 半導体モジュールを囲む口の字形を有する

電力変換装置。

20

【請求項 2】

前記正極導体は、前記複数の第 1 半導体モジュールの正極端子に接続された第 1 導体部分と、前記複数の第 2 半導体モジュールの正極端子に接続された第 2 導体部分と、前記第 1 導体部分の一端と前記第 2 導体部分の一端とを接続する第 3 導体部分と、前記第 1 導体部分の他端と前記第 2 導体部分の他端とを接続する第 4 導体部分とを含み、

前記負極導体は、前記複数の第 1 半導体モジュールの負極端子に接続された第 5 導体部分と、前記複数の第 2 半導体モジュールの負極端子に接続された第 6 導体部分と、前記第 5 導体部分の一端と前記第 6 導体部分の一端とを接続する第 7 導体部分と、前記第 5 導体部分の他端と前記第 6 導体部分の他端とを接続する第 8 導体部分とを含む

請求項 1 に記載の電力変換装置。

30

【請求項 3】

前記複数の直流コンデンサは、第 1 グループと、第 2 グループとに分けて配置され、

前記第 1 グループの正極端子は、前記第 1 導体部分に接続され、

前記第 2 グループの正極端子は、前記第 2 導体部分に接続され、

前記第 1 グループの負極端子は、前記第 5 導体部分に接続され、

前記第 2 グループの負極端子は、前記第 6 導体部分に接続される

請求項 2 に記載の電力変換装置。

【請求項 4】

前記第 1 スイッチング素子と前記第 2 スイッチング素子との接続ノードに接続された U 相導体と、

40

前記第 3 スイッチング素子と前記第 4 スイッチング素子との接続ノードに接続された V 相導体とをさらに具備し、

前記 U 相導体と前記 V 相導体とは、平行平板化される

請求項 1 に記載の電力変換装置。

【請求項 5】

前記 U 相導体と前記 V 相導体とは、絶縁層を介して積層される

請求項 4 に記載の電力変換装置。

【請求項 6】

前記正極導体と前記負極導体とは、平行平板化される

請求項 1 に記載の電力変換装置。

50

- 【請求項 7】
前記正極導体と前記負極導体とは、絶縁層を介して積層される
請求項 6 に記載の電力変換装置。
- 【請求項 8】
前記第 1 ハーフブリッジ回路と前記第 2 ハーフブリッジ回路とは、フルブリッジ回路を
構成し、
前記フルブリッジ回路が出力する交流電流の周波数は、商用周波数より高い
請求項 1 に記載の電力変換装置。
- 【請求項 9】
前記正極導体と前記負極導体とに接続された蓄電池をさらに具備する 10
請求項 1 に記載の電力変換装置。
- 【請求項 10】
前記第 1 乃至第 4 スイッチング素子の各々は、IGBT、又は SiC-MOSFET で
構成される
請求項 1 に記載の電力変換装置。
- 【発明の詳細な説明】
- 【技術分野】
- 【0001】
本発明の実施形態は、電力変換装置に関する。
- 【背景技術】 20
【0002】
鉄道車両の補助電源装置では、絶縁変圧器を小型化するために高周波絶縁技術が適用さ
れ始めている。商用周波数（50 Hz 又は 60 Hz）よりも高い周波数の交流電力をイン
バータ回路により生成することで、変圧器を大幅に小型化できるとともに、変圧器の重量
を大幅に低減できる。このような技術は、鉄道車両の補助電源装置に限らず、蓄電池の充
放電変換器等、電源の絶縁を必要とする電源装置に用いられている。
- 【0003】
例えば、特許文献 1 のような技術が提案されている。特許文献 1 では、架線からの直流
電力をインバータ回路で高周波の交流電力に変換し、高周波変圧器で絶縁した後、整流器
を介して負荷に電力を供給する方法が述べられている。 30
- 【0004】
一方、電源装置が高出力になってくると、使用しているスイッチング素子、例えば I G
B T や S i C - M O S F E T などの半導体素子の並列数を増やす必要が出てくる。
- 【0005】
この時、並列接続された複数の半導体素子にできるだけ均等に電流を流すことが望まし
い。しかし、電力変換装置を構成する導体のインダクタンスの影響で、並列接続された複
数の半導体素子への電流バランスが均一化しにくいという問題がある。
- 【先行技術文献】
- 【特許文献】
- 【0006】 40
【特許文献 1】特許第 6 2 5 7 9 2 5 号公報
- 【発明の概要】
- 【発明が解決しようとする課題】
- 【0007】
本発明が解決しようとする課題は、並列接続された複数の半導体モジュールの電流アン
バランスを低減することが可能な電力変換装置を提供することである。
- 【課題を解決するための手段】
- 【0008】
実施形態に係る電力変換装置は、正極導体と、負極導体と、前記正極導体と前記負極導
体との間に並列接続された複数の第 1 半導体モジュールを有し、前記複数の第 1 半導体モ 50

ジュールの各々は、第 1 スイッチング素子と第 2 スイッチング素子とが直列接続されて構成される、第 1 ハーフブリッジ回路と、前記正極導体と前記負極導体との間に並列接続された複数の第 2 半導体モジュールを有し、前記複数の第 2 半導体モジュールの各々は、第 3 スイッチング素子と第 4 スイッチング素子とが直列接続されて構成される、第 2 ハーフブリッジ回路と、前記正極導体と前記負極導体との間に並列接続された複数の直流コンデンサとを具備する。前記複数の第 1 半導体モジュールは、第 1 方向に並んで配置される。前記複数の第 2 半導体モジュールは、前記第 1 方向に並んで配置され、前記複数の第 1 半導体モジュールに対して前記第 1 方向に直交する第 2 方向に隣接して配置される。前記正極導体は、前記複数の第 1 半導体モジュール及び前記複数の第 2 半導体モジュールを囲む口の字形を有する。前記負極導体は、前記複数の第 1 半導体モジュール及び前記複数の第 2 半導体モジュールを囲む口の字形を有する。 10

【図面の簡単な説明】

【0009】

【図 1】図 1 は、実施形態に係る電力変換装置の平面図である。

【図 2】図 2 は、図 1 に示した A - A' 線に沿った電力変換装置の断面図である。

【図 3】図 3 は、図 1 に示した B - B' 線に沿った電力変換装置の断面図である。

【図 4】図 4 は、図 1 に示した C - C' 線に沿った電力変換装置の断面図である。

【図 5】図 5 は、図 1 に示した電力変換装置の等価回路図である。

【図 6】図 6 は、実施形態に係る電力変換装置の電流波形である。

【図 7】図 7 は、比較例に係る電力変換装置の電流波形である。 20

【発明を実施するための形態】

【0010】

以下、実施形態について図面を参照して説明する。以下に示す幾つかの実施形態は、本発明の技術思想を具体化するための装置および方法を例示したものであって、構成部品の形状、構造、配置等によって、本発明の技術思想が特定されるものではない。なお、以下の説明において、同一の機能及び構成を有する要素については同一符号を付し、重複する説明は省略する。

【0011】

[1] 電力変換装置 1 の構成

図 1 は、実施形態に係る電力変換装置 1 の平面図である。図 1 の X 方向は、電力変換装置 1 のある一辺に沿った方向であり、Y 方向は、X 方向に直交する方向である。図 2 は、図 1 に示した A - A' 線に沿った電力変換装置 1 の断面図である。図 3 は、図 1 に示した B - B' 線に沿った電力変換装置 1 の断面図である。図 4 は、図 1 に示した C - C' 線に沿った電力変換装置 1 の断面図である。図 5 は、図 1 に示した電力変換装置 1 の等価回路図である。 30

【0012】

電力変換装置 1 は、第 1 ハーフブリッジ回路 10、第 2 ハーフブリッジ回路 20、複数の直流コンデンサ 30、正極導体（P 導体ともいう）40、負極導体（N 導体ともいう）41、U 相交流導体（AC_U 導体ともいう）42、V 相交流導体（AC_V 導体ともいう）43、端子 T1 ~ T4、及び制御回路 2 を備える。 40

【0013】

第 1 ハーフブリッジ回路 10 は、P 導体 40 と N 導体 41 との間に並列接続された複数の半導体モジュール 11 を備える。複数の半導体モジュール 11 の各々は、第 1 スイッチング素子 12 と第 2 スイッチング素子 13 とが直列接続されて構成される。スイッチング素子 12、13 は、半導体素子で構成される。スイッチング素子 12、13 からなる半導体モジュール 11 は、パッケージ化されている。複数の半導体モジュール 11 は、X 方向に並んで配置される。図 3 及び図 4 では、半導体モジュールを SW と表記している。

【0014】

スイッチング素子 12、13 は、例えば、絶縁ゲート型バイポーラトランジスタ（IGBT : Insulated Gate Bipolar Transistor）で構成される。スイッチング素子 12 50

、13は、ワイドバンドギャップを有するSiC (Silicon Carbide) を用いたSiC - MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) を用いてもよい。スイッチング素子にSiC - MOSFETを用いることで、スイッチング速度を高速化できるとともに、スイッチング損失を低減することができる。

【0015】

本実施形態では、第1ハーフブリッジ回路10が4個の半導体モジュール11を備える場合を例示している。半導体モジュール11の数は、電力変換装置1に要求される出力電力に応じて適宜設定される。

【0016】

第2ハーフブリッジ回路20は、P導体40とN導体41との間に並列接続された複数の半導体モジュール21を備える。複数の半導体モジュール21の各々は、第3スイッチング素子22と第4スイッチング素子23とが直列接続されて構成される。スイッチング素子22、23は、第1ハーフブリッジ回路10と同じ種類のスイッチング素子で構成される。スイッチング素子22、23からなる半導体モジュール21は、パッケージ化されている。第2ハーフブリッジ回路20に含まれる半導体モジュール21の数は、例えば、第1ハーフブリッジ回路10に含まれる半導体モジュール11の数と同じである。複数の半導体モジュール21は、X方向に並んで配置される。

10

【0017】

第1スイッチング素子12のコレクタは、正極端子(P端子ともいう)14を用いて、P導体40に接続される。第1スイッチング素子12のエミッタは、交流端子(AC端子ともいう)16を用いて、AC_U導体42に接続される。第2スイッチング素子13のコレクタは、AC端子16を用いて、AC_U導体42に接続される。第2スイッチング素子13のエミッタは、負極端子(N端子ともいう)15を用いて、N導体41に接続される。P端子14、N端子15、及びAC端子16はそれぞれ、水平方向に突出した端子部分と、この端子部分から法線方向に延びる接続部分とを含む。AC端子16は、第1スイッチング素子12と第2スイッチング素子13との接続ノードに対応する。

20

【0018】

第3スイッチング素子22のコレクタは、P端子24を用いて、P導体40に接続される。第3スイッチング素子22のエミッタは、AC端子26を用いて、AC_V導体43に接続される。第4スイッチング素子23のコレクタは、AC端子26を用いて、AC_V導体43に接続される。第4スイッチング素子23のエミッタは、N端子25を用いて、N導体41に接続される。P端子24、N端子25、及びAC端子26はそれぞれ、水平方向に突出した端子部分と、この端子部分から法線方向に延びる接続部分とを含む。AC端子26は、第3スイッチング素子22と第4スイッチング素子23との接続ノードに対応する。

30

【0019】

スイッチング素子12、13、22、23の各々には、逆並列に(すなわち、カソードが高電位側となるように)、還流ダイオードが接続される。

【0020】

第1ハーフブリッジ回路10に含まれるスイッチング素子12、13のゲートは、制御回路2に接続される。また、第2ハーフブリッジ回路20に含まれるスイッチング素子22、23のゲートは、制御回路2に接続される。

40

【0021】

第1ハーフブリッジ回路10と第2ハーフブリッジ回路20とは、Y方向に並ぶように配置される。第1ハーフブリッジ回路10と第2ハーフブリッジ回路20とは、フルブリッジ回路を構成する。フルブリッジ回路は、直流電力を交流電力に変換するインバータ回路として機能する。

【0022】

P導体40とN導体41の間には、複数の直流コンデンサ30が接続される。直流コンデンサ30は、電圧を平滑化する平滑コンデンサとして機能する。複数の直流コンデン

50

サ 3 0 は、正極及び負極を有する。直流コンデンサ 3 0 の正極は、P 端子 3 1 を用いて P 導体 4 0 に接続される。直流コンデンサ 3 0 の負極は、N 端子 3 2 を用いて N 導体 4 1 に接続される。直流コンデンサ 3 0 の数は、電力変換装置 1 に要求される出力電力及び容量に応じて適宜設定される。図 3 及び図 4 では、直流コンデンサを C と表記している。複数の直流コンデンサ 3 0 の配置については後述する。

【 0 0 2 3 】

P 導体 4 0 には、端子 T 1 が接続され、N 導体 4 1 には、端子 T 2 が接続される。端子 T 1 と端子 T 2 との間には、直流電源 3 が接続される。直流電源 3 は、充放電が可能な蓄電池で構成してもよい。

【 0 0 2 4 】

A C _ U 導体 4 2 には、端子 T 3 が接続され、A C _ V 導体 4 3 には、端子 T 4 が接続される。端子 T 3、T 4 には、負荷などの任意の素子や回路（変圧器を含む）が接続される。

【 0 0 2 5 】

制御回路 2 は、例えば、C P U (central processing unit) や M P U (micro processing unit) などのプロセッサを少なくとも 1 つと、プロセッサにより実行されるプログラムを記録可能なメモリとを備えた演算回路である。制御回路 2 は、所望の交流電力を生成するように、スイッチング素子 1 2、1 3、2 2、2 3 のオン及びオフのタイミングを制御する。具体的には、制御回路 2 は、スイッチング素子 1 2、1 3 を交互にオンし、スイッチング素子 2 2、2 3 を交互にオンする。また、制御回路 2 は、スイッチング素子 1 2、2 3 を同時にオンする。これにより、制御回路 2 は、直流電力から交流電力を生成する。

【 0 0 2 6 】

[1 - 1] P 導体 4 0 及び N 導体 4 1 の具体的な構成

P 導体 4 0 は、第 1 ハーフブリッジ回路 1 0 及び第 2 ハーフブリッジ回路 2 0 を囲むようにして、口の字形を有する。P 導体 4 0 は、それぞれが X 方向に延びる第 1 導体部分 4 0 - 1 及び第 2 導体部分 4 0 - 2 と、第 1 導体部分 4 0 - 1 の一端から第 2 導体部分 4 0 - 2 の一端まで延びる第 3 導体部分 4 0 - 3 と、第 1 導体部分 4 0 - 1 の他端から第 2 導体部分 4 0 - 2 の他端まで延びる第 4 導体部分 4 0 - 4 とを備える。

【 0 0 2 7 】

複数の直流コンデンサ 3 0 は、第 1 ハーフブリッジ回路 1 0 側に配置される第 1 グループ 3 3 と、第 2 ハーフブリッジ回路 2 0 側に配置される第 2 グループ 3 4 とに分けられる。直流コンデンサ 3 0 の第 1 グループ 3 3 は、第 1 ハーフブリッジ回路 1 0 の Y 方向に隣接して配置される。直流コンデンサ 3 0 の第 2 グループ 3 4 は、第 2 ハーフブリッジ回路 2 0 の Y 方向に隣接して配置される。図 1 では、第 1 グループ 3 3 及び第 2 グループ 3 4 がそれぞれ 4 個の直流コンデンサ 3 0 を備える場合を一例として示している。

【 0 0 2 8 】

なお、直流コンデンサ 3 0 の第 1 グループ 3 3 は、1 個の直流コンデンサ 3 0 として集約して構成してもよい。同様に、直流コンデンサ 3 0 の第 2 グループ 3 4 は、1 個の直流コンデンサ 3 0 として集約して構成してもよい。この実施例の場合、直流コンデンサから半導体モジュールまでのインダクタンスを均等化する観点から、直流コンデンサの P 端子及び N 端子はそれぞれ、X 方向に沿って複数個存在していることが望ましい。

【 0 0 2 9 】

第 1 導体部分 4 0 - 1 は、第 1 ハーフブリッジ回路 1 0 の P 端子 1 4 に接続される。また、第 1 導体部分 4 0 - 1 は、直流コンデンサ 3 0 の第 1 グループ 3 3 の P 端子 3 1 に接続される。

【 0 0 3 0 】

第 2 導体部分 4 0 - 2 は、第 2 ハーフブリッジ回路 2 0 の P 端子 2 4 に接続される。また、第 2 導体部分 4 0 - 2 は、直流コンデンサ 3 0 の第 2 グループ 3 4 の P 端子 3 1 に接続される。

10

20

30

40

50

【 0 0 3 1 】

そして、第 1 導体部分 4 0 - 1 の一端と第 2 導体部分 4 0 - 2 の一端とは、第 3 導体部分 4 0 - 3 によって接続される。第 1 導体部分 4 0 - 1 の他端と第 2 導体部分 4 0 - 2 の他端とは、第 4 導体部分 4 0 - 4 によって接続される。

【 0 0 3 2 】

N 導体 4 1 は、P 導体 4 0 の下方に配置される。N 導体 4 1 は、第 1 ハーフブリッジ回路 1 0 及び第 2 ハーフブリッジ回路 2 0 を囲むようにして、口の字形を有し、平面視において、P 導体 4 0 に重なるように構成される。つまり、N 導体 4 1 の平面形状は、P 導体 4 0 の平面形状と同じである。P 導体 4 0 と N 導体 4 1 とは、平行平板化される。N 導体 4 1 は、第 1 ハーフブリッジ回路 1 0 の P 端子 1 4、第 2 ハーフブリッジ回路 2 0 の P 端子 2 4、及び直流コンデンサの P 端子 3 1 を通す開口部を有する。なお、P 導体 4 0 と N 導体 4 1 との上下の位置関係は逆でもよい。

10

【 0 0 3 3 】

N 導体 4 1 は、それぞれが X 方向に延びる第 1 導体部分 4 1 - 1 及び第 2 導体部分 4 0 - 2 と、第 1 導体部分 4 1 - 1 の一端から第 2 導体部分 4 1 - 2 の一端まで延びる第 3 導体部分 4 1 - 3 と、第 1 導体部分 4 1 - 1 の他端から第 2 導体部分 4 1 - 2 の他端まで延びる第 4 導体部分 4 1 - 4 とを備える。

【 0 0 3 4 】

第 1 導体部分 4 1 - 1 は、第 1 ハーフブリッジ回路 1 0 の N 端子 1 5 に接続される。また、第 1 導体部分 4 1 - 1 は、直流コンデンサ 3 0 の第 1 グループ 3 3 の N 端子 3 2 に接続される。

20

【 0 0 3 5 】

第 2 導体部分 4 1 - 2 は、第 2 ハーフブリッジ回路 2 0 の N 端子 2 5 に接続される。また、第 2 導体部分 4 1 - 2 は、直流コンデンサ 3 0 の第 2 グループ 3 4 の N 端子 3 2 に接続される。

【 0 0 3 6 】

そして、第 1 導体部分 4 1 - 1 の一端と第 2 導体部分 4 1 - 2 の一端とは、第 3 導体部分 4 1 - 3 によって接続される。第 1 導体部分 4 1 - 1 の他端と第 2 導体部分 4 1 - 2 の他端とは、第 4 導体部分 4 1 - 4 によって接続される。

【 0 0 3 7 】

P 導体 4 0 と N 導体 4 1 とは、ラミネートブスバーで構成される。P 導体 4 0 と N 導体 4 1 とは、絶縁層、導体 (N 導体 4 1)、絶縁層、導体 (P 導体 4 0)、及び絶縁層がこの順に積層されたラミネート構造を有する。換言すると、P 導体 4 0 と N 導体 4 1 とは、絶縁層を介して積層されるとともに、P 導体 4 0 と N 導体 4 1 とが上下から 2 個の絶縁層で挟まれる。

30

【 0 0 3 8 】

P 導体 4 0 及び N 導体 4 1 としては、例えば、銅 (Cu)、銀 (Ag)、金 (Au)、アルミニウム (Al)、又はそれらの合金を用いることができる。

【 0 0 3 9 】

[1 - 2] AC_U 導体 4 2 及び AC_V 導体 4 3 の具体的な構成

40

AC_U 導体 4 2 及び AC_V 導体 4 3 は、第 1 ハーフブリッジ回路 1 0 と第 2 ハーフブリッジ回路 2 0 との間に配置される。AC_U 導体 4 2 及び AC_V 導体 4 3 はそれぞれ、X 方向に延びる。

【 0 0 4 0 】

AC_V 導体 4 3 は、AC_U 導体 4 2 の上方に配置される。AC_U 導体 4 2 と AC_V 導体 4 3 とは、平面視において重なるように構成される。すなわち、AC_U 導体 4 2 と AC_V 導体 4 3 とは、平行平板化される。AC_U 導体 4 2 と AC_V 導体 4 3 とを平行平板化することで、AC_U 導体 4 2 及び AC_V 導体 4 3 のインダクタンスが低減される。図 4 には、AC_U 導体 4 2 と AC_V 導体 4 3 とで構成されるコンデンサ 4 4 を等価的に示している。なお、AC_U 導体 4 2 と AC_V 導体 4 3 との上下の位置関係は

50

逆でもよい。

【 0 0 4 1 】

A C _ U 導 体 4 2 と A C _ V 導 体 4 3 とは、ラミネートブスバーで構成される。A C _ U 導 体 4 2 と A C _ V 導 体 4 3 とは、絶縁層、導体 (A C _ U 導 体 4 2)、絶縁層、導体 (A C _ V 導 体 4 3)、及び絶縁層がこの順に積層されたラミネート構造を有する。

【 0 0 4 2 】

A C _ U 導 体 4 2 及 び A C _ V 導 体 4 3 と して は、例 えば、銅 (C u)、銀 (A g)、金 (A u)、アルミニウム (A l)、又はそれらの合金を用いることができる。

【 0 0 4 3 】

[2] 動作

制御回路 2 は、半導体モジュール 1 1 のスイッチング素子 1 2、1 3、及び半導体モジュール 2 1 のスイッチング素子 2 2、2 3 の動作を制御する。制御回路 2 は、スイッチング素子 1 2、2 3 と、スイッチング素子 1 3、2 2 とを交互にオンするように、ゲート電圧を制御する。

【 0 0 4 4 】

第 1 ハーフブリッジ回路 1 0 及び第 2 ハーフブリッジ回路 2 0 からなるフルブリッジ回路は、直流電力から単相交流電力を生成する。生成された単相交流電力は、端子 T 3、T 4 から出力される。

【 0 0 4 5 】

また、制御回路 2 は、生成する交流電流の周波数を商用周波数より高く設定する。交流電力の周波数は、スイッチング素子のスイッチング周波数に対応する。商用周波数は、商用電源の周波数であり、50 Hz 又は 60 Hz である。

【 0 0 4 6 】

本実施形態では、X 方向に並んだ複数の半導体モジュール 1 1 と、X 方向に並んだ複数の半導体モジュール 2 1 とを囲むように、口の字形の P 導体 4 0、及び口の字形の N 導体 4 1 が設けられる。複数の半導体モジュール 1 1 及び複数の半導体モジュールに 2 0 には、P 導体 4 0 の第 3 導体部分 4 0 - 3 を用いて左側から電流が供給されるとともに、P 導体 4 0 の第 4 導体部分 4 0 - 4 を用いて右側から電流が供給される。同様に、複数の半導体モジュール 1 1 及び複数の半導体モジュールに 2 0 には、N 導体 4 1 の第 3 導体部分 4 1 - 3 を用いて左側から電流が供給されるとともに、N 導体 4 1 の第 4 導体部分 4 1 - 4 を用いて右側から電流が供給される。

【 0 0 4 7 】

これにより、複数の半導体モジュール 1 1 と複数の直流コンデンサ 3 0 との間のインダクタンスの差を低減できる。よって、複数の直流コンデンサ 3 0 から複数の半導体モジュール 1 1 に流れる電流のアンバランスを低減できる。同様に、複数の直流コンデンサ 3 0 から複数の半導体モジュール 2 1 に流れる電流のアンバランスを低減できる。

【 0 0 4 8 】

また、A C _ U 導 体 4 2 と A C _ V 導 体 4 3 とを平行平板化することで、A C _ U 導 体 4 2 及 び A C _ V 導 体 4 3 のインダクタンスが低減される。この交流側のインダクタンスを低減することで、直流側のインダクタンスによる電流バランスへの影響が支配的となる。これにより、直流側のインダクタンスの均等化に伴う半導体モジュールの電流バランスの均等化により一層資することが可能になる。

【 0 0 4 9 】

図 6 は、実施形態に係る電力変換装置 1 の電流波形である。図 6 は、第 1 ハーフブリッジ回路 1 0 に含まれる 4 個の半導体モジュール 1 1 の P 端子 1 4 の電流波形である。図 6 では、4 個の半導体モジュール 1 1 を I G B T 1 ~ I G B T 4 と表記している。I G B T 1 ~ I G B T 4 はそれぞれ、図 1 の左から順に並んだ 4 個の半導体モジュール 1 1 に対応する。波形における時間、及び電流は、任意単位である。

【 0 0 5 0 】

図 7 は、比較例に係る電力変換装置の電流波形である。比較例では、第 1 ハーフブリッ

10

20

30

40

50

ジ回路 10 用の導体と、第 2 ハーフブリッジ回路 20 用の導体とが分離されている。すなわち、第 1 ハーフブリッジ回路 10 用の導体と、第 2 ハーフブリッジ回路 20 用の導体とはそれぞれ、直線状に構成されている。

【0051】

図 7 では、IGBT 1 ~ IGBT 4 の電流アンバランスが大きくなっている。図 6 の本実施形態は、比較例に比べて、複数の半導体モジュール間の電流アンバランスを低減できている。

【0052】

[3] 実施形態の効果

以上詳述したように実施形態では、P 導体 40 及び N 導体をそれぞれ、第 1 ハーフブリッジ回路 10 及び第 2 ハーフブリッジ回路 20 を囲むように口の字形で構成するようにしている。そして、第 1 ハーフブリッジ回路 10 及び第 2 ハーフブリッジ回路 20 に含まれる複数の半導体モジュールに均等に電流が流れるように電流経路を構成するようにしている。これにより、並列接続された複数の半導体モジュールの電流アンバランスを低減することが可能な電力変換装置を実現できる。

【0053】

また、交流電力を出力する側（交流側）の AC_U 導体 42 と AC_V 導体 43 とを平行平板化するようにしている。これにより、AC_U 導体 42 と AC_V 導体 43 とのインダクタンスが低減される。この交流側のインダクタンスを低減することで、直流電力が供給される側（直流側）のインダクタンスによる電流バランスへの影響が支配的となる。これにより、半導体モジュールの電流アンバランスをより低減できる。

【0054】

また、電力変換装置 1 は、商用周波数よりも高い周波数の交流電力を、フルブリッジ回路を用いて生成するようにしている。これにより、電力変換装置 1 に接続される変圧器を大幅に小型化できるとともに、変圧器の重量を大幅に低減できる。

【0055】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0056】

1 ... 電力変換装置、2 ... 制御回路、3 ... 直流電源、10 ... 第 1 ハーフブリッジ回路、11 ... 半導体モジュール、12 ... 第 1 スイッチング素子、13 ... 第 2 スイッチング素子、14 ... P 端子、15 ... N 端子、16 ... AC 端子、20 ... 第 2 ハーフブリッジ回路、21 ... 半導体モジュール、22 ... 第 3 スイッチング素子、23 ... 第 4 スイッチング素子、24 ... P 端子、25 ... N 端子、26 ... AC 端子、30 ... 直流コンデンサ、31 ... P 端子、32 ... N 端子、40 ... P 導体、41 ... N 導体、42 ... AC_U 導体、43 ... AC_V 導体、44 ... コンデンサ、T1 ~ T4 ... 端子。

10

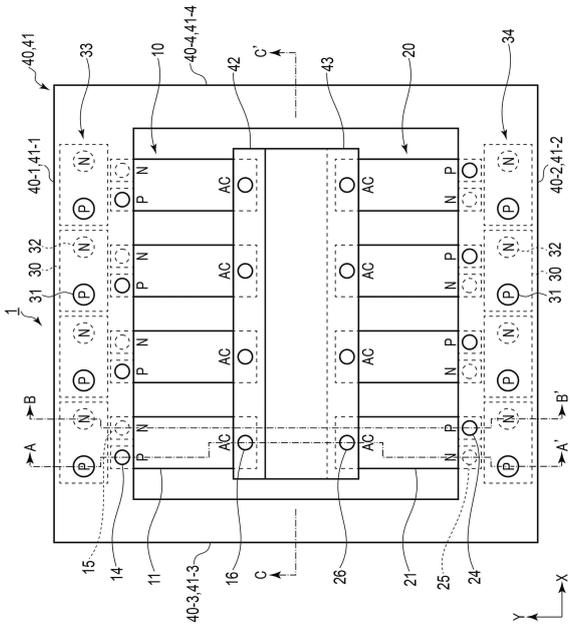
20

30

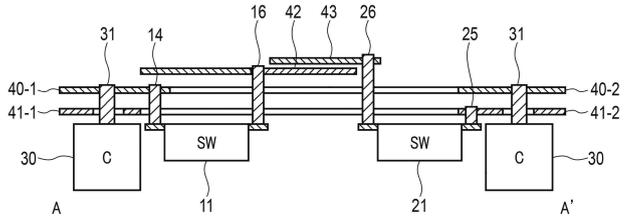
40

【 図面 】

【 図 1 】



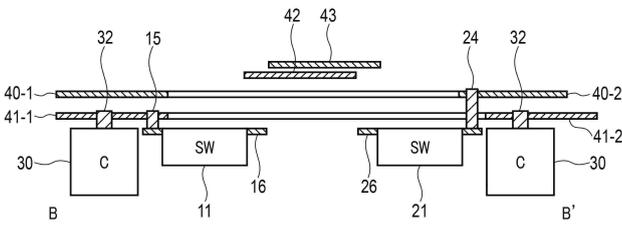
【 図 2 】



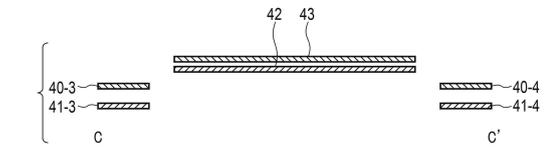
10

20

【 図 3 】



【 図 4 】

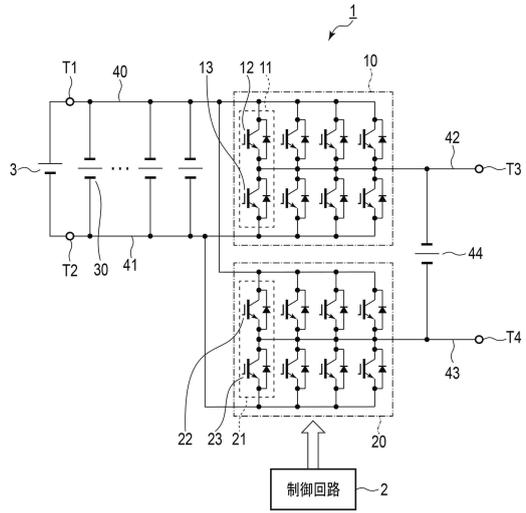


30

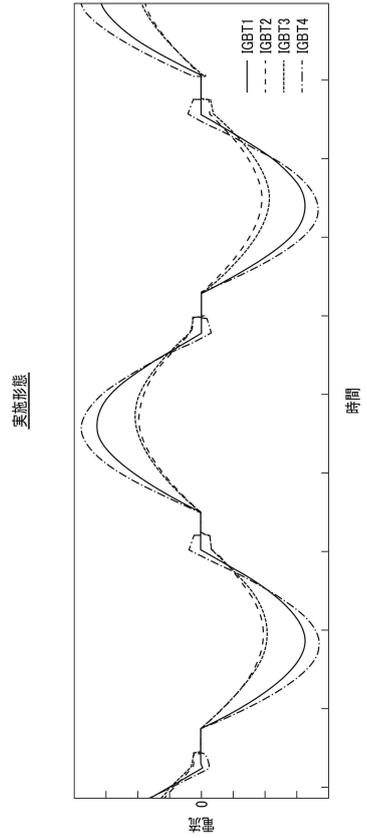
40

50

【 図 5 】



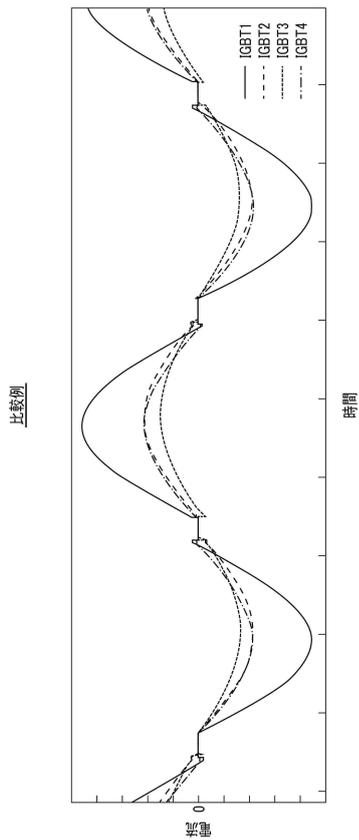
【 図 6 】



10

20

【 図 7 】



30

40

50

フロントページの続き

Fターム(参考)

DA01 DA11 DA22 DA30 DA44 JA10X JA11W JA11Y QA12 QA14