

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-511251
(P2010-511251A)

(43) 公表日 平成22年4月8日(2010.4.8)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 9/40 (2006.01)	G06F 9/40 390	5B013
G06F 9/30 (2006.01)	G06F 9/30 310A	5B033
G06F 9/38 (2006.01)	G06F 9/38 330A	

審査請求 有 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2009-539433 (P2009-539433)
 (86) (22) 出願日 平成19年11月27日 (2007.11.27)
 (85) 翻訳文提出日 平成21年7月16日 (2009.7.16)
 (86) 国際出願番号 PCT/US2007/085574
 (87) 国際公開番号 W02008/067277
 (87) 国際公開日 平成20年6月5日 (2008.6.5)
 (31) 優先権主張番号 11/563, 943
 (32) 優先日 平成18年11月28日 (2006.11.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 595020643
 クォアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 サブルーチン呼び出しを認識 (recognize) する方法及び装置

(57) 【要約】

【解決手段】 サブルーチン呼び出しを認識する装置が開示される。装置は、レジスタの内容を受信する第1入力と、プログラムフローにおける非逐次的な変化を受信する第2入力と、前記プログラムフローにおける非逐次的な変化の後の逐次的な次のアドレスを受信する第3入力とを備える回路を含む。前記回路は、前記プログラムフローにおける非逐次的な変化がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスと、前記レジスタの内容とを比較するように構成されている。

【選択図】 図5

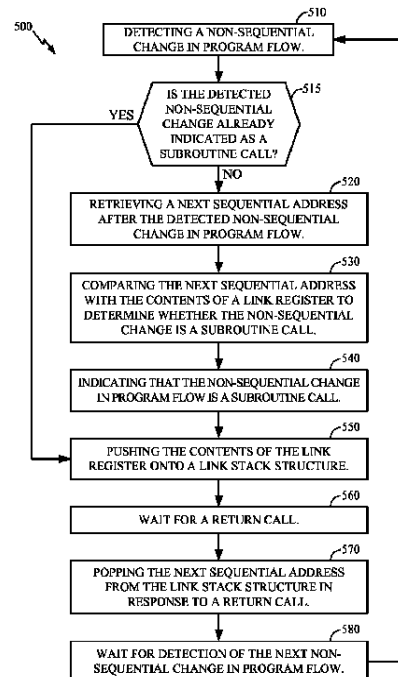


FIG. 5

【特許請求の範囲】**【請求項 1】**

プログラムフローにおける非逐次的な変化を検出することと、
前記プログラムフローにおける前記検出された非逐次的な変化の後の逐次的な次のアドレスを読み出すことと、

前記非逐次的な変化がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスをレジスタの内容と比較することと

を備えた、サブルーチン呼び出しの認識方法。

【請求項 2】

前記プログラムフローにおける非逐次的な変化は、分岐命令である、請求項 1 記載の方法。 10

【請求項 3】

前記レジスタは、リンクレジスタである、請求項 1 記載の方法。

【請求項 4】

前記プログラムフローにおける非逐次的な変化の後の前記逐次的な次のアドレスを、リンクスタック構造にプッシュすること、

を更に備える請求項 1 記載の方法。

【請求項 5】

前記プログラムフローにおける非逐次的な変化はサブルーチン呼び出しであることを示すこと、 20

を更に備える請求項 1 記載の方法。

【請求項 6】

前記プログラムフローにおける非逐次的な変化はサブルーチン呼び出しであることを示すことは、

前記プログラムフローにおける非逐次的な変化に関連付けられたフラグを、分岐予測回路に格納すること、を備える、請求項 5 記載の方法。

【請求項 7】

サブルーチン呼び出しを認識するプロセッサにおける装置であって、

回路を備え、前記回路は、

レジスタの内容を受信する第 1 入力と、 30

プログラムフローにおける非逐次的な変化を受信する第 2 入力と、

前記プログラムフローにおける非逐次的な変化の後の逐次的な次のアドレスを受信する第 3 入力と

を備え、前記回路は、前記プログラムフローにおける非逐次的な変化がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスと、前記レジスタの内容とを比較するように構成されている、装置。

【請求項 8】

前記プログラムフローにおける非逐次的な変化は、分岐命令である、請求項 7 記載の装置。

【請求項 9】

前記レジスタは、リンクレジスタである、請求項 7 記載の装置。 40

【請求項 10】

リンクレジスタを更に備え、前記装置は、前記プログラムフローにおける非逐次的な変化の後の前記逐次的な次のアドレスを、前記リンクスタック構造にプッシュするように構成されている、請求項 7 記載の装置。

【請求項 11】

前記プログラムフローにおける非逐次的な変化がサブルーチン呼び出しであることの表示、を格納するように構成された、分岐予測回路を更に備える、請求項 7 記載の装置。

【請求項 12】

サブルーチン呼び出しを認識する装置であって、 50

プログラムフローにおける非逐次的な変化を検出する手段と、
前記プログラムフローにおける検出された非逐次的な変化の後の逐次的な次のアドレスを読み出す手段と、
前記非逐次的な変化がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスをレジスタの内容と比較する手段と
を備えた、装置。

【請求項 1 3】

前記プログラムフローにおける非逐次的な変化は、分岐命令である、請求項 1 2 記載の装置。

【請求項 1 4】

前記レジスタは、リンクレジスタである、請求項 1 2 記載の装置。

【請求項 1 5】

前記プログラムフローにおける非逐次的な変化の後の前記逐次的な次のアドレスを、リンクスタック構造にプッシュする手段を更に備える、請求項 1 2 記載の装置。

【請求項 1 6】

前記プログラムフローにおける非逐次的な変化がサブルーチン呼び出しであることを示す手段を更に備える、請求項 1 2 記載の装置。

【請求項 1 7】

前記プログラムフローにおける非逐次的な変化がサブルーチン呼び出しであることを示す手段は、

前記プログラムフローにおける非逐次的な変化に関連付けられたフラグを、分岐予測回路に格納する手段を備える、請求項 1 2 記載の装置。

【請求項 1 8】

サブルーチン呼び出しを認識するプロセッサにおける装置であって、
命令を処理するプロセッサパイプラインと、
前記プロセッサパイプラインに結合された回路と
を備え、前記回路は、レジスタの内容と、プログラムフローにおける非逐次的な変化の表示と、前記プログラムフローにおける非逐次的な変化の表示の後の逐次的な次のアドレスと、を受信するように構成され、

前記回路は、前記プログラムフローにおける非逐次的な変化の表示がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスと、前記リンクレジスタの内容とを比較するように構成されている、装置。

【請求項 1 9】

リンクスタック構造を更に備え、前記回路は、前記リンクレジスタの前記内容を、前記リンクスタック構造にプッシュするように構成されている、請求項 1 8 記載の装置。

【請求項 2 0】

分岐予測回路を更に備え、前記回路は、前記プログラムフローにおける非逐次的な変化がサブルーチン呼び出しであることの表示を格納するように構成されている、請求項 1 8 記載の装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

この発明は、大まかにはパイプライン型のプロセッサの領域に関する。より具体的には、消費電力を削減し、またパイプライン型のプロセッサの稼働率を向上させるために、サブルーチン呼び出しを認識する方法に関する。

【背景技術】

【0 0 0 2】

マイクロプロセッサは、多種多様なアプリケーションにおいて計算のタスクを実行する。プロセッサの性能の向上は、高速動作、及び/またはソフトウェアの変更を通じた強化された機能性を可能にするために、ほぼ常に望ましい。ポータブルの電子機器のような多

10

20

30

40

50

くの組み込みアプリケーションでは、省電力もまた、プロセッサの設計及び実装に重要な目標となる。

【0003】

多くの現代のプロセッサは、パイプラインアーキテクチャを採用する。パイプラインアーキテクチャでは、プロセッサ全体としてのスループットを向上させるため、逐次的な命令が、実行の際にオーバーラップする。パイプライン全体を通して円滑な実行を維持することは、高い性能の実現に寄与する。最新のプロセッサはまた、最近アクセスされたデータ及び命令のローカルコピーを保持する、高速なオンチップキャッシュメモリを有する、階層化メモリを利用する。

【0004】

実世界におけるプログラムは間接分岐命令を含み、間接分岐命令では、実行パイプラインの深いところで命令が実際に判断されるまでは、分岐の実際のふるまいは分からない。最新のプロセッサは、パイプステージのデコードやフェッチの期間のようなパイプラインの早期に、間接分岐命令における分岐動作が予測される、分岐予測のいくつかの形態を使用する。分岐予測技術の使用によりプロセッサは、間接分岐命令のターゲットを投機的に (speculatively) フェッチし、また投機的にフェッチされた命令の処理を開始するためにパイプラインをリダイレクト (redirect) する。実際の分岐ターゲットが、実行パイプステージのような後段のパイプステージにおいて判断される際には、もし分岐が予測ミスされた場合、投機的にフェッチされた命令はパイプラインからフラッシュされなければならない。新たな命令が正しいターゲットアドレスからフェッチされる。誤った分岐ターゲット予測に回答したプリフェッチ命令は、プロセッサの性能や消費電力に不利に影響する。

【0005】

間接分岐命令の一例は、サブルーチンから復帰するために使用される分岐命令を含む。例えば、サブルーチンからの復帰呼び出しは、復帰アドレスがレジスタのコンテンツによって定義された分岐命令を含み得る。復帰アドレスは、このサブルーチンが完了した後にフェッチされる次の命令を定義し、このサブルーチンをそもそも呼び出す分岐命令の後の一般的な命令である。多くの高性能アーキテクチャは、サブルーチン復帰に使用するための、リンクレジスタと一般的に呼ばれる個々の汎用レジスタを指定する。

【0006】

便宜上、復帰呼び出しはまた、分岐復帰命令とも呼ばれ得る。プロセッサパイプラインが分岐復帰命令につき分岐予測を使用するために、従来のソフトウェアは、復帰アドレスをリンクレジスタに記録するために、分岐及びリンク命令のような直接的 (explicit) なサブルーチン呼び出しを含む。多くの高性能実装では、分岐及びリンク命令の処理のデコードステージにリンクスタック構造 (link stack structure) が含まれる。リンク戻り値は、このスタック上にプッシュされる。これは、対応するサブルーチンが復帰する際に精密な分岐予測を可能にするためである。従来のリンクスタック構造は、パイプラインを通じて流れる複数のサブルーチン呼び出しをサポートし、またサブルーチン呼び出しの複数のレベルのネスト化をサポートするために、復帰アドレスのリストを含む。続いて、サブルーチン内の分岐復帰命令がデコードされている際、もし他の分岐予測ハードウェアが、プロセッサがパイプラインをリダイレクトすべきと決定した場合、ターゲットアドレスを予測する分岐予測において使用されるリンクスタック構造から、復帰アドレスが読み出される。もし、予測結果がパイプラインのリダイレクトすることを示していれば、パイプラインは、リンクスタック構造から読み出された復帰アドレスからの命令のフェッチを開始する。

【0007】

しかしながら、サブルーチンの呼び出しの際に、従来の分岐及びリンク命令を生成せずまたは組み込まないような、多くのコンパイラ及びレガシーコードが存在する。従って、そのような状況では、リンクスタック構造は、リンクスタック構造のインテグリティ (integrity) が脅かされる結果、使用されない。例えば、従来の、リンクスタック構造からの復帰アドレスのポップ (popping) は、そもそも復帰アドレスのポップをシミュレート

10

20

30

40

50

した復帰命令に関連付けられないかもしれない。脅かされたリンクスタック構造の一つの影響には、復帰命令上における予測ミスの増加が含まれる。更に、サブルーチンの読み出しがプログラムセグメントにおいて認識されないそのような状況では、問題は複雑になる。なぜなら、分岐予測ハードウェアが、連続する認識不能なサブルーチン呼び出し上のリンクスタック構造を満たすためには使用されないからである。例として、ARM Ltd. コンパチブルプロセッサ上で実行され得るコードセグメントを含む下記の表を参照する。

【表 1】

0x00899808	LDR LR, 0x00899818	10
0x0089980C	ADD	
0x00899810	SUB	
0x00899814	BR 0x00990000	
0x00899818	INSTR _A	
0x0089981C	INSTR _B	
...		
0x00990000	ADD	20
0x00990004	SUB	
0x00990008	MOV	
0x0099000C	BX LR	

表 1 コードセグメント

【 0 0 0 8 】

表 1 のコードセグメントのプログラムフローは、アドレス 0 x 0 0 8 9 9 8 0 8 からスタートしてアドレス 0 x 0 0 8 9 9 8 1 4 までの連続的な順番での命令の処理を含む。アドレス 0 x 0 0 8 9 9 8 1 4 では、分岐命令はプログラムフローを、処理される次の命令がアドレス 0 x 0 0 9 9 0 0 0 0 (サブルーチンの開始) に位置するように変更する。

【 0 0 0 9 】

リンクレジスタのセット (例えば LDR LR、0 x 0 0 8 9 9 8 1 8) と分岐命令 (例えば BR) の組み合わせは、プロセッサに、その後のサブルーチンへの分岐を準備させる。本例では、呼び出される実際のサブルーチンは、アドレス 0 x 0 0 9 9 0 0 0 0 で開始し、アドレス 0 x 0 0 9 9 0 0 0 C で終了する。LDR、LR、0 x 0 0 8 9 9 8 1 8 命令は、アドレス 0 x 0 0 8 9 9 8 1 8 がリンクレジスタ (LR) にコピーされるべきことを示し、その結果、復帰アドレス (0 x 0 0 8 9 9 8 1 8) がリンクレジスタに保持される。サブルーチンの終わりでは、復帰アドレスがリンクレジスタから読み出される。より具体的には、復帰アドレスは、分岐復帰命令である BX LR の実行時に読み出される。サブルーチン呼び出しを意味するその他のコードセグメントが存在し、リンクレジスタを变形する命令を含む。それは、MOV LR、PC BR [A] 命令の連続した組み合わせのようなものである。なお、[A] は、サブルーチンの開始アドレスである。

【発明の概要】

【 0 0 1 0 】

本開示は、そのようなレガシーソフトウェア、サブルーチン呼び出しに対応する 2 つまたはそれ以上の命令を有するコードセグメントを生成するコンパイラ、及びサブルーチンを読み出す際に従来の分岐及びリンク命令を使用するためのレガシーソフトウェアの書き換えに必要なコストの拡がりを考慮する。更に本開示は、分岐復帰命令の際に復帰アドレスを効果的に予測し、リンクスタック構造を使用するために、サブルーチン呼び出しを意

10

20

30

40

50

味する命令列を認識する、今日開発されたマイクロプロセッサの必要性を考慮する。

【0011】

一形態によれば、サブルーチン呼び出しの認識方法が与えられる。方法は、プログラムフローにおける非逐次的な変化を検出することと、前記プログラムフローにおける前記検出された非逐次的な変化の後の逐次的な次のアドレスを読み出すことと、前記非逐次的な変化がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスをレジスタの内容と比較することと、を含む。

【0012】

別の形態は、サブルーチン呼び出しを認識するプロセッサにおける装置に関する。前記装置は、3つの入力を有する回路を含む。第1入力、レジスタの内容を受信するように構成されている。第2入力、プログラムフローにおける非逐次的な変化を受信するように構成されている。第3入力、前記プログラムフローにおける非逐次的な変化の後の逐次的な次のアドレスを受信するように構成されている。前記回路は、前記プログラムフローにおける非逐次的な変化がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスと、前記レジスタの内容とを比較するように構成されている。

10

【0013】

更に別の形態によれば、別の装置が開示される。前記装置は、命令を処理するプロセッサパイプラインと、それに結合された回路とを備える。前記回路は、レジスタの内容と、プログラムフローにおける非逐次的な変化の表示と、前記プログラムフローにおける非逐次的な変化の表示の後の逐次的な次のアドレスとを受信するように構成されている。前記回路はまた、プログラムフローにおける非逐次的な変化の前記表示がサブルーチン呼び出しであるかを判断するために、前記逐次的な次のアドレスと、前記リンクレジスタの内容とを比較するように構成されている。

20

【0014】

本発明の他の形態が容易に明らかになるであろうことが、本発明の種々の形態が例として図示され説明される、後述する詳細な説明から、当業者に理解される。理解されるように、本発明は、その他の異なる形態が可能であり、その幾つかの詳細は、本発明から逸脱しない種々のその他の観点から変形されることが出来る。従って、図面及び詳細な説明は、本来、例示的なものとみなされ、限定的なものとしてみなされるべきものではない。

30

【図面の簡単な説明】

【0015】

【図1】図1は、プロセッサの機能ブロック図。

【図2】図2は、図1に示すパイプラインを通過する命令の典型的な流れに従うタイミング図。

【図3】図3は、分岐ターゲットアドレスキャッシュ(BTAC)の典型的な部分。

【図4A】図4Aは、図1に示すIsCallロジック回路の典型的な形態。

【図4B】図4Bは、図1に示すIsCallロジック回路の典型的な形態。

【図5】図5は、サブルーチン呼び出しをrecognizeする方法を示すフローチャート。

【発明を実施するための形態】

【0016】

図1は、本発明の側面が用いられ得るプロセッサ100の機能ブロック図を示す。プロセッサ100は、最近処理された命令をキャッシュする命令キャッシュ(1-キャッシュ)110と、1-キャッシュで命令が見つからなかった際にメモリ138にアクセスするためのメモリアインターフェース136を含む。メモリ138は、プロセッサ100内または外に配置され得、レイヤ2(L2)メモリ要素を備え得る。

40

【0017】

プロセッサ100はまた、命令を処理する命令パイプライン105と、間接分岐命令についてターゲットアドレスを予測し、ターゲットアドレスを処理するために命令パイプライン105をリダイレクトするかを予測する分岐予測回路132とを含み得る。もし、分岐予測回路132が命令パイプライン105のリダイレクトを予測した場合には、間接分

50

岐命令は、「予測成立」と呼ばれる。もし間接分岐命令が「予測成立」した場合には、分岐予測回路132は、分岐予測回路132は、間接分岐命令のターゲットアドレスを予測し、このターゲットアドレスにおける命令のフェッチを開始するために、命令パイプライン105をリダイレクトする。

【0018】

プロセッサ100は、制御ロジック回路122に従って、命令パイプライン105における命令を処理する。ある形態では、パイプライン105は2つまたはそれ以上の並列パイプラインを有するスーパースカラ設計であり得る。パイプライン105は、種々のパイプステージを含む。それは、命令フェッチユニット(IFU)ステージ102、デコード(DCD)ステージ106、命令キュー(IQ)ステージ108、レジスタアクセス(RACC)ステージ112、及び実行ステージ(EXE)120である。ある形態では、パイプステージは一度に単一の命令を処理し得る。別の形態では、パイプステージは、同時に2つまたはそれ以上の命令を、同時に処理し得る。本開示の範囲に限定されることなく、パイプステージはパイプライン105に加えられ、または削除され得ることに注意すべきである。プロセッサ100はまた、マイクロアーキテクチャル仕様(microarchitectural convention)を介して、パイプステージ112及び120によってアクセス可能なレジスタを含む汎用レジスタ(GPR)ファイル118を含む。

10

【0019】

命令フェッチユニット(IFU)ステージ102は、I-キャッシュ110からの命令の読み出しを試みる。もし、命令アドレスがI-キャッシュ110内に見つからない場合には、命令フェッチユニット(IFU)は、対応する命令をメモリ138から取り出す要求を開始する。デコードステージ106は、命令を十分にデコードする。更に、デコードステージにおいて実行される従来の機能に加えてデコードステージ106は、ARM Inc.の分岐及びリンク命令のような従来のサブルーチン呼び出し命令を認識し、復帰アドレスをリンクスタック構造134に書き込む。リンクスタック構造134は、サーキュラーバッファとして管理されるレジスタのセットであり得る。復帰アドレスは、サブルーチンの完了時にパイプライン105がリダイレクトされる命令のアドレスである。間接分岐命令においてデコードステージ106は、分岐命令の投機的なターゲットからパイプライン105への命令のフェッチを開始するかを判断するために、分岐予測回路132を呼び出す。

20

【0020】

命令キューステージ108は、実行パイプラインのストールが生じた場合には、その期間、投機的なフェッチを継続するための1つまたはそれ以上の命令をバッファリングする。レジスタアクセスステージ112は、命令によって必要とされ得る際に、汎用レジスタ118から1つまたはそれ以上のオペランドを読み出す。実行ステージ(EXE)は、命令を実行するために、算術論理演算ユニット等の既知の要素を含む。実行ステージ120で生成された結果は、GPRファイル118に書き込まれる。実行ステージ120の期間に、実際の分岐の解決(resolution)が行われ、デコードステージ106で成された分岐予測が正しいかが確認される。もし実際の分岐先が予測された行き先と異なっていれば、分岐は予測ミスされたと言われる。

30

【0021】

実行ステージ120はまた、IsCall論理回路114を呼び出し、分岐命令が間接的(implicit)なサブルーチン呼び出しに対応するかを確認する。IsCall論理回路114は、この結果を分岐予測(BP)回路132に記録する。これは、その後の、間接的なサブルーチン呼び出しとして解釈される分岐命令の、DCD106またはIFU102のような前段のパイプステージの期間における実行のためである。一形態では、記録された結果は、BP回路132に保持され、分岐命令に関連付けられたフラグである。もし分岐命令が間接的なサブルーチン呼び出しであれば、IsCall論理回路114は、分岐命令に引き続く命令のアドレスによって、リンクスタック構造134をアップデートする。IsCall論理回路114は、図4の議論に関連して、更に詳細に説明される。

40

【0022】

50

図1では、IsCall論理回路114と結合された実行ステージ(EXE)120が図示されているが、IsCall論理回路114は、代わりにパイプライン105のより前段のステージに結合され得る。代替の形態としては、デコードステージ(DCD)106が、IsCall論理回路114に結合され得る。この形態では、BR命令がデコードされたと判断するたびに、デコードステージ(DCD)106がIsCall論理回路114を呼び出す。

【0023】

当業者は、プロセッサ100の多数の変形例が可能であることを認識するだろう。例えば、プロセッサ100はI-キャッシュ110について、第2レベル(L2)キャッシュを含んでも良い。更に、プロセッサ100に示された1つまたはそれ以上の機能ブロックが、特定の形態から省略されても良い。変換索引バッファ(translation lookaside buffer)やデータキャッシュ等のような、プロセッサ100内に配置し得る他の機能ブロックは、本願の説明に密接に関係するものではなく、明瞭化のために省略している。

10

【0024】

図2は、図1に示すパイプライン105を通り抜ける命令の流れを追ったタイミング図200である。より具体的には、タイミング図200でトレースされた命令の流れは、表1に示すコードセグメントである。本開示の目的のため、用語「間接的なサブルーチン呼び出し」は、組み合わされた機能が、サブルーチン呼び出しを準備するレジスタのセットと、サブルーチン呼び出しである、2つまたはそれ以上の命令の組み合わせを指す。例えば表1を参照して、2つの命令LDR LR、0x0089908と、BR 0x00990000が、間接的なサブルーチン呼び出しを定義する。この場合、LDR命令は、間接的なサブルーチン呼び出しの開始を定義し、BR命令は、間接的なサブルーチン呼び出しの終了を定義する。

20

【0025】

タイミング図200の列210A-210Eは、パイプライン105のステージに相当する。行1-11は、連続するタイミングサイクルに相当する。説明の目的で、各パイプステージは1サイクルあたり1つの命令を処理する。しかし、本開示の教示は、複数サイクルのパイプステージや、1サイクルあたり複数の命令を処理することが可能なパイプステージに適用出来ることが、当業者によって認識されるべきである。

【0026】

タイミング図200の列210Fは、間接分岐命令の結果がサブルーチン呼び出しであるかを示す、IsCallフラグと呼ばれるフラグの内容に相当する。列210Gは、リンクレジスタ(LR)の内容に相当する。列210Hは、IsCall論理回路114の結果としての、リンクスタック構造134のようなリンクスタック構造の内容に相当する。

30

【0027】

一般的に、命令はIFUステージ210Aに投入されて、次のサイクルで次のステージに伝搬される。サイクル1では、LDR LR、0x00899818命令がIFUステージ210A内にある。命令ADD、SUB、BR、及び一般的な(generic)命令INSTRAが、順次、IFUパイプステージ210Aからフェッチされる。サイクル5では、時刻215において、デコードステージ210BがBR命令をデコードし、分岐予測回路132のような分岐予測を呼び出す。分岐予測は、BR命令が取り込まれることを予測し、よってサブルーチン命令ADD、SUB、MOV、及びBXを順次フェッチするためにパイプライン105がリダイレクトされる。サブルーチンは、表1に示されるADD命令から始まってBX命令で終了するまでの全ての命令を備える。パイプライン105をリダイレクトする前に、INSTRAがパイプライン105からフラッシュされる。これは、INSTRAが分岐予測の前にフェッチされたからである。BR命令に引き続くブランクサイクルは、パイプライン105において、フラッシュされずに取り込まれた場合のINSTRA命令の位置を示す。

40

【0028】

サイクル1-5で、LDR命令がパイプステージ210B-210Eを伝搬する。時刻205のサイクル5において、実行ステージ210EはLDR命令を実行して、復帰アド

50

レス 0×00899818 をリンクレジスタ (LR) にロードする。時刻 220 において、復帰アドレス (RA) 0×00899818 はリンクレジスタに取り込まれる。復帰アドレスは、表 1 における $INSTRA$ を指す。これは、アドレス 0×00990000 で開始するサブルーチンの実行終了時に、命令実行のフローがアドレス 0×00899818 に戻るべきであることを意味する。

【0029】

時刻 225 において、実行ステージ 210E は、BR 命令を実行する。実行ステージ 210E は、BR 命令が取り込まれるべきだったか否かを確認する。実行ステージ 210E はまた IsCall 論理回路 114 を呼び出し、BR 命令がサブルーチンへの分岐であるかを判断する。フレーズ「サブルーチンへの分岐」はまたサブルーチン呼び出しとも呼ばれる。IsCall 論理回路 114 は、 $INSTRA$ が先にパイプライン 105 からフラッシュされたにもかかわらず、 $INSTRA$ のアドレスである、BR 命令に続く次のアドレスを使用する。この次の命令のアドレスはリンクレジスタ (LR) に保持される復帰アドレスと等しいので、IsCall 論理回路 114 は、この BR 命令に関連付けられた IsCall フラグ 210F をセットし、これを分岐予測回路 132 内に BR 命令のアドレスと共に保持する。典型的な分岐予測保持要素は、図 3 に関連して説明される。また、IsCall 論理回路 114 は、時刻 230 において、復帰アドレスをリンクスタック構造 210H にコピーする。

10

【0030】

サブルーチンの最後の命令 BX は、時刻 235 のサイクル 10 でデコードされる。デコードステージ 210B は、BX 命令を復帰呼び出しとして認識し、従って分岐予測 132 は、復帰アドレス (RA) をリンクスタック構造 210H からポップすることにより、プログラムフローを予測する。デコードステージ 210B は、アドレスが復帰アドレス (RA) に等しい $INSTRA$ からのフェッチを開始するため、パイプライン 105 をリダイレクトする (ポイント 240 参照)。またサイクル 11 では、RA がポップされたため (例えば、リンクスタック構造から読み出されて削除される)、リンクスタック構造 210H はもはや、復帰アドレスを保持しない。図 1 のプロセッサをタイミング図 200 に示されるように用いることで、リンクスタック構造に復帰アドレスを保持させることが可能な、LDR 及び BR の組み合わせ命令によって、間接的なサブルーチン呼び出しが定義される。

20

【0031】

次回、BR 命令がパイプライン 105 によって処理される際、分岐予測回路 132 は、そこに保持され、BR 命令のアドレスに関連付けられた、セットされた IsCall フラグを使用し得る。そしてこれにより、最初に BR 命令がパイプライン 105 によって処理された際よりも速やかに、リンクスタック構造を満たし (populate) 得る。

30

【0032】

クロックサイクル n では、同様の BR 命令がパイプライン 105 に、IFU ステージ 210A で投入される。クロックサイクル n+1 では、 $INSTRA$ が IFU ステージ 210A に投入され、BR 命令は DCD ステージ 210B でデコードされる。DCD ステージ 210B の期間、分岐予測回路 132 は BR 命令のアドレスを調べ、それが、該 BR 命令はサブルーチン呼び出しであることを示す、セットされた IsCall フラグに対応していることを見いだす。従って DCD ステージ 210B は、参照符号 245 に示されるように、次のアドレス ($INSTRA$ のアドレス) をリンクスタック構造 210H にプッシュする。

40

【0033】

図 3 は、分岐ターゲットアドレスキャッシュ (BTAC) の一部の典型例である。BTAC 300 は、分岐予測回路 132 によって適切に使用される。BTAC 300 は、少なくとも 3 つの列、列 310A、310B、及び 310N を含む。列 310A は、分岐命令のアドレスを収容する。列 310B は、分岐ターゲットアドレス、すなわち、対応する分岐命令が分岐する最初のアドレスを収容する。列 310N は、IsCall フラグの値を収容する。IsCall フラグは、セットされている際には、関連付けられた分岐命令がサブルーチン呼び出しであることを示す。行 305 は、表 1 においてアドレスが 0×00899814

50

のBR命令に対応し、そのターゲットアドレスはADD命令に対応する0x00990000であり、そのIsCallフラグはセットされている。

【0034】

図4A及び4Bは、IsCall論理回路の種々の形態を示す。これらの形態は、図1に示される実行パイプステージ120、またはより前段のパイプステージに結合され得る。図4Aは、図1に適切に使用され得るIsCall論理回路400の典型的な形態である。IsCall論理回路400は、比較器440、2ポートORゲート445、及び2ポートANDゲート450を含む。比較器440は、2つの入力を受信する。この入力は、リンクレジスタ(LR)405の値を含む入力と、次のアドレス410を含む入力である。図2で説明したように、次のアドレスは、BR命令の後に引き続いてフェッチされる次のアドレスである。比較器440の出力は、2ポートORゲート445の1ポートに結合される。他のポートは、IsCall論理回路400が結合されたパイプステージにおける現在の命令が分岐及びリンク命令であることを示す信号415に結合される。ORゲート445は任意であり、間接的なサブルーチンと同じように分岐及びリンク命令をサポートするために使用される。ORゲート445の出力は、2ポートANDゲート425の1ポートに結合される。他のポートは、分岐予測回路132によって生成されたisTakenBranch信号420が結合される。分岐予測回路132は、IsCall論理回路400を呼び出したBR命令から、isTakenBranch信号420を生成する。投機的でない形態では、EXEステージ120が代わりにisTakenBranch信号420を生成し得る。IsCall論理回路400の出力425が正である際には、出力425は分岐予測回路132においてisCallフラグをセットするために用いられ、またリンクスタック構造に復帰アドレスをコピーするために用いられる。当業者によれば、他のロジック回路が、間接分岐命令がサブルーチン呼び出しに相当することを示しているかを制御し、もしそうならリンクスタック構造を次のアドレスでアップデートするように制御するために、IsCall論理回路400において使用し得ることを認識するだろう。

10

20

【0035】

図4Bは、図1で適切に使用され得るIsCall論理回路401の第2の形態である。比較器440とその入力と、IsCall論理回路401の出力とは、図4Aに示されたものと同様である。比較器440の出力は、入力として、ANDゲート455へ送り込まれる。ANDゲート455はまた、入力としてisBranch信号430を受信する。isBranch信号430は、IsCall論理回路401に結合されたパイプステージによって処理されている現在の命令が分岐命令である際に、アクティブとなる。動作中、もし現在の命令が分岐命令であり、分岐命令の次のアドレスがリンクレジスタに保持されるアドレスと等しければ、出力信号425は、isCallフラグを、分岐予測回路132内においてこの分岐命令に関連付けるために使用され、リンクスタック構造134は次のアドレスによりアップデートされる。この第2の形態によれば、従来の方法によって、IsCall論理回路401の外で分岐及びリンク命令を処理可能となる。

30

【0036】

図5は、サブルーチンを認識する方法500を示すフローチャートである。ブロック510において、非逐次的(non-sequential)な変化がプログラムフロー内で検出される。例えば、分岐命令である。より具体的には、分岐及びリンク命令では無い分岐命令が検出される。そのような検出は、すでに知られたデコード技術によって実行可能である。ブロック515では、方法500は、プログラムフロー内で検出された非逐次的な変化が、サブルーチン呼び出しとして既に示されているかを判断する。例えば、もし分岐命令が既にパイプライン105によって処理されていれば、目下処理された分岐命令がサブルーチン呼び出しとして示されまたは明らかとされていることを示すisCallフラグが、分岐予測回路132にセットされただろう。もしそうなら、方法500は、プログラムフローにおけるこの非逐次的な変化を前に処理しているので、ブロック550に進む。

40

【0037】

もし、プログラムフローにおいて検出された非逐次的な変化が、以前にサブルーチン呼

50

び出しとして示されていなければ、方法500はブロック520に進む。ブロック520において、プログラムフローにおいて検出された非逐次的な変化の後の次の逐次的なアドレスが読み出される(retrieve)。例えば、分岐命令の後の次のアドレスである。次のこのアドレスは、IFUステージ102内の次のプログラムカウンタ(PC)生成回路や、先行するパイプステージ等を含む、種々の手段によって与えられ得る。ブロック530では、逐次的な次のアドレスが、リンクレジスタの内容と比較される。図2に関連して上記説明したように、サブルーチン呼び出しを予想して、リンクレジスタ(LR)は復帰アドレスを割り当てられる。ブロック540では、プログラムフローにおける検出された非逐次的な変化が、サブルーチン呼び出しとして示される。例えば、分岐命令に関連付けられたフラグがセットされ、分岐予測回路132に保持され得る。方法500はその後、ブロック550に進む。

10

【0038】

ブロック550において、リンクレジスタの内容が、リンクスタック構造にプッシュされる。例えば、分岐命令が図2に示すように実行された際、リンクレジスタはリンクスタック構造にコピーされる。同等に、逐次的な次のアドレスが代わりにリンクスタック構造にプッシュされても良い。説明されていないが、プログラムフローにおける非逐次的な変化は、パイプラインによって処理されるサブルーチンを読み出す。ブロック560において方法500は、サブルーチンの終了を示す復帰呼び出しを待つ。復帰呼び出しが認識されると、方法500はブロック570に進み、逐次的な次のアドレスがリンクスタック構造からポップされる。ブロック570はプロセッサに対して、復帰呼び出しのアドレスにおける命令の処理を開始するために、パイプラインの処理をリダイレクトさせる。

20

【0039】

方法500は、プログラムフローにおける次の非逐次的な変化を待つ、待ちブロック580に進む。プログラムフローにおける次の非逐次的な変化がパイプラインに達すると、方法500はブロック510に進み、その後ブロック515に進む。もし、プログラムフローにおける次の非逐次的な変化が以前に検出されていれば、プログラムフローにおけるこの次の非逐次的なこの変化は、既に表示されているだろうから、よってブロック515はブロック550に進む。

【0040】

本明細書で開示された形態に関連して説明された、種々の例示的な論理ブロック、モジュール、回路、素子、及び/または要素は、汎用レジスタ、デジタルシグナルプロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイシグナル(FPGA)またはその他のプログラマブルな論理回路、ディスクリートゲートまたはトランジスタロジック、ディスクリートハードウェア要素、または本明細書で述べられた機能を実行するように設計されたこれらの組み合わせによって、実行または実装され得る。汎用プロセッサは、マイクロプロセッサであり得るが、代わりにプロセッサは従来の任意のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであっても良い。プロセッサはまた、DSPとマイクロプロセッサとの組み合わせなど、演算デバイスの組み合わせ、DSPコアと接続された1つまたはそれ以上のマイクロプロセッサ、または他のそのような構成として、実装され得る。

30

40

【0041】

本明細書に開示された形態に関連して述べられた方法は、ハードウェア、プロセッサによって実行されるソフトウェアモジュール、またはこれらの2つの組み合わせにおいて、直接的に実施され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または技術的に知られたその他の形態の記憶媒体に保持され得る。記憶媒体は、この記憶媒体から情報を読み出し、またこの記憶媒体に情報を書き込むことが出来るプロセッサのようなプロセッサに接続され得る。代わりに、この記憶媒体はプロセッサと一体化されても良い。

【0042】

50

本発明は、実施形態に照らして開示されたが、広く種々の実施が、上記の議論と下記に
 続き特許請求の範囲に一致する当業者によって認識されるだろう。

【 図 1 】

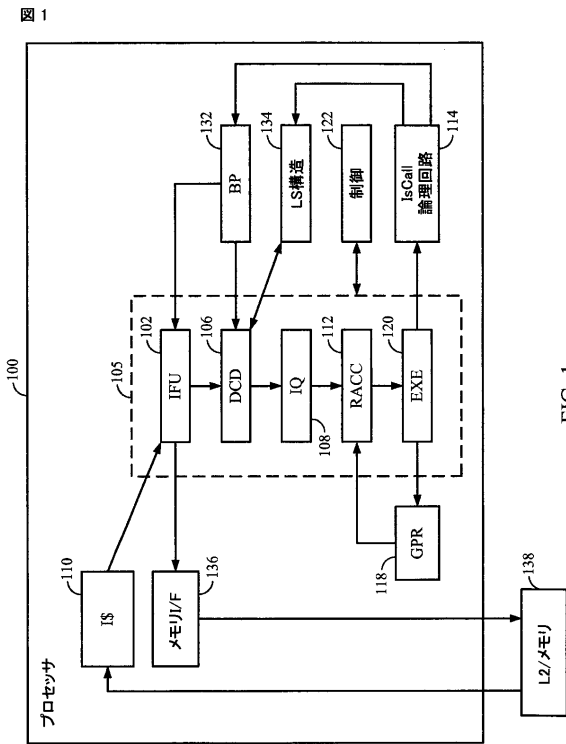


FIG. 1

【 図 2 】

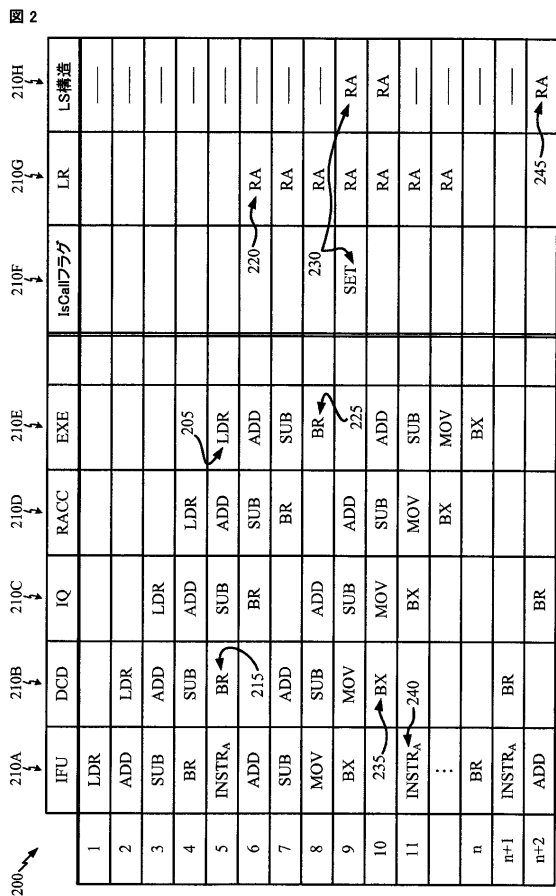


FIG. 2

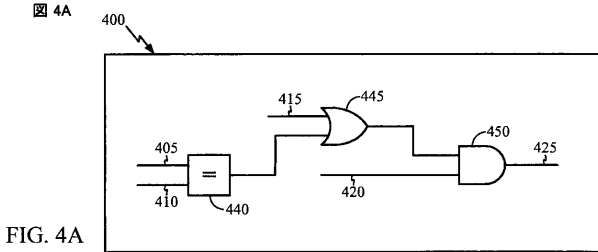
【 図 3 】

図 3

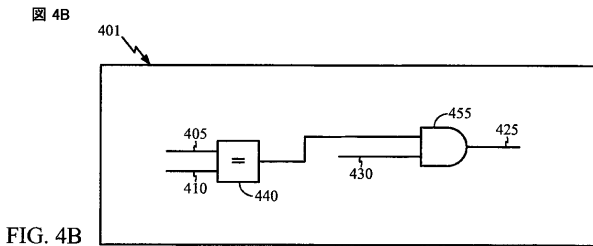
305	310A	310B	...	310N
	0x00899814	0x00990000	...	1
	⋮	⋮	...	⋮
	0x4000EEFC	0x40204030	...	0

FIG. 3

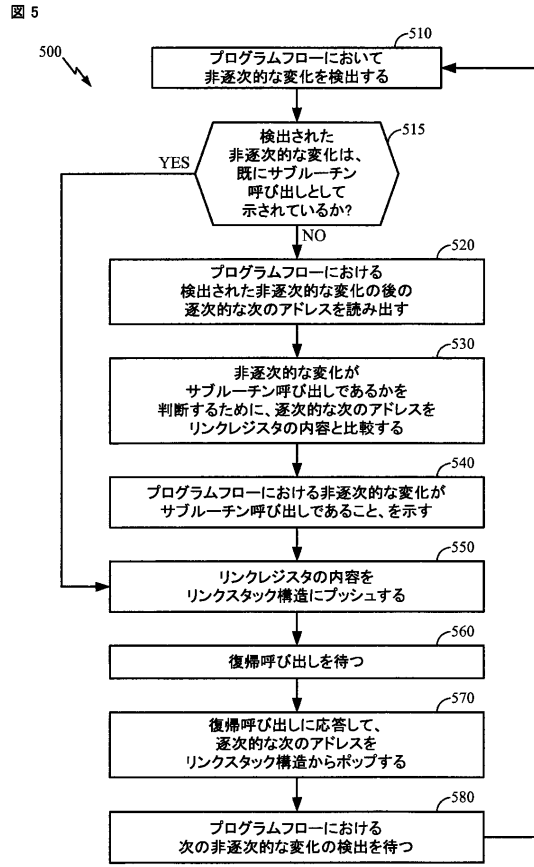
【 図 4 A 】



【 図 4 B 】



【 図 5 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/085574

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F9/38		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 898 698 B1 (SUNAYAMA RYUICHI [JP] ET AL) 24 May 2005 (2005-05-24) column 2, line 36 - column 3, line 24.	1-20
A	US 6 910 124 B1 (SINHARAY BALARAM [US]) 21 June 2005 (2005-06-21) column 1, line 12 - column 2, line 42	1-20
A	US 6 157 999 A (ROSSBACH PAUL C [US] ET AL) 5 December 2000 (2000-12-05) column 1, line 12 - column 2, line 47	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 25 July 2008		Date of mailing of the international search report 01/08/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 851 epo nl, Fax: (+31-70) 340-3016		Authorized officer Bijn, Koen

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2007/085574

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 6898698	B1	24-05-2005	JP 3723019 B2 JP 2001100993 A	07-12-2005 13-04-2001
US 6910124	B1	21-06-2005	NONE	
US 6157999	A	05-12-2000	NONE	

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74) 代理人 100109830

弁理士 福原 淑弘

(74) 代理人 100075672

弁理士 峰 隆司

(74) 代理人 100095441

弁理士 白根 俊郎

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100103034

弁理士 野河 信久

(74) 代理人 100119976

弁理士 幸長 保次郎

(74) 代理人 100153051

弁理士 河野 直樹

(74) 代理人 100140176

弁理士 砂川 克

(74) 代理人 100100952

弁理士 風間 鉄也

(74) 代理人 100101812

弁理士 勝村 紘

(74) 代理人 100070437

弁理士 河井 将次

(74) 代理人 100124394

弁理士 佐藤 立志

(74) 代理人 100112807

弁理士 岡田 貴志

(74) 代理人 100111073

弁理士 堀内 美保子

(74) 代理人 100134290

弁理士 竹内 将訓

(74) 代理人 100127144

弁理士 市原 卓三

(74) 代理人 100141933

弁理士 山下 元

(72) 発明者 モロー、マイケル・ウィリアム

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 5775

Fターム(参考) 5B013 BB01

5B033 AA02 BA00 DE07