



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월09일
(11) 등록번호 10-1122020
(24) 등록일자 2012년02월23일

(51) 국제특허분류(Int. Cl.)
H01L 33/08 (2010.01)

(21) 출원번호 10-2010-0023611

(22) 출원일자 2010년03월17일

심사청구일자 2010년03월17일

(65) 공개번호 10-2011-0104627

(43) 공개일자 2011년09월23일

(56) 선행기술조사문헌

KR100699147 B1

JP2005072323 A

JP평성09055538 A

(73) 특허권자

한국광기술원

광주광역시 북구 첨단벤처로108번길 9 (월출동)

(72) 발명자

전성란

광주광역시 광산구 장덕로 138, 현진에버빌 1단지 110동 802호 (수완동)

김재범

광주광역시 광산구 첨단중앙로181번길 88-21, 대우아파트 109동 1401호 (월계동)

이승재

전라북도 전주시 덕진구 솔내7길 17-4 (송천동1가)

(74) 대리인

박중환

전체 청구항 수 : 총 16 항

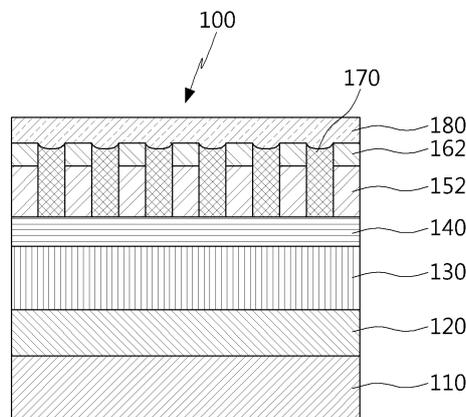
심사관 : 진수영

(54) 발명의 명칭 다중발광소자 및 이를 제조하는 방법

(57) 요약

본 발명은 다중발광소자 및 이를 제조하는 방법에 관한 것이다. 본 발명에 의하면, 기판 상에 위치한 버퍼층; 상기 버퍼층 상에 위치한 제1형 반도체층; 상기 제1형 반도체층 상에 위치하되, 상기 제1형 반도체층의 일부가 노출되도록 패터닝된 제1활성층; 상기 제1활성층에 의해 노출된 제1형 반도체층 상에 위치한 제2활성층; 및 상기 제1활성층 및 제2활성층 상에 위치하는 제2형 반도체층;을 포함하며, 상기 제1활성층과 제2활성층은 수평적으로 반복하여 배치되는 것을 특징으로 하는 다중발광소자가 제공된다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	K1002148
부처명	지식경제부
연구사업명	IT 산업원천기술개발사업
연구과제명	Al-nitride 기반 280nm 자외선 LED칩 개발
주관기관	한국광기술원
연구기간	2009년 03월 01일 - 2014년 02월 28일

특허청구의 범위

청구항 1

기관 상에 위치한 버퍼층;
 상기 버퍼층 상에 위치한 제1형 반도체층;
 상기 제1형 반도체층 상에 위치하되, 상기 제1형 반도체층의 일부가 노출되도록 패터화된 제1활성층;
 상기 패터화된 제1활성층에 의해 노출된 제1형 반도체층 상에 위치하며, 상기 제1활성층과 동일한 구성 성분을 가지되, 상기 구성 성분의 조성비가 다른 제2활성층; 및
 상기 제1활성층 및 제2활성층 상에 위치하는 제2형 반도체층;을 포함하며,
 상기 제1활성층과 제2활성층은 수평적으로 반복하여 배치되는 것을 특징으로 하는 다중발광소자.

청구항 2

제 1 항에 있어서,
 상기 버퍼층과 제1형 반도체층 사이에는 씨드층을 더 포함하는 것을 특징으로 하는 다중발광소자

청구항 3

제 1 항에 있어서,
 상기 제1활성층을 사이에 두고 이웃하는 적어도 두 개의 제2활성층을 구비하며, 상기 이웃하는 적어도 두 개의 제2활성층은 상기 제1활성층에 의해 분리되어 있는 것을 특징으로 하는 다중발광소자.

청구항 4

제 1 항에 있어서,
 상기 제1활성층 또는 제2활성층은 다중 양자 우물 구조(Multiple Quantum Wells)인 것을 특징으로 하는 다중발광소자.

청구항 5

제 4 항에 있어서,
 상기 제1활성층은 적어도 한 층의 베리어(barrier)층 및 적어도 한 층의 웰(well)층을 구비하고 있되, 상기 베리어층과 웰층은 교대로 적층되어 있으며,
 상기 베리어층은 $Al_{x1}Ga_{1-x1-y1}In_{y1}N$ ($0 < x1 < 1$, $0 < y1 < 1$, $x1+y1 < 1$)을 포함하며, 상기 웰층은 $Al_{x2}Ga_{1-x2-y2}In_{y2}N$ ($0 < x2 < 1$, $0 < y2 < 1$, $x2+y2 < 1$, $x2 < x1$, $y2 < y1$)을 포함하는 것을 특징으로 하는 다중발광소자.

청구항 6

제 4 항에 있어서,
 상기 제2활성층은 적어도 한 층의 베리어층 및 적어도 한 층의 웰층을 구비하고 있되, 상기 베리어층과 웰층은 교대로 적층되어 있으며,

상기 상기 베리어층은 $Al_{x3}Ga_{1-x3-y3}In_{y3}N$ ($0 < x3 < 1$, $0 < y3 < 1$, $x3+y3 < 1$)을 포함하며, 상기 웰층은 $Al_{x4}Ga_{1-x4-y4}In_{y4}N$ ($0 < x4 < 1$, $0 < y4 < 1$, $x4+y4 < 1$, $x4 < x3$, $y4 < y3$)을 포함하는 것을 특징으로 하는 다중발광소자.

청구항 7

제 1 항에 있어서,

상기 제1활성층은 적어도 한 층의 베리어층 및 적어도 한 층의 웰층을 구비하고 있고, 상기 제2활성층은 적어도 한 층의 베리어층 및 적어도 한 층의 웰층을 구비하고 있되, 상기 제1활성층 또는 제2활성층의 상기 베리어층과 웰층은 교대로 적층되어 있으며,

상기 베리어층은 5 내지 15nm의 두께이고, 상기 웰층은 1 내지 3nm의 두께인 것을 특징으로 하는 다중발광소자.

청구항 8

제 1 항에 있어서,

상기 제1활성층은 평면상에서 일정 폭을 갖는 직선 형태의 패턴, 일정 폭을 갖는 원 형태의 패턴 및 일정 폭을 갖는 사각 형태를 포함하는 다각 형태의 패턴 중 어느 하나 이상의 형태로 상기 제1형 반도체층의 일부가 노출 되도록 패턴화되어 있는 것을 특징으로 하는 다중발광소자.

청구항 9

제 1 항에 있어서,

상기 제1활성층과 제2형 반도체층 사이에는 마스크 패턴을 더 포함하는 것을 특징으로 하는 다중발광소자.

청구항 10

제 1 항에 있어서,

상기 제1활성층에서 방출되는 제1파장의 광과 상기 제2활성층에서 방출되는 제2파장의 광이 서로 결합하여 생성된 제3파장의 광을 방출하는 것을 특징으로 하는 다중발광소자.

청구항 11

제 1 항에 있어서,

상기 제1활성층의 폭, 너비 또는 직경은 $\lambda_1/4n_1$ (이때, 상기 λ_1 은 제1활성층에서 방출되는 광의 제1파장, 상기 n_1 은 제1활성층의 굴절률)의 조건에 만족하고,

상기 제2활성층의 폭, 너비 또는 직경은 $\lambda_2/4n_2$ (이때, 상기 λ_2 은 제2활성층에서 방출되는 광의 제2파장, 상기 n_2 은 제2활성층의 굴절률)의 조건에 만족하는 것을 특징으로 하는 다중발광소자.

청구항 12

기판 상에 버퍼층, 제1형 반도체층 및 제1활성층을 순차적으로 적층하는 단계;

상기 제1형 반도체층의 일부를 노출시키도록 상기 제1활성층을 식각하여 패턴화된 제1활성층을 형성하는 단계;

상기 패턴화된 제1활성층에 의해 노출된 상기 제1형 반도체층 상에, 상기 제1활성층과 동일한 구성 성분을 가지

되, 상기 구성 성분의 조성비가 다른 제2활성층을 형성하는 단계; 및
 상기 패턴화된 제1활성층 및 제2활성층 상에 제2형 반도체층을 형성하는 단계;를 포함하며,
 상기 제1활성층과 제2활성층은 수평적으로 반복하여 배치되어 형성되는 것을 특징으로 하는 다중발광소자 제조 방법.

청구항 13

제 12 항에 있어서, 상기 패턴화된 제1활성층을 형성하는 단계는,
 상기 제1활성층 위에 마스크층을 적층하는 단계;
 상기 마스크층을 패터닝하여 마스크 패턴을 형성하는 단계;
 상기 마스크 패턴을 이용하여 상기 제1형 반도체층의 일부를 노출시키도록 상기 제1활성층을 식각하여 패턴화된 제1활성층을 형성하는 단계;를 포함하는 것을 특징으로 하는 다중발광소자 제조 방법.

청구항 14

제 12 항에 있어서,
 상기 버퍼층은 450 내지 600℃의 온도에서 형성하고, 상기 제1형 반도체층 또는 제2형 반도체층은 1000 내지 1100℃의 온도에서 형성하고, 상기 제1활성층 또는 제2활성층은 700 내지 850℃의 온도에서 형성하는 것을 특징으로 하는 다중발광소자 제조 방법.

청구항 15

제 12 항에 있어서, 상기 순차적으로 적층하는 단계에서,
 상기 버퍼층과 제1형 반도체층 사이에 씨드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 다중발광소자 제조 방법.

청구항 16

제 13 항에 있어서,
 상기 제2활성층을 형성하는 단계와 상기 제2형 반도체층을 형성하는 단계 사이에,
 상기 마스크 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 다중발광소자 제조 방법.

명세서

기술분야

[0001] 본 발명은 다중발광소자 및 이를 제조하는 방법에 관한 것이다.

배경기술

[0002] LED(Light Emitting Diode)는 전류를 빛으로 변환시키는 반도체 소자로서, 조명, 표시 장치 또는 디스플레이 소자의 광원으로 이용되고 있다. 이러한 LED는 기존의 조명 또는 광원 등에 비해 극소형이며, 소비전력이 적고, 수명이 길며, 반응속도가 빠른 등 매우 우수한 특성을 나타낸다. 이와 더불어서, 수은 및 기타 방전용 가스를 사용하지 않으므로 환경 친화적이다.

[0003] 한편 LED를 백색의 광원으로 이용할 때에는, 적색, 녹색 및 청색 LED의 세 종류의 광원을 조합하거나, 청색 LED

및 황색 인광체(yellow phosphor)의 조합 또는 UV LED 및 RGB 인광체의 조합으로 백색을 형성할 수 있다.

[0004] 그러나 상기 종래의 LED를 백색 광원으로 이용할 경우 그 구조가 복잡하거나, 제조 공정이 복잡하거나, 발광 효율이 나빠지는 등의 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 발광 효율 손실이 적은 다중발광소자 및 이를 제조하는 방법을 제공하는 것이다.

[0006] 본 발명의 다른 목적은 제1과장을 방출하는 제1활성층과 제2과장을 방출하는 제2활성층이 수평적으로 반복하여 배치된 다중발광소자 및 이를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명의 일 측면에 따르면, 기판 상에 위치한 버퍼층; 상기 버퍼층 상에 위치한 제1형 반도체층; 상기 제1형 반도체층 상에 위치하되, 상기 제1형 반도체층의 일부가 노출되도록 패터닝된 제1활성층; 상기 제1활성층에 의해 노출된 제1형 반도체층 상에 위치한 제2활성층; 및 상기 제1활성층 및 제2활성층 상에 위치하는 제2형 반도체층;을 포함하며, 상기 제1활성층과 제2활성층은 수평적으로 반복하여 배치되는 것을 특징으로 하는 다중발광소자이 제공된다.

[0008] 상기 버퍼층과 제1형 반도체층 사이에는 씨드층을 더 포함할 수 있다.

[0009] 상기 버퍼층은 AlN 또는 GaN를 포함할 수 있다.

[0010] 상기 제1형 반도체층은 n형 GaN 오믹 접촉층일 수 있다.

[0011] 상기 제1활성층을 사이에 두고 이웃하는 적어도 두 개의 제2활성층을 구비하며, 상기 이웃하는 적어도 두 개의 제2활성층은 상기 제1활성층에 의해 분리되어 있을 수 있다.

[0012] 상기 제1활성층 또는 제2활성층은 다중 양자 우물 구조(Multiple Quantum Wells)일 수 있다.

[0013] 상기 제1활성층은 적어도 한 층의 베리어층(barrier)층 및 적어도 한 층의 웰(well)층을 구비하고 있되, 상기 베리어층과 웰층은 교대로 적층되어 있으며, 상기 베리어층은 $Al_{x1}Ga_{1-x1-y1}In_{y1}N$ ($0 < x1 < 1$, $0 < y1 < 1$, $x1+y1 < 1$)을 포함하며, 상기 웰층은 $Al_{x2}Ga_{1-x2-y2}In_{y2}N$ ($0 < x2 < 1$, $0 < y2 < 1$, $x2+y2 < 1$, $x2 < x1$, $y2 < y1$)을 포함할 수 있다.

[0014] 상기 제2활성층은 적어도 한 층의 베리어층 및 적어도 한 층의 웰층을 구비하고 있되, 상기 베리어층과 웰층은 교대로 적층되어 있으며, 상기 베리어층은 $Al_{x3}Ga_{1-x3-y3}In_{y3}N$ ($0 < x3 < 1$, $0 < y3 < 1$, $x3+y3 < 1$)을 포함하며, 상기 웰층은 $Al_{x4}Ga_{1-x4-y4}In_{y4}N$ ($0 < x4 < 1$, $0 < y4 < 1$, $x4+y4 < 1$, $x4 < x3$, $y4 < y3$)을 포함할 수 있다.

[0015] 상기 제1활성층은 적어도 한 층의 베리어층 및 적어도 한 층의 웰층을 구비하고 있고, 상기 제2활성층은 적어도 한 층의 베리어층 및 적어도 한 층의 웰층을 구비하고 있되, 상기 제1활성층 또는 제2활성층의 상기 베리어층과 웰층은 교대로 적층되어 있으며, 상기 베리어층은 5 내지 15nm의 두께이고, 상기 웰층은 1 내지 3nm의 두께일 수 있다.

[0016] 상기 제1활성층은 평면상에서 일정 폭을 갖는 직선 형태의 패턴, 일정 폭을 갖는 원 형태의 패턴 및 일정 폭을 갖는 사각 형태를 포함하는 다각 형태의 패턴 중 어느 하나 이상의 형태로 상기 제1형 반도체층의 일부가 노출되도록 패터닝되어 있을 수 있다.

[0017] 상기 제1활성층과 제2형 반도체층 사이에는 마스크 패턴을 더 포함할 수 있다.

[0018] 상기 마스크 패턴은 SiO₂를 포함할 수 있다.

[0019] 상기 제1활성층에서 방출되는 제1과장의 광과 상기 제2활성층에서 방출되는 제2과장의 광이 서로 결합하여 생성

된 제3과장의 광을 방출할 수 있다.

- [0020] 상기 제1활성층의 폭, 너비 또는 직경은 $\lambda_1/4n_1$ (이때, 상기 λ_1 은 제1활성층에서 방출되는 광의 제1과장, 상기 n_1 은 제1활성층의 굴절률)의 조건에 만족하고, 상기 제2활성층의 폭, 너비 또는 직경은 $\lambda_2/4n_2$ (이때, 상기 λ_2 은 제2활성층에서 방출되는 광의 제2과장, 상기 n_2 은 제2활성층의 굴절률)의 조건에 만족하도록 구비될 수 있다.
- [0021] 상기 제2형 반도체층은 P형 GaN 오믹 접촉층일 수 있다.
- [0022] 상기 목적을 달성하기 위하여, 본 발명의 다른 측면에 따르면, 기판 상에 버퍼층, 제1형 반도체층, 제1활성층 및 마스크층을 순차적으로 적층하는 단계; 상기 마스크층을 패터닝하여 마스크 패턴을 형성하는 단계; 상기 마스크 패턴을 이용하여 상기 제1형 반도체층의 일부를 노출시키도록 상기 제1활성층을 식각하여 패터닝된 제1활성층을 형성하는 단계; 상기 패터닝된 제1활성층이 형성된 기판 상에 제2활성층을 형성하는 단계; 및 상기 패터닝된 제1활성층 및 제2활성층 상에 제2형 반도체층을 형성하는 단계;를 포함하며, 상기 제2활성층은 상기 패터닝된 제1활성층에 의해 노출된 상기 제1형 반도체층의 일부 상에 형성되어, 상기 제1활성층과 제2활성층은 수평적으로 반복하여 배치되어 형성되는 것을 특징으로 하는 다중발광소자 제조 방법이 제공된다.
- [0023] 상기 버퍼층은 450 내지 600°C의 온도에서 형성하고, 상기 제1형 반도체층 또는 제2형 반도체층은 1000 내지 1100°C의 온도에서 형성하고, 상기 제1활성층 또는 제2활성층은 700 내지 850°C의 온도에서 형성할 수 있다.
- [0024] 상기 버퍼층과 제1형 반도체층 사이에 씨드층을 형성하는 단계를 더 포함할 수 있다.
- [0025] 상기 제2활성층을 형성하는 단계와 상기 제2형 반도체층을 형성하는 단계 사이에, 상기 마스크 패턴을 제거하는 단계를 더 포함할 수 있다.

발명의 효과

- [0026] 본 발명의 구성을 따르면 앞서서 기재한 본 발명의 목적을 모두 달성할 수 있다. 구체적으로는 본 발명에 의하면, 발광 효율 손실이 적은 다중발광소자 및 이를 제조하는 방법을 제공하는 효과가 있다.
- [0027] 또한, 본 발명에 의하면, 평면상에서 수평으로 주기적으로 배치된 다중발광소자 및 이를 제조하는 방법을 제공하는 효과가 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시 예에 따른 다중발광소자의 구조를 보여주는 개념도이다.
 도 2a 내지 도 2c는 본 발명의 일 실시 예에 따른 다중발광소자를 제조하는 순서를 보여주는 개념도들이다.
 도 3a 내지 도 3c는 패터닝된 제1활성층을 형태를 보여주는 개념도들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0030] 도 1은 본 발명의 일 실시 예에 따른 다중발광소자의 구조를 보여주는 개념도이다.
- [0031] 도 1을 참조하여 설명하면, 본 발명의 일 실시 예에 따른 다중발광소자(100)는 기판(110), 버퍼층(120), 씨드층(130), 제1형 반도체층(140), 패터닝된 제1활성층(152), 마스크 패턴(162), 제2활성층(170) 및 제2형 반도체층(180)을 포함할 수 있다.
- [0032] 이때, 본 발명의 일 실시 예에 따른 다중발광소자(100)는 필요에 따라 씨드층(130) 또는 마스크 패턴(162)을 구비하지 않을 수 있다.

- [0033] 상기 기판(110)은 Al₂O₃ 기판, Si 기판, SiC 기판, GaAs 기판 또는 사파이어 기판일 수 있으며, 바람직하게는 사파이어 기판일 수 있다.
- [0034] 상기 버퍼층(120)은 상기 기판(110)과 상기 기판(110) 상에 위치되는 상기 씨드층(130) 또는 제1형 반도체층(140) 사이에 위치할 수 있으며, 상부에 위치하는 층과의 격자 상수 또는 열팽창 계수 차이를 완화시키기 위해 포함될 수 있다. 그러므로 상기 버퍼층(120)은 격자 상수 또는 열팽창 계수 차이를 완화시킬 수 있는 어떤 물질을 포함하여 이루어질 수 있으나, 바람직하게는 AlN 또는 GaN을 포함하여 이루어질 수 있다.
- [0035] 상기 씨드층(130)은 상기 버퍼층(120) 상에 위치할 수 있다. 상기 씨드층(130)은 μ-GaN층일 수 있다. 상기 μ-GaN는 도핑되지 않은 GaN으로 이루어질 수 있다.
- [0036] 상기 제1형 반도체층(140)은 상기 버퍼층(120) 또는 씨드층(130) 상에 위치할 수 있다. 상기 제1형 반도체층(140)은 질화물계를 포함하는 반도체층일 수 있으며, 구체적으로는 질화물계를 포함하는 반도체층, 예컨대, GaN, Al_xGa_{1-x}N(0<x<1), In_xGa_{1-x}N(0<x<1) 또는 In_xAl_yGa_{1-(x+y)}N(0<x<1, 0<y<1, x+y<1)을 포함하는 반도체층일 수 있으며, 바람직하게는 GaN을 포함하는 반도체층일 수 있다. 이때, 상기 GaN는 N형 불순물이 도핑된 N형 GaN, 특히, Si이 도핑된 N형 GaN 오믹 접촉층일 수 있다.
- [0037] 상기 패턴화된 제1활성층(152)은 양자 우물 구조, 바람직하게는 다중 양자 우물 구조(MQWs ; Multiple Quantum Wells)일 수 있다. 즉, 상기 패턴화된 제1활성층(152)은 적어도 한 층의 베리어층(barrier)층(미도시)과 적어도 한 층의 웰(well)층(미도시)을 포함하고 있으며, 상기 베리어층과 웰층은 서로 교대로 적층되어 있을 수 있다. 상기 패턴화된 제1활성층(152)은 상기 제1형 반도체층(140)의 일부가 노출되도록 구비되어 있다. 이때, 상기 패턴화된 제1활성층(152)의 베리어층은 Al_{x1}Ga_{1-x1-y1}In_{y1}N(0<x1<1, 0<y1<1, x1+y1<1)을 포함할 수 있으며, 상기 패턴화된 제1활성층(152)의 웰층은 Al_{x2}Ga_{1-x2-y2}In_{y2}N(0<x2<1, 0<y2<1, x2+y2<1, x2<x1, y2<y1)을 포함할 수 있다. 상기 패턴화된 제1활성층(152)의 베리어층은 5 내지 15nm의 두께로 구비될 수 있고, 상기 패턴화된 제1활성층(152)의 웰층은 1 내지 3nm의 두께로 구비될 수 있다.
- [0038] 상기 마스크 패턴(162)은 상기 패턴화된 제1활성층(152) 상에 위치할 수 있다. 상기 마스크 패턴(162)은 패턴을 형성할 수 있는 어떤 물질이여도 무방하나, 바람직하게는 SiO₂일 수 있으며, 50 내지 200nm의 두께, 바람직하게는 100nm의 두께로 구비될 수 있다. 상기 마스크 패턴(162)은 상기 패턴화된 제1활성층(152)을 형성하는 마스크로써 이용되며, 상기 마스크 패턴(162)에 따라 상기 패턴화된 제1활성층(142)의 형상이 결정될 수 있다. 상기 마스크 패턴(162)은 이후 설명될 도 3a 내지 도 3c에 도시된 바와 같이 평면적으로 일정 폭을 갖는 직선 형태의 패턴(162a), 평면적으로 일정 직경을 갖는 원 형태의 패턴(162b) 및 평면적으로 일정 너비를 갖는 사각 형태의 패턴(162c)을 포함하는 다각 형태의 패턴 중 어느 하나 이상의 형태의 패턴으로 형성될 수 있다. 그로 인해, 상기 패턴화된 제1활성층(152)은 평면상에서 하부의 제1활성층(152)의 일부를 일정 폭을 갖는 직선 형태, 평면상에서 하부의 제1활성층(152)의 일부를 일정 직경을 갖는 원 형태 및 평면상에서 하부의 제1활성층(152)의 일부를 일정 너비를 갖는 사각 형태를 포함하는 다각 형태 중 어느 한 형태로 노출되도록 패턴화되어 있을 수 있다.
- [0039] 이때, 상기 패턴화된 제1활성층(152)은 그 패턴의 폭, 너비 또는 직경은 10nm 내지 10μm으로 형성될 수 있는데, 이는 상기 제1활성층(152)에서 방출되는 광의 제1파장에 따라 적절히 결정될 수 있다. 상기 패턴화된 제1활성층(152)의 패턴의 폭, 너비 또는 직경은 λ₁/4n₁의 조건을 만족하도록 구비될 수 있다. 이때, 상기 λ₁은 상기 패턴화된 제1활성층(152)에서 방출되는 광의 제1파장이고, 상기 n₁은 상기 패턴화된 제1활성층(152)의 굴절률을 의미한다. 예컨대, 상기 패턴화된 제1활성층(152)에서 방출되는 광의 제1파장이 500nm이고, 상기 패턴화된 제1활성층(152)의 굴절률이 2.5라고 가정한다면, 상기 패턴화된 제1활성층(152)의 폭, 너비 또는 직경은 500nm/(4×2.5), 즉, 50nm로 구비될 수 있다.
- [0040] 상기 제2활성층(170)은 상기 제1형 반도체층(140) 상에 위치할 수 있다. 정확하게는 상기 패턴화된 제1활성층(152)에 의해 노출된 제1형 반도체층(140) 상, 즉 평면상으로 상기 패턴화된 제1활성층(152)과는 수평적인 위치할 수 있으며, 수평으로 주기적으로 반복하여 배치되도록 구비될 수 있다. 상기 제2활성층(170)은 상기 패턴화된 제1활성층(152)에 의해 분리된 적어도 두 개의 제2활성층(170)으로 구비될 수 있다. 즉, 상기 제2활성층(170)은 상기 패턴화된 제1활성층(152)에 의해 분리된 적어도 두 개의 제2활성층(170)으로 이루어지고, 상기 제2활성층(170)들 중 이웃하는 두 개의 제2활성층(170)은 상기 패턴화된 제1활성층(152)에 의해 분리된 형태로 구비될 수 있다. 바꾸어 말하면, 상기 패턴화된 제1활성층(152) 역시 상기 제2활성층(170)에 의해 분리된 적어도 두 개의 패턴화된 제1활성층(152)으로 구비되고, 이웃하는 두 개의 패턴화된 제1활성층(152)은 상기 제2활성층

(170)에 의해 분리된 형태로 구비될 수 있다.

[0041] 상기 제2활성층(170)은 양자 우물 구조, 바람직하게는 다중 양자 우물 구조일 수 있다. 즉, 상기 제2활성층(170)은 적어도 한 층의 베리어층(미도시)과 적어도 한 층의 웰층(미도시)을 포함할 수 있으며, 상기 베리어층과 웰층은 서로 교대로 적층되어 있을 수 있다. 이때, 상기 제2활성층(170)의 베리어층은 $Al_{x3}Ga_{1-x3-y3}In_{y3}N$ ($0 < x3 < 1$, $0 < y3 < 1$, $x3+y3 < 1$)을 포함할 수 있으며, 상기 제2활성층(170)의 웰층은 $Al_{x4}Ga_{1-x4-y4}In_{y4}N$ ($0 < x4 < 1$, $0 < y4 < 1$, $x4+y4 < 1$, $x4 < x3$, $y4 < y3$)을 포함할 수 있다. 상기 제2활성층(170)의 베리어층은 5 내지 15nm의 두께로 구비될 수 있고, 상기 제2활성층(170)의 웰층은 1 내지 3nm의 두께로 구비될 수 있다.

[0042] 이때, 상기 제2활성층(170)은 그 패턴의 폭, 너비 또는 직경은 10nm 내지 10 μ m으로 형성될 수 있는데, 이는 상기 제2활성층(170)에서 방출되는 광의 제2파장에 따라 적절히 결정될 수 있다. 상기 제2활성층(170)의 패턴의 폭, 너비 또는 직경은 $\lambda_2/4n_2$ 의 조건을 만족하도록 구비될 수 있다. 이때, 상기 λ_2 은 상기 제2활성층(170)에서 방출되는 광의 제2파장이고, 상기 n_2 은 상기 제2활성층(170)의 굴절률을 의미한다. 예컨대, 상기 제2활성층(170)에서 방출되는 광의 제2파장이 300nm이고, 상기 제2활성층(170)의 굴절률이 2.5라고 가정한다면, 상기 제2활성층(170)의 폭, 너비 또는 직경은 $300nm/(4 \times 2.5)$, 즉, 30nm로 구비될 수 있다.

[0043] 상기 제2활성층(170)은 상기 패턴화된 제1활성층(152)과는 다른 파장을 가진 제2파장을 갖는 광을 방출할 수 있다. 상기 패턴화된 제1활성층(152)과 제2활성층(170)은 서로 동일한 구성 성분을 가지되, 그 조성비에 있어, Al의 조성비가 In 또는 Ga의 조성비에 대해 서로 다른 조성비를 갖도록 구성됨으로써 상기 패턴화된 제1활성층(152)과 제2활성층(170)이 각각 제1파장을 갖는 광 및 제2파장을 갖는 광을 방출할 수 있다. 이때, 상기 Al의 조성비가 In 또는 Ga의 조성비에 비해 높은 조성비를 갖는 경우 짧은 파장을 갖는 광이 방출된다. 따라서, 상기 패턴화된 제1활성층(152)이 제2활성층(170)에 비해 긴 파장을 갖는 광을 방출하기 위해서는 상기 제2활성층(170)에 비해 상기 Al의 조성비에 대한 In 또는 Ga의 조성비가 낮은 조성비를 갖도록 구성함으로써 이루어질 수 있다.

[0044] 상기 제2형 반도체층(180)은 질화물계를 포함하는 반도체층일 수 있으며, 구체적으로는 질화물계를 포함하는 반도체층, 예컨대, GaN, $Al_xGa_{1-x}N$ ($0 < x < 1$), $In_xGa_{1-x}N$ ($0 < x < 1$) 또는 $In_xAl_yGa_{1-(x+y)}N$ ($0 < x < 1$, $0 < y < 1$, $x+y < 1$)을 포함하는 반도체층일 수 있으며, 바람직하게는 GaN을 포함하는 반도체층일 수 있다. 이때, 상기 GaN은 P형 불순물이 도핑된 P형 GaN 오믹 접촉층일 수 있다. 상기 제2형 반도체층(180)은 상기 패턴화된 제1활성층(152) 또는 제2활성층(170) 상에 위치할 수 있다. 이때, 상기 제2형 반도체층(180)은 상기 제2활성층(170)과는 직접적으로 접촉하는 위치에 구비될 수 있으나, 상기 패턴화된 제1활성층(152)과는 상기 마스크 패턴(162)을 사이에 두는 위치에 구비될 수 있다. 한편, 상기 마스크 패턴(162)이 구비되지 않은 경우에는 상기 제2형 반도체층(180)은 상기 패턴화된 제1활성층(152)과 제2활성층(170) 둘 다와 직접적으로 접촉하는 위치에 구비될 수 있다.

[0045] 상기 제1형 반도체층(140), 패턴화된 제1활성층(152), 제2활성층(170) 및 제2형 반도체층(180)의 전기적 연결, 즉, 전류 흐름은 상기 마스크 패턴(162)의 구비 유무에 따라 달라질 수 있다. 즉, 상기 마스크 패턴(162)이 존재하지 않은 경우, 상기 제1형 반도체층(140), 패턴화된 제1활성층(152) 및 제2반도체층(180)이 연결되는 경로, 상기 제1형 반도체층(140), 제2활성층(170) 및 제2반도체층(180)이 연결되는 경로 및 상기 제1형 반도체층(140), 패턴화된 제1활성층(152), 제2활성층(170) 및 제2반도체층(180)이 연결되는 경로와 같이 세 개의 경로로 연결될 수 있다. 이에 반해, 상기 마스크 패턴(162)이 존재하는 경우, 상기 마스크 패턴(162)이 절연층 역할을 하여 상기 제1형 반도체층(140), 제2활성층(170) 및 제2반도체층(180)이 연결되는 경로 및 상기 제1형 반도체층(140), 패턴화된 제1활성층(152), 제2활성층(170) 및 제2반도체층(180)이 연결되는 경로와 같이 두 개의 경로로 연결될 수 있다.

[0046] 따라서 본 발명의 일 실시 예에 따른 다중발광소자(100)는 서로 다른 파장을 방출하는 상기 패턴화된 제1활성층(152) 및 제2활성층(170)이 수평으로 주기적으로 반복하여 배치된 구조로 이루어져 발광 효율 손실 없이 다중 파장을 발광할 수 있는 장점이 있다. 이때, 다중발광소자(100)는 상기 패턴화된 제1활성층(152) 및 제2활성층(170)이 각각 양자 우물구조로 이루어질 수 있다.

[0047] 이때, 상기 패턴화된 제1활성층(152)에서 방출된 광 중, 상기 패턴화된 제1활성층(152)에 수직하는 방향으로 방출되는 광인 경우에는 상기 다중발광소자(100)의 상부 또는 하부 방향으로 방출되나, 상기 패턴화된 제1활성층(152)에 수평하는 방향, 즉, 측면으로 방출되는 광인 경우에는 다른 형태로 방출된다. 즉, 상기 패턴화된 제1활성층(152)의 측면 방향으로 방출되는 광의 경우, 상기 광의 진행 경로 상에 상기 제2활성층(170)과의 계면을 만나게 되는데, 상기 패턴화된 제1활성층(152)과 상기 제2활성층(170)은 서로 조성비가 달라 서로 다른 굴절률을

가지게 되고, 이로 인해, 상기 패턴화된 제1활성층(152)에서 방출된 광은 상기 제2활성층(170)과의 계면에서 회절하게 되거나, 상기 제2활성층(170)과의 계면이 반사면으로 작용하여 반사하게 된다. 이때, 상기 패턴화된 제1활성층(152)의 패턴의 폭, 너비 또는 직경은 $\lambda_1/4n_1$ 의 조건에 대응되도록 이루어져 있으므로 상기 패턴화된 제1활성층(152)에서 방출된 광 중, 측면 방향으로 진행하는 광은 증폭하게 되고, 이로 인해 상기 패턴화된 제1활성층(152)의 광 추출 효율은 높아지게 된다.

[0048] 또한, 상기 제2활성층(170)에서 방출된 광 역시, 상기 패턴화된 제1활성층(152)과 유사한 방식으로 광을 방출할 수 있다. 즉, 상기 제2활성층(170)에 수직하는 방향으로 방출되는 광은 상기 다중발광소자(100)의 상부 또는 하부 방향으로 방출되고, 측면으로 방출되는 광은 상기 패턴화된 제1활성층(152)과의 계면과 만나 회절하게 되거나, 상기 패턴화된 제1활성층(152)과의 계면이 반사면으로 작용하여 반사하게 된다. 이때, 상기 제2활성층(170)의 패턴의 폭, 너비 또는 직경 역시 $\lambda_2/4n_2$ 의 조건에 대응되도록 이루어져 있으므로 상기 제2활성층(170)에서 방출된 광 중, 측면 방향으로 진행하는 광은 증폭하게 되고, 이로 인해 상기 제2활성층(170)의 광 추출 효율 역시 높아지게 된다.

[0049] 이때, 상기 패턴화된 제1활성층(152)에서 방출된 광과 상기 제2활성층(170)에서 방출된 광이 서로 결합하여 상기 패턴화된 제1활성층(152)에서 방출된 광의 제1과장과 상기 제2활성층(170)에서 방출된 광의 제2과장이 결합된 제3과장의 광이 추출될 수도 있다.

[0050] 또한, 본 발명의 일 실시 예에 따른 상기 다중발광소자(100)는 다양한 색상의 광을 추출할 수 있다. 즉, 상기 패턴화된 제1활성층(152)에서 방출된 광의 제1과장과 상기 제2활성층(170)에서 방출된 광이 제2과장에 따라 상기 다중발광소자(100)는 청색, 노색 또는 적색 등과 같은 다양한 색상을 갖는 광뿐만 아니라 백색의 광 또는 자외선 또는 적외선 영역의 광을 추출할 수 있고, 이러한 다양한 과장을 갖는 광을 추출함으로써 인해 다양한 영역에서 적용될 수 있다.

[0051] 예컨대, 상기 다중발광소자(100)를 식물을 성장시키는 광원으로 사용하는 경우, 상기 패턴화된 제1활성층(152)에서 청색(청색 광은 식물 잎의 형태 형성을 촉진시키는 것으로 알려짐)에 해당하는 과장을 갖는 광을 추출하고, 상기 제2활성층(170)에서 적색(적색 광은 광합성을 촉진시키는 것으로 알려짐)에 해당하는 과장을 갖는 광 또는 자외선(자외선 광은 식물의 잎을 두껍게 하는 작용 또는 색소의 발색 촉진하는 것으로 알려짐)에 해당하는 광을 추출하여 식물의 성장시키는 광원으로 사용할 수도 있다. 이때, 상기 패턴화된 제1활성층(152)은 청색에 해당하는 460nm 과장의 광을 추출하기 위해 우물층의 Al, Ga 및 In이 각각 2%, 76% 및 22%를 포함하고, 상기 제2활성층(170)은 650nm 과장의 적색 광을 추출하기 위해 우물층의 Al, Ga 및 In이 각각 0.5%, 49.5% 및 50%를 포함하거나 380nm 과장의 자외선광을 추출하기 위해 우물층의 Al, Ga 및 In이 각각 6%, 86% 및 8%를 포함할 수 있다.

[0052] 또한, 상기 다중발광소자(100)을 백색의 광원으로 사용하기 위해, 상기 패턴화된 제1활성층(152)은 노란색 광을 추출하고, 상기 제2활성층(170)은 청색 광을 추출할 수 있다. 이때, 상기 패턴화된 제1활성층(152)은 노란색의 광을 추출하기 위해 Al, Ga 및 In이 각각 0.8%, 59.2% 및 40%를 포함하고, 상기 제2활성층(170)은 청색 광을 추출하기 위해 Al, Ga 및 In이 각각 2%, 76% 및 22%를 포함할 수 있다.

[0053] 한편, 본 발명의 일 실시 예에서는 상기 다중발광소자(100)가 상기 패턴화된 제1활성층(152) 및 제2활성층(170)의 두 개의 활성층으로만 이루어진 것을 도시하고, 이를 중심으로 설명하였으나, 셋 이상의 활성층을 구비하고, 각각 다른 길이의 과장을 갖는 광을 방출할 수 있다.

[0054] 도 2a 내지 도 2c는 본 발명의 일 실시 예에 따른 다중발광소자를 제조하는 순서를 보여주는 개념도들이다.

[0055] 도 3a 내지 도 3c는 패턴화된 제1활성층을 형태를 보여주는 개념도들이다.

[0056] 도 2a 내지 도 3c를 참조하여 설명하면, 본 발명의 일 실시 예에 따른 다중발광소자를 제조하는 방법은 우선 기판(110)을 준비한다.

[0057] 상기 기판(110)은 Al_2O_3 기판, Si 기판, SiC 기판, GaAs 기판 또는 사파이어 기판일 수 있으며, 바람직하게는 사파이어 기판(Al_2O_3 기판)일 수 있다.

[0058] 이어서, 상기 기판(110) 상에 버퍼층(120), 씨드층(130), 제1형 반도체층(140), 제1활성층(150) 및 마스크층(160)을 순차적으로 적층한다.

[0059] 상기 버퍼층(120), 씨드층(130), 제1형 반도체층(140), 제1활성층(150) 및 마스크층(160)은 각각 스퍼터링

(Sputtering), PECVD(Plasma Enhanced Chemical Vapor Deposition), MOCVD(Metal Organic Chemical Vapor Deposition), ALD(Atomic Layer Deposition) 및 MBE(Molecular Beam Epitaxy), HVPE(Hybride Vapor Phase Epitaxy) 등과 같은 물리적 기상 증착법 또는 화학적 기상 증착법 등을 이용하여 형성할 수 있다.

- [0060] 이때, 상기 버퍼층(120)은 AlN 또는 GaN을 포함하여 질화물질계로 형성할 수 있고, 상기 씨드층(130)은 상기 도핑되지 않은 μ -GaN으로 이루어질 수 있다.
- [0061] 또한, 상기 제1형 반도체층(140)은 질화물계를 포함하는 반도체층일 수 있으며, 구체적으로는 질화물계를 포함하는 반도체층, 예컨대, GaN, $Al_xGa_{1-x}N(0 < x < 1)$, $In_xGa_{1-x}N(0 < x < 1)$ 또는 $In_xAl_yGa_{1-(x+y)}N(0 < x < 1, 0 < y < 1, 0 < x+y < 1)$ 을 포함하는 반도체층일 수 있으며, 바람직하게는 GaN을 포함하는 반도체층일 수 있다. 이때, 상기 GaN은 N형 불순물이 도핑된 N형 GaN이며, 특히, Si이 도핑된 N형 GaN 오믹 접촉층일 수 있다. 또한, 상기 제1활성층(150)은 $Al_{x1}Ga_{1-x1-y1}In_{y1}N(0 < x1 < 1, 0 < y1 < 1, x1+y1 < 1)$ 을 포함하여 이루어진 베리어층과 $Al_{x2}Ga_{1-x2-y2}In_{y2}N(0 < x2 < 1, 0 < y2 < 1, x2+y2 < 1, x2 < x1, y2 < y1)$ 을 포함하여 이루어진 웰층을 각각 5 내지 15nm의 두께 및 1 내지 3nm의 두께로 적어도 한 층씩 적층하여 형성할 수 있다.
- [0062] 또한, 상기 마스크층(160)은 패턴을 형성할 수 있는 어떤 물질이어도 무방하나, 바람직하게는 SiO₂일 수 있으며, 50 내지 200nm의 두께, 바람직하게는 100nm의 두께로 구비될 수 있다.
- [0063] 이때, 상기 버퍼층(120)은 450 내지 600°C의 온도 분위기, 상기 제1형 반도체층(140)은 1000 내지 1100°C의 온도 분위기, 상기 제1활성층(150)은 700 내지 850°C의 온도 분위기에서 형성하는 것이 바람직하다.
- [0064] 이어서 상기 마스크층(160)을 패터닝 공정을 이용하여 상기 마스크 패턴층(162)으로 형성한다. 이때, 상기 마스크 패턴(162)은 도 3a 내지 도 3c에 도시된 바와 같이 하부의 층, 예컨대, 제1형 반도체층(140)의 일부가 노출되도록 평면적으로 일정 폭을 갖는 직선 형태의 패턴(162a), 평면적으로 일정 직경을 갖는 원 형태의 패턴(162b) 및 평면적으로 일정 너비를 갖는 사각 형태의 패턴(162c)을 포함하는 다각 형태의 패턴 중 어느 하나 이상의 형태의 패턴으로 형성될 수 있다. 이때, 상기 마스크 패턴(162)은 그 패턴의 폭, 너비 또는 직경이 10nm 내지 10 μ m이 되도록 형성한다.
- [0065] 이어서, 상기 마스크 패턴(162)을 이용하여 상기 제1활성층(150)을 식각하여 상기 패턴화된 제1활성층(152)을 형성한다. 이때, 상기 제1활성층(150)을 상기 제1형 반도체층(140)의 일부가 노출되도록 식각하여 상기 패턴화된 제2활성층(152)을 형성한다. 상기 식각은 이방성 식각인 건식 식각이 바람직하다.
- [0066] 이어서, 상기 패턴화된 제1활성층(150)이 형성된 기판(110) 상에 제2활성층(170)을 형성한다. 상기 제2활성층(170)은 $Al_{x3}Ga_{1-x3-y3}In_{y3}N(0 < x3 < 1, 0 < y3 < 1, x3+y3 < 1)$ 을 포함하여 이루어진 베리어층과 $Al_{x4}Ga_{1-x4-y4}In_{y4}N(0 < x4 < 1, 0 < y4 < 1, x4+y4 < 1, x4 < x3, y4 < y3)$ 을 포함하여 이루어진 웰층을 각각 5 내지 15nm의 두께 및 1 내지 3nm의 두께로 적어도 한 층씩 적층하여 형성할 수 있다.
- [0067] 이때, 상기 제2활성층(170)은 상기 제1활성층(150)의 형성 방법과 유사하게 700 내지 850°C의 온도 분위기에서 형성될 수 있다. 예컨대, 상기 제2활성층(170)은 상기 패턴화된 제1활성층(152)에 의해 노출된 상기 제1형 반도체층(140)의 일부 상에서 액피택셀(epitaxial) 성장법 등을 이용하여 성장시켜 형성할 수 있다. 이때는 상기 마스크 패턴(162) 상에는 상기 제2활성층(170)이 형성되지 않는데, 이는 상기 제2활성층(170)이 성장될 때, 상기 마스크 패턴(162) 상에는 성장되지 않기 때문이다.
- [0068] 한편, 상기 제2활성층(170)은 상기 패턴화된 제1활성층(152)이 형성된 기판(110) 상에 MOCVD 등과 같은 유기금속을 이용한 기상 증착법에 의한 증착에 의해 형성할 수 있는데, 이 경우에는 상기 패턴화된 제1활성층(152)에 의해 노출된 상기 제1형 반도체층(140)의 일부의 상부뿐만 아니라 상기 마스크 패턴(162) 상에도 형성될 수 있으나, BOE(buffer oxide etchant)과 HF 용액을 이용한 습식에칭 또는 CMP(Chemical Mechanical Planarization) 등과 같은 평탄화 장비 등을 이용하여 상기 마스크 패턴(162) 상에 형성된 제2활성층의 물질은 제거하여 상기 제2활성층(170)을 형성할 수도 있다.
- [0069] 상기 제2활성층(170)을 형성한 후, 필요하다면, 상기 마스크 패턴(162)을 제거하는 공정을 진행할 수도 있다.
- [0070] 이때, 상기에서는 상기 마스크 패턴(162)을 이용하여 상기 패턴화된 제1활성층(152) 및 제2활성층(170)을 형성하는 공정을 설명하였으나, 필요하다면, 다수의 마스크 패턴을 이용하여 셋 이상의 활성층을 형성하는 공정을 진행할 수도 있다.

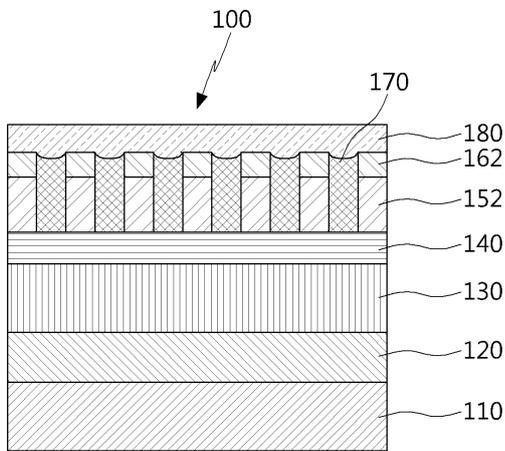
- [0071] 이어서, 상기 패턴화된 제1활성층(152) 및 제2활성층(170)을 형성된 기판(110) 상에 상기 제2형 반도체층(180)을 형성하여 본 발명의 일 실시 예에 따른 다중발광소자를 형성할 수 있다.
- [0072] 이때, 상기 제2형 반도체층(170)은 1000 내지 1100℃의 온도 분위기에서 형성될 수 있다. 상기 제2형 반도체층(180)은 질화물계를 포함하는 반도체층일 수 있으며, 구체적으로는 질화물계를 포함하는 반도체층, 예컨대, GaN, $Al_xGa_{1-x}N(0 < x < 1)$, $In_xGa_{1-x}N(0 < x < 1)$ 또는 $In_xAl_yGa_{1-(x+y)}N(0 < x < 1, 0 < y < 1, x+y < 1)$ 을 포함하는 반도체층일 수 있으며, 바람직하게는 GaN을 포함하는 반도체층일 수 있다. 이때, 상기 GaN는 P형 불순물이 도핑된 P형 GaN 오믹 접촉층일 수 있다.
- [0073] 이상 본 발명을 상기 실시예들을 들어 설명하였으나, 본 발명은 이에 제한되는 것이 아니다. 당업자라면, 본 발명의 취지 및 범위를 벗어나지 않고 수정, 변경을 할 수 있으며 이러한 수정과 변경 또한 본 발명에 속하는 것임을 알 수 있을 것이다.

부호의 설명

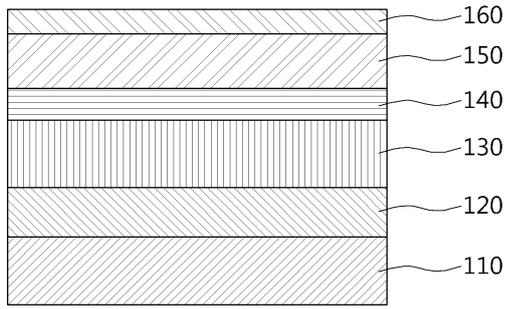
- [0074] 100 : 다중발광소자 110 : 기판
- 120 : 버퍼층 130 : 씨드층
- 140: 제1형 반도체층 152 : 패턴화된 제1활성층
- 162 : 마스크 패턴(162) 170 : 제2활성층
- 180 : 제2형 반도체층

도면

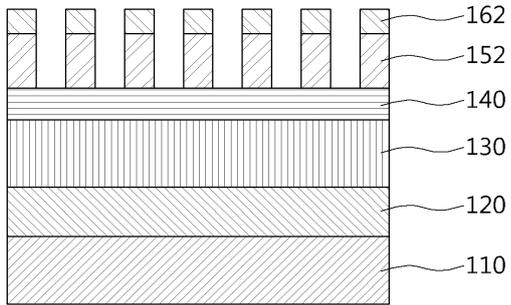
도면1



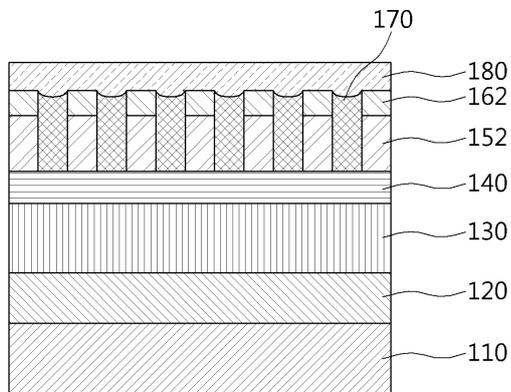
도면2a



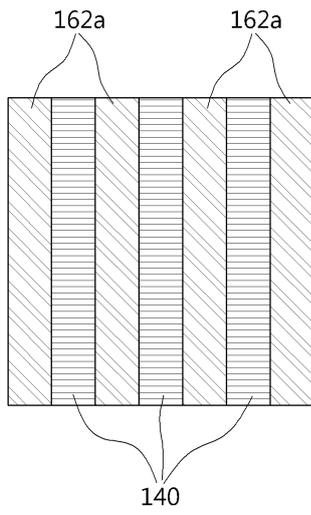
도면2b



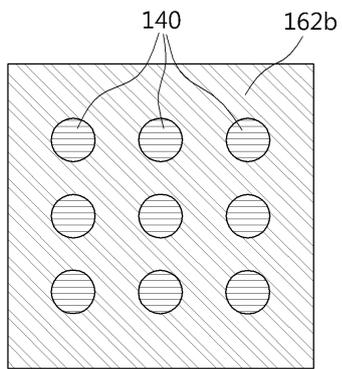
도면2c



도면3a



도면3b



도면3c

