

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-134530
(P2006-134530A)

(43) 公開日 平成18年5月25日(2006.5.25)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 B 7/004 (2006.01) G 1 1 B 7/004 A 5 D 0 9 0

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号	特願2004-325002 (P2004-325002)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成16年11月9日(2004.11.9)	(74) 代理人	110000176 一色国際特許業務法人
		(72) 発明者	妹尾 秀満 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	林 浩二 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	5D090 AA01 CC04 CC16 CC18 DD03 DD05 HH01 JJ11 LL09

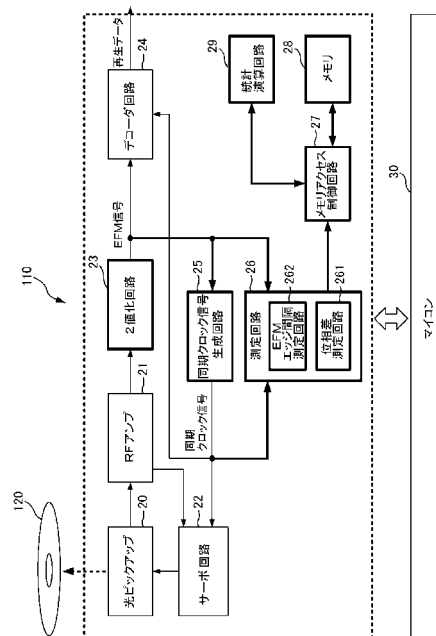
(54) 【発明の名称】 光ディスク装置及び光ディスク評価方法

(57) 【要約】

【課題】 ジッタ評価のための解析をより詳細に実施する。

【解決手段】 光ディスクにレーザ光を照射し、前記光ディスクに記録されたマークにより変化される前記レーザ光の反射光を受光し、前記反射光の光量に応じた再生信号に基づいて前記光ディスクの評価を行う光ディスク装置において、前記再生信号の2値化信号における立ち上がりエッジ及び立ち下がりエッジ夫々の第1タイミングと、前記2値化信号に対して位相追従させた同期クロック信号における立ち上がりエッジ又は立ち下がりエッジの第2タイミングと、の位相が略一致する関係に基づいて、前記第1タイミングと、当該第2タイミングを基準として前記同期クロック信号の所定の位相がずれた前記同期クロック信号の第3タイミングと、の位相差を測定する測定回路、を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

光ディスクにレーザ光を照射し、前記光ディスクに記録されたマークにより変化される前記レーザ光の反射光を受光し、前記反射光の光量に応じた再生信号に基づいて前記光ディスクの評価を行う光ディスク装置において、

前記再生信号の 2 値化信号における立ち上がりエッジ及び立ち下がりエッジ夫々の第 1 タイミングと、前記 2 値化信号に対して位相追従させた同期クロック信号における立ち上がりエッジ又は立ち下がりエッジの第 2 タイミングと、の位相が略一致する関係に基づいて、

前記第 1 タイミングと、当該第 2 タイミングを基準として前記同期クロック信号の所定の位相がずれた前記同期クロック信号の第 3 タイミングと、の位相差を測定する測定回路

10

を有することを特徴とする光ディスク装置。

【請求項 2】

前記測定回路は、

前記第 1 タイミングを検出するとともに、当該検出した旨を示す第 1 エッジ信号を生成する第 1 エッジ信号生成部と、

前記第 3 タイミングを検出するとともに、当該検出した旨を示す第 2 エッジ信号を生成する第 2 エッジ信号生成部と、

前記第 1 エッジ信号の供給を契機としてつぎに前記第 2 エッジ信号が供給されるまでの間に相当する前記位相差を、所定カウンタクロック信号に基づいてカウントするカウンタ回路と、

20

を有することを特徴とする請求項 1 に記載の光ディスク装置。

【請求項 3】

前記測定回路は、

複数の第 1 遅延素子を直列接続して構成し前記同期クロック信号の所定周期分の遅延量が設定される遅延回路と、

前記遅延回路の所定の前記第 1 遅延素子より取得される前記 2 値化信号の複数のレベルデータ夫々に対応した複数のフリップフロップ回路と、

前記複数のフリップフロップ回路夫々の前記複数のレベルデータを前記同期クロック信号が前記所定周期となる毎に一括保持するデータ保持回路と、

30

を有することを特徴とする請求項 1 に記載の光ディスク装置。

【請求項 4】

前記測定回路は、前記遅延回路の前記遅延量を前記同期クロック信号の所定周期に制御するための PLL 回路を更に有すること、を特徴とする請求項 3 に記載の光ディスク装置

。

【請求項 5】

前記光ディスクへの記録データに対して所定の変調処理を施した変調データに基づいて前記光ディスクへ記録を行うための記録パルスを生成するとともに、前記記録パルスの生成元となる信号の遅延量を制御するための遅延制御回路を設けたライトストラテジ回路を有しており、

40

前記遅延回路は、前記ライトストラテジ回路に設けられた前記遅延制御回路と共用化したこと、を特徴とする請求項 4 に記載の光ディスク装置。

【請求項 6】

光ディスクにレーザ光を照射し、前記光ディスクに記録されたマークにより変化される前記レーザ光の反射光を受光し、前記反射光の光量に応じた再生信号に基づいて行う光ディスク装置の光ディスク評価方法において、

前記再生信号の 2 値化信号における第 1 タイミングと、前記 2 値化信号に対して位相追従させた同期クロック信号における立ち上がりエッジ又は立ち下がりエッジの第 2 タイミングと、の位相が略一致する関係に基づいて、

50

前記第1タイミングと、当該第2タイミングを基準として前記同期クロック信号の所定の位相がずれた前記同期クロック信号の第3タイミングと、の位相差を測定する工程と、前記測定した位相差が前記光ディスクの種別に応じた所定値であるか否かを判定する工程と、
を有することを特徴とする光ディスク評価方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光ディスク装置及びその光ディスク評価方法に関する。

10

【背景技術】

【0002】

従来、光ディスクの評価装置として『ジッタメータ』と呼ばれる評価装置が使用されていた（例えば、以下に示す特許文献1を参照）。このような評価装置は、『ジッタ』と呼ばれる光ディスクから得られる再生信号の滲み具合を定量的に測定するものである。しかし、専用のジッタメータは高価であり、簡便にジッタの評価を行うことはできなかった。そこで、光ディスクへ情報の記録及び/又は再生を行う装置（以下、『光ディスク装置』と称する。）を利用してジッタの評価をする方法が提案されている。

【0003】

図10は、ジッタ評価機能を有するCD記録再生装置100を示す図である。

20

まず、CD記録再生装置100における光ディスク11の通常の再生動作について説明する。

【0004】

光ピックアップ10は、光ディスク11に照射されるレーザ光の反射光を受光し、その反射光の強弱を電圧値の変化として取り出す。サーボ回路12は、光ディスク11に記憶されたマーク又はスペースに対応したデータを光ピックアップ10によって正しい順序で読み出せるように、光ディスク11に対する光ピックアップ10の読み取り位置を制御する。

【0005】

ここで、マークとは、レーザ光の反射光が弱くなる部分であり、スペースとは、レーザ光の反射光が強くなる部分である。すなわち、マークならびにスペースは、反射層の凸凹や、光ディスク11の記録層の相変化などによって変化するレーザ光の反射光によって識別されるものである。

30

【0006】

2値化回路13は、光ピックアップ10から出力される電圧値の変化を読み取り、58ビットを1フレームとするEFM号を生成する。このEFM信号はHレベルとLレベルの繰り返しで形成される。EFM信号の立ち上がりエッジから立ち下がりエッジまでのHレベルを示すH区間、又は、EFM信号の立ち下がりエッジから立ち上がりエッジまでのLレベルを示すL区間は、3Tから11Tの間において9種類ある。なお、“1T”とは、1ビット間隔で、約230nsと定められている。以下、前述したH/L区間のことを『EFMエッジ間隔』と称する。

40

【0007】

デジタル信号処理回路14は、2値化回路13から供給されるEFM信号に対してEFM復調を施す。さらに、EFM復調された信号に対してCIRC復調を施し、1フレーム24バイトからなるCD-ROMデータを生成する。CD-ROMデコーダ15は、デジタル信号処理回路14から供給されるCD-ROMデータに対して誤り検出処理及び誤り訂正処理を行い、それらの処理が施されたCD-ROMデータをホストコンピュータ（不図示）へと出力する。

【0008】

バッファRAM16は、CD-ROMデコーダ15に接続され、デジタル信号処理回路

50

14からCD-ROMデコーダ15に供給されるCD-ROMデータを1ブロック単位で一時的に記憶する。バッファRAM16は、このように、大量のデータを記憶する必要があるため、一般的に、DRAMが採用される。

【0009】

マイコン17は、ROM及びRAMを内蔵したいわゆるワンチップマイコンで構成され、ROMに記憶された制御プログラムに従ってCD-ROMデコーダ15の動作を制御する。同時に、マイコン17は、ホストコンピュータから供給されるコマンドデータあるいはデジタル信号処理回路14から供給されるサブコードデータを一旦内蔵のRAMに記憶する。これによりマイコン17はホストコンピュータからの指示に应答して各部の動作を制御し、CD-ROMデコーダ15からホストコンピュータへ所望のCD-ROMデータを出力させる。

10

【0010】

次に、CD記録再生装置100における光ディスク11のジッタの評価方法について説明する。

光ピックアップ10、光ディスク11、サーボ回路12及び2値化回路13は、マイコン17によって光ディスク11の再生動作と同様の動作を行う。しかし、デジタル信号処理回路14及びCD-ROMデコーダ15は、マイコン17によって動作が停止され、バッファRAM16は再生動作とは異なる動作となる。

【0011】

カウンタ18は、2値化回路13に接続され、2値化回路13から供給されるEFM信号を取り込む。そして、カウンタ18は、EFM信号よりも高周波なカウンタクロックによって、EFM信号の各EFMエッジ間隔を逐次カウントするとともに、各カウント値をバッファRAM16へ順次書き込む。なお、線速度一定のCLV動作の1倍速動作ではEFM信号の1Tは約230nsである。このため、カウンタ18では、例えば1周期2ns、すなわち、500MHzのカウンタクロックを用いてカウント動作が行われる。この場合、EFMエッジ間隔が“3T(約690ns)”のときカウント値の理想値は“345”、“4T”のときカウント値の理想値は“460”、・・・、“11T”のときカウント値の理想値は“1265”となる。

20

【0012】

こうした一連の処理が、光ディスク11に記録された一定領域のデータに対して行われた後、マイコン17は、バッファRAM16に記録された各カウント値を解析し、ジッタの評価を行うのである。

30

【特許文献1】特開平11-167720号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

近年、光ディスク媒体の多様化、光ディスク記録/再生速度の高速化等によって、光ディスクへの記録制御がますます複雑になっている。また、光ディスク記録の高密度化によってマーク長が短くなり、トラック間隔も狭小化することで、データ間の符号干渉やトラック間のクロストーク等が生じてしまい、正確な光ディスクへの記録/再生が困難になっている。このため、光ディスクの記録/再生品位を正確に把握してライトストラテジ等の対策を講じるべく、ジッタ評価の重要性はますます高まっている。

40

【0014】

ところで、CD記録再生装置100のようなジッタ評価機能を有した従来の光ディスク装置では、光ディスク規格の3T~11Tに相当するEFMエッジ間隔の測定結果を解析してジッタの評価を行っていた。よって、従来の光ディスク装置では、EFMエッジ間隔の測定結果のみの解析を行っており、ジッタの発生要因やその特性をより正確に把握するのが困難であり、ジッタ評価のための解析をより詳細に実施するには限界があった。

【課題を解決するための手段】

【0015】

50

前述した課題を解決するための主たる本発明は、光ディスクにレーザ光を照射し、前記光ディスクに記録されたマークにより変化される前記レーザ光の反射光を受光し、前記反射光の光量に応じた再生信号に基づいて前記光ディスクの評価を行う光ディスク装置において、前記再生信号の2値化信号における立ち上がりエッジ及び立ち下がりエッジ夫々の第1タイミングと、前記2値化信号に対して位相追従させた同期クロック信号における立ち上がりエッジ又は立ち下がりエッジの第2タイミングと、の位相が略一致する関係に基づいて、前記第1タイミングと、当該第2タイミングを基準として前記同期クロック信号の所定の位相がずれた前記同期クロック信号の第3タイミングと、の位相差を測定する測定回路、を有することとする。

【発明の効果】

10

【0016】

本発明によれば、ジッタ評価のための解析をより詳細に行なうことが可能な光ディスク装置及びその光ディスク評価方法を提供することができる。

【発明を実施するための最良の形態】

【0017】

<光ディスク装置の構成/動作>

=== 光ディスク装置の構成 ===

図2、3、4を適宜参照しつつ、図1に基づいて、本発明の一実施形態に係る光ディスク装置110の構成を説明する。なお、光ディスク装置110は、CD/DVDメディア等の光ディスク120に対してレーザ光を照射して情報の再生を行う装置とする。勿論、光ディスク記録も併せて行う装置としてもよい。

20

【0018】

さらに、光ディスク装置110は、『ジッタ』と呼ばれる光ディスク120から得られる再生信号の滲み具合を定量的に評価する機能を有する。当該ジッタを評価することによって、光ディスク120の記録品位や再生品位が評価されることとなる。なお、詳細は後述するが、ジッタは、EFM信号と同期クロック信号との位相差と、EFMエッジ間隔と、に基づいて定量的に評価される。

【0019】

光ピックアップ20は、光ディスク120にレーザ光を照射して、光ディスク120から情報を再生するものである。なお、光ピックアップ20は、光ディスク120に照射されるレーザ光の反射光を受光し、その反射光の強弱を電圧値の変化として取り出す。

30

【0020】

RFアンプ21は、光ピックアップ20によって光ディスク120から取り出された信号を、後段処理が取り扱い可能なレベルにまで増幅して、RF信号(『再生信号』)を生成するものである。また、RFアンプ21は、自身の増幅率を自動調整するAGC(Automatic Gain Control)機能や、トラッキングエラー信号やフォーカスエラー信号等の各種サーボ制御信号の生成機能を有する場合が多い。

【0021】

サーボ回路22は、RFアンプ21で生成されたサーボ制御信号に基づいて、光ピックアップ20に設けられた各種サーボ機構をサーボ制御する。これによって、例えば、光ディスク120上のマーク又はスペースに対応したデータを正しい順序で読み出せるように、光ピックアップ20の位置制御がなされる。

40

【0022】

2値化回路23は、RFアンプ21で生成されたRF信号が供給されて、このRF信号を2値化するための回路であり、例えば、RF信号レベルと所定のスライスレベルとの比較を行う比較器によって構成される。このRF信号の2値化信号は、通常モードの場合にはデコーダ回路24及び同期クロック信号生成回路25に供給され、光ディスク評価モードの場合には測定回路26に供給されることとする。

【0023】

なお、RF信号の2値化信号とは、CDメディアの場合にはEFM(8-14変調)信

50

号であり、DVDメディアの場合にはEFM-Plus(8-16変調)信号である。後述の説明では、光ディスク120はCDメディアの場合であり、RF信号の2値化信号はEFM信号の場合とする。

【0024】

デコーダ回路24は、2値化回路23から供給されるEFM信号に対してEFM復調処理を施す。さらに、EFM復調された信号に対してCIRC方式の誤り訂正処理を施す。これらのデコード処理された信号が、不図示のA/Dコンバータを介して、外部出力される。

【0025】

同期クロック信号生成回路25は、光ディスク120から得られたEFM信号が有するマーク又はスペースに同期した同期クロック信号(リードチャネルクロック信号、ビットクロック信号等)を生成するものである。具体的には、同期クロック信号生成回路25はPLL回路として構成されており、2値化回路23から供給されるEFM信号がPLL回路の基準クロック信号として処理される。そして、PLL回路による位相合わせ動作によって、EFM信号に位相追従させた同期クロック信号がVCO出力として取り出される。

【0026】

なお、同期クロック信号の基準周波数(1倍速)は、図2に示すように、光ディスク120のメディア種別毎に規格化されている。また、同期クロック信号は、理想的なEFM信号との間でつぎのような関係が成立することとなる。すなわち、理想的なEFM信号における立ち上がりエッジ及び立ち下がりエッジ夫々のタイミング(以下、『第1タイミング』)と、同期クロック信号における立ち上がりエッジ又は立ち下がりエッジのいずれか一方のタイミング(以下、『第2タイミング』)と、の位相が完全に一致する関係が成立するのである。なお、以下の説明では、同期クロック信号の第2タイミングとは、同期クロック信号の立ち上がりエッジのタイミングの場合とする。

【0027】

しかし、実際に記録された記録データを再生した結果得られるEFM信号と、同期クロック信号との間では、第1タイミングと第2タイミングについて位相が完全には一致せず、略一致する関係に止まり、各タイミング間において微小な位相差の変動がある。

【0028】

測定回路26は、位相差測定回路261と、EFMエッジ間隔測定回路262と、を有する。

【0029】

位相差測定回路261は、再生したEFM信号の第1タイミングと、同期クロック信号の第2タイミングとの位相が略一致する関係に基づいて、EFM信号の第1タイミングと、当該第2タイミングを基準として所定の位相がずれた同期クロック信号の立ち上がりエッジ又は立ち下がりエッジのタイミング(以下、『第3タイミング』)と、の位相差を測定するものである。なお、本実施形態では、半周期分位相がずれた同期クロック信号の立ち下がりエッジを第3タイミングとしている。

【0030】

EFMエッジ間隔測定回路262は、EFM信号の立ち上がりエッジから立ち下がりエッジまでのHレベルを示すH区間、又は、EFM信号の立ち下がりエッジから立ち上がりエッジまでのLレベルを示すL区間、を示すEFMエッジ間隔を測定するものである。

【0031】

測定回路26は、例えば、図3に示すような位相差測定並びにEFMエッジ間隔測定を実施する。なお、図3(a)は理想的なEFM信号の波形、図3(b)は光ディスク120から実際に得られる再生したEFM信号の波形、図3(c)は実際に得られたEFM信号をもとに生成された同期クロック信号の波形である。

【0032】

位相差測定回路261は、EFM信号(図3(b))の立ち上がりエッジの第1タイミングと、その直後の同期クロック信号(図3(c))の立ち下がりエッジの第3タイミン

10

20

30

40

50

グとの位相差（図3中に示す“ A ”、“ E ”）を測定するとともに、EFM信号（図3（b））の立ち下がりエッジの第1タイミングと、その直後の同期クロック信号（図3（c））の立ち下がりエッジの第3タイミングとの位相差（図3中に示す“ C ”、“ G ”）を測定する。

【0033】

EFMエッジ間隔測定回路262は、EFM信号（図3（b））の立ち上がりエッジから立ち下がりエッジまでのH区間（図3中に示す“ B ”、“ F ”）を測定するとともに、EFM信号（図3（b））の立ち下がりエッジから立ち上がりエッジまでのL区間（図3中に示す“ D ”、“ H ”）を測定する。

【0034】

メモリアクセス制御回路27は、メモリ28へのアクセス（書き込み/読み出し）を制御するものである。なお、メモリ28は、マイコン30がアクセス可能なDRAMやSDRAM等の記憶装置である。例えば、メモリアクセス制御回路27は、測定回路26において測定された位相差（A、C、E、G）及びEFMエッジ間隔（B、D、F、H）や、H区間若しくはL区間のいずれであることを示すH/L極性、メモリ28に対してデータが正常に書き込まれなかったことを示すエラーフラグ等を、メモリ28の所定の記憶領域へと書き込むための制御を行う。図4は、メモリ28に書き込まれる測定回路28の測定結果の一例を示すものである。

【0035】

統計演算回路29は、メモリアクセス制御回路27を介して、メモリ28に記憶されたEFMエッジ間隔等を読み出し、各種統計演算を施した結果を再びメモリ28の所定の記憶領域へと書き込むものである。例えば、統計演算回路29は、EFM信号の各EFMエッジ間隔（3T～11T）の出現頻度を算定することとなる。

【0036】

マイコン30は、光ディスク装置110全体の制御を司るプロセッサである。特に、マイコン30は、統計演算回路29によってメモリ28に書き込まれたEFM信号の各EFMエッジ間隔（3T～11T）の出現頻度をヒストグラム化して、ジッタを定量的に評価する。なお、ジッタの評価は、ヒストグラムに限られず、平均値や分散値等のその他の統計量を用いて実施しても良い。

【0037】

さらに、マイコン30は、測定回路26で測定された位相差が光ディスク120に応じた所定値（例えば、CDメディアの場合、 $(1/4.3218\text{MHz}) \div 2$ に相当する位相差）であるか否かの判定を行う。例えば、図3に示す例において、位相差A及びCは理想的な値であり、位相差Eは理想的な値よりも大きく、位相差Gは理想的な値よりも小さいことが判定される。

【0038】

ここで、マイコン30は、当該判定結果に基づいて、例えば、マークの先端側又は後端側において理想的な位置からのずれが生じている否かや、それらのずれ度合い等を識別することができる。すなわち、マイコン30は、EFMエッジ間隔の場合と同様に、EFM信号と同期クロック信号の位相差という新たな評価基準を用いて、ジッタを定量的に評価することとなる。

【0039】

また、マイコン30は、例えば、前述したような評価を光ディスク120の試し書き領域で行った後、光ディスク120の記録領域に記録すべきEFM信号を理想的なEFM信号（図3（a））に近づけるべく、つぎのような調整を行う。すなわち、マイコン30は、ライトストラテジ等によって、位相差Eを測定した際のEFM信号の立ち上がりエッジの第1タイミングを図3中に示すX分後方へずらし、また、位相差Gを測定した際のEFM信号の立ち下がりエッジの第1タイミングを図3中に示すY分前方へずらすよう調整を行うことができる。

【0040】

10

20

30

40

50

このように、光ディスク装置 110 は、ジッタを詳細且つ定量的に解析することができる。

【0041】

<カウンタによる測定>

図 5 は、測定回路 26 の一実施形態を示す図である。

位相差測定回路 261 は、フリップフロップ回路 401、403、E×OR 素子 402、一方の入力を反転させた二入力の AND 素子 404、第 1 のカウンタ回路 405、によって構成される。

【0042】

フリップ回路 401、E×OR 素子 402 によって構成される回路（『第 1 エッジ信号生成回路』）は、EFM 信号の第 1 タイミングを検出するとともに、当該検出した旨を示す信号（以下、『第 1 エッジ信号』と称する。）を生成するものである。 10

フリップ回路 403、AND 素子 404 によって構成される回路（『第 2 エッジ信号生成回路』）は、同期クロック信号の第 3 タイミングを検出するとともに、当該検出した旨を示す信号（以下、『第 2 エッジ信号』と称する。）を生成するものである。

第 1 のカウンタ回路 405 は、E×OR 素子 402 からの第 1 エッジ信号の供給を契機として、つぎに AND 素子 404 から第 2 エッジ信号が供給されるまでの間に相当する位相差を、所定のカウンタクロック信号に基づいてカウントするものである。

【0043】

EFM エッジ間隔測定回路 262 は、第 2 のカウンタ回路 406 によって構成され、E×OR 素子 402 から供給される第 1 エッジ信号に基づいて、EFM エッジ間隔を所定のカウンタクロック信号に基づいてカウントするものである。 20

なお、第 1 のカウンタ回路 405 は、カウンタ動作をする代わりに、第 2 のカウンタ回路 406 のカウント値を、第 2 エッジ信号を契機として取り込む構成としてもよい。

【0044】

<遅延回路による測定>

=== 測定回路の構成 ===

図 6 は、測定回路 26 のその他の実施形態を示す図である。

遅延回路 510 は、複数の第 1 遅延素子 511 を直列接続して構成され、入力側から EFM 信号を供給して出力側に向けて順次遅延させるものである。また、遅延回路 510 では、同期クロック信号の所定周期（例えば、一周期）分の遅延量が設定される。さらに、第 1 遅延素子 511 の遅延量 d_t は、「同期クロック信号の所定周期 / 第 1 遅延素子 511 の段数 S 」として設定される。 30

【0045】

例えば、同期クロック信号の所定周期を一周期（ $1T$ ）の場合とし、遅延回路 510 を構成する第 1 遅延素子 511 の段数 S を 16 段とする場合、1 つの第 1 遅延素子 511 の遅延量 d_t は " $1T / 16$ " に設定される。この場合、遅延回路 510 上に EFM 信号が伝播された期間が、EFM 信号の基準周期 $1T$ となるとき、第 1 遅延素子 511 夫々には入力側から出力側の順に " $T / 16$ " 毎に遅延された信号のレベルデータ（H 又は L）がバッファされた状態となる。 40

【0046】

PLL 回路 520 は、製造ばらつきや温度変化等によって第 1 遅延素子 511 の各遅延量のばらつきを抑えるべく設けられたものである。遅延回路 510 の遅延量として所定の精度が得られる場合には、PLL 回路 520 を設ける必要はない。

PLL 回路 520 は、VCO 521、第 1 分周回路 525、第 2 分周回路 526、位相比較器 527、LPF 528 を有する。

【0047】

VCO 521 は、遅延回路 510 の第 1 遅延素子 511 夫々に対応づけられた複数の第 2 遅延素子 522 がリング状に接続される。

また、第 2 遅延素子 522 夫々の一方の電源端子にはバイアス回路 524 で発生したバ 50

イアス電圧 V_b が供給され、第2遅延素子522夫々の他方の電源端子にはLPF528から制御電圧 V_t が供給されて構成される。すなわち、VCO521は、各第2遅延素子522の遅延量が制御電圧 V_t に基づいて制御されるものである。

【0048】

第1分周回路525は、VCO521の出力信号を“ $1/n$ ”に分周するものである。第2分周回路526は、PLL回路520の外部から供給される基準クロック信号を“ $1/m$ ”に分周するものである。

位相比較器527は、第1分周回路525の分周信号と、第2分周回路526の分周信号との位相比較を行うものである。

LPF528は、位相比較器527の出力信号に応じた制御電圧 V_t を生成するものである。 10

【0049】

ここで、PLL回路520において、所謂ロック状態となった場合とする。このとき、基準クロック信号の周波数 f_0 とすると、(数式1)：「 $d_t = (m/n) \cdot (1/2S \cdot f_0)$ 」の関係が成立する。

【0050】

さらに、遅延回路510を構成する第1遅延素子511は、VCO521を構成する第2遅延素子522と全く同一の構成であり、第2遅延素子522と同様にバイアス電圧 V_b 及び制御電圧 V_t が供給される。このため、遅延回路510の第1遅延素子511の遅延量は、VCO521の第2遅延素子522の遅延量 d_t と同一となり、ロック状態の場合には、基準クロック信号の周波数 f_0 に依存した一定な値となるのである。 20

【0051】

データ保持回路600は、図7に示すように、遅延回路510における各第1遅延素子511より取得されるEFM信号の複数のレベルデータを一括保持するものである。具体的には、遅延回路510上でのEFM信号の伝播期間が、同期クロック信号の一周期、すなわちEFM信号の基準周期 $1T$ の場合には、遅延回路510を構成する第1遅延素子511夫々には、遅延回路510の入力側から出力側の順に、順次遅延された信号のレベルデータ(H又はL)がバッファされた状態となる。そこで、データ保持回路600の複数のフリップフロップ回路601は、EFM信号の基準周期 $1T$ を経過する毎に、遅延ライン510から取得したEFM信号の基準周期 $1T$ に相当する複数のレベルデータを一括保持するのである。 30

【0052】

ここで、データ保持回路600においてEFM信号の複数のレベルデータが一括保持されるサイクル周期と、遅延回路510においてEFM信号が全ての第1遅延素子511に伝播されるサイクル周期と、は同期がとれている。PLL回路520における遅延量制御及びデータ保持回路600におけるデータ保持処理において、共通の同期クロック信号を用いたことに起因する。

データ処理回路700は、データ保持回路600において一括保持された複数のレベルデータに対して、マイコン30が解析しやすいデータフォーマットへと変換するものである。 40

【0053】

なお、データ処理回路700は、例えば、EFMエッジ間隔並びに位相差をつぎのように識別するとともに所定のデータを生成する。

【0054】

まず、データ保持回路600に保持された状態の複数のレベルデータは、EFM信号のどの $1T$ 期間に相当するレベルデータ群に属するかが不明である。このため、データ処理回路700は、データ保持回路600から少なくとも $3T$ 以上の期間に相当するレベルデータ群を解析し、当該レベルデータ群におけるHからL若しくはLからHへの極性反転タイミング(第1タイミング)を識別する。そして、データ処理回路700は、識別された極性反転タイミングに基づいて、EFMエッジ間隔の実測長のデータや、そのEFMエッ 50

ジ間隔データが H / L のいずれの極性であるかを示す H / L 極性データ等を生成する。

【 0 0 5 5 】

さらに、データ処理回路 7 0 0 は、一括保持された複数のレベルデータに基づいて E F M 信号の第 1 タイミングを検出するとともに、当該検出された第 1 タイミングと、一括保持された複数のレベルデータに対応した同期クロック信号の所定周期における第 3 タイミングとの差分を、位相差として識別する。そして、データ処理回路 7 0 0 は、識別された位相差のデータや、当該位相差を識別した際の E F M 信号のエッジの極性データ（立ち上がりエッジ又は立ち下がりエッジ）等を生成する。

なお、データ処理回路 7 0 0 における処理は、マイコン 3 0 が実施してもよい。

【 0 0 5 6 】

＝ ＝ 光ディスク装置の動作の具体例 ＝ ＝

図 8 をもとに、データ保持回路 6 0 0 において一括保持された複数のレベルデータがジッタの評価に利用される場合の実施態様を説明する。なお、同図には、第 1 遅延素子 5 1 1 の段数 S が 4 段であり、データ保持回路 6 0 0 には 4 つのフリップフロップ回路 6 0 1 が設けられる場合を示してある。

【 0 0 5 7 】

同図に示す例では、期間 A から期間 E までの計 5 T の期間にわたって、データ保持回路 6 0 0 に一括保持されたレベルデータ群により、H レベル期間 3 T に相当する E F M 信号を観測することができる。

【 0 0 5 8 】

そこで、データ処理回路 7 0 0 は、期間 A から期間 E までの間にデータ保持回路 6 0 0 に一括保持されたレベルデータ群を解析する。この結果、期間 A に対応するレベルデータ “ 0 0 0 1 ” によって、E F M 信号の L から H への極性反転タイミング（第 1 タイミング）を識別する。また、期間 B から期間 D までのレベルデータが連続して “ 1 ” である旨を識別する。さらに、期間 E に対応するレベルデータ “ 1 0 0 0 ” によって、E F M 信号の H から L への極性反転タイミング（第 1 タイミング）を識別する。

【 0 0 5 9 】

この結果、データ処理回路 7 0 0 は、期間 A 及び期間 E で識別された極性反転タイミングに基づいて、H レベル期間 3 T に相当する E F M 信号の実測長を示す E F M エッジ間隔データや、その E F M エッジ間隔データが H である旨を示す H / L 極性データを生成する。

【 0 0 6 0 】

さらに、データ処理回路 7 0 0 は、期間 A における第 1 タイミングと、期間 A に対応した同期クロック信号の第 3 タイミングと、の差分を位相差として識別する。図 8 に示す例の場合、識別される位相差は $3 T / 4$ である。

【 0 0 6 1 】

また、データ処理回路 7 0 0 は、期間 E における第 1 タイミングと、期間 E に対応した同期クロック信号の第 3 タイミングと、の差分を位相差として識別する。図 8 に示す例の場合、識別される位相差は $T / 4$ である。

【 0 0 6 2 】

このように、本測定回路 2 6 では、データ保持回路 6 0 0 において一括保持された複数のレベルデータは、遅延回路 5 1 0 から一括して取得されたデータであり、遅延回路 5 1 0 の遅延量に応じた期間（例えば、E F M 信号の基準周期 1 T）あたりの各サンプルデータに相当する。ここで、マイコン 3 0 は、ジッタの評価に際して、E F M エッジ間隔並びに位相差を識別すべく、遅延回路 5 1 0 の遅延量に応じた期間あたりの各サンプルデータを一度に参照することができる。

【 0 0 6 3 】

よって、図 5 に示す第 1 及び第 2 のカウンタ 4 0 5、4 0 6 を用いた場合と比較して、E F M エッジ間隔及び位相差をカウンタクロック信号に基づいて逐次測定する処理が不要となる。すなわち、図 5 に示す第 1 及び第 2 のカウンタ 4 0 5、4 0 6 を用いた場合、よ

10

20

30

40

50

り高い測定精度（分解能）を獲得すべくカウンタクロック信号の高周波化が必須であるが、本測定回路 26 の場合、そのような制約がなく、より高い測定精度（分解能）を容易に達成できる。

【0064】

=== ライトストラテジ回路との共用化 ===

図 9 は、本発明のその他の実施形態に係る光ディスク装置 130 の構成を示す図である。なお、図 1 に示す光ディスク装置 110 と同一の構成要素については同一の符号を付して説明は省略する。

【0065】

光ディスク装置 130 は、光ピックアップ 20、アナログ信号処理回路 140、デジタル信号処理回路 150、マイコン 30、によって構成され、光ディスク 120 にレーザ光を照射して情報の記録再生を行う装置とする。

10

【0066】

光ピックアップ 20 は、LD 201、PD 203、LD 駆動回路 204、その他、対物レンズや各種サーボ機構を備える。

【0067】

LD 201 は、LD 駆動回路 204 から供給される駆動電流 I_{LD} に基づいて、光ディスク 120 に対して記録 / 再生を行うためのレーザ光を出射する発光素子である。なお、LD 201 の駆動方式（ライトストラテジ）としては、光ディスク 120 が追記型光ディスクの場合、マルチパルス変調方式のパターンが用いられる。すなわち、トップパルスとマルチパルスによる記録パルスによって 1 つの記録マーク（記録データ）を生成するようにして、記録マークに生ずる熱分布を制御するのである。なお、記録パルスは、ライトパワー P_w とバイアスパワー P_b の 2 値のパワーレベルで形成される。

20

【0068】

PD 203 は、光ディスク 120 からの反射光の一部を受光して、この受光光量に比例した受光電流 I_{PD} を生成する受光素子である。この受光電流 I_{PD} は電圧に変換されて RF アンプ 21 に供給される。この結果、RF アンプ 21 では、RF 信号や各種サーボ制御信号が生成される。

【0069】

LD 駆動回路 204 は、スイッチ 208、212 の ON / OFF を切り替えることで生成される変調信号 V_{mod} に基づいて、LD 201 を駆動するための駆動電流 I_{LD} を生成する。

30

【0070】

アナログ信号処理回路 140 は、光ディスク駆動用アナログ信号処理を行うものである。例えば、アナログ信号処理回路 140 は、RF 信号や各種サーボ制御信号を生成する RF アンプ 21 を有する他、ライトパワー設定部 207、バイアスパワー設定部 211 を有する。

【0071】

ライトパワー設定部 207 は、ライトパワー信号 V_{WDC} を生成し、スイッチ 208 が ON した場合に、LD 駆動回路 204 に供給される。バイアスパワー設定部 211 は、バイアスパワー信号 V_{BDC} を生成し、スイッチ 212 が ON した場合に、LD 駆動回路 204 に供給される。よって、LD 駆動回路 204 は、ライトパワー設定部 207 で生成されたライトパワー信号 V_{WDC} と、バイアスパワー設定部 211 で生成されたバイアスパワー信号 V_{BDC} とが合成された変調信号 V_{mod} に基づいて LD 201 を駆動することとなる。

40

【0072】

デジタル信号処理回路 150 は、デジタルサーボ処理やエンコード / デコード処理等、光ディスク制御用デジタル信号処理を行うものである。すなわち、図 1 に示す点線枠内の光ピックアップ 20 及び RF アンプ 21 を除いた構成要素が、デジタル信号処理回路 150 に設けられる。また、光ディスク装置 130 は、光ディスク記録を行うべく、エンコー

50

ダ回路 31、ライトストラテジ回路 800 を更に有する。

【0073】

エンコーダ回路 31 は、外部装置（パーソナルコンピュータ等）から供給される光ディスク 120 への記録データ（画像 / 音声 / 映像データ等）に対して、光ディスク 120 の規格に応じた所定の変調処理を行うものである。

【0074】

ライトストラテジ回路 800 は、エンコーダ回路 31 によって記録データに対して所定の変調処理を施した変調データに基づいて変調スイッチ信号 Smod を生成し、変調スイッチ信号 Smod をスイッチ 208、212 に供給する。この結果、変調スイッチ信号 Smod に基づいたスイッチ 208、212 の ON / OFF 切り替えによって、LD 駆動回路 204 に供給される変調信号 Vmod、すなわち、光ディスク 120 へ記録を行うための記録パルスが生成される。

10

【0075】

また、ライトストラテジ回路 800 には、光ディスク 120 の種類や回転速度によって記録状態が変化することへの対策として、ライトストラテジ回路 800 によって生成された記録パルスをレーザ機構に直接送出するのではなく、当該記録パルスを遅延させてレーザ機構に送出するための遅延制御回路 801 及びセクタ 802 を設けることが提案されている。例えば、特開平 11 - 273252 号公報の図 2 に開示される。

【0076】

遅延制御回路 801 は、図 6 と同様に、遅延素子が複数段直列に接続された遅延回路と、遅延回路の遅延量を制御するための PLL 回路を有する。遅延制御回路 801 は、エンコーダ回路 31 で生成された EFM 信号等、記録パルスの生成元となる信号を、PLL 回路によって遅延量が設定された遅延回路の各遅延素子によって順次遅延させる。

20

【0077】

セクタ 802 は、遅延制御回路 801 における遅延回路の各段の遅延素子からいずれかの出力を選択して遅延信号として取り出すものである。この遅延信号に基づいて、様々な記録状態に適した変調スイッチ信号 Smod、ひいては記録パルスが生成されることとなる。

【0078】

そこで、光ディスク装置 130 では、図 6 に示した遅延回路 510 を、ライトストラテジ回路 800 の遅延制御回路 801 と共用化を図ることとする。すなわち、2 値化回路 23 において生成された EFM 信号は、遅延制御回路 801 の入力側に供給されて順次遅延される。一方、データ保持回路 600 は、遅延制御回路 801 を構成する各遅延素子のいずれかがより得られた EFM 信号の複数のレベルデータを一括保持することとなる。この結果、光ディスク装置 130 において、図 6 に示した遅延回路 500 を新たに設ける必要がなくなり、その分、デジタル信号処理回路 150 の回路規模の削減や、消費電力の低減化が図られることとなる。

30

【0079】

以上、本発明の実施形態について説明したが、前述した実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更 / 改良され得るとともに、その等価物も含まれるものである。

40

【図面の簡単な説明】

【0080】

【図 1】本発明の実施形態に係る光ディスク装置の全体的な構成を示す図である。

【図 2】本発明の実施形態に係るメディア毎の同期クロック信号の基準周波数を示す図である。

【図 3】本発明の実施形態に係る EFM 信号と同期クロック信号との位相関係を説明する図である。

【図 4】本発明の実施形態に係るメモリに書き込むデータ内容を示す図である。

50

【図5】本発明の実施形態に係る測定回路の構成を示す図である。

【図6】本発明のその他の実施形態に係る測定回路の構成を示す図である。

【図7】本発明のその他の実施形態に係る測定回路の動作を説明する図である。

【図8】本発明のその他の実施形態に係る測定回路の動作を説明する図である。

【図9】本発明のその他の実施形態に係る測定回路をライトストラテジ回路の遅延制御回路と共用化した場合の光ディスク装置の全体的な構成を示す図である。

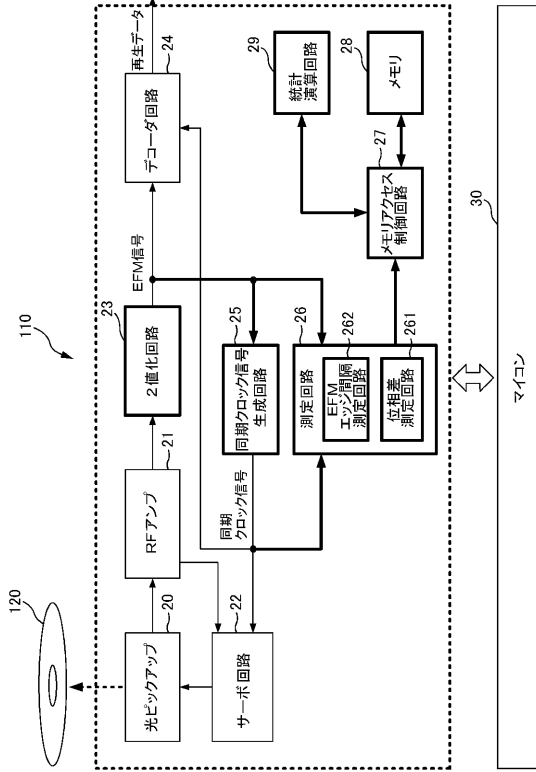
【図10】従来の光ディスク装置の全体的な構成を示す図である。

【符号の説明】

【0081】

10、20	光ピックアップ	201	LD (Laser Diode)	10
203	PD (Photo Detector)	204	LD 駆動回路	
11、120	光ディスク	12、22	サーボ回路	
13、23	2値化回路	14	デジタル信号処理回路	
15	CD-ROMデコーダ	16	バッファRAM	
17、30	マイコン	18	カウンタ	
21	RFアンプ	24	デコーダ回路	
25	同期クロック信号生成回路	26	測定回路	
261	位相差測定回路	262	EFMエッジ間隔測定回路	
27	メモリアクセス制御回路	28	メモリ	
29	統計演算回路	31	エンコーダ回路	20
401、403	フリップフロップ回路			
402	EXOR素子	404	AND素子	
405	第1のカウンタ回路	406	第2のカウンタ回路	
510	遅延回路	511	第1遅延素子	
520	PLL回路	521	VCO (Voltage Control Oscillator)	
522	第2遅延素子	523	インバータ素子	
524	バイアス回路	525	第1分周回路	
526	第2分周回路	527	位相比較器	
528	LPF (Low Pass Filter)			
600	データ保持回路	601	フリップフロップ回路	30
700	データ処理回路	800	ライトストラテジ回路	
801	遅延制御回路	802	セレクタ	
100	CD記録再生装置	110、130	光ディスク装置	
140	アナログ信号処理回路	150	デジタル信号処理回路	
207	ライトパワー設定部	211	バイアスパワー設定部	
208、212	スイッチ			

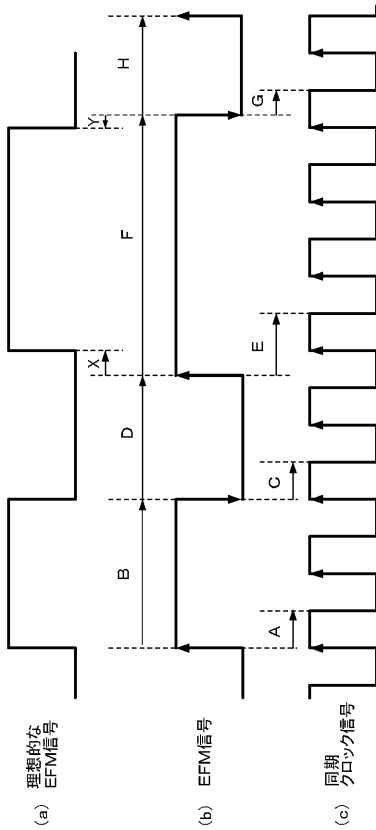
【 図 1 】



【 図 2 】

メディア種別	同期クロック信号の基本周波数(1倍速)
CD	4.3218MHz
DVD±R/RW	26.15625MHz
DVD-RAM Rewritable Area	29.18MHz
DVD-RAM(Ver.1.0) Emboss Area	26.16MHz

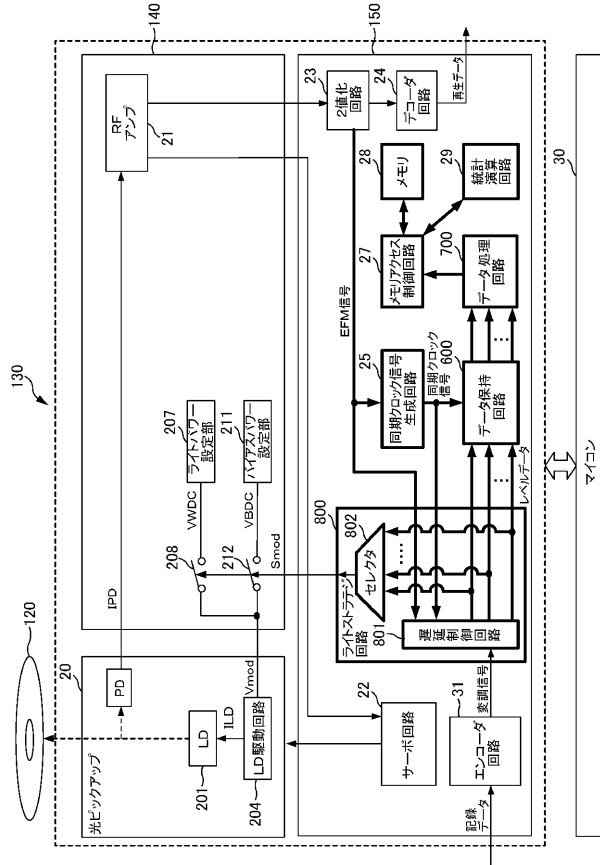
【 図 3 】



【 図 4 】

エラーフラグ (1bit)		位相差		EFMエッジ間隔	
H/L 極性 (1bit)	0	A	C	B	D
1	0	A	C	B	D
0	0	C	E	F	H
1	0	E	G
0	0	G
...

【図9】



【図10】

