

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-253880
(P2004-253880A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03K 17/16	H03K 17/16	5F038
H01L 21/82	H01L 27/04	5F064
H01L 21/822	H01L 21/82	5J039
H01L 27/04	H01L 21/82	5J055
H03K 5/15	H03K 17/687	5J056
審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2003-39623 (P2003-39623)
(22) 出願日 平成15年2月18日 (2003.2.18)

(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100088328
弁理士 金田 暢之
(74) 代理人 100106297
弁理士 伊藤 克博
(74) 代理人 100106138
弁理士 石橋 政幸
(72) 発明者 本田 孝夫
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 5F038 CD06 DF01 DF08 EZ20
5F064 BB19 BB26 CC12 DD09 EE54
5J039 EE21 MM04
最終頁に続く

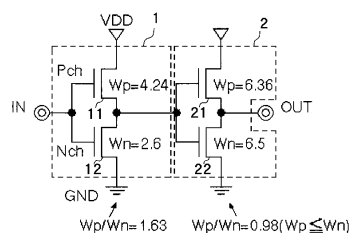
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 クロックツリーシンセシスに流れる充放電電流を低減して回路全体の消費電流を低減した半導体集積回路装置を提供する。

【解決手段】 基準クロックの立ち上がりエッジまたは立ち下りエッジのいずれか一方に同期して動作するクロック同期式回路と、クロック同期式回路に基準クロックを分配するための複数のクロックバッファ回路とを有する半導体集積回路装置であって、クロックバッファ回路は、クロック同期式回路が同期動作しない基準クロックの一方のエッジで負荷をドライブする、基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第1のトランジスタ、及び基準クロックの他方のエッジで負荷をドライブする、キャリアの種類が第1のトランジスタと異なる、第1のトランジスタよりも大きなゲート幅で形成された第2のトランジスタを備えたインバータを有する構成とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路と、前記クロック同期式回路に前記基準クロックを分配するための複数のクロックバッファ回路とを有する半導体集積回路装置であって、

前記クロックバッファ回路は、

前記クロック同期式回路が同期動作しない前記基準クロックの一方のエッジで負荷をドライブする、前記基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第 1 のトランジスタ、及び前記クロック同期式回路が同期動作する前記基準クロックの他方のエッジで負荷をドライブする、チャンネル中で利用するキャリアの種類が前記第 1 のトランジスタと異なる、前記第 1 のトランジスタよりも大きなゲート幅で形成された第 2 のトランジスタを備えたインバータを有する半導体集積回路装置。

10

【請求項 2】

前記第 1 のトランジスタは P チャンネル電界効果型トランジスタであり、

前記第 2 のトランジスタは N チャンネル電界効果型トランジスタであり、

前記クロック同期式回路は前記基準クロックの立下りエッジに同期して動作する請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記インバータの入力容量に基づいてゲート幅が適正に設定された、N チャンネル電界効果型トランジスタ、及び該 N チャンネル電界効果型トランジスタよりもゲート幅が広い P チャンネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置される初段インバータを有する請求項 1 または 2 記載の半導体集積回路装置。

20

【請求項 4】

前記インバータの入力容量に基づいてゲート幅が適正に設定された、N チャンネル電界効果型トランジスタ、及び該 N チャンネル電界効果型トランジスタよりもゲート幅が広い P チャンネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置され、イネーブル信号にしたがって前記インバータに前記基準クロックを供給するゲート回路を有する請求項 1 または 2 記載の半導体集積回路装置。

【請求項 5】

前記ゲート回路は、NAND ゲートである請求項 4 記載の半導体集積回路装置。

30

【請求項 6】

前記クロックバッファ回路を用いて構成されたクロックツリーシンセシスを有する請求項 1 乃至 5 のいずれか 1 項記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式の回路を備えた半導体集積回路装置に関する。

【0002】

40

【従来の技術】

ASIC (Application Specific Integrated Circuit) 等の半導体集積回路装置では、基準クロックに同期して動作する複数のフリップフロップ (以下、F/F と称す) 等を備えたクロック同期式回路が形成されている場合、各 F/F には基準クロックを分配するための複数のクロックバッファ回路を用いて基準クロックが供給される。

【0003】

図 7 は従来の半導体集積回路装置が備えるクロックバッファ回路の構成を示す回路図であり、図 8 は図 7 に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。また、図 9 は図 7 に示したクロックバッファ回路を用いたクロックツリーシンセシ

50

スの一構成例を示す回路図である。

【0004】

図7に示すように、従来のクロックバッファ回路は、ゲートどうし及びドレインどうしが接続されたPチャネル電界効果型トランジスタ（以下、Pチャネルトランジスタと称す）51及び該Pチャネルトランジスタ51とチャンネル中で利用するキャリアの種類が異なるNチャネル電界効果型トランジスタ（以下、Nチャネルトランジスタと称す）52から構成される、基準クロックがそれぞれのゲートから入力される第1のインバータ5と、ゲートどうし及びドレインどうしが接続されたPチャネルトランジスタ61及びNチャネルトランジスタ62から構成される、負荷をドライブする第2のインバータ6とを有する構成である。Pチャネルトランジスタ51、61のソースはそれぞれ電源VDDに接続され、Nチャネルトランジスタ52、62のソースはそれぞれ接地電位GNDに接続されている。

10

【0005】

従来のクロックバッファ回路は、ASIC等で汎用的に用いることを前提としているため、基準クロックの立ち上がりエッジに同期して動作するクロック同期式回路、あるいは立下りエッジに同期して動作するクロック同期式回路のどちらにも対応できるように、入力された基準クロックと同様の波形を出力する。例えば、デューティ50%の基準クロックが入力された場合、クロックバッファ回路は、図8に示すように立ち上がり時間と立下り時間の遅延量がほぼ等しく、かつ立ち上がりエッジと立下りエッジとがそれぞれ入力波形と同様形状のデューティ50%のパルス列を出力する。

20

【0006】

そのため、従来のクロックバッファ回路では、各インバータのPチャネルトランジスタがNチャネルトランジスタよりも大きなサイズで形成されている。すなわち、PチャネルトランジスタがNチャネルトランジスタよりも広いゲート幅で形成されている。具体的には、図7に示すように、前段に配置される第1のインバータ5は、ゲート幅 $W_p = 8.472 \mu\text{m}$ のPチャネルトランジスタ51と、ゲート幅 $W_n = 2.82 \mu\text{m}$ のNチャネルトランジスタ52とによって形成され、後段に配置される第2のインバータ6は、ゲート幅 $W_p = 16.944 \mu\text{m}$ のPチャネルトランジスタ61と、ゲート幅 $W_n = 6.24 \mu\text{m}$ のNチャネルトランジスタ62とによって形成される。このとき、第1のインバータ5のトランジスタサイズ比は $W_p / W_n = 3.00$ となり、第2のインバータ6のトランジスタサイズ比は $W_p / W_n = 2.72$ となる。これは、トランジスタサイズが等しいとき、Pチャネルトランジスタの方がNチャネルトランジスタよりも駆動能力が低いことに起因して採られる処置である。

30

【0007】

従来の半導体集積回路装置においては、上記クロックバッファ回路50を用いて図9に示すようなクロックツリーシンセシス（以下、CTSと称す）を構成することで、クロック同期式回路が備える複数のF/Fにデューティ比及びスキューが等しいクロックをそれぞれ分配していた。図9は、CTSに基準クロックの立ち上がりエッジで動作する $posedge_{F/F60}$ が接続される例を示している。

40

【0008】

なお、半導体集積回路装置における信号の高速伝搬を目的として、CMOS回路のPチャネルトランジスタとNチャネルトランジスタのサイズ比を非対称にする構成が、例えば、特許文献1で提案されている。

【0009】

【特許文献1】

特開平8-181596号

【0010】

【発明が解決しようとする課題】

近年の半導体集積回路装置は、携帯電話機やPDA等の移動端末でも用いられるため、処理の高速化と共に消費電力の低減がより一層求められている。

50

【 0 0 1 1 】

しかしながら、上記したような従来の半導体集積回路装置では、クロックバッファ回路のPチャネルトランジスタがNチャネルトランジスタよりも大きなサイズで形成されているため（通常2～3倍程度）、ゲート容量が増大してクロックバッファ回路の入力容量が大きくなる。

【 0 0 1 2 】

したがって、従来のクロックバッファ回路を用いて上記CTSを構成すると、入力容量が大きいクロックバッファ回路がその前段のクロックバッファ回路の負荷となるため、負荷として接続可能なクロックバッファ回路の数が制限され、結果としてCTSを構成するクロックバッファ回路の数が多くなる。そのため、基準クロックによるスイッチング動作でCTSに流れる充放電電流が増大し、半導体集積回路装置全体の消費電流が増大する問題があった。

10

【 0 0 1 3 】

特に、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路の場合、上記従来のクロックバッファ回路を用いてCTSを構成すると、不要な基準クロックのエッジで、大きなサイズのPチャネルトランジスタにより後段の回路をドライブすることになるため、CTSの消費電流が必要以上に増大する問題があった。

【 0 0 1 4 】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、CTSに流れる充放電電流を低減して回路全体の消費電流を低減した半導体集積回路装置を提供することを目的とする。

20

【 0 0 1 5 】

【課題を解決するための手段】

上記目的を達成するため本発明の半導体集積回路装置は、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路と、前記クロック同期式回路に前記基準クロックを分配するための複数のクロックバッファ回路とを有する半導体集積回路装置であって、

前記クロックバッファ回路は、

前記クロック同期式回路が同期動作しない前記基準クロックの一方のエッジで負荷をドライブする、前記基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第1のトランジスタ、及び前記クロック同期式回路が同期動作する前記基準クロックの他方のエッジで負荷をドライブする、チャンネル中で利用するキャリアの種類が前記第1のトランジスタと異なる、前記第1のトランジスタよりも大きなゲート幅で形成された第2のトランジスタを備えたインバータを有する構成である。

30

【 0 0 1 6 】

このとき、前記第1のトランジスタはPチャネル電界効果型トランジスタであり、前記第2のトランジスタはNチャネル電界効果型トランジスタであり、前記クロック同期式回路は前記基準クロックの立下りエッジに同期して動作する構成が好ましい。

40

【 0 0 1 7 】

また、前記インバータの入力容量に基づいてゲート幅が適正に設定された、Nチャネル電界効果型トランジスタ、及び該Nチャネル電界効果型トランジスタよりもゲート幅が広いPチャネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置される初段インバータ、または、

前記インバータの入力容量に基づいてゲート幅が適正に設定された、Nチャネル電界効果型トランジスタ、及び該Nチャネル電界効果型トランジスタよりもゲート幅が広いPチャネル電界効果型トランジスタから構成される、前記クロックバッファ回路の入力段に配置され、インーブル信号にしたがって前記インバータに前記基準クロックを供給するゲート回路を有していてもよい。

50

【0018】

また、前記クロックバッファ回路を用いて構成されたクロックツリーシンセシスを有していてもよい。

【0019】

上記のように構成された半導体集積回路装置では、クロックバッファ回路に、クロック同期式回路が同期動作しない基準クロックの一方のエッジで負荷をドライブする、基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第1のトランジスタ、及びクロック同期式回路が同期動作する基準クロックの他方のエッジで負荷をドライブする、チャンネル中で利用するキャリアの種類が第1のトランジスタと異なる、第1のトランジスタよりも大きなゲート幅で形成された第2のトランジスタを備えたインバータを有することで、第1のトランジスタのサイズを従来よりも小さくできるため、該インバータの入力容量を低減することができる。

10

【0020】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【0021】

(第1の実施の形態)

図1は本発明の半導体集積回路装置の第1の実施の形態が備えるクロックバッファ回路の構成を示す回路図であり、図2は図1に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。また、図3は図1に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

20

【0022】

本実施形態のクロックバッファ回路は、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路に適用する構成であり、CTSを構成する各クロックバッファ回路について、同期動作しない基準クロックのエッジでドライブするトランジスタのサイズを小さく形成し、クロックバッファ回路の入力容量を低減した構成である。

【0023】

図1に示すように、第1の実施の形態のクロックバッファ回路は、従来と同様に、ゲートどうし及びドレインどうしが接続されたPチャンネルトランジスタ11及びNチャンネルトランジスタ12から構成される、基準クロックがそれぞれのゲートから入力される第1のインバータ1と、ゲートどうし及びドレインどうしが接続されたPチャンネルトランジスタ21及びNチャンネルトランジスタ22から構成される、負荷をドライブする第2のインバータ2とを有する構成である。Pチャンネルトランジスタ11、21のソースはそれぞれ電源VDDに接続され、Nチャンネルトランジスタ12、22のソースはそれぞれ接地電位GNDに接続されている。

30

【0024】

一般に、基準クロックの立ち上がりエッジまたは立下りエッジのいずれか一方に同期して動作するクロック同期式回路においては、同期動作しない立ち上がりエッジまたは立下りエッジが急峻に変化しなくても回路動作に影響を及ぼすことは無い。したがって、基準クロックの波形が、複数のゲート回路(クロックバッファ)を通過することで消失しない範囲内で、同期動作しない立ち上がりエッジまたは立下りエッジを鈍らせる(立ち上がり時間または立下り時間が長い)ことができる。

40

【0025】

本実施形態のクロックバッファ回路は、立下りエッジのみに同期して動作するクロック同期式回路で用いることを前提として、クロックバッファ回路は、図2に示すように立ち上がりエッジが鈍り、立下りエッジが従来と同様に急峻に変化するパルスを出力する。

【0026】

そのため、本実施形態のクロックバッファ回路では、同期動作しない立ち上がりエッジで負荷をドライブする第2のインバータ2のPチャンネルトランジスタ21のサイズを小さく

50

し、同期動作する立ち下がりエッジで負荷をドライブするNチャンネルトランジスタ22のサイズを従来と同程度にする。また、第1のインバータ1のPチャンネルトランジスタ11及びNチャンネルトランジスタ12は、第2のインバータ2のPチャンネルトランジスタ21のサイズの低下に合わせてそれぞれのサイズを小さくする。すなわち、第1のインバータ1の各トランジスタは第2のインバータ2の入力容量に基づいてゲート幅を適正に設定し、Pチャンネルトランジスタ11のゲート幅 W_p をNチャンネルトランジスタ12のゲート幅 W_n よりも広く形成し($W_p > W_n$)する。また、後段に配置される第2のインバータ2は、Pチャンネルトランジスタ21のゲート幅 W_p をNチャンネルトランジスタ22のゲート幅 W_n 以下($W_p \leq W_n$)に形成する。このとき、Pチャンネルトランジスタ21のゲート幅 W_p の下限値は上記パルス消失等が起きない値とする。

10

【0027】

具体的には、図1に示すように、第1のインバータ1は、ゲート幅 $W_p = 4.24 \mu m$ のPチャンネルトランジスタ11と、ゲート幅 $W_n = 2.6 \mu m$ のNチャンネルトランジスタ12とによって形成され、第2のインバータ2は、ゲート幅 $W_p = 6.36 \mu m$ のPチャンネルトランジスタ21と、ゲート幅 $W_n = 6.5 \mu m$ のNチャンネルトランジスタ22とによって形成される。このとき、第1のインバータ1のトランジスタサイズ比は $W_p / W_n = 1.63$ となり、第2のインバータ2のトランジスタサイズ比は $W_p / W_n = 0.98$ となる。

【0028】

本実施形態では、このような2つのインバータから構成されるクロックバッファ回路10を用いて図3に示すようなCTSを構成する。図3に示すように、本実施形態では、立下りエッジのみに同期して動作するクロック同期式回路で用いるため、CTSにはクロックの立下りエッジで動作する $negedge F / F_{20}$ 等が接続される。これらの F / F_{20} には、基準クロックの立下りエッジを基準にして遅延量及びスキュー等が調整されたクロックがCTSからそれぞれ供給される。

20

【0029】

本実施形態の半導体集積回路装置によれば、クロックバッファ回路の最終段のインバータ(本実施形態では第2のインバータ)のPチャンネルトランジスタのサイズを小さくすることで、その前段のインバータ(本実施形態では第1のインバータ)でドライブすべき負荷容量が小さくなるため、前段のインバータのトランジスタサイズもそれに合わせて小さくすることが可能になり、クロックバッファ回路の入力容量を小さくすることができる。そして、このクロックバッファ回路を用いてCTSを構成することで、前段のクロックバッファ回路でドライブすべき負荷容量が小さくなるため、従来のCTSに比べてクロックバッファ回路の数を低減できる。よって、CTSのスイッチング動作による充放電電流が低減され、CTSの消費電流が低減される。

30

【0030】

CTSは、半導体集積回路装置内に形成される回路の中で動作率が最も高く、またCTSに使用されるクロックバッファ回路の数は数百個以上となる。したがって、CTSのスイッチング動作による充放電電流は半導体集積回路装置回路全体の消費電流に対する占める割合が大きい。したがって、本実施形態のようにCTSの消費電流を低減すれば半導体集積回路装置全体の消費電流を大きく低減することができる。

40

【0031】

また、クロックバッファ回路の各インバータのトランジスタサイズを小さくすることで、クロックバッファ回路自身の消費電流が低減し、レイアウト面積も小さくできる。

【0032】

本実施形態を、例えばゲート長が $160 \mu m$ のデザインルールで製造されるCPUコアに適用すると、表1に示すような結果が得られた。

【0033】

【表1】

	本発明のク ロックバッ ファ	従来 のク ロックバ ッファ	減少率	備考
レイアウト面積 [$\mu\text{m} \times \mu\text{m}$]	6.72×5.0 4 (12Grid)	8.4×5.04 (15Grid)	80[%] (-3Grid)	
入力容量[pF]	0.00974	0.016	60.8[%]	
単体電力(1トグル) [mW]	0.102	0.167	61.4[%]	入力波形鈍り: 0.01[nS], 出力負荷: 0.005[pF]時
CTS 使用数[個]	311	548	56.8[%]	
CTS 電 力 (100MHz) [mW]	8.11	10.9	74.2[%]	

(参考)

クロックバッファ 遅延量(rise) [nS]	0.350	0.236	148.3[%]	入力波形鈍り: 0.4[nS], 出力負荷: 0.3[pF]時
クロックバッファ 遅延量(fall) [nS]	0.230	0.224	102.7[%]	

【0034】

(第2の実施の形態)

図4は本発明の半導体集積回路装置の第2の実施の形態が備えるクロックバッファ回路の構成を示す回路図であり、図5は図4に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。また、図6は図5に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【0035】

第2の実施の形態のクロックバッファ回路は、図4に示すように第1のインバータに代えてNANDゲート3を有する構成である。

【0036】

図4に示すように、NANDゲート3は、ゲートどうし及びドレインどうしが接続され、ゲートから基準クロックCLKが入力される第1のPチャネルトランジスタ31及び第1のNチャネルトランジスタ33と、第1のPチャネルトランジスタ31及び第1のNチャネルトランジスタ33とドレインどうしが接続され、ゲートからイネーブル信号ENが入力される第2のPチャネルトランジスタ32と、第1のNチャネルトランジスタ33のソースにドレインが接続され、第2のPチャネルトランジスタ32とゲートどうしが接続された第2のNチャネルトランジスタ34とを有する構成である。第1のPチャネルトランジスタ31のソース、及び第2のPチャネルトランジスタ32のソースはそれぞれ電源VDDに接続され、第2のNチャネルトランジスタ34のソースは接地電位GNDに接続されている。なお、ここでは、クロックバッファ回路の入力段をインバータからNANDゲート3に置き換えた例を示したが、NANDゲートではなくNORゲート等でも同様の回路を構成できる。

【0037】

第2の実施の形態のクロックバッファ回路は、イネーブル信号ENによって出力が制御される構成である。例えばデューティ50%の基準クロックが入力された場合、本実施形態のクロックバッファ回路は、イネーブル信号ENが“High”の期間、図5に示すよう

10

20

30

40

50

に立ち上がりエッジを鈍らせ、立下りエッジを従来と同様に急峻に変化させたパルス列を出力する。また、イネーブル信号ENが“Low”の期間は、図5に示すように“Low”で出力を固定する。

【0038】

本実施形態のクロックバッファ回路では、NANDゲート3の第1のPチャネルトランジスタ31及び第2のPチャネルトランジスタ32、並びに第1のNチャネルトランジスタ33及び第2のNチャネルトランジスタ34は、従来のクロックバッファ回路と同様に第1のPチャネルトランジスタ31及び第2のPチャネルトランジスタ32のゲート幅 W_p を、第1のNチャネルトランジスタ33及び第2のNチャネルトランジスタ34のゲート幅 W_n よりも広く形成する($W_p > W_n$)。但し、これらのトランジスタは第1の実施の形態と同様に、後段のインバータ4の入力容量に基づいてゲート幅を適正に設定する。

10

【0039】

具体的には、図4に示すように、第1、第2のPチャネルトランジスタをゲート幅 $W_p = 4.24 \mu m$ で形成し、第1、第2のNチャネルトランジスタをゲート幅 $W_n = 2.6 \mu m$ で形成する。このとき、NANDゲートのトランジスタサイズ比は $W_p / W_n = 1.63$ となる(図4参照)。

【0040】

後段のインバータ4は、第1の実施の形態の第2のインバータと同様に、Pチャネルトランジスタのゲート幅 W_p をNチャネルトランジスタのゲート幅 W_n 以下($W_p < W_n$)に形成する。このとき、Pチャネルトランジスタのゲート幅 W_p の下限値は、上記パルス消滅等の問題が起きない値とする。

20

【0041】

本実施形態では、上記NANDゲート3及びインバータ4から構成されるクロックバッファ回路30、及び第1の実施の形態のクロックバッファ回路10を用いて図6に示すようにCTSを構成する。なお、図6は、第1のクロックイネーブル信号EN1と、第2のクロックイネーブル信号EN2の2系統の制御信号を有する回路例を示している。また、本実施形態のクロックバッファ回路も、立下りエッジのみに同期して動作するクロック同期式回路で用いるため、CTSにはクロックの立下りエッジで動作する $negedge F / F 40$ 等が接続される。これらの F / F には、基準クロックの立下りエッジを基準にして遅延量及びスキュー等が調整されたクロックがCTSからそれぞれ供給される。

30

【0042】

本実施形態の半導体集積回路装置によれば、クロックイネーブル信号で出力が制御されるクロックバッファ回路であっても、第1の実施の形態と同様にその入力容量を小さくすることが可能であり、該クロックバッファ回路を用いてCTSを構成することで、CTS及び半導体集積回路装置全体の消費電流を低減することができる。また、クロックバッファ回路自身の消費電流も低減し、レイアウト面積も小さくなる。

【0043】

なお、上記第1の実施の形態及び第2の実施の形態では、立下りエッジに同期して動作するクロック同期式回路に本発明のクロックバッファ回路を用いる例を示したが、本発明は立ち上がりエッジに同期して動作するクロック同期式回路に用いることも可能である。その場合、従来と同様に大きなサイズのPチャネルトランジスタと従来よりも小さなサイズのNチャネルトランジスタとによってインバータやNANDゲート等を構成すればよい。しかしながら、上述したようにPチャネルトランジスタとNチャネルトランジスタとでは、サイズが同一ならNチャネルトランジスタの方が負荷のドライブ能力が高いため、Nチャネルトランジスタで後段を急峻にドライブする構成の方がトランジスタサイズがより小さくて済む。よって、本発明のクロックバッファ回路は、立下りエッジに同期して動作するクロック同期式回路に用いた方が消費電流やレイアウト面積の低減効果をより多く得られるために好ましい。

40

【0044】**【発明の効果】**

50

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0045】

クロックバッファ回路に、クロック同期式回路が同期動作しない基準クロックの一方のエッジで負荷をドライブする、基準クロックのパルス波形が消失しない範囲内で該エッジの変化を鈍らせるゲート幅に設定された第1のトランジスタ、及びクロック同期式回路が同期動作する基準クロックの他方のエッジで負荷をドライブする、チャンネル中に流れるキャリアの種類が第1のトランジスタと異なる、第1のトランジスタよりも大きなゲート幅で形成された第2のトランジスタを備えたインバータを有することで、該インバータの入力容量を低減することができる。

【0046】

したがって、クロックバッファ回路の入力段に配置される、初段インバータ、あるいはゲート回路でドライブすべき負荷容量が小さくなるため、初段インバータやゲート回路のトランジスタサイズもそれに合わせて小さくすることが可能になり、クロックバッファ回路の入力容量を小さくすることができる。そして、このクロックバッファ回路を用いてクロックツリーシンセシスを構成することで、前段のクロックバッファ回路でドライブすべき負荷容量が小さくなるため、従来のクロックツリーシンセシスに比べてクロックバッファ回路の数を低減できる。よって、クロックツリーシンセシスのスイッチング動作による充放電電流が低減され、クロックツリーシンセシスの消費電流が低減される。

【0047】

さらに、クロックツリーシンセシスの消費電流を低減すれば半導体集積回路装置全体の消費電流を大きく低減することができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の第1の実施の形態が備えるクロックバッファ回路の構成を示す回路図である。

【図2】図1に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。

【図3】図1に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【図4】本発明の半導体集積回路装置の第2の実施の形態が備えるクロックバッファ回路の構成を示す回路図である。

【図5】図4に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。

【図6】図5に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【図7】従来の半導体集積回路装置が備えるクロックバッファ回路の構成を示す回路図である。

【図8】図7に示したクロックバッファ回路の入出力波形を示すタイミングチャートである。

【図9】図7に示したクロックバッファ回路を用いたクロックツリーシンセシスの一構成例を示す回路図である。

【符号の説明】

- 1 第1のインバータ
- 2 第2のインバータ
- 3 NANDゲート
- 4 インバータ
- 10、30 クロックバッファ回路
- 11、21 Pチャンネルトランジスタ
- 12、22 Nチャンネルトランジスタ
- 20、40 negedge F/F
- 31 第1のPチャンネルトランジスタ

10

20

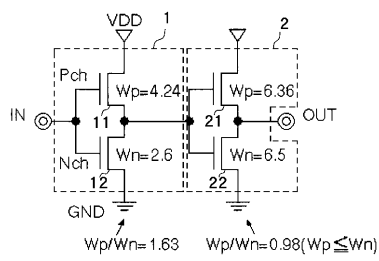
30

40

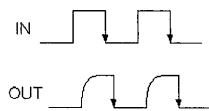
50

- 3 2 第 2 の P チャンネル トランジスタ
- 3 3 第 1 の N チャンネル トランジスタ
- 3 4 第 2 の N チャンネル トランジスタ

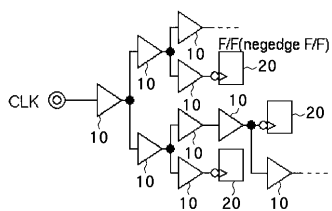
【 図 1 】



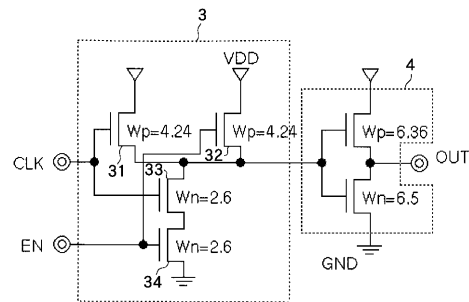
【 図 2 】



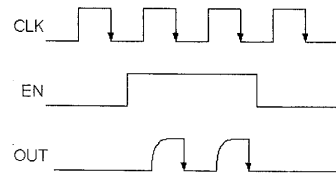
【 図 3 】



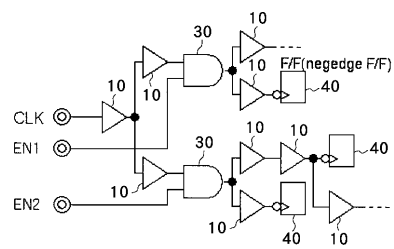
【 図 4 】



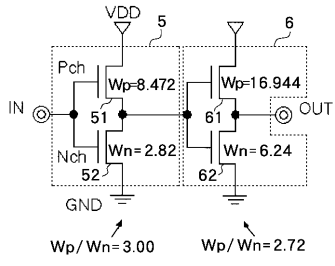
【 図 5 】



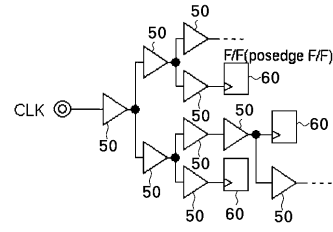
【 図 6 】



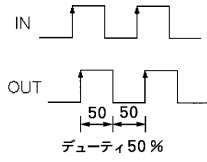
【 図 7 】



【 図 9 】



【 図 8 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 3 K 17/687	H 0 3 K 19/00	1 0 1 F
H 0 3 K 19/0175	H 0 3 K 5/15	Z

Fターム(参考) 5J055 AX12 BX16 CX27 DX22 DX85 EX07 EY21 EZ07 GX01
5J056 AA03 AA39 BB17 DD29 EE11 FF08 GG09 HH01 KK01