



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월12일
(11) 등록번호 10-2611958
(24) 등록일자 2023년12월05일

(51) 국제특허분류(Int. Cl.)
H10K 59/00 (2023.01)
(52) CPC특허분류
H10K 59/88 (2023.02)
H10K 59/1213 (2023.02)
(21) 출원번호 10-2016-0122426
(22) 출원일자 2016년09월23일
심사청구일자 2021년09월17일
(65) 공개번호 10-2018-0033373
(43) 공개일자 2018년04월03일
(56) 선행기술조사문헌
KR1020160083605 A*
US07304710 B2
US09620077 B2
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김양완
경기도 용인시 기흥구 삼성로 1 (농서동)
이수진
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
오종환, 문용호

전체 청구항 수 : 총 28 항

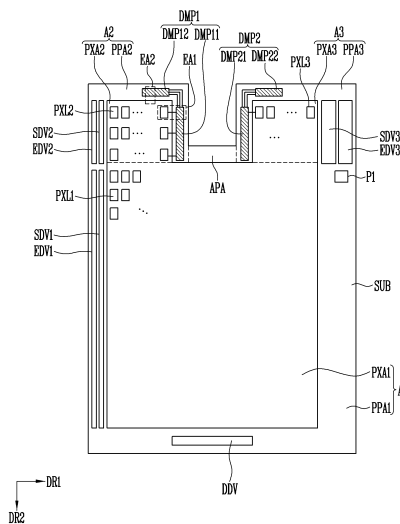
심사관 : 김기한

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치는 제1 화소 영역, 상기 제1 화소 영역보다 작은 면적을 가지며 상기 제1 화소 영역에 연결된 적어도 하나의 제2 화소 영역, 상기 제1 화소 영역과 상기 제2 화소 영역을 둘러싸는 주변 영역을 포함하는 기관; 상기 제1 및 제2 화소 영역들 각각에 제공된 제1 및 제2 화소들; 상기 제1 및 제2 화소에 연결된 제1 및 제2 라인들; 상기 제1 및 제2 라인 중 하나와 연결되어 상기 주변 영역으로 연장된 더미 라인; 및 상기 주변 영역에서 상기 더미 라인에 연결되고, 더미 화소를 포함하는 제1 더미부를 포함할 수 있다.

대표도 - 도7



(52) CPC특허분류

H10K 59/1216 (2023.02)

H10K 59/122 (2023.02)

H10K 59/123 (2023.02)

H10K 59/131 (2023.02)

H10K 59/35 (2023.02)

(72) 발명자

권선자

경기도 용인시 기흥구 삼성로 1 (농서동)

김병선

경기도 용인시 기흥구 삼성로 1 (농서동)

박현애

경기도 용인시 기흥구 삼성로 1 (농서동)

박형준

경기도 용인시 기흥구 삼성로 1 (농서동)

이재용

경기도 용인시 기흥구 삼성로 1 (농서동)

전유진

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

제1 화소 영역, 상기 제1 화소 영역보다 작은 면적을 가지며 상기 제1 화소 영역에 연결된 적어도 하나의 제2 화소 영역, 상기 제1 화소 영역과 상기 제2 화소 영역을 둘러싸는 주변 영역을 포함하는 기판;

상기 제1 및 제2 화소 영역들 각각에 제공된 제1 및 제2 화소들;

상기 제1 및 제2 화소에 데이터 신호를 제공하는 데이터 라인들;

상기 제1 및 제2 화소에 연결된 제1 및 제2 라인들;

상기 제1 및 제2 라인 중 하나와 연결되어 상기 주변 영역으로 연장된 더미 라인; 및

상기 주변 영역에서 상기 더미 라인에 연결된 더미 화소를 포함하는 제1 더미부를 포함하고,

상기 제1 라인의 길이는 상기 제2 라인의 길이보다 크며,

상기 제1 라인은 상기 제1 화소에 스캔 신호를 제공하는 제1 스캔 라인 및 상기 제1 화소에 발광 제어 신호를 공급하는 제1 발광 제어 라인 중 하나이고,

상기 제2 라인은 상기 제2 화소에 스캔 신호를 제공하는 제2 스캔 라인 및 상기 제2 화소에 발광 제어 신호를 공급하는 제2 발광 제어 라인 중 하나인, 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1 항에 있어서,

상기 제1 및 제2 화소는 상기 데이터 라인들 중 대응하는 데이터 라인과 상기 제1 및 제2 스캔 라인 중 대응하는 스캔 라인에 연결된 트랜지스터, 상기 트랜지스터를 커버하는 보호막, 및 상기 보호막 상에서 상기 트랜지스터에 접속되는 유기 발광 소자를 포함하며,

상기 트랜지스터는

상기 기판 상에 제공된 액티브 패턴;

상기 액티브 패턴에 각각 연결된 소스 전극 및 드레인 전극;

게이트 절연막을 사이에 두고 상기 액티브 패턴 상에 제공된 게이트 전극; 및

상기 게이트 전극을 커버하고 순차 적층된 제1 층간 절연막, 제2 층간 절연막 및 제3 층간 절연막을 포함하는 층간 절연막을 포함하며,

상기 유기 발광 소자는

상기 트랜지스터에 접속되는 제1 전극;

상기 제1 전극을 노출시키는 화소 정의막;

상기 화소 정의막에 의해 노출된 상기 제1 전극 상의 발광층; 및

상기 발광층 상의 제2 전극을 포함하는 표시 장치.

청구항 5

제4 항에 있어서,
 상기 더미 화소는
 상기 더미 라인과 교차하는 더미 데이터 라인;
 상기 더미 라인 및 상기 더미 데이터 라인에 연결되는 더미 트랜지스터;
 상기 더미 트랜지스터를 커버하는 상기 보호막;
 상기 보호막 상의 상기 화소 정의막;
 상기 화소 정의막 상의 유기막; 및
 상기 유기막 상의 더미 제2 전극을 포함하고,
 상기 더미 제2 전극은 상기 제2 전극과 동일한 물질을 포함하는 표시 장치.

청구항 6

제5 항에 있어서,
 상기 더미 트랜지스터는
 상기 기판 상에 제공된 더미 액티브 패턴;
 상기 더미 액티브 패턴에 각각 연결된 더미 소스 전극 및 더미 드레인 전극; 및
 게이트 절연막을 사이에 두고 상기 더미 액티브 패턴 상에 제공되고, 상기 더미 라인과 연결되는 더미 게이트 전극을 포함하는 표시 장치.

청구항 7

제6 항에 있어서,
 상기 제1 더미부는 상기 더미 액티브 패턴 및 상기 더미 라인이 형성하는 기생 캐패시터와, 상기 더미 데이터 라인 및 상기 더미 라인이 형성하는 기생 캐패시터를 포함하는 표시 장치.

청구항 8

제5 항에 있어서,
 상기 더미 화소는 전기적으로 연결된 제1 더미 화소 및 제2 더미 화소를 포함하고, 상기 제1 더미 화소는 상기 제2 더미 화소보다 상기 제2 화소 영역에 인접한 표시 장치.

청구항 9

제8 항에 있어서,
 상기 제2 더미 화소는 상기 제1 전극과 동일한 물질을 포함하고, 상기 보호막 및 상기 화소 정의막 사이의 더미 제1 전극을 더 포함하는 표시 장치.

청구항 10

제9 항에 있어서,
 상기 더미 제1 전극 및 상기 더미 제2 전극은 전기적으로 연결되어, 동일한 전원을 인가받는 표시 장치.

청구항 11

제5 항에 있어서,
 상기 주변 영역에서 상기 더미 라인과 중첩되며, 상기 제1 더미부와 전기적으로 연결되고, 상기 제1 더미부와 이격되어 배치되는 제2 더미부를 더 포함하는 표시 장치.

청구항 12

제11 항에 있어서,
 상기 주변 영역에서 상기 층간 절연막 상에 배치되며, 상기 더미 라인과 중첩하는 전원 공급 라인을 더 포함하며,
 상기 제2 더미부는 상기 더미 라인 및 상기 전원 공급 라인이 형성하는 기생 캐패시터를 포함하는 표시 장치.

청구항 13

제4 항에 있어서,
 상기 더미 라인은 상기 게이트 전극과 동일한 층에 배치되는 표시 장치.

청구항 14

제1 항에 있어서,
 상기 제1 라인은 상기 제1 화소에 스캔 신호를 제공하는 제1 스캔 라인이고,
 상기 제2 라인은 상기 제2 화소에 스캔 신호를 제공하는 제2 스캔 라인인 표시 장치.

청구항 15

제1 항에 있어서,
 상기 제1 라인은 상기 제1 화소에 발광 제어 신호를 제공하는 제1 발광 제어 라인이고,
 상기 제2 라인은 상기 제2 화소에 발광 제어 신호를 제공하는 제2 발광 제어 라인인 표시 장치.

청구항 16

제1 화소 영역, 서로 이격되고 상기 제1 화소 영역보다 작은 면적을 가지며 상기 제1 화소 영역에 연결된 제2 및 제3 화소 영역들, 상기 제1 내지 제3 화소 영역들을 둘러싸는 주변 영역을 포함하는 기판;
 상기 제1 내지 제3 화소 영역 각각에 제공된 제1 내지 제3 화소;
 상기 제1 내지 제3 화소에 연결된 제1 내지 제3 라인들;
 상기 제2 및 제3 라인에 각각 연결되고 상기 주변 영역으로 연장된 제1 및 제2 더미 라인;
 상기 주변 영역에 제공되고, 상기 제1 라인의 로드 값과 상기 제2 라인의 로드 값의 차이를 보상하는 제1 더미부; 및
 상기 주변 영역에 제공되고, 상기 제1 라인의 로드 값과 상기 제3 라인의 로드 값의 차이를 보상하는 제2 더미부를 포함하며,
 상기 제1 및 제2 더미부 각각은 상기 제1 및 제2 더미 라인 중 하나에 연결된 더미 화소를 포함하는 제1 서브 더미부를 포함하는 표시 장치.

청구항 17

제16 항에 있어서,
 상기 제1 라인의 길이는 상기 제2 및 제3 라인의 길이보다 큰 표시 장치.

청구항 18

제17 항에 있어서,
 상기 제1 내지 제3 화소에 데이터 신호를 제공하는 데이터 라인들을 더 포함하고,
 상기 제1 라인은 상기 제1 화소에 스캔 신호를 제공하는 제1 스캔 라인 및 상기 제1 화소에 발광 제어 신호를 공급하는 제1 발광 제어 라인 중 하나이고,

상기 제2 라인은 상기 제2 화소에 스캔 신호를 제공하는 제2 스캔 라인 및 상기 제2 화소에 발광 제어 신호를 공급하는 제2 발광 제어 라인 중 하나이고,

상기 제3 라인은 상기 제3 화소에 스캔 신호를 제공하는 제3 스캔 라인 및 상기 제3 화소에 발광 제어 신호를 공급하는 제3 발광 제어 라인 중 하나인 표시 장치.

청구항 19

제18 항에 있어서,

상기 제1 내지 제3 화소 각각은 상기 데이터 라인들 중 대응하는 데이터 라인과 상기 제1 내지 제3 스캔 라인 중 대응하는 스캔 라인에 연결된 트랜지스터, 상기 트랜지스터를 커버하는 보호막, 및 상기 보호막 상에서 상기 트랜지스터에 접속되는 유기 발광 소자를 포함하며,

상기 트랜지스터는

상기 기판 상에 제공된 액티브 패턴;

상기 액티브 패턴에 각각 연결된 소스 전극 및 드레인 전극;

게이트 절연막을 사이에 두고 상기 액티브 패턴 상에 제공된 게이트 전극; 및

상기 게이트 전극을 커버하고 순차 적층된 제1 층간 절연막, 제2 층간 절연막 및 제3 층간 절연막을 포함하는 층간 절연막을 포함하며,

상기 유기 발광 소자는

상기 트랜지스터에 접속되는 제1 전극;

상기 제1 전극을 노출시키는 화소 정의막;

상기 화소 정의막에 의해 노출된 상기 제1 전극 상의 발광층; 및

상기 발광층 상의 제2 전극을 포함하는 표시 장치.

청구항 20

제19 항에 있어서,

상기 더미 화소는

상기 제1 및 제2 더미 라인 중 하나와 교차하는 더미 데이터 라인;

상기 제1 및 제2 더미 라인 중 상기 하나 및 상기 더미 데이터 라인에 연결되는 더미 트랜지스터;

상기 더미 트랜지스터를 커버하는 상기 보호막;

상기 보호막 상의 상기 화소 정의막;

상기 화소 정의막 상의 유기막; 및

상기 유기막 상의 더미 제2 전극을 포함하고,

상기 더미 제2 전극은 상기 제2 전극과 동일한 물질을 포함하는 표시 장치.

청구항 21

제20 항에 있어서,

상기 더미 트랜지스터는

상기 기판 상에 제공된 더미 액티브 패턴;

상기 더미 액티브 패턴에 각각 연결된 더미 소스 전극 및 더미 드레인 전극; 및

게이트 절연막을 사이에 두고 상기 더미 액티브 패턴 상에 제공되고, 상기 제1 및 제2 더미 라인 중 상기 하나와 연결되는 더미 게이트 전극을 포함하는 표시 장치.

청구항 22

제21 항에 있어서,

상기 제1 서브 더미부는 상기 더미 액티브 패턴 및 상기 제1 및 제2 더미 라인 중 상기 하나가 형성하는 기생 캐패시터와, 상기 더미 데이터 라인 및 상기 제1 및 제2 더미 라인 중 상기 하나가 형성하는 기생 캐패시터를 포함하는 표시 장치.

청구항 23

제20 항에 있어서,

상기 더미 화소는 전기적으로 연결된 제1 더미 화소 및 제2 더미 화소를 포함하고, 상기 제1 더미 화소는 상기 제2 더미 화소보다 상기 제2 화소 영역에 인접한 표시 장치.

청구항 24

제23 항에 있어서,

상기 제2 더미 화소는 상기 제1 전극과 동일한 물질을 포함하고, 상기 보호막 및 상기 화소 정의막 사이의 더미 제1 전극을 더 포함하는 표시 장치.

청구항 25

제24 항에 있어서,

상기 더미 제1 전극 및 상기 더미 제2 전극은 전기적으로 연결되어, 동일한 전원을 인가받는 표시 장치.

청구항 26

제20 항에 있어서,

상기 제1 더미부 및 상기 제2 더미부는 제2 서브 더미부를 더 포함하고,

상기 제2 서브 더미부는 상기 주변 영역에서 상기 제1 및 제2 더미 라인 중 상기 하나와 중첩되며, 상기 제1 서브 더미부와 전기적으로 연결되고, 상기 제1 서브 더미부와 이격되어 배치되는 표시 장치.

청구항 27

제26 항에 있어서,

상기 주변 영역에서 상기 층간 절연막 상에 배치되며, 상기 제1 더미 라인과 중첩하는 전원 공급 라인을 더 포함하며,

상기 제2 서브 더미부는 상기 제1 더미 라인 및 상기 전원 공급 라인이 형성하는 기생 캐패시터를 포함하는 표시 장치.

청구항 28

제20 항에 있어서,

상기 제1 더미 라인 및 상기 제2 더미 라인은 상기 게이트 전극과 동일한 층에 배치되는 표시 장치.

청구항 29

제19 항에 있어서,

상기 제1 및 제2 더미 라인은 상기 게이트 전극과 동일한 층에 배치되는 표시 장치.

청구항 30

제18 항에 있어서,

상기 제1 라인은 상기 제1 화소에 스캔 신호를 제공하는 제1 스캔 라인 및 상기 제1 화소에 발광 제어 신호를

제공하는 제1 발광 제어 라인 중 하나이고,

상기 제2 라인은 상기 제2 화소에 스캔 신호를 제공하는 제2 스캔 라인 및 상기 제2 화소에 발광 제어 신호를 제공하는 제2 발광 제어 라인인 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 표시 소자를 포함하는 복수의 화소들을 포함하며, 각 화소에는 배선들과, 배선들에 연결되며 표시 소자를 구동하기 위한 복수의 트랜지스터들이 배치되어 있다. 배선들은 길이에 따라 다른 정도의 로드 값을 가질 수 있다. 표시 장치가 제공하는 최종적인 영상에 있어서, 로드 값에 차이에 의한 휘도 차이가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 영역과 상관없이 균일한 휘도를 갖는 표시 장치를 제공하는 데에 있다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 표시 장치는 제1 화소 영역, 상기 제1 화소 영역보다 작은 면적을 가지며 상기 제1 화소 영역에 연결된 적어도 하나의 제2 화소 영역, 상기 제1 화소 영역과 상기 제2 화소 영역을 둘러싸는 주변 영역을 포함하는 기관; 상기 제1 및 제2 화소 영역들 각각에 제공된 제1 및 제2 화소들; 상기 제1 및 제2 화소에 연결된 제1 및 제2 라인들; 상기 제1 및 제2 라인 중 하나와 연결되어 상기 주변 영역으로 연장된 더미 라인; 및 상기 주변 영역에서 상기 더미 라인에 연결된 더미 화소를 포함하는 제1 더미부를 포함할 수 있다.

[0005] 본 발명의 일 실시예에 있어서, 상기 제1 라인의 길이는 상기 제2 라인의 길이보다 클 수 있다.

[0006] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 화소에 데이터 신호를 제공하는 데이터 라인들을 더 포함할 수 있다. 여기서, 상기 제1 라인은 상기 제1 화소에 스캔 신호를 제공하는 제1 스캔 라인 및 상기 제1 화소에 발광 제어 신호를 공급하는 제1 발광 제어 라인 중 하나이고, 상기 제2 라인은 상기 제2 화소에 스캔 신호를 제공하는 제2 스캔 라인 및 상기 제2 화소에 발광 제어 신호를 공급하는 제2 발광 제어 라인 중 하나일 수 있다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 화소는 상기 데이터 라인들 중 대응하는 데이터 라인과 상기 제1 및 제2 스캔 라인 중 대응하는 스캔 라인에 연결된 트랜지스터, 상기 트랜지스터를 커버하는 보호막, 및 상기 보호막 상에서 상기 트랜지스터에 접속되는 유기 발광 소자를 포함할 수 있다. 상기 트랜지스터는 상기 기관 상에 제공된 액티브 패턴; 상기 액티브 패턴에 각각 연결된 소스 전극 및 드레인 전극; 게이트 절연막을 사이에 두고 상기 액티브 패턴 상에 제공된 상기 게이트 전극; 및 상기 게이트 전극을 커버하고 순차 적층된 제1 층간 절연막, 제2 층간 절연막 및 제3 층간 절연막을 포함하는 층간 절연막을 포함할 수 있다. 상기 유기 발광 소자는 상기 트랜지스터에 접속되는 제1 전극; 상기 제1 전극을 노출시키는 화소 정의막; 상기 화소 정의막에 의해 노출된 상기 제1 전극 상의 발광층; 및 상기 발광층 상의 제2 전극을 포함할 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 더미 화소는 상기 더미 라인과 교차하는 더미 데이터 라인; 상기 더미 라인 및 상기 더미 데이터 라인에 연결되는 더미 트랜지스터; 상기 더미 트랜지스터를 커버하는 상기 보호막; 상기 보호막 상의 상기 화소 정의막; 상기 화소 정의막 상의 유기막; 및 상기 유기막 상의 더미 제2 전극을 포함할 수 있다. 여기서, 상기 더미 제2 전극은 상기 제2 전극과 동일한 물질을 포함할 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 더미 트랜지스터는 상기 기관 상에 제공된 더미 액티브 패턴; 상기 더미 액티브 패턴에 각각 연결된 더미 소스 전극 및 더미 드레인 전극; 및 게이트 절연막을 사이에 두고 상기 더미 액티브 패턴 상에 제공되고, 상기 더미 라인과 연결되는 더미 게이트 전극을 포함할 수 있다.

- [0010] 본 발명의 일 실시예에 있어서, 상기 제1 더미부는 상기 더미 액티브 패턴 및 상기 더미 라인이 형성하는 기생 캐패시터와, 상기 더미 데이터 라인 및 상기 더미 라인이 형성하는 기생 캐패시터를 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 더미 화소는 전기적으로 연결된 제1 더미 화소 및 제2 더미 화소를 포함하고, 상기 제1 더미 화소는 상기 제2 더미 화소보다 상기 제2 화소 영역에 인접할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 제2 더미 화소는 상기 제1 전극과 동일한 물질을 포함하고, 상기 보호막 및 상기 화소 정의막 사이의 더미 제1 전극을 더 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 더미 제1 전극 및 상기 더미 제2 전극은 전기적으로 연결되어, 동일한 전원을 인가받을 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 주변 영역에서 상기 더미 라인과 중첩되며, 상기 제1 더미부와 전기적으로 연결되고, 상기 제1 더미부와 이격되어 배치되는 제2 더미부를 더 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 주변 영역에서 상기 층간 절연막 상에 배치되며, 상기 제1 더미 라인과 중첩하는 전원 공급 라인을 더 포함할 수 있다. 상기 제2 더미부는 상기 제1 더미 라인 및 상기 전원 공급 라인이 형성하는 기생 캐패시터를 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 더미 라인은 상기 게이트 전극과 동일한 층에 배치될 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 제1 라인은 상기 제1 화소에 스캔 신호를 제공하는 제1 스캔 라인이고, 상기 제2 라인은 상기 제2 화소에 스캔 신호를 제공하는 제2 스캔 라인일 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 제1 라인은 상기 제1 화소에 발광 제어 신호를 제공하는 제1 발광 제어 라인이고, 상기 제2 라인은 상기 제2 화소에 발광 제어 신호를 제공하는 제2 발광 제어 라인일 수 있다.
- [0019] 본 발명의 일 실시예에 따른 표시 장치는 제1 화소 영역, 서로 이격되고 상기 제1 화소 영역보다 작은 면적을 가지며 상기 제1 화소 영역에 연결된 제2 및 제3 화소 영역들, 상기 제1 내지 제3 화소 영역들을 둘러싸는 주변 영역을 포함하는 기관; 상기 제1 내지 제3 화소 영역 각각에 제공된 제1 내지 제3 화소; 상기 제1 내지 제3 화소에 연결된 제1 내지 제3 라인들; 상기 제2 및 제3 라인에 연결되고 상기 주변 영역으로 연장된 제1 및 제2 더미 라인; 상기 주변 영역에 제공되고, 상기 제1 라인의 로드 값과 상기 제2 라인의 로드 값의 차이를 보상하는 제1 더미부; 및 상기 주변 영역에 제공되고, 상기 제1 라인의 로드 값과 상기 제3 라인의 로드 값의 차이를 보상하는 제2 더미부들을 포함할 수 있다. 상기 제1 및 제2 더미부 각각은 상기 제1 및 제2 더미 라인과 연결되는 더미 화소를 포함하는 제1 서브 더미부를 포함할 수 있다.

발명의 효과

- [0020] 상술한 바와 같은 표시 장치는 서로 다른 면적을 갖는 2개 이상의 영역을 가지며, 각 영역에서의 휘도가 균일할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 실시예에 따른 표시 장치를 나타낸 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 화소들 및 구동부의 실시예를 나타낸 블록도이다.
- 도 3은 도 2에 도시된 제1 화소의 실시예를 나타내는 등가 회로도이다.
- 도 4는 도 3에 도시된 제1 화소를 상세하게 도시한 평면도이다.
- 도 5는 도 4의 I-I' 라인에 따른 단면도이다.
- 도 6은 도 4의 II-II' 라인에 따른 단면도이다.
- 도 7은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 평면도이다.
- 도 8은 도 7의 EA1 영역의 확대도이다.
- 도 9는 도 8의 더미 화소를 설명하기 위한 평면도이다.
- 도 10은 도 9의 III-III' 라인에 따른 단면도이다.

도 11은 도 9의 IV-IV' 라인에 따른 단면도이다.

도 12는 도 7의 EA2 영역의 확대도이다.

도 13은 도 12의 V-V' 라인에 따른 단면도이다.

도 14는 본 발명의 일 실시예에 따른 표시 장치의 제1 서브 더미부를 설명하기 위한 개념도이다.

도 15는 제1 서브 더미부의 제1 서브 더미 화소의 일부 단면도이다.

도 16은 제1 서브 더미부의 제2 서브 더미 화소의 일부 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0023] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0024] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 본 명세서에 있어서, 어느 층, 막, 영역, 판 등의 부분이 다른 부분 상(on)에 형성되었다고 할 경우, 상기 형성된 방향은 상부 방향만 한정되지 않으며 측면이나 하부 방향으로 형성된 것을 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0025] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0026] 도 1은 본 발명의 실시예에 따른 표시 장치를 나타낸 평면도이다.
- [0027] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기관(SUB), 및 기관(SUB) 상에 제공된 화소들(PXL1, PXL2, PXL3; 이하 PXL), 기관(SUB) 상에 제공되며 화소들(PXL)을 구동하는 구동부, 화소들에 전원을 공급하는 전원 공급부 및 화소들(PXL)과 구동부를 연결하는 배선부를 포함할 수 있다.
- [0028] 기관(SUB)은 복수 개의 영역들을 포함하며, 영역들 중 적어도 2개는 서로 다른 면적을 갖가질 수 있다. 일 예에 있어서, 기관(SUB)은 두 개의 영역을 가질 수 있으며, 두 영역은 서로 다른 면적을 가질 수 있다. 또한, 일 예에 있어서, 기관(SUB)은 세 개의 영역을 가질 수 있다. 이 경우, 세 영역 모두가 서로 다른 면적을 가지거나, 세 영역 중 두 개의 영역만 서로 다른 면적을 가질 수 있다. 일 예에 있어서, 기관(SUB)은 4개 이상의 영역을 가질 수도 있다.
- [0029] 이하의 실시예에서는 설명의 편의를 위해 기관(SUB)이 세 개의 영역들, 즉 제1 내지 제3 영역들(A1, A2, A3)을 포함하는 것을 일 예로서 설명한다.
- [0030] 제1 내지 제3 영역들(A1, A2, A3)은 동시에 구동되거나, 서로 독립적으로 구동될 수 있다. 제1 내지 제3 영역들(A1, A2, A3)은 다양한 형상을 가질 수 있다. 예를 들어, 제1 내지 제3 영역들(A1, A2, A3)은 직선의 변을 포함하는 닫힌 형태의 다각형, 곡선으로 이루어진 변을 포함하는 원, 타원 등, 직선과 곡선으로 이루어진 변을 포함하는 반원, 반타원 등 다양한 형상으로 제공될 수 있다.
- [0031] 제1 내지 제3 영역들(A1, A2, A3)은 화소 영역들(PXA1, PXA2, PXA3; 이하, PXA)과 주변 영역들(PPA1, PPA2, PPA3; 이하 PPA)을 가질 수 있다. 화소 영역들(PXA)은 영상을 표시하는 화소들(PXL)이 제공되는 영역이다. 각

화소(PXL)에 대해서는 후술한다.

- [0032] 본 발명의 일 실시예에 있어서, 각각의 제1 내지 제3 화소 영역들(PXA1, PXA2, PXA3)은 대체적으로 제1 내지 제3 영역들(A1, A2, A3)의 형상에 대응하는 형상을 가질 수 있다.
- [0033] 주변 영역들(PPA)은 화소들(PXL)이 제공되지 않은 영역으로서 영상이 표시되지 않은 영역이다. 주변 영역들(PPA)에는 화소들(PXL)을 구동하기 위한 구동부, 화소들(PXL)에 전원을 인가하는 전원 공급부, 및 화소들(PXL)과 구동부를 연결하는 배선(미도시)의 일부가 제공될 수 있다. 주변 영역들(PPA)은 최종적인 표시 장치에서의 베젤에 대응하며, 주변 영역의 폭에 따라 베젤의 폭이 결정될 수 있다.
- [0034] 제1 주변 영역(PPA1)은 제1 화소 영역(PXA1)의 적어도 일측에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제1 주변 영역(PPA1)은 제1 화소 영역(PXA1)의 둘레를 둘러싸되, 후술할 제2 영역(A2)과 제3 영역(A3)이 배치된 부분을 제외한 곳에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제1 주변 영역(PPA1)은 제1 방향(DR1)으로 연장된 가로부와, 제2 방향(DR2)으로 연장된 세로부를 포함할 수 있다. 제1 주변 영역(PPA1)의 세로부는 제1 화소 영역(PXA1)에서 제1 방향(DR1)을 따라 서로 이격된 한 쌍으로 제공될 수 있다.
- [0035] 제2 영역(A2)은 제1 영역(A1)보다 작은 면적을 가질 수 있다. 제2 영역(A2)은 영상이 표시되는 제2 화소 영역(PXA2)과 제2 화소 영역(PXA2)의 적어도 일부를 둘러싸는 제2 주변 영역(PPA2)을 가질 수 있다.
- [0036] 제2 화소 영역(PXA2)은 제2 영역(A2)의 형상에 대응하는 형상으로 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제2 화소 영역(PXA2)은 제1 영역(A1)의 제1 폭(W1)보다 작은 제2 폭(W2)을 가질 수 있다. 제2 화소 영역(PXA2)은 제1 영역(A1)의 제1 길이(L1)보다 작은 제2 길이(L2)를 가질 수 있다. 제2 화소 영역(PXA2)은 제1 화소 영역(PXA1)으로부터 돌출된 형태로 제공되며, 제1 화소 영역(PXA1)과 바로 연결될 수 있다. 다시 말해, 제2 화소 영역(PXA2)의 일측은 제1 화소 영역(PXA1)의 일측과 접할 수 있다.
- [0037] 제2 주변 영역(PPA2)은 제2 화소 영역(PXA2)의 적어도 일측에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제2 주변 영역(PPA2)은 제2 화소 영역(PXA2)을 둘러싸되, 제1 화소 영역(PXA1)과 제2 화소 영역(PXA2)이 연결되는 부분에는 제공되지 않을 수 있다. 본 발명의 일 실시예에 있어서, 제2 주변 영역(PPA2) 또한 제1 방향(DR1)으로 연장된 가로부와, 제2 방향(DR2)으로 연장된 세로부를 포함할 수 있다. 제2 주변 영역(PPA2)의 세로부는 제2 화소 영역(PXA2)의 제1 방향(DR1)에서 서로 이격된 한 쌍으로 제공될 수 있다.
- [0038] 제3 영역(A3)은 제1 영역(A1)보다 작은 면적을 가질 수 있다. 예를 들면, 제3 영역(A3)은 제2 영역(A2)과 동일한 면적을 가질 수 있다. 제3 영역(A3)은 영상이 표시되는 제3 화소 영역(PXA3)과 제3 화소 영역(PXA3)의 적어도 일부를 둘러싸는 제3 주변 영역(PPA3)을 가질 수 있다.
- [0039] 제3 화소 영역(PXA3)은 제3 영역(A3)의 형상에 대응하는 형상으로 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제3 화소 영역(PXA3)은 제1 영역(A1)의 제1 폭(W1)보다 작은 제3 폭(W3)을 가질 수 있으며, 다. 제3 화소 영역(PXA3)은 제1 영역(A1)의 제1 길이(L1)보다 작은 제3 길이(L3)를 가질 수 있다. 제2 폭(W2)과 제3 폭(W3)은 서로 동일할 수 있다. 또한, 제2 길이(L2)와 제3 길이(L3)는 서로 동일할 수 있다.
- [0040] 제3 화소 영역(PXA3)은 제1 화소 영역(PXA1)으로부터 돌출된 형태로 제공되며, 제1 화소 영역(PXA1)과 바로 연결될 수 있다. 다시 말해, 제3 화소 영역(PXA3)의 일측은 제1 화소 영역(PXA1)의 일측과 접할 수 있다.
- [0041] 제3 주변 영역(PPA3)은 제3 화소 영역(PXA3)의 적어도 일측에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제3 주변 영역(PPA3)은 제3 화소 영역(PXA3)을 둘러싸되, 제1 화소 영역(PXA1)과 제3 화소 영역(PXA3)이 연결되는 부분에는 제공되지 않을 수 있다. 본 발명의 일 실시예에 있어서, 제3 주변 영역(PPA3) 또한 제1 방향(DR1)으로 연장된 가로부와, 제2 방향(DR2)으로 연장된 세로부를 포함할 수 있다. 제3 주변 영역(PPA3)의 세로부 또한 제1 화소 영역(PXA1)의 제1 방향(DR1)에서 서로 이격된 한 쌍으로 제공될 수 있다.
- [0042] 본 발명의 일 실시예에 있어서, 제1 영역(A1)의 중심선을 기준으로, 제3 영역(A3)은 제2 영역(A2)과 선대칭되는 형상을 가질 수 있으며, 이 경우, 제3 영역(A3)에 제공되는 각 구성 요소의 배치 관계는 일부 배선을 제외하고는 실질적으로 제2 영역(A2)에서와 동일할 수 있다.
- [0043] 따라서, 기관(SUB)은 제2 방향(DR2)으로 제1 영역(A1)에서 제2 영역(A2) 및 제3 영역(A3)이 돌출된 형상을 가질 수 있다. 또한, 제2 영역(A2) 및 제3 영역(A3)이 이격되어 배치되므로, 기관(SUB)은 제2 영역(A2) 및 제3 영역(A3) 사이가 함몰된 형상을 가질 수 있다. 즉, 기관(SUB)은 제2 영역(A2) 및 제3 영역(A3) 사이에 노치(notch)를 구비할 수 있다.

- [0044] 본 발명의 일 실시예에 있어서, 제1 주변 영역(PPA1)의 세로부들은 각각 제2 주변 영역(PPA2) 및 제3 주변 영역(PPA3)의 세로부들 중 일부와 연결될 수 있다. 예를 들면, 제1 주변 영역(PPA1)의 좌측 세로부 및 제2 주변 영역(PPA2)의 좌측 세로부는 연결될 수 있다. 제1 주변 영역(PPA1)의 우측 세로부 및 제3 주변 영역(PPA3)의 우측 세로부는 연결될 수 있다. 또한, 제1 주변 영역(PPA1)의 좌측 세로부 및 제2 주변 영역(PPA2)의 좌측 세로부의 폭(W4)은 동일할 수 있다. 제1 주변 영역(PPA1)의 우측 세로부 및 제3 주변 영역(PPA3)의 우측 세로부의 폭(W5)은 동일할 수 있다.
- [0045] 제1 주변 영역(PPA1) 및 제2 주변 영역(PPA2)의 좌측 세로부의 폭(W4)은 제1 주변 영역(PPA1) 및 제3 주변 영역(PPA3)의 우측 세로부의 폭(W5)과 상이할 수도 있다. 예를 들면, 제1 주변 영역(PPA1) 및 제2 주변 영역(PPA2)의 좌측 세로부의 폭(W4)은 제1 주변 영역(PPA1) 및 제3 주변 영역(PPA3)의 우측 세로부의 폭(W5)보다 작을 수 있다.
- [0046] 본 발명의 일 실시예에 있어서, 기관(SUB)은 부가 주변 영역(APA)을 더 포함할 수 있다. 부가 주변 영역(APA)은 제1 화소 영역(PXA1), 제2 주변 영역(PPA2) 및 제3 주변 영역(PPA3)에 인접하여 제공될 수 있다. 예를 들면, 부가 주변 영역(APA)은 제2 주변 영역(PPA2) 및 제3 주변 영역(PPA3)을 연결할 수 있다. 예를 들면, 부가 주변 영역(APA)은 제2 주변 영역(PPA2)의 우측 세로부 및 제3 주변 영역(PPA3)의 좌측 세로부를 연결할 수 있다. 즉, 부가 주변 영역(APA)은 제2 영역(A2) 및 제3 영역(A3) 사이의 제1 화소 영역(PXA1)의 변에 제공될 수 있다.
- [0047] 화소들(PXL)은 기관(SUB) 상의 화소 영역들(PXA)에, 즉, 제1 내지 제3 화소 영역들(PXA1, PXA2, PXA3)에 제공될 수 있다. 각 화소(PXL)는 영상을 표시하는 최소 단위로서, 제1 내지 제3 화소 영역들(PXA1, PXA2, PXA3)에 복수 개의 화소들(PXL)이 제공될 수 있다. 화소들(PXL)은 광을 출사하는 표시 소자를 포함할 수 있다. 예를 들면, 표시 소자는 액정 표시 소자(liquid crystal display device, LCD device), 전기 영동 표시 소자(electrophoretic display device, EPD device), 전기 습윤 표시 소자(electrowetting display device, EWD device), 및 유기 발광 표시 소자(organic light emitting display device, OLED device) 중 어느 하나일 수 있다. 한편, 하기에서는 설명의 편의를 위하여 표시 소자로 유기 발광 표시 소자를 예로서 설명한다.
- [0048] 화소(PXL)는 적색, 녹색, 및 청색 중 하나의 색을 출사할 수 있으나, 이에 한정되는 것은 아니다. 예를 들면, 화소(PXL)는 시안, 마젠타, 옐로우, 화이트 등의 색을 출사할 수도 있다.
- [0049] 화소들(PXL)은 제1 화소 영역(PXA1)에 배치된 제1 화소들(PXL1), 제2 화소 영역(PXA2)에 배치된 제2 화소들(PXL2), 및 제3 화소 영역(PXA3)에 배치된 제3 화소들(PXL3)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 내지 제3 화소들(PXL1, PXL2, PXL3)은 각각 복수 개로 제공되어 제1 방향(DR1)으로 연장된 행과 제2 방향(DR2)으로 연장된 열을 따라 매트릭스(matrix) 형태로 배열될 수 있다. 그러나, 제1 내지 제3 화소들(PXL1, PXL2, PXL3)의 배열 형태는 특별히 한정된 것은 아니며, 다양한 형태로 배열될 수 있다. 예를 들어, 제1 화소들(PXL1)은 제1 방향(DR1)이 행 방향이 되도록 배열될 수 있으나, 제2 화소들(PXL2)은 제1 방향(DR1)이 아닌 다른 방향, 예를 들어, 제1 방향(DR1)에 비스듬한 방향이 행 방향이 되도록 배열될 수도 있다. 또한, 제3 화소들(PXL3)은 제1 화소들(PXL1) 및/또는 제2 화소들(PXL2)과 서로 동일한 방향 또는 서로 다른 방향으로 배열될 수 있음은 물론이다. 또는 본 발명의 다른 실시예에서는, 행 방향이 제2 방향(DR2)이 되고 열 방향이 제1 방향(DR1)이 될 수 있다.
- [0050] 한편, 제2 영역(A2) 및 제3 영역(A3)에서, 제2 화소들(PXL2) 및 제3 화소들(PXL3)의 수는 행에 따라 달라질 수 있다. 이를 보다 상세히 설명하면, 제2 영역(A2) 및 제3 영역(A3)에 있어서, 제2 서브 영역(SA2)에 배치된 행의 길이는 제1 서브 영역(SA1)에 배치된 행의 길이보다 클 수 있다. 행 내에 배치된 제2 화소들(PXL2) 및 제3 화소들(PXL3)의 수는 행의 길이가 짧아질수록 감소할 수 있다. 따라서, 제2 영역(A2) 및 제3 영역(A3)에 있어서, 제2 서브 영역(SA2)에 배치된 행의 제2 화소들(PXL2) 및 제3 화소들(PXL3)의 수는 제1 서브 영역(SA1)에 배치된 행의 제2 화소들(PXL2) 및 제3 화소들(PXL3)의 수보다 적을 수 있다. 또한, 행의 길이가 짧아질수록 제2 화소들(PXL2) 및 제3 화소들(PXL3)을 연결하는 배선의 길이가 짧아질 수 있다.
- [0051] 구동부는 배선부를 통해 각 화소에 신호를 제공하며, 이에 따라 각 화소(PXL)의 구동을 제어할 수 있다. 도 1에 서는 설명의 편의를 위해 배선부가 생략되었으며, 배선부에 대해서는 후술한다.
- [0052] 구동부는 스캔 라인을 따라 각 화소에 스캔 신호를 제공하는 스캔 구동부들(SDV1, SDV2, SDV3; 이하 SDV), 발광 제어 라인을 따라 각 화소에 발광 제어 신호를 제공하는 발광 구동부들(EDV1, EDV2, EDV3; 이하 EDV), 및 데이터 라인을 따라 각 화소(PXL)에 데이터 신호를 제공하는 데이터 구동부(DDV), 및 타이밍 제어부(미도시)를 포함할 수 있다. 타이밍 제어부는 스캔 구동부(SDV), 발광 구동부(EDV), 및 데이터 구동부(DDV)를 제어할 수 있다.

- [0053] 본 발명의 일 실시예에 있어서, 스캔 구동부들(SDV)은 제1 화소들(PXL1)에 연결된 제1 스캔 구동부(SDV1), 제2 화소들(PXL2)에 연결된 제2 스캔 구동부(SDV2), 제3 화소들(PXL3)에 연결된 제3 스캔 구동부(SDV3)를 포함할 수 있다. 본 발명의 일 실시예에 있어서, 발광 구동부들(EDV)은 제1 화소들(PXL1)에 연결된 제1 발광 구동부(EDV1), 제2 화소들(PXL2)에 연결된 제2 발광 구동부(EDV2), 제3 화소들(PXL3)에 연결된 제3 발광 구동부(EDV3)를 포함할 수 있다.
- [0054] 제1 스캔 구동부(SDV1)는 제1 주변 영역(PPA1) 중 세로부에 배치될 수 있다. 제1 주변 영역(PPA1)의 세로부는 제1 화소 영역(PXA1)의 폭 방향을 따라 서로 이격된 한 쌍으로 제공되므로, 제1 스캔 구동부(SDV1)는 제1 주변 영역(PPA1)의 세로부 중 적어도 어느 한 쪽에 배치될 수 있다. 제1 스캔 구동부(SDV1)는 제1 주변 영역(PPA1)의 길이 방향을 따라 길게 연장될 수 있다.
- [0055] 이와 유사한 방식으로 제2 스캔 구동부(SDV2)는 제2 주변 영역(PPA2)에, 제3 스캔 구동부(SDV3)는 제3 주변 영역(PPA3)에 배치될 수 있다.
- [0056] 본 발명의 일 실시예에 있어서, 스캔 구동부들(SDV)은 기관(SUB) 상에 직접 실장될 수 있다. 스캔 구동부들(SDV)이 기관(SUB) 상에 직접 실장되는 경우, 화소들(PXL)을 형성하는 공정 시에 함께 형성될 수 있다. 그러나, 스캔 구동부들(SDV)의 제공 위치나 제공 방법은, 이에 한정되는 것은 아니다. 예를 들면, 스캔 구동부들(SDV)은 별도의 칩에 형성되어 기관(SUB) 상에 칩 온 글라스 형태로 제공될 수 있으며, 또는 인쇄 회로 기관 상에 실장되어 기관(SUB)에 연결 부재를 통해 연결될 수도 있다.
- [0057] 제1 발광 구동부(EDV1) 또한, 제1 스캔 구동부(SDV1)와 유사하게, 제1 주변 영역(PPA1) 중 세로부에 배치될 수 있다. 제1 발광 구동부(EDV1)는 제1 주변 영역(PPA1)의 세로부 중 적어도 어느 한 쪽에 배치될 수 있다. 제1 발광 구동부(EDV1)는 제1 주변 영역(PPA1)의 길이 방향을 따라 길게 연장될 수 있다.
- [0058] 이와 유사한 방식으로, 제2 발광 구동부(EDV2)는 제2 주변 영역(PPA2)에, 제3 발광 구동부(EDV3)는 제3 주변 영역(PPA3)에 배치될 수 있다.
- [0059] 본 발명의 일 실시예에 있어서, 발광 구동부들(EDV)은 기관(SUB) 상에 직접 실장될 수 있다. 발광 구동부들(EDV)이 기관(SUB) 상에 직접 실장되는 경우, 화소들(PXL)을 형성하는 공정 시에 함께 형성될 수 있다. 그러나, 발광 구동부들(EDV)의 제공 위치나 제공 방법은, 이에 한정되는 것은 아니다. 발광 구동부들(EDV)은 별도의 칩에 형성되어 기관(SUB) 상에 칩 온 글라스(Chip On Glass) 형태로 제공될 수 있다. 또는 발광 구동부들(EDV)은 인쇄 회로 기관 상에 실장되어 연결 부재를 통하여 기관(SUB)에 연결될 수도 있다.
- [0060] 본 발명의 일 실시예에 있어서, 스캔 구동부들(SDV)과 발광 구동부들(EDV)이 서로 인접하며, 주변 영역들(PPA)의 세로부 쌍 중 어느 한 쪽에만 형성된 것을 일 예로서 도시하였으나, 이에 한정되는 것은 아니다. 스캔 구동부들(SDV)과 발광 구동부들(EDV)의 배치는 다양한 방식으로 변경될 수 있다. 예를 들어, 제1 스캔 구동부(SDV1)는 제1 주변 영역(PPA1)의 세로부 중 일측에 제1 발광 구동부(EDV1)는 제1 주변 영역(PPA1)의 세로부 중 타측에 제공될 수 있다. 또는 제1 스캔 구동부(SDV1)가 제1 주변 영역(PPA1)의 세로부 중 양측에 모두 제공될 수 있으며, 제1 발광 구동부(EDV1)는 제1 주변 영역(PPA1)의 세로부 중 일측에만 제공될 수 있다.
- [0061] 데이터 구동부(DDV)는 제1 주변 영역(PPA1)에 배치될 수 있다. 특히 데이터 구동부(DDV)는 제1 주변 영역(PPA1)의 가로부에 배치될 수 있다. 데이터 구동부(DDV)는 제1 주변 영역(PPA1)의 폭 방향을 따라 길게 연장될 수 있다.
- [0062] 본 발명의 일 실시예에 있어서, 스캔 구동부들(SDV), 발광 구동부들(EDV), 및/또는 데이터 구동부(DDV)의 위치는 필요에 따라 서로 바뀔 수 있다.
- [0063] 타이밍 제어부는 다양한 방식으로 제1 내지 제3 스캔 구동부들(SDV1, SDV2, SDV3), 제1 내지 제3 발광 구동부들(EDV1, EDV2, EDV3), 및 데이터 구동부(DDV)에 배선을 통해 연결될 수 있다. 타이밍 제어부가 배치되는 위치는 특별히 한정되는 것은 아니다. 예를 들어, 타이밍 제어부는 인쇄 회로 기관 상에 실장되어, 가요성 인쇄 회로 기관을 통해 제1 내지 제3 스캔 구동부들(SDV1, SDV2, SDV3), 제1 내지 제3 발광 구동부들(EDV1, EDV2, EDV3), 및 데이터 구동부(DDV)와 연결될 수 있으며, 인쇄 회로 기관은 기관(SUB)의 일측, 또는 기관(SUB)의 배면 등 다양한 위치에 배치될 수 있다.
- [0064] 동일한 행에 대응하는 제2 화소들(PXL2) 및 제3 화소들(PXL3)의 스캔 라인들(미도시)은 전기적으로 연결되고, 제2 및 제3 스캔 구동부들(SDV2, SDV3) 중 하나는 생략될 수 있다. 또한, 동일한 행에 대응하는 제2 화소들(PXL2) 및 제3 화소들(PXL3)의 발광 제어 라인(미도시)은 전기적으로 연결되고, 제2 및 제3 발광 구동부들

(EDV2, EDV3) 중 하나는 생략될 수 있다.

- [0065] 전원 공급부는 적어도 하나의 전원 공급 라인(ELVDD, ELVSS)을 포함할 수 있다. 예를 들면, 전원 공급부는 제1 전원 공급 라인(ELVDD) 및 제2 전원 공급 라인(ELVSS)을 포함할 수 있다. 제1 전원 공급 라인(ELVDD) 및 제2 전원 공급 라인(ELVSS)은 제1 화소(PXL1), 제2 화소(PXL2) 및 제3 화소(PXL3)에 전원을 공급할 수 있다.
- [0066] 제1 전원 공급 라인(ELVDD) 및 제2 전원 공급 라인(ELVSS) 중 하나, 예를 들면, 제1 전원 공급 라인(ELVDD)은 적어도 제1 주변 영역(PPA1)의 일변, 제2 주변 영역(PPA2)의 일변, 및 제3 주변 영역(PPA3)의 일변에 대응하도록 배치될 수 있다. 예를 들면, 제1 전원 공급 라인(ELVDD)은 제1 주변 영역(PPA1)의 데이터 구동부(DDV)가 배치된 영역에 배치될 수 있다. 또한, 제1 전원 공급 라인(ELVDD)은 제1 화소 영역(PXA1)의 폭 방향으로 연장될 수 있다.
- [0067] 제1 전원 공급 라인(ELVDD) 및 제2 전원 공급 라인(ELVSS) 중 다른 하나, 예를 들면, 제2 전원 공급 라인(ELVSS)은 제1 주변 영역(PPA1)의 데이터 구동부(DDV)가 배치된 영역을 제외한 제1 화소 영역(PXA1), 제2 화소 영역(PXA2) 및 제3 화소 영역(PXA3)을 에워싸도록 배치될 수 있다. 예를 들면, 제2 전원 공급 라인(ELVSS)은 제1 주변 영역(PPA1)의 좌측 세로부, 제2 주변 영역(PPA2), 제3 주변 영역(PPA3), 부가 주변 영역(APA) 및 제2 주변 영역(PPA2)의 우측 세로부를 따라 연장된 형상을 가질 수 있다.
- [0068] 상기에서는 제1 전원 공급 라인(ELVDD)이 제1 주변 영역(PPA1) 중 제1 화소 영역(PXA1)의 일변에 대응하여 배치되고, 제2 전원 공급 라인(ELVSS)이 나머지 주변 영역들에 배치됨을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 제1 전원 공급 라인(ELVDD)과 제2 전원 공급 라인(ELVSS)이 제1 화소 영역(PXA1), 제2 화소 영역(PXA2) 및 제3 화소 영역(PXA3)을 에워싸도록 배치될 수 있다. 제1 전원 공급 라인(ELVDD)에 인가되는 전압은 제2 전원 공급 라인(ELVSS)에 인가되는 전압보다 높을 수 있다.
- [0070] 도 2는 본 발명의 일 실시예에 따른 화소들 및 구동부의 실시예를 나타낸 블록도이다.
- [0071] 도 2를 참조하면, 본 발명의 실시예에 의한 표시 장치는 화소들(PXL), 구동부, 및 배선부를 포함할 수 있다.
- [0072] 화소들(PXL)은 제1 내지 제3 화소들(PXL1, PXL2, PXL3)을 포함하고, 구동부는 제1 내지 제3 스캔 구동부(SDV1, SDV2, SDV3), 제1 내지 제3 발광 구동부(EDV1, EDV2, EDV3), 데이터 구동부(DDV), 및 타이밍 제어부(TC)를 포함할 수 있다. 도 2에 있어서, 제1 내지 제3 스캔 구동부(SDV1, SDV2, SDV3), 제1 내지 제3 발광 구동부(EDV1, EDV2, EDV3), 데이터 구동부(DDV), 및 타이밍 제어부(TC)의 위치는 설명의 편의를 위해 설정된 것으로서, 실제 표시 장치를 구현할 때는 표시 장치 내에서의 다른 위치에 배치될 수 있다. 예를 들어, 데이터 구동부(DDV)는 제1 영역(A1)보다 제2 영역(A2) 및 제3 영역(A3)에 인접한 영역에 배치되었으나, 이에 한정되는 것은 아니다. 예를 들면, 데이터 구동부(DDV)는 제1 영역(A1)에 인접한 영역에 배치될 수도 있음은 물론이다.
- [0073] 배선부는 구동부의 신호를 각 화소(PXL)에 제공하며, 스캔 라인들, 데이터 라인들, 및 발광 제어 라인들, 전원 라인, 및 초기화 전원 라인(미도시)을 포함할 수 있다. 스캔 라인들은 제1 내지 제3 화소들(PXL1, PXL2, PXL3)에 각각 연결된 제1 내지 제3 스캔 라인들(S11 내지 S1n, S21 및 S22, S31 및 S32)을 포함하고, 발광 제어 라인들은 제1 내지 제3 화소들(PXL1, PXL2, PXL3)에 각각 연결된 제1 내지 제3 발광 제어 라인들(E11 내지 E1n, E21 및 E22, E31 및 E32)을 포함할 수 있다. 데이터 라인들(D1 내지 Dm)과 전원 라인들은 제1 내지 제3 화소들(PXL1, PXL2, PXL3)에 연결될 수 있다.
- [0074] 제1 화소들(PXL1)은 제1 화소 영역(PXA1)에 위치된다. 제1 화소들(PXL1)은 제1 스캔 라인들(S11 내지 S1n), 제1 발광 제어 라인들(E11 내지 E1n) 및 데이터 라인들(D1 내지 Dm)에 연결될 수 있다. 제1 화소들(PXL1)은 제1 스캔 라인들(S11 내지 S1n)로부터 스캔 신호가 공급될 때 데이터 라인들(D1 내지 Dm)로부터 데이터 신호를 공급받는다. 데이터 신호를 공급받은 제1 화소들(PXL1)은 제1 전원(ELVDD)으로부터 유기 발광 소자(미도시)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어할 수 있다.
- [0075] 제2 화소들(PXL2)은 제2 화소 영역(PXA2)에 위치된다. 제2 화소들(PXL2)은 제2 스캔 라인들(S21, S22), 제2 발광 제어 라인들(E21, E22) 및 데이터 라인들(D1 내지 D3)에 연결된다. 제2 화소들(PXL2)은 제2 스캔 라인들(S21, S22)로부터 스캔 신호가 공급될 때 데이터 라인들(D1 내지 D3)로부터 데이터 신호를 공급받는다. 데이터 신호를 공급받은 제2 화소들(PXL2)은 제1 전원(ELVDD)으로부터 유기 발광 소자를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어한다.
- [0076] 추가적으로, 도 2에서는 두 개의 제2 스캔 라인들(S21, S22), 두 개의 제2 발광 제어 라인들(E21, E22) 및 세 개의 데이터 라인들(D1 내지 D3)에 의하여 제2 화소 영역(PXA2)에 여섯 개의 제2 화소들(PXL2)이 위치되는 것으로

로 도시하였지만, 본원 발명이 이에 한정되지는 않는다. 즉, 제2 화소 영역(PXA2)의 크기에 대응하여 복수의 제2 화소들(PXL2)이 배치되며, 제2 화소들(PXL2)에 대응하여 제2 스캔 라인들, 제2 발광 제어 라인들, 및 데이터 라인들의 수가 다양하게 설정될 수 있다.

- [0077] 제3 화소들(PXL3)은 제3 스캔 라인들(S31, S32), 제3 발광 제어 라인들(E31, E32) 및 데이터 라인들(Dm-2 내지 Dm)에 의하여 구획된 제3 화소 영역(PXA3)에 위치된다. 제3 화소들(PXL3)은 제3 스캔 라인들(S31, S32)로부터 스캔 신호가 공급될 때 데이터 라인들(Dm-2 내지 Dm)로부터 데이터 신호를 공급받는다. 데이터 신호를 공급받은 제3 화소들(PXL3)은 제1 전원(ELVDD)으로부터 유기 발광 소자를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어할 수 있다.
- [0078] 추가적으로, 도 2에서는 두 개의 제3 스캔 라인들(S31, S32), 두 개의 제3 발광 제어 라인들(E31, E32) 및 세 개의 데이터 라인들(Dm-2 내지 Dm)에 의하여 제3 화소 영역(PXA3)에 여섯 개의 제3 화소들(PXL3)이 위치되는 것으로 도시하였지만, 본원 발명이 이에 한정되지는 않는다. 즉, 제3 화소 영역(PXA3)의 크기에 대응하여 복수의 제3 화소들(PXL3)이 배치되며, 제3 화소들(PXL3)에 대응하여 제3 스캔 라인들, 제3 발광 제어 라인들 및 데이터 라인들의 수가 다양하게 설정될 수 있다.
- [0079] 제1 스캔 구동부(SDV1)는 타이밍 제어부(TC)로부터의 제1 게이트 제어 신호(GCS1)에 대응하여 제1 스캔 라인들(S11 내지 S1n)로 스캔 신호를 공급할 수 있다. 일례로, 제1 스캔 구동부(SDV1)는 제1 스캔 라인들(S11 내지 S1n)로 스캔 신호를 순차적으로 공급할 수 있다. 제1 스캔 라인들(S11 내지 S1n)로 스캔 신호가 순차적으로 공급되면 제1 화소들(PXL1)이 수평 라인 단위로 순차적으로 선택될 수 있다.
- [0080] 제2 스캔 구동부(SDV2)는 타이밍 제어부(TC)로부터의 제2 게이트 제어 신호(GCS2)에 대응하여 제2 스캔 라인들(S21, S22)로 스캔 신호를 공급할 수 있다. 일례로, 제2 스캔 구동부(SDV2)는 제2 스캔 라인들(S21, S22)로 스캔 신호를 순차적으로 공급할 수 있다. 제2 스캔 라인들(S21, S22)로 스캔 신호가 순차적으로 공급되면 제2 화소들(PXL2)이 수평 라인 단위로 순차적으로 선택될 수 있다.
- [0081] 제3 스캔 구동부(SDV3)는 타이밍 제어부(TC)로부터의 제3 게이트 제어 신호(GCS3)에 대응하여 제3 스캔 라인들(S31, S32)로 스캔 신호를 공급할 수 있다. 일례로, 제3 스캔 구동부(SDV3)는 제3 스캔 라인들(S31, S32)로 스캔 신호를 순차적으로 공급할 수 있다. 제3 스캔 라인들(S31, S32)로 스캔 신호가 순차적으로 공급되면 제3 화소들(PXL3)이 수평 라인 단위로 순차적으로 선택될 수 있다.
- [0082] 제1 발광 구동부(EDV1)는 타이밍 제어부(TC)로부터의 제4 게이트 제어 신호(GCS4)에 대응하여 제1 발광 제어 라인들(E11 내지 E1n)로 발광 제어 신호를 공급할 수 있다. 일례로, 제1 발광 구동부(EDV1)는 제1 발광 제어 라인들(E11 내지 E1n)로 발광 제어 신호를 순차적으로 공급할 수 있다.
- [0083] 여기서, 발광 제어 신호는 스캔 신호보다 넓은 폭으로 설정될 수 있다. 일례로, i (i 는 자연수)번째 제1 발광 제어 라인(E1i)으로 공급되는 발광 제어 신호는 $i-1$ 번째 제1 스캔 라인(S1i-1)으로 공급되는 스캔 신호 및 i 번째 제1 스캔 라인(S1i)으로 공급되는 스캔 신호와 적어도 일부 기간 중첩되도록 공급될 수 있다.
- [0084] 제2 발광 구동부(EDV2)는 타이밍 제어부(TC)로부터의 제5 게이트 제어 신호(GCS5)에 대응하여 제2 발광 제어 라인들(E21, E22)로 발광 제어 신호를 공급할 수 있다. 일례로, 제2 발광 구동부(EDV2)는 제2 발광 제어 라인들(E21, E22)로 발광 제어 신호를 순차적으로 공급할 수 있다.
- [0085] 제3 발광 구동부(EDV3)는 타이밍 제어부(TC)로부터의 제6 게이트 제어 신호(GCS6)에 대응하여 제3 발광 제어 라인들(E31, E32)로 발광 제어 신호를 공급할 수 있다. 일례로, 제3 발광 구동부(EDV3)는 제3 발광 제어 라인들(E31, E32)로 발광 제어 신호를 순차적으로 공급할 수 있다.
- [0086] 추가적으로, 발광 제어 신호는 화소들(PXL)에 포함되는 트랜지스터가 턴-오프될 수 있도록 게이트 오프 전압(예를 들면, 하이 전압)으로 설정되고, 스캔 신호는 화소들(PXL)에 포함되는 트랜지스터가 턴-온(turn-on)될 수 있도록 게이트 온 전압(예를 들면, 로우 전압)으로 설정될 수 있다.
- [0087] 데이터 구동부(DDV)는 데이터 제어 신호(DCS)에 대응하여 데이터 라인들(D1 내지 Dm)로 데이터 신호를 공급할 수 있다. 데이터 라인들(D1 내지 Dm)로 공급된 데이터 신호는 스캔 신호에 의하여 선택된 화소들(PXL)로 공급될 수 있다.
- [0088] 타이밍 제어부(TC)는 외부로부터 공급되는 타이밍 신호들에 기초하여 생성된 게이트 제어 신호들(GCS1 내지 GCS6)을 스캔 구동부들(SDV) 및 발광 구동부들(EDV)로 공급하고, 데이터 제어 신호(DCS)를 데이터 구동부(DDV)

로 공급할 수 있다.

- [0089] 게이트 제어 신호들(GCS1 내지 GCS6) 각각에는 스타트 펄스 및 클럭 신호들이 포함될 수 있다. 스타트 펄스는 첫번째 스캔 신호 또는 첫번째 발광 제어 신호의 타이밍을 제어할 수 있다. 클럭 신호들은 스타트 펄스를 쉬프트시키기 위하여 사용될 수 있다.
- [0090] 데이터 제어 신호(DCS)에는 소스 스타트 펄스 및 클럭 신호들이 포함될 수 있다. 소스 스타트 펄스는 데이터의 샘플링 시작 시점을 제어할 수 있다. 클럭 신호들은 샘플링 동작을 제어하기 위하여 사용될 수 있다.
- [0091] 한편, 표시 장치가 순차적으로 구동되는 경우, 제1 스캔 구동부(SDV1)는 제2 스캔 구동부(SDV2)의 마지막 출력 신호를 스타트 펄스로 공급받을 수 있다. 이 경우, 제1 스캔 구동부(SDV1) 및 제2 스캔 구동부(SDV2)는 제어 신호들을 공유할 수 있고, 이에 따라 타이밍 제어부(TC)는 제2 스캔 구동부(SDV2)로 게이트 제어 신호(GCS2)를 공급하고, 제1 스캔 구동부(SDV1)로 게이트 제어 신호(GCS1)를 공급하지 않을 수 있다.
- [0092] 마찬가지로, 제3 스캔 구동부(SDV3)의 하부에 제1 화소들(PXL1)을 구동하기 위한 별도의 스캔 구동부가 추가되는 경우, 추가되는 스캔 구동부와 제3 스캔 구동부(SDV3)가 제어 신호를 공유할 수 있다. 그리고, 추가되는 스캔 구동부는 제3 스캔 구동부(SDV3)의 마지막 스캔 신호를 스타트 펄스로 공급받을 수 있다.
- [0093] 또한, 표시 장치가 순차적으로 구동되는 경우, 제1 발광 구동부(EDV1)는 제2 발광 구동부(EDV2)의 마지막 출력 신호를 스타트 펄스로 공급받을 수 있다. 이 경우, 제1 발광 구동부(EDV1) 및 제2 발광 구동부(EDV2)는 제어 신호들을 공유할 수 있고, 이에 따라 타이밍 제어부(TC)는 제2 발광 구동부(EDV2)로 게이트 제어 신호(GCS5)를 공급하고, 제1 발광 구동부(EDV1)로 게이트 제어 신호(GCS4)를 공급하지 않을 수 있다.
- [0094] 마찬가지로, 제3 발광 구동부(EDV3)의 하부에 제1 화소들(PXL1)을 구동하기 위한 별도의 발광 구동부가 추가되는 경우, 추가되는 발광 구동부와 제3 발광 구동부(EDV3)가 제어신호를 공유할 수 있다. 그리고, 추가되는 발광 구동부는 제3 발광 구동부(EDV3)의 마지막 발광 제어 신호를 스타트 펄스로 공급받을 수 있다.
- [0096] 도 3은 도 2에 도시된 제1 화소의 실시예를 나타내는 등가 회로도이다. 도 3에서는 설명의 편의성을 위하여 j번째 데이터 라인(Dj) 및 i번째 제1 스캔 라인(S1i)에 접속된 화소를 도시하기로 한다.
- [0097] 도 2 및 도 3을 참조하면, 본 발명의 실시예에 의한 제1 화소(PXL1)는 유기 발광 소자(OLED), 제1 트랜지스터(T1) 내지 제7 트랜지스터(T7) 및 스토리지 커패시터(Cst)를 구비할 수 있다.
- [0098] 유기 발광 소자(OLED)의 애노드는 제6 트랜지스터(T6)를 경유하여 제1 트랜지스터(T1)에 접속되고, 캐소드는 제2 전원(ELVSS)에 접속될 수 있다. 유기 발광 소자(OLED)는 제1 트랜지스터(T1)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성할 수 있다.
- [0099] 유기 발광 소자(OLED)로 전류가 흐를 수 있도록 제1 전원(ELVDD)은 제2 전원(ELVSS)보다 높은 전압으로 설정될 수 있다.
- [0100] 제7 트랜지스터(T7)는 초기화 전원(Vint)과 유기 발광 소자(OLED)의 애노드 사이에 접속될 수 있다. 그리고, 제7 트랜지스터(T7)의 게이트 전극은 i번째 제1 스캔 라인(S1i)에 접속될 수 있다. 제7 트랜지스터(T7)는 i번째 제1 스캔 라인(S1i)으로 스캔 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 유기 발광 소자(OLED)의 애노드로 공급할 수 있다. 여기서, 초기화 전원(Vint)은 데이터 신호보다 낮은 전압으로 설정될 수 있다.
- [0101] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)와 유기 발광 소자(OLED) 사이에 접속될 수 있다. 그리고, 제6 트랜지스터(T6) 게이트 전극은 i번째 제1 발광 제어 라인(E1i)에 접속될 수 있다. 제6 트랜지스터(T6)는 i번째 제1 발광 제어 라인(E1i)으로 발광 제어 신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온될 수 있다.
- [0102] 제5 트랜지스터(T5)는 제1 전원(ELVDD)과 제1 트랜지스터(T1) 사이에 접속될 수 있다. 그리고, 제5 트랜지스터(T5)의 게이트 전극은 i번째 제1 발광 제어 라인(E1i)에 접속될 수 있다. 제5 트랜지스터(T5)는 i번째 제1 발광 제어 라인(E1i)으로 발광 제어 신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온될 수 있다.
- [0103] 제1 트랜지스터(T1; 구동 트랜지스터)의 제1 전극은 제5 트랜지스터(T5)를 경유하여 제1 전원(ELVDD)에 접속되고, 제2 전극은 제6 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드에 접속될 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 접속될 수 있다. 제1 트랜지스터(T1)는 제1 노드(N1)의 전압에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 소자(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어할 수 있다.

- [0104] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 제2 전극과 제1 노드(N1) 사이에 접속될 수 있다. 그리고, 제3 트랜지스터(T3)의 게이트 전극은 i번째 제1 스캔 라인(S1i)에 접속될 수 있다. 제3 트랜지스터(T3)는 i번째 제1 스캔 라인(S1i)으로 스캔 신호가 공급될 때 턴-온되어 제1 트랜지스터(T1)의 제2 전극과 제1 노드(N1)를 전기적으로 접속시킬 수 있다. 따라서, 제3 트랜지스터(T3)가 턴-온 될 때 제1 트랜지스터(T1)는 다이오드 형태로 접속될 수 있다.
- [0105] 제4 트랜지스터(T4)는 제1 노드(N1)와 초기화 전원(Vint) 사이에 접속될 수 있다. 그리고, 제4 트랜지스터(T4)의 게이트 전극은 i-1번째 제1 스캔 라인(S1i-1)에 접속될 수 있다. 제4 트랜지스터(T4)는 i-1번째 제1 스캔 라인(S1i-1)으로 스캔 신호가 공급될 때 턴-온되어 제1 노드(N1)로 초기화 전원(Vint)의 전압을 공급할 수 있다.
- [0106] 제2 트랜지스터(T2)는 j번째 데이터 라인(Dj)과 제1 트랜지스터(T1)의 제1 전극 사이에 접속될 수 있다. 그리고, 제2 트랜지스터(T2)의 게이트 전극은 i번째 제1 스캔 라인(S1i)에 접속될 수 있다. 제2 트랜지스터(T2)는 i번째 제1 스캔 라인(S1i)으로 스캔 신호가 공급될 때 턴-온되어 j번째 데이터 라인(Dj)과 제1 트랜지스터(T1)의 제1 전극을 전기적으로 접속시킬 수 있다.
- [0107] 스토리지 커패시터(Cst)는 제1 전원(ELVDD)과 제1 노드(N1) 사이에 접속될 수 있다. 스토리지 커패시터(Cst)는 데이터 신호 및 제1 트랜지스터(T1)의 문턱 전압에 대응하는 전압을 저장할 수 있다.
- [0108] 한편, 제2 화소(PXL2) 및 제3 화소(PXL3)는 제1 화소(PXL1)와 동일한 회로로 구현될 수 있다. 따라서, 제2 화소(PXL2) 및 제3 화소(PXL3)에 대하여 상세한 설명은 생략하기로 한다.
- [0109] 상술한 바와 같이, 본 발명의 일 실시예에 따르면 서로 다른 면적을 갖는 영역들(A1, A2, A3)에 화소들(PXL)이 제공될 수 있다. 화소들(PXL)에 신호를 제공하는 스캔 라인들 및 발광 제어 라인의 길이는 영역들(A1, A2, A3), 상세하게는 화소 영역들(PXA)의 면적에 따라 달라질 수 있다. 예를 들어, 본 발명의 일 실시예에 따른 제1 화소 영역(PXA1)에서의 제1 폭(W1; 도 1 참조)은 제2 화소 영역(PXA2)에서의 제2 폭(W2; 도 1 참조)보다 길다. 이에 따라, 스캔 라인들 및 발광 제어 라인이 폭 방향을 따라 연장되는 경우, 제1 스캔 라인들(S11 내지 S1n) 및 제1 발광 제어 라인들(E11 내지 E1n)의 길이는 각각 제2 스캔 라인들(S21, S22) 및 제2 발광 제어 라인들(E21, E22)의 길이보다 길다. 스캔 라인들의 길이 차이 및 발광 제어 라인들의 길이 차이는 스캔 라인들 및 발광 제어 라인들의 로드(load) 값의 차이를 야기할 수 있다. 즉, 제1 스캔 라인들(S11 내지 S1n)의 로드 값이 제2 스캔 라인들(S21, S22)의 로드 값보다 클 수 있다. 또한, 제1 발광 제어 라인들(E11 내지 E1n)의 로드 값이 제2 발광 제어 라인들(E21, E22)의 로드 값보다 클 수 있다. 로드 값의 차이는 각 화소(PXL)에 제공되는 데이터 신호의 전압 강하를 야기할 수 있다. 데이터 신호의 전압 강하는 제1 화소 영역(PXA1)의 제1 화소들(PXL1)과 제2 화소 영역(PXA2)의 제2 화소들(PXL2) 사이의 휘도 차이를 발생시킬 수 있다.
- [0110] 본 발명의 다른 실시예에 있어서, 스캔 라인들 및 발광 제어 라인들의 연장 방향은 달리 설정될 수 있다. 예를 들어, 본 발명의 일 실시예의 스캔 라인들 및 발광 제어 라인들이 폭 방향인 제1 방향(DR1)을 따라 연장된 것과는 달리, 스캔 라인들 및 발광 제어 라인들은 길이 방향인 제2 방향(DR2)을 따라 연장될 수 있다. 여기서, 스캔 라인들 및 발광 제어 라인들의 길이는 제1 길이(L1)와 제2 길이(L2)에 각각 대응하여 설정될 수 있다. 이 경우에도 스캔 라인들 및 발광 제어 라인들의 길이 차이에 의해 스캔 라인들 및 발광 제어 라인들의 로드 값의 차이가 발생할 수 있으며, 결국 화소들(PXL) 사이의 휘도 차이를 야기할 수 있다.
- [0111] 본 발명의 일 실시예에서는 각 영역(A1, A2, A3) 별로 로드 값의 차이를 보상하는 더미부를 가지거나 가지지 않음으로써 기생 캐패시턴스가 다른 구조가 채용된다. 이하의 실시예에서는, 먼저 제1 화소(PXL1)를 예로서 전체적인 화소(PXL)의 구조에 대해 설명하고, 다음으로 제1 화소(PXL1)와 제2 화소(PXL2)와의 차이점을 위주로 설명한다. 본 발명의 일 실시예에 있어서, 제3 화소(PXL3)는 제2 화소(PXL2)와 동일한 형태로 제공될 수 있으므로, 제3 화소(PXL3)에 대한 설명을 생략한다.
- [0113] 도 4는 도 3에 도시된 제1 화소를 상세하게 도시한 평면도이며, 도 5는 도 4의 I-I' 라인에 따른 단면도이며, 도 6은 도 4의 II-II' 라인에 따른 단면도이다.
- [0114] 도 4 내지 도 6에서는 제1 화소 영역(PXA1)에 배치된 i번째 행 및 j번째 열에 배치된 하나의 제1 화소(PXL1)를 기준으로, 하나의 제1 화소(PXL1)에 연결된 두 개의 제1 스캔 라인들(S1i-1, S1i), 제1 발광 제어 라인(E1i), 전원 라인(PL), 및 데이터 라인(Dj)을 도시하였다. 도 4 내지 도 6에 있어서, 설명의 편의를 위해, i-1번째 행의 제1 스캔 라인을 "i-1번째 제1 스캔 라인(S1i-1)", i번째 행의 제1 스캔 라인을 "i번째 제1 스캔 라인(S1i)", i번째 행의 발광 제어 라인을 "발광 제어 라인(E1i)", j번째 열의 데이터 라인을 "데이터 라인(Dj)"으로, 그리고, j번째 전원 라인을 "전원 라인(PL)"으로 표시한다.

- [0115] 도 4 내지 도 6을 참조하면, 표시 장치는 기관(SUB), 배선부, 및 화소들, 예를 들면, 제1 화소들(PXL1)을 포함할 수 있다.
- [0116] 기관(SUB)은 투명 절연 물질을 포함하여 광의 투과가 가능하다. 기관(SUB)은 경성(rigid) 기관일 수 있다. 예를 들면, 기관(SUB)은 유리 기관, 석영 기관, 유리 세라믹 기관 및 결정질 유리 기관 중 하나일 수 있다.
- [0117] 또한, 기관(SUB)은 가요성(flexible) 기관일 수도 있다. 여기서, 기관(SUB)은 고분자 유기물을 포함하는 필름 기관 및 플라스틱 기관 중 하나일 수 있다. 예를 들면, 기관(SUB)은 폴리스티렌(polystyrene), 폴리비닐알코올(polyvinyl alcohol), 폴리메틸메타크릴레이트(Polymethyl methacrylate), 폴리에테르술폰(polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(polyether imide), 폴리에틸렌 나프탈레이트(polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide), 폴리아릴레이트(polyarylate), 폴리이미드(polyimide), 폴리카보네이트(polycarbonate), 트리아세테이트 셀룰로오스(triacetate cellulose), 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate) 중 적어도 어느 하나를 포함할 수 있다. 다만, 기관(SUB)을 구성하는 재료는 다양하게 변화될 수 있으며, 섬유 강화플라스틱(FRP, Fiber reinforced plastic) 등을 포함할 수도 있다.
- [0118] 배선부는 제1 화소들(PXL1) 각각에 신호를 제공하며, 제1 스캔 라인들(S1i-1, S1i), 데이터 라인(Dj), 발광 제어 라인(E1i), 전원 라인(PL), 및 초기화 전원 라인(IPL)을 포함할 수 있다.
- [0119] 제1 스캔 라인들(S1i-1, S1i)은 제1 방향(DR1)으로 연장될 수 있다. 제1 스캔 라인들(S1i-1, S1i)은 제2 방향(DR2)을 따라 순차적으로 배열된 i-1번째 제1 스캔 라인(S1i-1), 및 i번째 제1 스캔 라인(S1i)을 포함할 수 있다. 제1 스캔 라인들(S1i-1, S1i)은 스캔 신호를 인가받을 수 있다. 예를 들면, i-1번째 제1 스캔 라인(S1i-1)은 i-1번째 스캔 신호를 인가받을 수 있다. i-1번째 제1 스캔 라인(S1i-1)은 i-1번째 스캔 신호에 의해 i번째 행의 제1 화소들(PXL1)이 초기화될 수 있다. i번째 제1 스캔 라인(S1i)은 i번째 스캔 신호를 인가받을 수 있다. i번째 제1 스캔 라인(S1i)은 분기되어 서로 다른 트랜지스터에 연결될 수 있다.
- [0120] 제1 발광 제어 라인(E1i)은 제1 방향(DR1)으로 연장될 수 있다. 제1 발광 제어 라인(E1i)은 두 개의 i번째 제1 스캔 라인들(S1i) 사이에서 i번째 제1 스캔 라인들(S1i)과 이격되도록 배치된다. 제1 발광 제어 라인(E1i)은 발광 제어 신호를 인가받을 수 있다.
- [0121] 데이터 라인(Dj)은 제2 방향(DR2)으로 연장될 수 있다. 데이터 라인(Dj)은 데이터 신호를 인가받을 수 있다.
- [0122] 전원 라인(PL)은 제2 방향(DR2)을 따라 연장될 수 있다. 전원 라인(PL)은 데이터 라인(Dj)과 이격되도록 배치될 수 있다. 전원 라인(PL)은 제1 전원(ELVDD)을 인가받을 수 있다.
- [0123] 초기화 전원 라인(IPL)은 제1 방향(DR1)을 따라 연장될 수 있다. 초기화 전원 라인(IPL)은 i번째 화소 행의 제1 화소(PXL1)과 i+1번째 화소 행 제1 화소(PXL1) 사이에 제공될 수 있다. 초기화 전원 라인(IPL)은 초기화 전원(Vint)을 인가받을 수 있다.
- [0124] 제1 화소들(PXL1) 각각은 제1 트랜지스터(T1) 내지 제7 트랜지스터(T7), 스토리지 캐패시터(Cst), 유기 발광 소자(OLED)를 포함할 수 있다.
- [0125] 제1 트랜지스터(T1)는 제1 게이트 전극(GE1), 제1 액티브 패턴(ACT1), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 및 연결 라인(CNL)을 포함할 수 있다.
- [0126] 제1 게이트 전극(GE1)은 제3 트랜지스터(T3)의 제3 드레인 전극(DE3) 및 제4 트랜지스터(T4)의 제4 드레인 전극(DE4)과 연결될 수 있다. 연결 라인(CNL)은 제1 게이트 전극(GE1)과, 제3 드레인 전극(DE3) 및 제4 드레인 전극(DE4) 사이를 연결할 수 있다. 연결 라인(CNL)의 일단은 제1 콘택 홀(CH1)을 통해 제1 게이트 전극(GE1)과 연결되고 연결 라인(CNL)의 타단은 제2 콘택 홀(CH2)을 통해 제3 드레인 전극(DE3)과 제4 드레인 전극(DE4)에 연결될 수 있다.
- [0127] 본 발명의 일 실시예에 있어서, 제1 액티브 패턴(ACT1)과 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)은 불순물이 도핑된 반도체층으로 이루어지며, 제1 액티브 패턴(ACT1)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다.
- [0128] 제1 액티브 패턴(ACT1)은 소정 방향으로 연장된 바(bar) 형상을 가지며, 연장된 길이 방향을 따라 복수 회 절곡된 형상을 가질 수 있다. 제1 액티브 패턴(ACT1)은 평면 상에서 볼 때 제1 게이트 전극(GE1)과 중첩할 수 있다.

제1 액티브 패턴(ACT1)이 길게 형성됨으로써 제1 트랜지스터(T1)의 채널 영역이 길게 형성될 수 있다. 이에 따라, 제1 트랜지스터(T1)에 인가되는 게이트 전압의 구동 범위가 넓어지게 된다. 이에 따라 이후 유기 발광 소자(OLED)에서 방출되는 빛의 계조를 세밀하게 제어할 수 있다.

[0129] 제1 소스 전극(SE1)은 제1 액티브 패턴(ACT1)의 일 단에 연결될 수 있다. 제1 소스 전극(SE1)은 제2 트랜지스터(T2)의 제2 드레인 전극(DE2)과 제5 트랜지스터(T5)의 제5 드레인 전극(DE5)과 연결될 수 있다. 제1 드레인 전극(DE1)은 제1 액티브 패턴(ACT1)의 타단에 연결될 수 있다. 제1 드레인 전극(DE1)은 제3 트랜지스터(T3)의 제3 소스 전극(SE3)과 제6 트랜지스터(T6)의 제6 소스 전극(SE6)에 연결될 수 있다.

[0130] 제2 트랜지스터(T2)는 제2 게이트 전극(GE2), 제2 액티브 패턴(ACT2), 제2 소스 전극(SE2), 및 제2 드레인 전극(DE2)을 포함될 수 있다.

[0131] 제2 게이트 전극(GE2)은 i번째 제1 스캔 라인(S1i)에 연결될 수 있다. 제2 게이트 전극(GE2)은 i번째 제1 스캔 라인(S1i)의 일부로 제공되거나 i번째 제1 스캔 라인(S1i)으로부터 돌출된 형상으로 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제2 액티브 패턴(ACT2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 불순물이 도핑된 반도체층으로 이루어지며, 제2 액티브 패턴(ACT2)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제2 액티브 패턴(ACT2)은 제2 게이트 전극(GE2)과 중첩된 부분에 해당한다. 제2 소스 전극(SE2)의 일단은 제2 액티브 패턴(ACT2)에 연결될 수 있다. 제2 소스 전극(SE2)의 타단은 제6 콘택 홀(CH6)을 통해 데이터 라인(Dj)에 연결될 수 있다. 제2 드레인 전극(DE2)의 일단은 제2 액티브 패턴(ACT2)에 연결될 수 있다. 제2 드레인 전극(DE2)의 타단은 제1 트랜지스터(T1)의 제1 소스 전극(SE1)과 제5 트랜지스터(T5)의 제5 드레인 전극(DE5)과 연결될 수 있다.

[0132] 제3 트랜지스터(T3)는 누설 전류를 방지하기 위해 이중 게이트 구조로 제공될 수 있다. 즉, 제3 트랜지스터(T3)는 제3a 트랜지스터(T3a)와 제3b 트랜지스터(T3b)를 포함할 수 있다. 제3a 트랜지스터(T3a)는 제3a 게이트 전극(GE3a), 제3a 액티브 패턴(ACT3a), 제3a 소스 전극(SE3a), 및 제3a 드레인 전극(DE3a)을 포함할 수 있다. 제3b 트랜지스터(T3b)는 제3b 게이트 전극(GE3b), 제3b 액티브 패턴(ACT3b), 제3b 소스 전극(SE3b), 및 제3b 드레인 전극(DE3b)을 포함할 수 있다. 하기에서는, 제3a 게이트 전극(GE3a)과 제3b 게이트 전극(GE3b)을 제3 게이트 전극(GE3), 제3a 액티브 패턴(ACT3a)과 제3b 액티브 패턴(ACT3b)을 제3 액티브 패턴(ACT3), 제3a 소스 전극(SE3a)과 제3b 소스 전극(SE3b)을 제3 소스 전극(SE3), 그리고 제3a 드레인 전극(DE3a)과 제3b 드레인 전극(DE3b)을 제3 드레인 전극(DE3)으로 지칭한다.

[0133] 제3 게이트 전극(GE3)은 i번째 제1 스캔 라인(S1i)에 연결될 수 있다. 제3 게이트 전극(GE3)은 i번째 제1 스캔 라인(S1i)의 일부로 제공되거나 i번째 제1 스캔 라인(S1i)으로부터 돌출된 형상으로 제공된다. 예를 들면, 제3a 게이트 전극(GE3a)은 i번째 제1 스캔 라인(S1i)로부터 돌출된 형상으로 제공되며, 제3b 게이트 전극(GE3b)은 i번째 제1 스캔 라인(S1i)의 일부로 제공될 수 있다.

[0134] 제3 액티브 패턴(ACT3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)은 불순물이 도핑된 반도체층으로 이루어지며, 제3 액티브 패턴(ACT3)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제3 액티브 패턴(ACT3)은 제3 게이트 전극(GE3)과 중첩된 부분에 해당한다. 제3 소스 전극(SE3)의 일단은 제3 액티브 패턴(ACT3)에 연결될 수 있다. 제3 소스 전극(SE3)의 타단은 제1 트랜지스터(T1)의 제1 드레인 전극(DE1)과 제6 트랜지스터(T6)의 제6 소스 전극(SE6)에 연결될 수 있다. 제3 드레인 전극(DE3)의 일단은 제3 액티브 패턴(ACT3)에 연결될 수 있다. 제3 드레인 전극(DE3)의 타단은 제4 트랜지스터(T4)의 제4 드레인 전극(DE4)에 연결될 수 있다. 또한, 제3 드레인 전극(DE3)은 연결 라인(CNL), 제2 콘택 홀(CH2) 및 제1 콘택 홀(CH1)을 통해 제1 트랜지스터(T1)의 제1 게이트 전극(GE1)에 연결될 수 있다.

[0135] 제4 트랜지스터(T4)는 누설 전류를 방지하기 위해 이중 게이트 구조로 제공될 수 있다. 즉, 제4 트랜지스터(T4)는 제4a 트랜지스터와 제4b 트랜지스터를 포함할 수 있다. 제4a 트랜지스터(T4)는 제4a 게이트 전극(GE4a), 제4a 액티브 패턴(ACT4a), 제4a 소스 전극(SE4a), 및 제4a 드레인 전극(DE4a)을 포함하고, 제4b 트랜지스터는 제4b 게이트 전극(GE4b), 제4b 액티브 패턴(ACT4b), 제4b 소스 전극(SE4b), 및 제4b 드레인 전극(DE4b)을 포함할 수 있다. 하기에서는, 제4a 게이트 전극(GE4a)과 제4b 게이트 전극(GE4b)을 제4 게이트 전극(GE4), 제4a 액티브 패턴(ACT4a)과 제4b 액티브 패턴(ACT4b)을 제4 액티브 패턴(ACT4), 제4a 소스 전극(SE4a)과 제4b 소스 전극(SE4b)을 제4 소스 전극(SE4), 그리고 제4a 드레인 전극(DE4a)과 제4b 드레인 전극(DE4b)을 제4 드레인 전극(DE4)으로 지칭한다.

- [0136] 제4 게이트 전극(GE4)은 i-1번째 제1 스캔 라인(S1i-1)에 연결될 수 있다. 제4 게이트 전극(GE4)은 i-1번째 제1 스캔 라인(S1i-1)의 일부로 제공되거나 i-1번째 제1 스캔 라인(S1i-1)으로부터 돌출된 형상으로 제공될 수 있다. 예를 들면, 제4a 게이트 전극(GE4a)은 i-1번째 제1 스캔 라인(S1i-1)의 일부로 제공될 수 있다. 제4b 게이트 전극(GE4b)은 i-1번째 제1 스캔 라인(S1i-1)으로부터 돌출된 형상으로 제공될 수 있다.
- [0137] 제4 액티브 패턴(ACT4), 제4 소스 전극(SE4) 및 제4 드레인 전극(DE4)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제4 소스 전극(SE4) 및 제4 드레인 전극(DE4)은 불순물이 도핑된 반도체층으로 이루어지며, 제4 액티브 패턴(ACT4)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제4 액티브 패턴(ACT4)은 제4 게이트 전극(GE4)과 중첩된 부분에 해당한다.
- [0138] 제4 소스 전극(SE4)의 일단은 제4 액티브 패턴(ACT4)에 연결될 수 있다. 제4 소스 전극(SE4)의 타단은 i-1번째 행의 제1 화소(PXL1)의 초기화 전원 라인(IPL) 및 i-1번째 행의 제1 화소(PXL1)의 제7 트랜지스터(T7)의 제7 드레인 전극(DE7)에 연결될 수 있다. 제4 소스 전극(SE4)과 초기화 전원 라인(IPL) 사이 보조 연결 라인(AUX)이 제공될 수 있다. 보조 연결 라인(AUX)의 일단은 제9 콘택 홀(CH9)을 통해 제4 소스 전극(SE4)과 연결될 수 있다. 보조 연결 라인(AUX)의 타단은 i-1번째 행의 제1 화소(PXL1)의 제8 콘택 홀(CH8)을 통해 i-1번째 행의 초기화 전원 라인(IPL)에 연결될 수 있다. 제4 드레인 전극(DE4)의 일단은 제4 액티브 패턴(ACT4)에 연결될 수 있다. 제4 드레인 전극(DE4)의 타단은 제3 트랜지스터(T3)의 제3 드레인 전극(DE3)에 연결된다. 제4 드레인 전극(DE4)은 또한 연결 라인(CNL), 제2 콘택 홀(CH2) 및 제1 콘택 홀(CH1)을 통해 제1 트랜지스터(T1)의 제1 게이트 전극(GE1)에 연결된다.
- [0139] 제5 트랜지스터(T5)는 제5 게이트 전극(GE5), 제5 액티브 패턴(ACT5), 제5 소스 전극(SE5), 및 제5 드레인 전극(DE5)을 포함할 수 있다.
- [0140] 제5 게이트 전극(GE5)은 제1 발광 제어 라인(E1i)에 연결될 수 있다. 제5 게이트 전극(GE5)은 제1 발광 제어 라인(E1i) 일부로 제공되거나 제1 발광 제어 라인(E1i)으로부터 돌출된 형상으로 제공될 수 있다. 제5 액티브 패턴(ACT5), 제5 소스 전극(SE5) 및 제5 드레인 전극(DE5)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성된다. 예를 들면, 제5 소스 전극(SE5) 및 제5 드레인 전극(DE5)은 불순물이 도핑된 반도체층으로 이루어지며, 제5 액티브 패턴(ACT5)은 불순물이 도핑되지 않은 반도체층으로 이루어진다. 제5 액티브 패턴(ACT5)은 제5 게이트 전극(GE5)과 중첩된 부분에 해당한다. 제5 소스 전극(SE5)의 일단은 제5 액티브 패턴(ACT5)에 연결될 수 있다. 제5 소스 전극(SE5)의 타단은 제5 콘택 홀(CH5)을 통해 전원 라인(PL)에 연결될 수 있다. 제5 드레인 전극(DE5)의 일단은 제5 액티브 패턴(ACT5)에 연결될 수 있다. 제5 드레인 전극(DE5)의 타단은 제1 트랜지스터(T1)의 제1 소스 전극(SE1) 및 제2 트랜지스터(T2)의 제2 드레인 전극(DE2)에 연결될 수 있다.
- [0141] 제6 트랜지스터(T6)는 제6 게이트 전극(GE6), 제6 액티브 패턴(ACT6), 제6 소스 전극(SE6), 및 제6 드레인 전극(DE6)을 포함할 수 있다.
- [0142] 제6 게이트 전극(GE6)은 제1 발광 제어 라인(E1i)에 연결될 수 있다. 제6 게이트 전극(GE6)은 제1 발광 제어 라인(E1i) 일부로 제공되거나 제1 발광 제어 라인(E1i)으로부터 돌출된 형상으로 제공될 수 있다. 제6 액티브 패턴(ACT6), 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성된다. 예를 들면, 제6 소스 전극(SE6) 및 제6 드레인 전극(DE6)은 불순물이 도핑된 반도체층으로 이루어지며, 제6 액티브 패턴(ACT6)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제6 액티브 패턴(ACT6)은 제6 게이트 전극(GE6)과 중첩된 부분에 해당한다. 제6 소스 전극(SE6)의 일단은 제6 액티브 패턴(ACT6)에 연결될 수 있다. 제6 소스 전극(SE6)의 타단은 제1 트랜지스터(T1)의 제1 드레인 전극(DE1) 및 제3 트랜지스터(T3)의 제3 소스 전극(SE3)에 연결될 수 있다. 제6 드레인 전극(DE6)의 일단은 제6 액티브 패턴(ACT6)에 연결될 수 있다. 제6 드레인 전극(DE6)의 타단은 제7 트랜지스터(T7)의 제7 소스 전극(SE7)에 연결될 수 있다.
- [0143] 제7 트랜지스터(T7)는 제7 게이트 전극(GE7), 제7 액티브 패턴(ACT7), 제7 소스 전극(SE7), 및 제7 드레인 전극(DE7)을 포함할 수 있다.
- [0144] 제7 게이트 전극(GE7)은 i번째 제1 스캔 라인(S1i)에 연결될 수 있다. 제7 게이트 전극(GE7)은 i번째 제1 스캔 라인(S1i)의 일부로 제공되거나 i번째 제1 스캔 라인(S1i)으로부터 돌출된 형상으로 제공될 수 있다. 제7 액티브 패턴(ACT7), 제7 소스 전극(SE7) 및 제7 드레인 전극(DE7)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제7 소스 전극(SE7) 및 제7 드레인 전극(DE7)은 불순물이 도핑된 반도체층으로 이루어지며, 제7 액티브 패턴(ACT7)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제7

액티브 패턴(ACT7)은 제7 게이트 전극(GE7)과 중첩된 부분에 해당한다. 제7 소스 전극(SE7)의 일단은 제7 액티브 패턴(ACT7)에 연결될 수 있다. 제7 소스 전극(SE7)의 타단은 제6 트랜지스터(T6)의 제6 드레인 전극(DE6)에 연결될 수 있다. 제7 드레인 전극(DE7)의 일단은 제7 액티브 패턴(ACT7)에 연결될 수 있다. 제7 드레인 전극(DE7)의 타단은 초기화 전원 라인(IPL)에 연결될 수 있다. 또한, 제7 드레인 전극(DE7)은 i+1번째 행에 배치된 제1 화소(PXL1)의 제4 트랜지스터(T4)의 제4 소스 전극(SE4)에 연결될 수 있다. 제7 드레인 전극(DE7)과 i+1번째 행에 배치된 제1 화소(PXL1)의 제4 트랜지스터(T4)의 제4 소스 전극(SE4)은 보조 라인(AUX), 제8 콘택 홀(CH8), 및 제9 콘택 홀(CH9)을 통해 연결될 수 있다.

- [0145] 스토리지 캐패시터(Cst)는 하부 전극(LE)과 상부 전극(UE)을 포함할 수 있다. 하부 전극(LE)은 제1 트랜지스터(T1)의 제1 게이트 전극(GE1)으로 이루어질 수 있다.
- [0146] 상부 전극(UE)은 제1 게이트 전극(GE1)과 중첩하며, 평면 상에서 볼 때 하부 전극(LE)을 커버할 수 있다. 상부 전극(UE)과 하부 전극(LE)과의 중첩 면적을 넓힘으로써 스토리지 캐패시터(Cst)의 캐패시턴스가 증가될 수 있다. 상부 전극(UE)은 제1 방향(DR1)으로 연장될 수 있다. 본 발명의 일 실시예에 있어서, 상부 전극(UE)에는 제1 전원과 동일한 레벨의 전압이 인가될 수 있다. 상부 전극(UE)은 제1 게이트 전극(GE1)과 연결 라인(CNL)이 접촉되는 제1 콘택 홀(CH1)이 형성되는 영역에 개구부(OPN)를 가질 수 있다.
- [0147] 유기 발광 소자(OLED)는 제1 전극(AD), 제2 전극(CD), 및 제1 전극(AD)과 제2 전극(CD) 사이에 제공된 발광층(EML)을 포함할 수 있다.
- [0148] 제1 전극(AD)은 각 화소(PXL1)에 대응하는 발광 영역 내에 제공될 수 있다. 제1 전극(AD)은 제7 콘택 홀(CH7) 및 제10 콘택 홀(CH10)을 통해 제7 트랜지스터(T7)의 제7 소스 전극(SE7)과, 제6 트랜지스터(T6)의 제6 드레인 전극(DE6)에 연결될 수 있다. 제7 콘택 홀(CH7)과 제10 콘택 홀(CH10) 사이에는 제1 브릿지 패턴(BRP1)이 제공될 수 있다. 제1 브릿지 패턴(BRP1)은 제6 드레인 전극(DE6), 제7 소스 전극(SE7) 및 제1 전극(AD)을 연결할 수 있다.
- [0150] 하기에서는, 도 4 내지 도 6을 참조하여, 본 발명의 일 실시예에 따른 표시 장치의 구조에 대해 적층 순서에 따라 설명한다.
- [0151] 기관(SUB) 상에 액티브 패턴(ACT1 내지 ACT7; 이하 ACT)이 제공될 수 있다. 액티브 패턴은 제1 액티브 패턴(ACT1) 내지 제7 액티브 패턴(ACT7)을 포함할 수 있다. 제1 액티브 패턴(ACT1) 내지 제7 액티브 패턴(ACT7)은 반도체 물질을 포함할 수 있다.
- [0152] 기관(SUB)과 제1 액티브 패턴(ACT1) 내지 제7 액티브 패턴(ACT7) 사이에는 버퍼(미도시)이 제공될 수 있다.
- [0153] 제1 액티브 패턴(ACT1) 및 제7 액티브 패턴(ACT7)이 형성된 기관(SUB) 상에는 게이트 절연막(GI)이 제공될 수 있다.
- [0154] 게이트 절연막(GI) 상에는 i-1번째 제1 스캔 라인(S1i-1), i번째 제1 스캔 라인(S1i), 발광 제어 라인(E1i), 및 제1 게이트 전극(GE1) 및 제7 게이트 전극(GE7)이 제공될 수 있다. 제1 게이트 전극(GE1)은 스토리지 캐패시터(Cst)의 하부 전극(LE)이 될 수 있다. 제2 게이트 전극(GE2)과 제3 게이트 전극(GE3)은 i번째 제1 스캔 라인(S1i)과 일체로 형성될 수 있다. 제4 게이트 전극(GE4)은 i-1번째 제1 스캔 라인(S1i-1)과 일체로 형성될 수 있다. 제5 게이트 전극(GE5)과 제6 게이트 전극(GE6)은 발광 제어 라인(E1i)과 일체로 형성될 수 있다. 제7 게이트 전극(GE7)은 i번째 제1 스캔 라인(S1i)과 일체로 형성될 수 있다.
- [0155] i-1번째 제1 스캔 라인(S1i-1) 등이 형성된 기관(SUB) 상에는 제1 층간 절연막(IL1)이 제공될 수 있다.
- [0156] 제1 층간 절연막(IL1) 상에는 스토리지 캐패시터(Cst)의 상부 전극(UE) 및 초기화 전원 라인(IPL)이 제공될 수 있다. 상부 전극(UE)은 하부 전극(LE)을 커버할 수 있다. 상부 전극(UE)은 제1 층간 절연막(IL1)을 사이에 두고 하부 전극(LE)과 함께 스토리지 캐패시터(Cst)를 구성할 수 있다.
- [0157] 상부 전극(UE) 및 초기화 전원 라인(IPL)이 배치된 기관(SUB) 상에는 제2 층간 절연막(IL2)이 제공될 수 있다.
- [0158] 제2 층간 절연막(IL2) 상에는 데이터 라인(Dj), 연결 라인(CNL), 보조 연결 라인(AUX), 및 제1 브릿지 패턴(BRP1)이 제공될 수 있다.
- [0159] 데이터 라인(Dj)은 제1 층간 절연막(IL1), 제2 층간 절연막(IL2), 및 게이트 절연막(GI)을 관통하는 제6 콘택 홀(CH6)을 통해 제2 소스 전극(SE2)에 연결될 수 있다.

- [0160] 연결 라인(CNL)은 제1 층간 절연막(IL1) 및 제2 층간 절연막(IL2)을 관통하는 제1 콘택 홀(CH1)을 통해 제1 게이트 전극(GE1)에 연결될 수 있다. 또한, 연결 라인(CNL)은 게이트 절연막(GI), 제1 층간 절연막(IL1) 및 제2 층간 절연막(IL2)을 관통하는 제2 콘택 홀(CH2)을 통해 제3 드레인 전극(DE3) 및 제4 드레인 전극(DE4)에 연결될 수 있다.
- [0161] 보조 연결 라인(AUX)은 제2 층간 절연막(IL2)을 관통하는 제8 콘택 홀(CH8)을 통해 초기화 전원 라인(IPL)에 연결될 수 있다. 또한, 보조 연결 라인(AUX)은 게이트 절연막(GI), 제1 층간 절연막(IL1), 및 제2 층간 절연막(IL2)을 관통하는 제9 콘택 홀(CH9)을 통해 제4 소스 전극(SE4) 및 i-1번째 행의 제1 화소(PXL1)의 제7 드레인 전극(DE7)에 연결될 수 있다.
- [0162] 제1 브릿지 패턴(BRP1)은 제6 드레인 전극(DE6)과 제1 전극(AD) 사이에서 제6 드레인 전극(DE6)과 제1 전극(AD)을 연결하는 매개체로 제공되는 패턴일 수 있다. 제1 브릿지 패턴(BRP1)은 게이트 절연막(GI), 제1 층간 절연막(IL1), 및 제2 층간 절연막(IL2)을 관통하는 제7 콘택 홀(CH7)을 통해 제6 드레인 전극(DE6)과 제1 소스 전극(SE1)에 연결된다.
- [0163] j번째 데이터 라인(Dj) 등이 형성된 기판(SUB)에는 제3 절연막(IL3)이 제공될 수 있다.
- [0164] 제3 절연막(IL3) 상에는 전원 라인(PL) 및 제2 브릿지 패턴(BRP2)이 제공될 수 있다. 제2 브릿지 패턴(BRP2)은 제10 콘택 홀(CH10)을 통하여 제1 브릿지 패턴(BRP1)에 연결될 수 있다.
- [0165] 전원 라인(PL)은 제2 층간 절연막(IL2)을 관통하는 제3 및 제4 콘택 홀(CH3, CH4)을 통해 스토리지 캐패시터(Cst)의 상부 전극(UE)에 연결될 수 있다. 전원 라인(PL)은 제1 층간 절연막(IL1), 제2 층간 절연막(IL2), 제3 층간 절연막(IL3), 및 게이트 절연막(GI)을 관통하는 제5 콘택 홀(CH5)을 통해 제5 소스 전극(SE5)에 연결될 수 있다.
- [0166] 전원 라인(PL) 및 제2 브릿지 패턴(BRP2)이 제공된 제3 절연막(IL3) 상에는 보호층(PSV)이 제공될 수 있다.
- [0167] 보호층(PSV) 상에는 유기 발광 소자(OLED)가 제공될 수 있다. 유기 발광 소자(OLED)는 제1 전극(AD), 제2 전극(CD), 및 제1 전극(AD)과 제2 전극(CD) 사이에 제공된 발광층(EML)을 포함할 수 있다.
- [0168] 제1 전극(AD)은 보호층(PSV) 상에 제공될 수 있다. 제1 전극(AD)은 보호층(PSV)을 관통하는 제12 콘택 홀(CH12)을 통해 제2 브릿지 패턴(BRP2)에 연결될 수 있다. 따라서, 제1 전극(AD)은 제1 브릿지 패턴(BRP1)에 전기적으로 연결될 수 있다. 제1 브릿지 패턴(BRP1)은 제7 콘택 홀(CH7)을 통해 제6 드레인 전극(DE6)과 제7 소스 전극(SE7)에 연결되어 있으므로, 제1 전극(AD)은 최종적으로 제6 드레인 전극(DE6)과 제7 소스 전극(SE1)에 전기적으로 연결될 수 있다.
- [0169] 제1 전극(AD) 등이 형성된 기판(SUB) 상에는 각 화소(PXL)에 대응하도록 발광 영역을 구획하는 화소 정의막(PDL)이 제공될 수 있다. 화소 정의막(PDL)은 제1 전극(AD)의 상면을 노출하며 화소(PXL)의 둘레를 따라 기판(SUB)으로부터 돌출될 수 있다.
- [0170] 화소 정의막(PDL)에 의해 둘러싸인 발광 영역에는 발광층(EML)이 제공되며, 발광층(EML) 상에는 제2 전극(CD)이 제공될 수 있다. 제2 전극(CD) 상에는 제2 전극(CD)을 커버하는 봉지막(SLM)이 제공될 수 있다.
- [0171] 제1 전극(AD) 및 제2 전극(CD) 중 하나는 애노드(anode) 전극일 수 있으며, 다른 하나는 캐소드(cathode) 전극일 수 있다. 예를 들면, 제1 전극(AD)는 애노드 전극일 수 있으며, 제2 전극(CD)는 캐소드 전극일 수 있다.
- [0172] 또한, 제1 전극(AD) 및 제2 전극(CD) 중 적어도 하나는 투과형 전극일 수 있다. 예를 들면, 유기 발광 소자(OLED)가 배면 발광형 유기 발광 표시 소자인 경우, 제1 전극(AD)이 투과형 전극이며, 제2 전극(CD)이 반사형 전극일 수 있다. 유기 발광 소자(OLED)가 전면 발광형 유기 발광 표시 소자인 경우, 제1 전극(AD)이 반사형 전극이며, 제2 전극(CD)이 투과형 전극일 수 있다. 유기 발광 소자(OLED)가 양면 발광형 유기 발광 표시 소자인 경우, 제1 전극(AD) 및 제2 전극(CD) 모두 투과형 전극일 수 있다. 본 실시예에서는 유기 발광 소자(OLED)이 전면 발광형 유기 발광 표시 소자이며, 제1 전극(AD)이 애노드 전극인 경우를 예로서 설명한다.
- [0173] 제1 전극(AD)은 광을 반사시킬 수 있는 반사막(미도시), 및 반사막의 상부 또는 하부에 배치되는 투명 도전막(미도시)을 포함할 수 있다. 투명 도전막 및 반사막 중 적어도 하나는 제7 소스 전극(SE7)과 접속할 수 있다.
- [0174] 반사막은 광을 반사시킬 수 있는 물질을 포함할 수 있다. 예를 들면, 반사막은 알루미늄(Al), 은(Ag), 크롬(Cr), 몰리브덴(Mo), 백금(Pt), 니켈(Ni) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.

- [0175] 투명 도전막은 투명 도전성 산화물을 포함할 수 있다. 예를 들어, 투명 도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), GZO(gallium doped zinc oxide), ZTO(zinc tin oxide), GTO(Gallium tin oxide) 및 FTO(fluorine doped tin oxide) 중 적어도 하나의 투명 도전성 산화물을 포함할 수 있다.
- [0176] 화소 정의막(PDL)은 유기 절연 물질을 포함할 수 있다. 예를 들면, 화소 정의막(PDL)은 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA, polymethylmethacrylate), 폴리아크릴로니트릴(PAN, polyacrylonitrile), 폴리아미드(PA, polyamide), 폴리이미드(PI, polyimide), 폴리아릴에테르(PAE, polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 에폭시(epoxy), 벤조시클로부텐(BCB, benzocyclobutene), 실록산계 수지(siloxane based resin) 및 실란계 수지(silane based resin) 중 적어도 하나를 포함할 수 있다.
- [0177] 발광층(EML)은 제1 전극(AD)의 노출된 표면 상에 배치될 수 있다. 발광층(EML)은 적어도 광 생성층(light generation layer, LGL)을 포함하는 다층 박막 구조를 가질 수 있다. 예를 들면, 발광층(EML)은 정공을 주입하는 정공 주입층(hole injection layer, HIL), 정공의 수송성이 우수하고 광 생성층에서 결합하지 못한 전자의 이동을 억제하여 정공과 전자의 재결합 기회를 증가시키기 위한 정공 수송층(hole transport layer, HTL), 주입된 전자와 정공의 재결합에 의하여 광을 발하는 광 생성층, 광 생성층에서 결합하지 못한 정공의 이동을 억제하기 위한 정공 억제층(hole blocking layer, HBL), 전자를 광 생성층으로 원활히 수송하기 위한 전자 수송층(electron transport layer, ETL), 및 전자를 주입하는 전자 주입층(electron injection layer, EIL)을 구비할 수 있다. 또한, 발광층(EML) 중 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층, 및 전자 주입층은 서로 인접하는 제1 화소들(PXL1)에 공통으로 배치되는 공통층일 수 있다.
- [0178] 광 생성층에서 생성되는 광의 색상은 적색(red), 녹색(green), 청색(blue) 및 백색(white) 중 하나일 수 있으나, 본 실시예에서 이를 한정하는 것은 아니다. 예를 들어, 발광층(EML)의 광 생성층에서 생성되는 광의 색상은 마젠타(magenta), 시안(cyan), 옐로(yellow) 중 하나일 수도 있다.
- [0179] 제2 전극(CD)은 반투과 반사막일 수 있다. 예를 들면, 제2 전극(CD)은 발광층(EML)에서 출사된 광을 투과시킬 수 있을 정도의 두께를 가지는 박형 금속층일 수 있다. 제2 전극(CD)은 발광층(EML)에서 출사된 광의 일부는 투과시키고, 발광층(EML)에서 출사된 광의 나머지는 반사시킬 수 있다.
- [0180] 제2 전극(CD)은 투명 도전막에 비하여 일함수가 낮은 물질을 포함할 수 있다. 예를 들면, 제2 전극(CD)은 몰리브덴(Mo), 텅스텐(W), 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.
- [0181] 발광층(EML)에서 출사된 광 중 일부는 제2 전극(CD)을 투과하지 못하고, 제2 전극(CD)에서 반사된 광은 반사막에서 다시 반사될 수 있다. 즉, 반사막 및 제2 전극(CD) 사이에서, 발광층(EML)에서 출사된 광은 공진할 수 있다. 광의 공진에 의하여 표시 소자들(OLED)의 광 추출 효율은 향상될 수 있다.
- [0182] 반사막 및 제2 전극(CD) 사이의 거리는 발광층(EML)에서 출사된 광의 색상에 따라 상이할 수 있다. 즉, 발광층(EML)에서 출사된 광의 색상에 따라, 반사막 및 제2 전극(CD) 사이의 거리는 공진 거리에 부합되도록 조절될 수 있다.
- [0183] 봉지막(SLM)은 유기 발광 소자(OLED)로 산소 및 수분이 침투하는 것을 방지할 수 있다. 봉지막(SLM)은 복수의 무기막(미도시) 및 복수의 유기막(미도시)을 포함할 수 있다. 예를 들면, 봉지막(SLM)은 무기막, 및 무기막 상에 배치된 유기막을 포함하는 복수의 단위 봉지층을 포함할 수 있다. 또한, 봉지막(SLM)의 최상부에는 무기막이 배치될 수 있다. 무기막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 티타늄 산화물, 지르코늄 산화물 및 주석 산화물 중 적어도 하나를 포함할 수 있다.
- [0184] 본 발명의 일 실시예에 있어서, 제2 화소 영역(PXA2)에 제공된 제2 화소(PXL2) 및 제3 화소 영역(PXA3)에 제공되는 제3 화소(PXA3)는 제1 화소(PXL1) 실질적으로 동일한 화소 구조는 가지므로, 이에 대한 설명은 생략한다.
- [0186] 도 7은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 평면도로서, 주변 영역에 제공된 더미부들(DMP1, DMP2)을 갖는 표시 장치를 설명한다. 도 8은 도 7의 EA1 영역의 확대도이며, 도 9는 도 8의 더미 화소를 설명하기 위한 평면도이며, 도 10은 도 9의 III-III' 라인에 따른 단면도이며, 도 11은 도 9의 IV-IV' 라인에 따른 단면도이며, 도 12는 도 7의 EA2 영역의 확대도이며, 도 13은 도 12의 V-V' 라인에 따른 단면도이다. 도 9 내지 도 11에서는 제2 주변 영역(PPA2)에 배치되고, $p(p \neq i, p$ 는 자연수)번째 행에 배치된 하나의 더미 화소를

기준으로, 더미 화소에 연결된 더미 스캔 라인들(DSL), 더미 발광 제어 라인(DEL), 및 더미 데이터 라인(DDL)을 도시하였다.

- [0187] 도 7 내지 도 13을 참조하면, 화소 영역들의 로드 값의 차이를 보상하기 위하여, 각 화소 영역은 주변 영역에 더미부(DMP1, DMP2)를 가지거나 가지지 않으므로써, 기생 캐패시턴스가 다른 구조가 채용될 수 있다. 즉, 제1 화소 영역(PXA1)과, 제2 화소 영역(PXA2)에서의 스캔 라인들 또는 발광 제어 라인들의 로드 값의 차이를 보상하기 위하여, 제1 화소 영역(PXA1)에 대응하는 제1 주변 영역(PPA1)에는 더미부(DMP1, DMP2)가 제공되지 않으며, 제2 화소 영역(PXA2)에 대응하는 제2 주변 영역(PPA2)에는 제1 더미부(DMP1)가 제공될 수 있다.
- [0188] 본 발명의 일 실시예에 있어서, 제1 더미부(DMP1)는 제2 스캔 라인들(S2p)에 연결된 더미 스캔 라인들(DSL) 및 제2 발광 제어 라인들(E2p)에 연결된 더미 발광 제어 라인(DEL)과 중첩될 수 있다. 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)은 주변 영역, 예를 들면, 제2 주변 영역(PPA2)에 배치될 수 있다. 더미 스캔 라인들(DSL)은 p번째 제2 스캔 라인(S2p) 및 p-1번째 제2 스캔 라인(S2p-1)에 연결되는 p번째 더미 스캔 라인(DSLp) 및 p-1번째 더미 스캔 라인(DSLp-1)을 포함할 수 있다.
- [0189] 제1 더미부(DMP1)는 적어도 하나의 서브 더미부(DMP11, DMP12)를 포함할 수 있다. 예를 들면, 제1 더미부(DMP1)는 제1 서브 더미부(DMP11)를 포함할 수 있다. 제1 서브 더미부(DMP11)는 제2 스캔 라인들(S2p-1, S2p) 또는 제2 발광 제어 라인들(E2p)의 로드 값을 보상할 수 있다.
- [0190] 제1 서브 더미부(DMP11)는 제2 화소 영역(PXA2)의 세로 변에 인접한 제2 주변 영역(PPA2)의 세로부에 배치될 수 있다.
- [0191] 제1 서브 더미부(DMP11)는 복수의 더미 화소들(DPXL)을 포함할 수 있다. 더미 화소들(DPXL)은 제2 화소 영역(PXA2)에 제공된 제2 화소(PXL2)와 유사한 구조를 가질 수 있다. 다만, 더미 화소들(DPXL)은 제2 화소(PXL2)의 전원 라인(PL), 제2 브릿지(BRP2), 및 제1 전극(AD)이 생략된 구조를 가질 수 있다.
- [0192] 더미 화소들(DPXL)의 상세한 구조는 하기에서 설명한다.
- [0193] 더미 화소들(DPXL)은 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)에 연결될 있다. 더미 화소들(DPXL)은 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)과 교차하는 더미 데이터 라인(DDL), 더미 스캔 라인들(DSL)과 더미 데이터 라인(DDL)에 전기적으로 연결되는 적어도 하나의 더미 트랜지스터(DT1, DT2, DT3, DT4, DT5, DT6, DT7), 및 더미 스토리지 캐패시터(DCst)를 포함할 수 있다.
- [0194] 본 실시예에서는 더미 화소들(DPXL)은 제1 내지 제7 더미 트랜지스터들(DT1, DT2, DT3, DT4, DT5, DT6, DT7)을 포함할 수 있다. 제1 내지 제7 더미 트랜지스터들(DT1, DT2, DT3, DT4, DT5, DT6, DT7)은 각각 더미 게이트 전극, 더미 액티브 패턴, 더미 소스 전극, 더미 드레인 전극을 포함할 수 있다.
- [0195] 이를 보다 상세히 설명하면, 제1 더미 트랜지스터(DT1)는 제1 더미 게이트 전극(DGE1), 제1 더미 액티브 패턴(DACT1), 제1 더미 소스 전극(DSE1), 제1 더미 드레인 전극(DDE1), 및 더미 연결 라인(DCNL)을 포함할 수 있다.
- [0196] 제1 더미 게이트 전극(DGE1)은 제3 더미 트랜지스터(DT3)의 제3 더미 드레인 전극(DDE3) 및 제4 더미 트랜지스터(DT4)의 제4 더미 드레인 전극(DDE4)과 연결될 수 있다. 더미 연결 라인(DCNL)은 제1 더미 게이트 전극(DGE1)과, 제3 더미 드레인 전극(DDE3) 및 제4 더미 드레인 전극(DDE4) 사이를 연결할 수 있다. 더미 연결 라인(CNL)의 일단은 제1 콘택 홀(CH1)을 통해 제1 더미 게이트 전극(DGE1)과 연결되고 더미 연결 라인(DCNL)의 타단은 제2 콘택 홀(CH2)을 통해 제3 더미 드레인 전극(DDE3)과 제4 더미 드레인 전극(DDE4)에 연결될 수 있다.
- [0197] 본 발명의 일 실시예에 있어서, 더미 제1 액티브 패턴(DACT1)과 제1 더미 소스 전극(DSE1) 및 제1 더미 드레인 전극(DDE1)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제1 더미 소스 전극(DSE1) 및 제1 더미 드레인 전극(DDE1)은 불순물이 도핑된 반도체층으로 이루어지며, 제1 더미 액티브 패턴(DACT1)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다.
- [0198] 제1 더미 소스 전극(DSE1)은 제1 더미 액티브 패턴(DACT1)의 일 단에 연결될 수 있다. 제1 더미 소스 전극(DSE1)은 제2 더미 트랜지스터(DT2)의 제2 더미 드레인 전극(DDE2)과 제5 더미 트랜지스터(DT5)의 제5 더미 드레인 전극(DDE5)과 연결될 수 있다. 제1 더미 드레인 전극(DDE1)은 제1 더미 액티브 패턴(DACT1)의 타단에 연결될 수 있다. 제1 더미 드레인 전극(DDE1)은 제3 더미 트랜지스터(DT3)의 제3 소스 전극(DSE3)과 제6 더미 트랜지스터(DT6)의 제6 더미 소스 전극(DSE6)에 연결될 수 있다.

- [0199] 제2 더미 트랜지스터(DT2)는 제2 더미 게이트 전극(DGE2), 제2 더미 액티브 패턴(DACT2), 제2 더미 소스 전극(DSE2), 및 제2 더미 드레인 전극(DDE2)을 포함될 수 있다.
- [0200] 제2 더미 게이트 전극(DGE2)은 p번째 더미 스캔 라인(DSLp)에 연결될 수 있다. 제2 더미 게이트 전극(DGE2)은 p번째 더미 스캔 라인(DSLp)의 일부로 제공되거나 p번째 더미 스캔 라인(DSLp)으로부터 돌출된 형상으로 제공될 수 있다. 본 발명의 일 실시예에 있어서, 제2 더미 액티브 패턴(DACT2), 제2 더미 소스 전극(DSE2) 및 제2 더미 드레인 전극(DDE2)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제2 더미 소스 전극(DSE2) 및 제2 더미 드레인 전극(DDE2)은 불순물이 도핑된 반도체층으로 이루어지며, 제2 더미 액티브 패턴(DACT2)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제2 더미 액티브 패턴(DACT2)은 제2 더미 게이트 전극(DGE2)과 중첩된 부분에 해당한다. 제2 더미 소스 전극(DSE2)의 일단은 제2 더미 액티브 패턴(DACT2)에 연결될 수 있다. 제2 더미 소스 전극(DSE2)의 타단은 제6 콘택 홀(CH6)을 통해 더미 데이터 라인(DDj)에 연결될 수 있다. 제2 더미 드레인 전극(DDE2)의 일단은 제2 더미 액티브 패턴(DACT2)에 연결될 수 있다. 제2 더미 드레인 전극(DDE2)의 타단은 제1 더미 트랜지스터(DT1)의 제1 더미 소스 전극(DSE1)과 제5 더미 트랜지스터(TD5)의 제5 더미 드레인 전극(DDE5)과 연결될 수 있다.
- [0201] 제3 더미 트랜지스터(DT3)는 이중 게이트 구조로 제공될 수 있다. 즉, 제3 더미 트랜지스터(DT3)는 제3a 더미 트랜지스터(DT3a)와 제3b 더미 트랜지스터(DT3b)를 포함할 수 있다. 제3a 더미 트랜지스터(DT3a)는 제3a 더미 게이트 전극(DGE3a), 제3a 더미 액티브 패턴(DACT3a), 제3a 더미 소스 전극(DSE3a), 및 제3a 더미 드레인 전극(DDE3a)을 포함할 수 있다. 제3b 더미 트랜지스터(DT3b)는 제3b 더미 게이트 전극(DGE3b), 제3b 더미 액티브 패턴(DACT3b), 제3b 더미 소스 전극(DSE3b), 및 제3b 더미 드레인 전극(DDE3b)을 포함할 수 있다. 하기에서는, 제3a 더미 게이트 전극(DGE3a)과 제3b 더미 게이트 전극(DGE3b)을 제3 더미 게이트 전극(DGE3), 제3a 더미 액티브 패턴(DACT3a)과 제3b 더미 액티브 패턴(DACT3b)을 제3 더미 액티브 패턴(DACT3), 제3a 더미 소스 전극(DSE3a)과 제3b 더미 소스 전극(DSE3b)을 제3 더미 소스 전극(DSE3), 그리고 제3a 더미 드레인 전극(DDE3a)과 제3b 더미 드레인 전극(DDE3b)을 제3 더미 드레인 전극(DDE3)으로 지칭한다.
- [0202] 제3 더미 게이트 전극(DGE3)은 p번째 더미 스캔 라인(DSLp)에 연결될 수 있다. 제3 더미 게이트 전극(DGE3)은 p번째 더미 스캔 라인(DSLp)의 일부로 제공되거나 p번째 더미 스캔 라인(DSLp)으로부터 돌출된 형상으로 제공된다. 예를 들면, 제3a 더미 게이트 전극(DGE3a)은 p번째 더미 스캔 라인(DSLp)로부터 돌출된 형상으로 제공되며, 제3b 더미 게이트 전극(DGE3b)은 p번째 더미 스캔 라인(DSLp)의 일부로 제공될 수 있다.
- [0203] 제3 더미 액티브 패턴(DACT3), 제3 더미 소스 전극(DSE3) 및 제3 더미 드레인 전극(DDE3)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제3 더미 소스 전극(DSE3) 및 제3 더미 드레인 전극(DDE3)은 불순물이 도핑된 반도체층으로 이루어지며, 제3 더미 액티브 패턴(DACT3)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제3 더미 액티브 패턴(DACT3)은 제3 더미 게이트 전극(DGE3)과 중첩된 부분에 해당한다. 제3 더미 소스 전극(DSE3)의 일단은 제3 더미 액티브 패턴(DACT3)에 연결될 수 있다. 제3 더미 소스 전극(DSE3)의 타단은 제1 더미 트랜지스터(DT1)의 제1 더미 드레인 전극(DDE1)과 제6 더미 트랜지스터(DT6)의 제6 더미 소스 전극(DSE6)에 연결될 수 있다. 제3 더미 드레인 전극(DDE3)의 일단은 제3 더미 액티브 패턴(DACT3)에 연결될 수 있다. 제3 더미 드레인 전극(DDE3)의 타단은 제4 더미 트랜지스터(DT4)의 제4 더미 드레인 전극(DDE4)에 연결될 수 있다. 또한, 제3 더미 드레인 전극(DDE3)은 더미 연결 라인(DCNL), 제2 콘택 홀(CH2) 및 제1 콘택 홀(CH1)을 통해 제1 더미 트랜지스터(DT1)의 제1 더미 게이트 전극(DGE1)에 연결될 수 있다.
- [0204] 제4 더미 트랜지스터(DT4)는 이중 게이트 구조로 제공될 수 있다. 즉, 제4 더미 트랜지스터(DT4)는 제4a 더미 트랜지스터(DT4a)와 제4b 더미 트랜지스터(DT4b)를 포함할 수 있다. 제4a 더미 트랜지스터(DT4a)는 제4a 더미 게이트 전극(DGE4a), 제4a 더미 액티브 패턴(DACT4a), 제4a 더미 소스 전극(DSE4a), 및 제4a 더미 드레인 전극(DDE4a)을 포함하고, 제4b 더미 트랜지스터(DT4b)는 제4b 더미 게이트 전극(DGE4b), 제4b 더미 액티브 패턴(DACT4b), 제4b 더미 소스 전극(DSE4b), 및 제4b 더미 드레인 전극(DDE4b)을 포함할 수 있다. 하기에서는, 제4a 더미 게이트 전극(DGE4a)과 제4b 더미 게이트 전극(DGE4b)을 제4 더미 게이트 전극(DGE4), 제4a 더미 액티브 패턴(DACT4a)과 제4b 더미 액티브 패턴(DACT4b)을 제4 더미 액티브 패턴(DACT4), 제4a 더미 소스 전극(DSE4a)과 제4b 더미 소스 전극(DSE4b)을 제4 더미 소스 전극(DSE4), 그리고 제4a 더미 드레인 전극(DDE4a)과 제4b 더미 드레인 전극(DDE4b)을 제4 더미 드레인 전극(DDE4)으로 지칭한다.
- [0205] 제4 더미 게이트 전극(DGE4)은 p-1번째 더미 스캔 라인(DSLp-1)에 연결될 수 있다. 제4 더미 게이트 전극(DGE4)은 p-1번째 더미 스캔 라인(DSLp-1)의 일부로 제공되거나 p-1번째 더미 스캔 라인(DSLp-1)으로부터 돌출된 형상으로 제공될 수 있다. 예를 들면, 제4a 더미 게이트 전극(DGE4a)은 p-1번째 더미 스캔 라인(DSLp-1)의 일부로

제공될 수 있다. 제4b 더미 게이트 전극(DGE4b)은 p-1번째 더미 스캔 라인(DS_{2p-1})으로부터 돌출된 형상으로 제공될 수 있다.

- [0206] 제4 더미 액티브 패턴(DACT4), 제4 더미 소스 전극(DSE4) 및 제4 더미 드레인 전극(DDE4)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제4 더미 소스 전극(DSE4) 및 제4 더미 드레인 전극(DDE4)은 불순물이 도핑된 반도체층으로 이루어지며, 제4 더미 액티브 패턴(DACT4)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제4 더미 액티브 패턴(DACT4)은 제4 더미 게이트 전극(DGE4)과 중첩된 부분에 해당한다.
- [0207] 제4 더미 소스 전극(DSE4)의 일단은 더미 제4 액티브 패턴(DACT4)에 연결될 수 있다. 제4 더미 소스 전극(DSE4)의 타단은 p-1번째 행에 제공된 초기화 전원 라인(IPL) 및 p-1번째 행의 제2 화소(DPXL1)의 제7 더미 트랜지스터(DT7)의 제7 더미 드레인 전극(DDE7)에 연결될 수 있다. 제4 더미 소스 전극(DSE4)과 초기화 전원 라인(IPL) 사이 더미 보조 연결 라인(DAUX)이 제공될 수 있다. 더미 보조 연결 라인(DAUX)의 일단은 제9 콘택 홀(CH9)을 통해 제4 더미 소스 전극(DSE4)과 연결될 수 있다. 더미 보조 연결 라인(DAUX)의 타단은 p-1번째 행의 더미 화소(DPXL)의 제8 콘택 홀(CH8)을 통해 p-1번째 행의 초기화 전원 라인(IPL)에 연결될 수 있다. 제4 더미 드레인 전극(DDE4)의 일단은 제4 더미 액티브 패턴(DACT4)에 연결될 수 있다. 제4 더미 드레인 전극(DDE4)의 타단은 제3 더미 트랜지스터(DT3)의 제3 더미 드레인 전극(DDE3)에 연결된다. 제4 더미 드레인 전극(DDE4)은 또한 더미 연결 라인(DCNL), 제2 콘택 홀(CH2) 및 제1 콘택 홀(CH1)을 통해 제1 더미 트랜지스터(DT1)의 제1 더미 게이트 전극(DGE1)에 연결될 수 있다.
- [0208] 제5 더미 트랜지스터(DT5)는 제5 더미 게이트 전극(DGE5), 제5 더미 액티브 패턴(DACT5), 제5 더미 소스 전극(DSE5), 및 제5 더미 드레인 전극(DDE5)을 포함할 수 있다.
- [0209] 제5 더미 게이트 전극(DGE5)은 더미 발광 제어 라인(DE1)에 연결될 수 있다. 제5 더미 게이트 전극(DGE5)은 더미 발광 제어 라인(DE1) 일부로 제공되거나 더미 발광 제어 라인(DE1)으로부터 돌출된 형상으로 제공될 수 있다. 제5 더미 액티브 패턴(DACT5), 제5 더미 소스 전극(DSE5) 및 제5 더미 드레인 전극(DDE5)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성된다. 예를 들면, 제5 더미 소스 전극(DSE5) 및 제5 더미 드레인 전극(DDE5)은 불순물이 도핑된 반도체층으로 이루어지며, 제5 더미 액티브 패턴(DACT5)은 불순물이 도핑되지 않은 반도체층으로 이루어진다. 제5 더미 액티브 패턴(DACT5)은 제5 더미 게이트 전극(DGE5)과 중첩된 부분에 해당한다. 제5 더미 소스 전극(DSE5)의 일단은 제5 더미 액티브 패턴(DACT5)에 연결될 수 있다. 제5 더미 드레인 전극(DDE5)의 일단은 제5 더미 액티브 패턴(DACT5)에 연결될 수 있다. 제5 더미 드레인 전극(DDE5)의 타단은 제1 더미 트랜지스터(DT1)의 제1 더미 소스 전극(DSE1) 및 제2 더미 트랜지스터(DT2)의 제2 더미 드레인 전극(DDE2)에 연결될 수 있다.
- [0210] 제6 더미 트랜지스터(DT6)는 제6 더미 게이트 전극(DGE6), 제6 더미 액티브 패턴(DACT6), 제6 더미 소스 전극(DSE6), 및 제6 더미 드레인 전극(DDE6)을 포함할 수 있다.
- [0211] 제6 더미 게이트 전극(DGE6)은 더미 발광 제어 라인(DE1)에 연결될 수 있다. 제6 더미 게이트 전극(DGE6)은 더미 발광 제어 라인(DE1) 일부로 제공되거나 더미 발광 제어 라인(DE1)으로부터 돌출된 형상으로 제공될 수 있다. 제6 더미 액티브 패턴(DACT6), 제6 더미 소스 전극(DSE6) 및 제6 더미 드레인 전극(DDE6)은 불순물이 도핑되지 않거나 불순물이 도핑된 반도체층으로 형성된다. 예를 들면, 제6 더미 소스 전극(DSE6) 및 제6 더미 드레인 전극(DDE6)은 불순물이 도핑된 반도체층으로 이루어지며, 제6 더미 액티브 패턴(DACT6)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제6 더미 액티브 패턴(DACT6)은 제6 더미 게이트 전극(DGE6)과 중첩된 부분에 해당한다. 제6 더미 소스 전극(DSE6)의 일단은 제6 더미 액티브 패턴(DACT6)에 연결될 수 있다. 제6 더미 소스 전극(DSE6)의 타단은 제1 더미 트랜지스터(DT1)의 제1 더미 드레인 전극(DDE1) 및 제3 더미 트랜지스터(DT3)의 제3 더미 소스 전극(DSE3)에 연결될 수 있다. 제6 더미 드레인 전극(DDE6)의 일단은 제6 더미 액티브 패턴(DACT6)에 연결될 수 있다. 제6 더미 드레인 전극(DDE6)의 타단은 제7 더미 트랜지스터(DT7)의 제7 더미 소스 전극(DSE7)에 연결될 수 있다.
- [0212] 제7 더미 트랜지스터(DT7)는 제7 더미 게이트 전극(DGE7), 제7 더미 액티브 패턴(DACT7), 제7 더미 소스 전극(DSE7), 및 제7 더미 드레인 전극(DDE7)을 포함할 수 있다.
- [0213] 제7 더미 게이트 전극(DGE7)은 p번째 더미 스캔 라인(DSL_p)에 연결될 수 있다. 제7 더미 게이트 전극(DGE7)은 p번째 더미 스캔 라인(DSL_p)의 일부로 제공되거나 p번째 더미 스캔 라인(DSL_p)으로부터 돌출된 형상으로 제공될 수 있다. 제7 더미 액티브 패턴(DACT7), 제7 더미 소스 전극(DSE7) 및 제7 더미 드레인 전극(DDE7)은 불순물이

도핑되지 않거나 불순물이 도핑된 반도체층으로 형성될 수 있다. 예를 들면, 제7 더미 소스 전극(DSE7) 및 제7 더미 드레인 전극(DDE7)은 불순물이 도핑된 반도체층으로 이루어지며, 제7 더미 액티브 패턴(DACT7)은 불순물이 도핑되지 않은 반도체층으로 이루어질 수 있다. 제7 더미 액티브 패턴(DACT7)은 제7 더미 게이트 전극(DGE7)과 중첩된 부분에 해당한다. 제7 더미 소스 전극(DSE7)의 일단은 더미 제7 액티브 패턴(DACT7)에 연결될 수 있다. 제7 더미 소스 전극(DSE7)의 타단은 제6 더미 트랜지스터(DT6)의 제6 더미 드레인 전극(DDE6)에 연결될 수 있다. 제7 더미 드레인 전극(DDE7)의 일단은 제7 더미 액티브 패턴(DACT7)에 연결될 수 있다. 제7 더미 드레인 전극(DDE7)의 타단은 초기화 전원 라인(IPL)에 연결될 수 있다. 또한, 제7 더미 드레인 전극(DDE7)은 p+1번째 행에 배치된 제2 더미 화소(DPXL2)의 제4 더미 트랜지스터(DT4)의 제4 더미 소스 전극(DSE4)에 연결될 수 있다. 제7 더미 드레인 전극(DDE7)과 p+1번째 행에 배치된 제2 더미 화소(DPXL2)의 제4 더미 트랜지스터(DT4)의 제4 더미 소스 전극(DSE4)은 더미 보조 라인(DAUX), 제8 콘택 홀(CH8), 및 제9 콘택 홀(CH9)을 통해 연결될 수 있다.

- [0214] 더미 스토리지 캐패시터(DCst)는 더미 하부 전극(DLE)과 더미 상부 전극(DUE)을 포함할 수 있다. 더미 하부 전극(DLE)은 제1 더미 트랜지스터(DT1)의 제1 더미 게이트 전극(DGE1)으로 이루어질 수 있다.
- [0215] 더미 상부 전극(DUE)은 제1 더미 게이트 전극(DGE1)과 중첩하며, 평면 상에서 볼 때 더미 하부 전극(DLE)을 커버할 수 있다. 더미 상부 전극(DUE)과 더미 하부 전극(DLE)과의 중첩 면적을 넓힘으로써 더미 스토리지 캐패시터(DCst)의 캐패시턴스가 증가될 수 있다. 더미 상부 전극(DUE)은 제1 방향(DDR1)으로 연장될 수 있다. 본 발명의 일 실시예에 있어서, 더미 상부 전극(DUE)에는 제1 전원과 동일한 레벨의 전압이 인가될 수 있다. 더미 상부 전극(DUE)은 제1 더미 게이트 전극(DGE1)과 더미 연결 라인(DCNL)이 접촉되는 제1 콘택 홀(CH1)이 형성되는 영역에 개구부(OPN)를 가질 수 있다.
- [0216] 제1 서브 더미부(DMP11)의 더미 화소들(DPXL)에서, 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)은 더미 데이터 라인(DDL), 제1 내지 제7 더미 액티브 패턴들(DACT1, DACT2, DACT3, DACT4, DACT5, DACT6, DACT7)과 중첩하여 기생 캐패시터를 형성할 수 있다. 기생 캐패시터의 기생 캐패시턴스는 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인(E2p)의 로드를 증가시킬 수 있다. 따라서, 기생 캐패시턴스는 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인(E2p)의 로드 값을 보상할 수 있다.
- [0218] 하기에서는, 도 9 내지 도 11을 참조하여, 더미 화소(DPXL)의 구조에 대해 적층 순서에 따라 설명한다.
- [0219] 기관(SUB) 상에 더미 액티브 패턴(DACT1 내지 DACT7; 이하 DACT)이 제공될 수 있다. 더미 액티브 패턴은 제1 더미 액티브 패턴(DACT1) 내지 제7 더미 액티브 패턴(DACT7)을 포함할 수 있다. 제1 더미 액티브 패턴(DACT1) 내지 제7 더미 액티브 패턴(DACT7)은 반도체 물질을 포함할 수 있다.
- [0220] 기관(SUB)과 제1 더미 액티브 패턴(DACT1) 내지 제7 더미 액티브 패턴(DACT7) 사이에는 버퍼층(미도시)이 제공될 수 있다.
- [0221] 제1 더미 티브 패턴(DACT1) 및 제7 더미 액티브 패턴(DACT7)이 형성된 기관(SUB) 상에는 게이트 절연막(GI)이 제공될 수 있다.
- [0222] 게이트 절연막(GI) 상에는 p-1번째 더미 스캔 라인(DSLp-1), p번째 더미 스캔 라인(DSLp), 더미 발광 제어 라인(DEL), 및 제1 더미 게이트 전극(DGE1) 내지 제7 더미 게이트 전극(DGE7)이 제공될 수 있다. 제1 더미 게이트 전극(DGE1)은 더미 스토리지 캐패시터(DCst)의 더미 하부 전극(DLE)이 될 수 있다. 제2 더미 게이트 전극(DGE2)과 제3 더미 게이트 전극(DGE3)은 p번째 더미 스캔 라인(DSLp)과 일체로 형성될 수 있다. 제4 더미 게이트 전극(DGE4)은 p-1번째 더미 스캔 라인(DSLp-1)과 일체로 형성될 수 있다. 제5 더미 게이트 전극(DGE5)과 제6 더미 게이트 전극(DGE6)은 더미 발광 제어 라인(DEL)과 일체로 형성될 수 있다. 제7 더미 게이트 전극(DGE7)은 p번째 더미 스캔 라인(DSLp)과 일체로 형성될 수 있다.
- [0223] p-1번째 더미 스캔 라인(DSLp-1) 등이 형성된 기관(SUB) 상에는 제1 층간 절연막(IL1)이 제공될 수 있다.
- [0224] 제1 층간 절연막(IL1) 상에는 더미 스토리지 캐패시터(DCst)의 더미 상부 전극(DUE) 및 초기화 전원 라인(IPL)이 제공될 수 있다. 더미 상부 전극(DUE)은 더미 하부 전극(DLE)을 커버할 수 있다. 더미 상부 전극(DUE)은 제1 층간 절연막(IL1)을 사이에 두고 더미 하부 전극(DLE)과 함께 더미 스토리지 캐패시터(DCst)를 구성할 수 있다. 초기화 전원 라인(IPL)은 p번째 행의 초기화 전원 라인이 제2 주변 영역(PPA2)으로 연장된 형상을 가질 수 있다.
- [0225] 더미 상부 전극(DUE) 및 초기화 전원 라인(IPL)이 배치된 기관(SUB) 상에는 제2 층간 절연막(IL2)이 제공될 수

있다.

- [0226] 제2 층간 절연막(IL2) 상에는 더미 데이터 라인(DDL), 더미 연결 라인(DCNL), 더미 보조 연결 라인(DAUX), 및 제1 더미 브릿지 패턴(DBRP1)이 제공될 수 있다.
- [0227] 더미 데이터 라인(DDL)은 제1 층간 절연막(IL1), 제2 층간 절연막(IL2), 및 게이트 절연막(GI)을 관통하는 제6 콘택 홀(CH6)을 통해 제2 더미 소스 전극(DSE2)에 연결될 수 있다.
- [0228] 더미 연결 라인(DCNL)은 제1 층간 절연막(IL1) 및 제2 층간 절연막(IL2)을 관통하는 제1 콘택 홀(CH1)을 통해 제1 더미 게이트 전극(DGE1)에 연결될 수 있다. 또한, 더미 연결 라인(DCNL)은 게이트 절연막(GI), 제1 층간 절연막(IL1) 및 제2 층간 절연막(IL2)을 관통하는 제2 콘택 홀(CH2)을 통해 제3 더미 드레인 전극(DDE3) 및 제4 더미 드레인 전극(DDE4)에 연결될 수 있다.
- [0229] 더미 보조 연결 라인(DAUX)은 제2 층간 절연막(IL2)을 관통하는 제8 콘택 홀(CH8)을 통해 초기화 전원 라인(IPL)에 연결될 수 있다. 또한, 더미 보조 연결 라인(DAUX)은 게이트 절연막(GI), 제1 층간 절연막(IL1), 및 제2 층간 절연막(IL2)을 관통하는 제9 콘택 홀(CH9)을 통해 제4 더미 소스 전극(DSE4) 및 p-1번째 행의 더미 화소(DPXL)의 제7 더미 드레인 전극(DDE7)에 연결될 수 있다.
- [0230] 제1 더미 브릿지 패턴(DBRP1)은 게이트 절연막(GI), 제1 층간 절연막(IL1), 및 제2 층간 절연막(IL2)을 관통하는 제7 콘택 홀(CH7)을 통해 제6 더미 드레인 전극(DDE6)과 제1 더미 소스 전극(DSE1)에 연결된다.
- [0231] 더미 데이터 라인(DDL) 등이 형성된 기판(SUB)에는 제3 절연막(IL3)이 제공될 수 있으며, 제3 절연막(IL3) 상에는 보호층(PSV)이 제공될 수 있다.
- [0232] 보호층(PSV) 상에는 화소 정의막(PDL)이 제공될 수 있다.
- [0233] 화소 정의막(PDL) 상에는 유기막(OL)이 제공되고, 유기막(OL) 상에는 더미 제2 전극(DCD)이 제공될 수 있다. 유기막(OL)은 도 1 내지 도 6에 도시된 제1 화소(PXL1)의 유기 발광 소자(OLED)의 발광층(EML)이 연장되어 제공될 수 있다. 여기서, 유기막(OL)은 광 생성층을 제외한 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층, 및 전자 주입층 중 적어도 하나를 포함할 수 있다. 또한, 더미 제2 전극(DCD)은 제2 전극(CD)과 동일한 물질을 포함할 수 있다. 더미 제2 전극(DCD)은 유기 발광 소자(OLED)의 제2 전극(CD)과 연결될 수 있다. 따라서, 제2 전극(CD)은 더미 제2 전극(DCD)을 통하여 제2 전원 공급 라인(도 2 및 3의 "ELVSS" 참조)을 인가받을 수 있다.
- [0234] 더미 제2 전극(DCD) 상에는 제1 화소(PXL1)와 동일하게 봉지막(SLM)이 제공될 수 있다.
- [0235] 상술한 바와 같이, 더미 화소(DPXL)는 도 1 내지 도 6에 도시된 제1 화소(PXL1)의 전원 라인(PL), 제2 브릿지(BRP2), 제1 전극(AD), 및 광 생성층이 생략된 구조를 가질 수 있다. 따라서, 더미 화소(DPXL)는 유기막(OL)에서 광을 출사시킬 수 없다. 또한, 더미 화소(DPXL)은 전원 라인(PL), 제2 브릿지(BRP2), 및 제1 전극(AD)이 생략되므로, 전원 라인(PL)과 제1 전극(AD) 사이의 쇼트 또는 제2 브릿지(BRP2)과 제1 전극(AD) 사이의 쇼트를 방지할 수 있다.
- [0236] 본 발명의 일 실시예에 있어서, 제1 더미부(DMP1)는 제2 서브 더미부(DMP12)를 더 포함할 수 있다. 제2 서브 더미부(DMP12)는 제1 서브 더미부(DMP11)와 전기적으로 연결될 수 있다. 제2 서브 더미부(DMP12)는 제1 서브 더미부(DMP11)와 함께 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인들(E2p)의 로드 값을 보상할 수 있다.
- [0237] 제1 서브 더미부(DMP11) 및 제2 서브 더미부(DMP12)는 서로 이격되어 배치될 수 있다. 예를 들면, 제1 서브 더미부(DMP11)는 제2 화소 영역(PXA2)의 세로 변에 인접한 제2 주변 영역(PPA2)의 세로부에 배치되므로, 제2 서브 더미부(DMP12)는 제2 화소 영역(PXA2)의 가로 변에 인접한 제2 주변 영역(PPA2)의 가로부에 배치될 수 있다. 상술한 바와 같이, 제1 서브 더미부(DMP11) 및 제2 서브 더미부(DMP12)가 제2 주변 영역에서 서로 이격되어 배치되므로, 제2 주변 영역(PPA2)의 폭이 감소될 수 있다.
- [0238] 제2 서브 더미부(DMP12)는 전원 공급부와 중첩하는 영역에 제공될 수 있다. 전원 공급부는 도 1 내지 도 6에 도시된 제1 전원 공급 라인(ELVDD) 및 제2 전원 공급 라인(ELVSS) 중 하나일 수 있다. 하기에서는 설명의 편의를 위하여 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)이 제1 전원 공급 라인(ELVDD)과 중첩되도록 제공되는 것을 예로서 설명한다.
- [0239] 제1 전원 공급 라인(ELVDD)은 도 4 내지 도 6에 도시된 제2 브릿지 패턴(BRP2)과 동일한 재료로 동일한 공정을 이용하여 형성될 수 있다. 따라서, 제1 전원 공급 라인(ELVDD)은 도 1 내지 도 6에 도시된 제1 화소(PXL1)의 전원 라인(PL)과 동일한 층, 예를 들면, 제3 층간 절연막(IL3) 상에 형성될 수 있다.

- [0240] 본 발명의 일 실시예에서는 제1 전원 공급 라인(ELVDD)이 제2 브릿지 패턴(BRP2)과 동일한 층 상에 형성됨을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 제1 전원 공급 라인(ELVDD)은 제1 화소 영역(PXA1)의 제1 브릿지 패턴(BRP1) 및 연결 라인(CNL)과 동일한 층 상에 형성될 수도 있다.
- [0241] 제2 서브 더미부(DMP12)에는 더미 액티브 패턴과 동일층 상에 배치되는 제8 더미 액티브 패턴(DACT8)이 더 제공될 수 있다. 또한, 제8 더미 액티브 패턴(DACT8)은 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)과 중첩될 수 있다. 제8 더미 액티브 패턴(DACT8)은 제1 전원 공급 라인(ELVDD)와 더미 콘택 홀(DCH)를 통해 전기적으로 연결될 수 있다. 더미 콘택 홀(DCH)은 게이트 절연막(GI), 제1 절연막(IL1), 제2 절연막(IL2) 및 제3 절연막(IL3)을 관통할 수 있다.
- [0242] 제2 서브 더미부(DMP12)에서, 제1 전원 공급 라인(ELVDD) 및 제8 더미 액티브 패턴(DACT8) 중 적어도 하나는 더미 스캔 라인(DSL) 및 더미 발광 제어 라인(DEL)과 중첩하여 기생 캐패시터를 형성할 수 있다. 예를 들면, 제1 전원 공급 라인(ELVDD) 및 제8 더미 액티브 패턴(DACT8) 모두가 더미 스캔 라인(DSL) 및 더미 발광 제어 라인(DEL)과 중첩하여 기생 캐패시터를 형성할 수 있다. 제1 전원 공급 라인(ELVDD)이 제8 더미 액티브 패턴(DACT8)과 중첩하지 않는 경우, 제8 더미 액티브 패턴(DACT8)이 더미 스캔 라인(DSL) 및 더미 발광 제어 라인(DEL)과 중첩하여 기생 캐패시터를 형성할 수도 있다. 제2 서브 더미부(DMP12)의 기생 캐패시터의 기생 캐패시턴스는 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인들(E2p)의 로드를 증가시킬 수 있다. 따라서, 제2 서브 더미부(DMP12)의 기생 캐패시턴스는 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인들(E2p)의 로드 값을 보상할 수 있다.
- [0243] 상술한 바와 같이, 제1 서브 더미부(DMP11) 및 제2 서브 더미부(DMP12)의 기생 캐패시터들의 기생 캐패시턴스는 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인들(E2p)의 로드를 증가시킬 수 있다. 따라서, 기생 캐패시턴스는 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인(E2p)의 로드 값을 보상할 수 있다. 그 결과, 제2 스캔 라인들(S2p) 및 제2 발광 제어 라인(E2p)의 로드 값은 제1 화소 영역(PXA1)의 제1 스캔 라인들(S11 내지 S1n, S1i-1, S1i) 및 제1 발광 제어 라인들(E11 내지 E1n, E1i)의 로드 값과 동일하거나 유사해질 수 있다.
- [0244] 본 발명의 일 실시예에 있어서, 제1 화소 영역(PXA1)과 제3 화소 영역(PXA3)에서의 스캔 라인들 및 발광 제어 라인들의 로드 값의 차이를 보상하기 위해, 제1 화소 영역(PXA1)에 대응하는 제1 주변 영역(PPA1)에는 (DMP1, DMP2)가 제공되지 않으며, 제3 화소 영역(PXA3)에 대응하는 제3 주변 영역(PPA3)에는 제2 더미부(DMP2)가 제공될 수 있다.
- [0245] 본 발명의 일 실시예에 있어서, 제2 더미부(DMP2)는 제3 스캔 라인들(S31, S32)과 연결된 더미 스캔 라인들(DSL) 및 제3 발광 제어 라인들(E31, E32)과 연결된 더미 발광 제어 라인(DEL)과 중첩될 수 있다. 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)은 주변 영역, 예를 들면, 제3 주변 영역(PPA2)에 배치될 수 있다. 제2 더미부(DMP2)에 의해 보상되는 로드 값은 제1 더미부(DMP1)에 의해 보상되는 로드 값과 동일할 수 있다.
- [0246] 제2 더미부(DMP2)는 적어도 하나의 서브 더미부(DMP21, DMP22)를 포함할 수 있다. 예를 들면, 제2 더미부(DMP2)는 제3 서브 더미부(DMP21)를 포함할 수 있다. 제3 서브 더미부(DMP21)는 도 1 내지 도 6에 도시된 제3 스캔 라인들(S31, S32) 또는 제3 발광 제어 라인들(E31, E32)의 로드 값을 보상할 수 있다. 제3 서브 더미부(DMP21)는 제3 화소 영역(PXA3)의 세로 변에 인접한 제3 주변 영역(PPA3)의 세로부에 배치될 수 있다. 제3 서브 더미부(DMP21)는 제1 더미부(DMP1)의 제1 서브 더미부(DMP11)와 동일한 구조를 가질 수 있다.
- [0247] 제3 서브 더미부(DMP21)는 제1 서브 더미부(DMP11)와 같이, 복수의 더미 화소들(DPXL)을 포함할 수 있으며, 더미 화소들(DPXL)은 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)과 중첩할 수 있다.
- [0248] 본 발명의 일 실시예에 있어서, 제2 더미부(DMP2)는 제4 서브 더미부(DMP22)를 더 포함할 수 있다. 제4 서브 더미부(DMP22)는 제3 서브 더미부(DMP21)와 전기적으로 연결될 수 있다. 제4 서브 더미부(DMP22)는 제3 서브 더미부(DMP21)와 함께 제3 스캔 라인들(S31, S32) 및 제3 발광 제어 라인들(E31, E32)의 로드 값을 보상할 수 있다.
- [0249] 제3 서브 더미부(DMP21) 및 제4 서브 더미부(DMP22)는 서로 이격되어 배치될 수 있다. 예를 들면, 제3 서브 더미부(DMP21)는 제3 화소 영역(PXA3)의 세로 변에 인접한 제3 주변 영역(PPA3)의 세로부에 배치되므로, 제4 서브 더미부(DMP22)는 제3 화소 영역(PXA3)의 가로 변에 인접한 제3 주변 영역(PPA3)의 가로부에 배치될 수 있다. 상술한 바와 같이, 제3 서브 더미부(DMP21) 및 제4 서브 더미부(DMP22)가 제3 주변 영역(PPA3)에서 서로 이격되므로, 제3 주변 영역(PPA3)의 폭이 감소될 수 있다.
- [0250] 제4 서브 더미부(DMP22)는 전원 공급부와 중첩하는 영역에 제공될 수 있다. 전원 공급부는 도 1 내지 도 6에 도

시된 제1 전원 공급 라인(ELVDD) 및 제2 전원 공급 라인(ELVSS) 중 하나, 예를 들면, 제1 전원 공급부(ELVDD)일 수 있다.

- [0251] 제4 서브 더미부(DMP22)에는 더미 액티브 패턴과 동일층 상에 배치되는 제8 더미 액티브 패턴(DACT8)이 더 제공될 수 있다. 또한, 제8 더미 액티브 패턴(DACT8)은 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)과 중첩될 수 있다. 제8 더미 액티브 패턴(DACT8)은 제1 전원 공급 라인(ELVDD)와 더미 콘택 홀(DCH)를 통해 전기적으로 연결될 수 있다. 더미 콘택 홀(DCH)은 게이트 절연막(GI), 제1 절연막(IL1), 제2 절연막(IL2) 및 제3 절연막(IL3)을 관통할 수 있다.
- [0252] 제4 서브 더미부(DMP22)에서, 제1 전원 공급 라인(ELVDD) 및 제8 더미 액티브 패턴(DACT8) 중 적어도 하나는 더미 스캔 라인(DSL) 및 더미 발광 제어 라인(DEL)과 중첩하여 기생 캐패시터를 형성할 수 있다. 예를 들면, 제1 전원 공급 라인(ELVDD) 및 제8 더미 액티브 패턴(DACT8) 모두가 더미 스캔 라인(DSL) 및 더미 발광 제어 라인(DEL)과 중첩하여 기생 캐패시터를 형성할 수 있다. 제1 전원 공급 라인(ELVDD)이 제8 더미 액티브 패턴(DACT8)과 중첩하지 않는 경우, 제8 더미 액티브 패턴(DACT8)이 더미 스캔 라인(DSL) 및 더미 발광 제어 라인(DEL)과 중첩하여 기생 캐패시터를 형성할 수도 있다. 제4 서브 더미부(DMP22)의 기생 캐패시터의 기생 캐패시턴스는 제3 스캔 라인들(S31, S32) 및 제3 발광 제어 라인들(E31, E32)의 로드를 증가시킬 수 있다. 따라서, 제4 서브 더미부(DMP22)의 기생 캐패시턴스는 제3 스캔 라인들(S31, S32) 및 제3 발광 제어 라인들(E31, E32)의 로드 값을 보상할 수 있다.
- [0253] 상술한 바와 같이, 제3 서브 더미부(DMP21) 및 제4 서브 더미부(DMP22)의 기생 캐패시터들의 기생 캐패시턴스는 제3 스캔 라인들(S31, S32) 및 제3 발광 제어 라인들(E31, E32)의 로드를 증가시킬 수 있다. 따라서, 기생 캐패시턴스는 제3 스캔 라인들(S31, S32) 및 제3 발광 제어 라인(E31, E32)의 로드 값을 보상할 수 있다. 그 결과, 제3 스캔 라인들(S31, S32) 및 제3 발광 제어 라인(E31, E32)의 로드 값은 제1 화소 영역(PXA1)의 제1 스캔 라인들(S11 내지 S1n, S1i-1, S1i) 및 제1 발광 제어 라인들(E11 내지 E1n, E1i)의 로드 값과 동일하거나 유사해질 수 있다.
- [0254] 상술한 바와 같이, 본 발명의 일 실시예의 표시 장치는 더미부들(DMP1, DMP2)을 포함하여, 영역에 따른 스캔 라인들 또는 발광 제어 라인들의 로드 값 차이를 보상할 수 있다. 따라서, 표시 장치는 전체적으로 균일한 화상을 표현할 수 있다. 또한, 더미부들(DMP1, DMP2)이 복수의 서브 더미부들로 분리되어, 표시 장치의 주변 영역들의 폭이 감소될 수 있다.
- [0256] 도 14는 본 발명의 일 실시예에 따른 표시 장치의 제1 서브 더미부를 설명하기 위한 개념도이며, 도 15는 제1 서브 더미부의 제1 서브 더미 화소의 일부 단면도이며, 제16은 제1 서브 더미부의 제2 서브 더미 화소의 일부 단면도이다. 도 14에서는 설명의 편의를 위하여 도 7의 EA1 영역을 확대하여 도시한다.
- [0257] 도 7 내지 도 9 및 도 14 내지 도 16을 참조하면, 화소 영역들의 로드 값의 차이를 보상하기 위하여, 각 화소 영역은 주변 영역에 더미부(DMP1, DMP2)를 가지거나 가지지 않으므로써, 기생 캐패시턴스가 다른 구조가 채용될 수 있다. 즉, 제1 화소 영역(PXA1)과, 제2 화소 영역(PXA2)에서의 스캔 라인들 또는 발광 제어 라인들의 로드 값의 차이를 보상하기 위하여, 제1 화소 영역(PXA1)에 대응하는 제1 주변 영역(PPA1)에는 더미부(DMP1, DMP2)가 제공되지 않으며, 제2 화소 영역(PXA2)에 대응하는 제2 주변 영역(PPA2)에는 제1 더미부(DMP1)가 제공될 수 있다.
- [0258] 본 발명의 일 실시예에 있어서, 제1 더미부(DMP1)는 제2 스캔 라인들(S2p)과 연결된 더미 스캔 라인들(DSL) 및 제2 발광 제어 라인들(E2p)과 연결된 더미 발광 제어 라인(DEL)과 중첩될 수 있다. 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)은 주변 영역, 예를 들면, 제2 주변 영역(PPA2)에 배치될 수 있다. 더미 스캔 라인들(DSL)은 p번째 제2 스캔 라인(S2p) 및 p-1번째 제2 스캔 라인(S2p-1)에 연결되는 p번째 더미 스캔 라인(DSLp) 및 p-1번째 더미 스캔 라인(DSLp-1)을 포함할 수 있다.
- [0259] 제1 더미부(DMP1)는 적어도 하나의 서브 더미부(DMP11, DMP12)를 포함할 수 있다. 예를 들면, 제1 더미부(DMP1)는 제1 서브 더미부(DMP11)를 포함할 수 있다. 제1 서브 더미부(DMP11)는 제2 스캔 라인들(S2p-1, S2p) 또는 제2 발광 제어 라인들(E2p)의 로드 값을 보상할 수 있다.
- [0260] 제1 서브 더미부(DMP11)는 복수의 더미 화소들(DPXL1, DPXL2)을 포함할 수 있다. 예를 들면, 제1 서브 더미부(DMP11)는 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2)를 포함할 수 있다. 여기서, 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2) 중 하나, 예를 들면, 제1 더미 화소(DPXL1)는 제2 더미 화소(DPXL2)보다 제2 화소 영역(PXA2)에 근접하여 배치될 수 있다.

- [0261] 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2)는 제2 화소 영역(PXA2)에 제공된 제2 화소(PXL2)와 유사한 구조를 가질 수 있다. 다만, 제1 더미 화소(DPXL1)는 제2 화소(PXL2)의 전원 라인(PL), 제2 브릿지(BRP2), 및 제1 전극(AD)이 생략된 구조를 가질 수 있다. 제2 더미 화소(DPXL2)는 제2 화소(PXL2)의 전원 라인(PL), 및 제2 브릿지(BRP2)이 생략된 구조를 가질 수 있다.
- [0262] 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2)는 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)에 연결될 수 있다. 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2)는 더미 스캔 라인들(DSL) 및 더미 발광 제어 라인(DEL)과 교차하는 더미 데이터 라인(DDL), 더미 스캔 라인들(DSL)과 더미 데이터 라인(DDL)에 전기적으로 연결되는 적어도 하나의 더미 트랜지스터(DT1, DT2, DT3, DT4, DT5, DT6, DT7), 및 더미 스토리지 캐패시터(DCst)를 포함할 수 있다.
- [0264] 하기에서는, 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2)의 구조를 적층 순서에 따라 설명한다.
- [0265] 기관(DSUB) 상에 더미 액티브 패턴(DACT1 내지 DACT7)이 제공될 수 있다. 더미 액티브 패턴은 제1 더미 액티브 패턴(DACT1) 내지 제7 더미 액티브 패턴(DACT7)을 포함할 수 있다.
- [0266] 제1 더미 티브 패턴(DACT1) 및 제7 더미 액티브 패턴(DACT7)이 형성된 기관(SUB) 상에는 게이트 절연막(GI)이 제공될 수 있다.
- [0267] 게이트 절연막(GI) 상에는 p-1번째 더미 스캔 라인(DSLp-1), p번째 더미 스캔 라인(DSLp), 더미 발광 제어 라인(DEL), 및 제1 더미 게이트 전극(DGE1) 및 제7 더미 게이트 전극(DGE7)이 제공될 수 있다. 제1 더미 게이트 전극(DGE1)은 더미 스토리지 캐패시터(DCst)의 더미 하부 전극(DLE)이 될 수 있다.
- [0268] p-1번째 더미 스캔 라인(DSLp-1) 등이 형성된 기관(SUB) 상에는 제1 층간 절연막(IL1)이 제공될 수 있다.
- [0269] 제1 층간 절연막(IL1) 상에는 더미 스토리지 캐패시터(DCst)의 더미 상부 전극(DUE) 및 초기화 전원 라인(IPL)이 제공될 수 있다. 더미 상부 전극(DUE)은 더미 하부 전극(DLE)을 커버할 수 있다. 더미 상부 전극(DUE)은 제1 층간 절연막(IL1)을 사이에 두고 더미 하부 전극(DLE)과 함께 더미 스토리지 캐패시터(DCst)를 구성할 수 있다.
- [0270] 더미 상부 전극(DUE) 및 초기화 전원 라인(IPL)이 배치된 기관(SUB) 상에는 제2 층간 절연막(IL2)이 제공될 수 있다.
- [0271] 제2 층간 절연막(IL2) 상에는 더미 데이터 라인(DDL), 더미 연결 라인(DCNL), 더미 보조 연결 라인(DAUX), 및 제1 더미 브릿지 패턴(DBRP1)이 제공될 수 있다.
- [0272] 더미 데이터 라인(DDL) 등이 형성된 기관(SUB)에는 제3 절연막(IL3)이 제공될 수 있으며, 제3 절연막(IL3) 상에는 보호층(PSV)이 제공될 수 있다.
- [0273] 제1 더미 화소(DPXL1)에서, 보호층(PSV) 상에는 화소 정의막(PDL)이 제공될 수 있다.
- [0274] 제2 더미 화소(DPXL2)에서, 보호층(PSV) 상에는 더미 제1 전극(DAD)이 제공될 수 있다. 더미 제1 전극(DAD)은 제2 화소(PXL2)의 제1 전극(AD)와 동일한 물질을 포함할 수 있다. 더미 제1 전극(DAD)은 제1 전극(AD)와 전기적으로 분리될 수 있다. 또한, 제2 더미 화소(DPXL2)에서, 더미 제1 전극(DAD) 상에는 화소 정의막(PDL)이 제공될 수 있다. 제2 더미 화소(DPXL2)에서, 화소 정의막(PDL)은 더미 제1 전극(DAD)을 커버할 수 있다. 즉, 제2 더미 화소(DPXL2)에서, 화소 정의막(PDL)은 더미 제1 전극(DAD)을 노출시키지 않을 수 있다.
- [0275] 화소 정의막(PDL) 상에는 유기막(OL)이 제공될 수 있다. 유기막(OL)은 도 1 내지 도 6에 도시된 제1 화소(PXL1)의 유기 발광 소자(OLED)의 발광층(EML)이 연장되어 제공될 수 있다. 여기서, 유기막(OL)은 광 생성층을 제외한 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층, 및 전자 주입층 중 적어도 하나를 포함할 수 있다. 제2 더미 화소(DPXL2)에서, 유기막(OL)은 화소 정의막(PDL)에 의하여 더미 제1 전극(DAD)과 전기적으로 분리될 수 있다.
- [0276] 유기막(OL) 상에는 더미 제2 전극(DCD)이 제공될 수 있다. 더미 제2 전극(DCD)은 제2 전극(CD)과 동일한 물질을 포함할 수 있다. 더미 제2 전극(DCD)은 유기 발광 소자(OLED)의 제2 전극(CD)과 연결될 수 있다. 따라서, 제2 전극(CD)은 더미 제2 전극(DCD)을 통하여 제2 전원 공급 라인(도 2 및 3의 "ELVSS" 참조)을 인가받을 수 있다.
- [0277] 또한, 더미 제2 전극(DCD)은 제2 주변 영역(PPA2)의 일부에서 더미 제1 전극(DAD)과 전기적으로 연결될 수 있다. 따라서, 더미 제1 전극(DAD)과 더미 제2 전극(DCD)은 동일한 전원을 인가받을 수 있다. 예를 들면, 더미 제1 전극(DAD)과 더미 제2 전극(DCD)은 제2 전원(ELVSS)을 인가받을 수 있다.

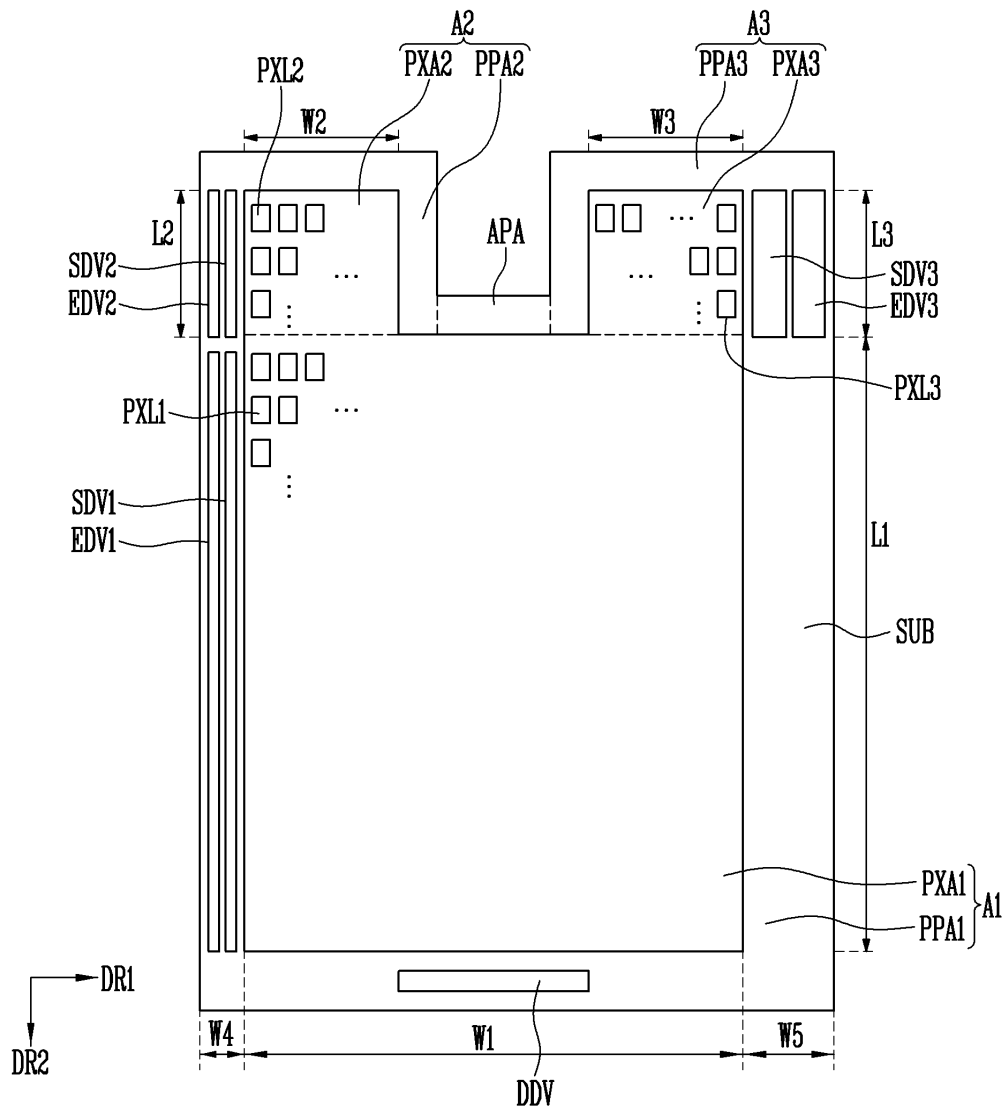
- [0278] 상술한 바와 같이, 제1 더미 화소(DPXL1)에는 제1 더미 전극(DAD)을 제공되지 않으며, 제2 더미 화소(DPXL2)에는 제1 더미 전극(DAD)이 제공될 수 있다. 따라서, 제1 더미 화소(DPXL1)에서는 제1 더미 전극(DAD) 및 제2 더미 전극(DAD)이 중첩하지 않으며, 제2 더미 화소(DPXL2)에서는 제1 더미 전극(DAD) 및 제2 더미 전극(DAD)이 중첩할 수 있다.
- [0279] 더미 제2 전극(DCD) 상에는 제1 화소(PXL1)와 동일하게 봉지막(SLM)이 제공될 수 있다.
- [0280] 상술한 바와 같이, 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2)는 도 1 내지 도 6에 도시된 제1 화소(PXL1)의 전원 라인(PL), 제2 브릿지(BRP2), 및 광 생성층이 생략된 구조를 가질 수 있다. 또한, 제2 더미 화소(DPXL2)가 더미 제1 전극(DAD)을 구비하더라도, 더미 제1 전극(DAD)이 유기막(OL)과 전기적으로 분리될 수 있다. 따라서, 제1 더미 화소(DPXL1) 및 제2 더미 화소(DPXL2)는 유기막(OL)에서 광을 출사시킬 수 없다.
- [0281] 또한, 제1 더미 화소(DPXL1)에서는 전원 라인(PL), 제2 브릿지(BRP2), 및 제1 전극(AD)이 생략되므로, 전원 라인(PL)과 제1 전극(AD) 사이의 쇼트 또는 제2 브릿지(BRP2)와 제1 전극(AD) 사이의 쇼트를 방지할 수 있다.
- [0282] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0283] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

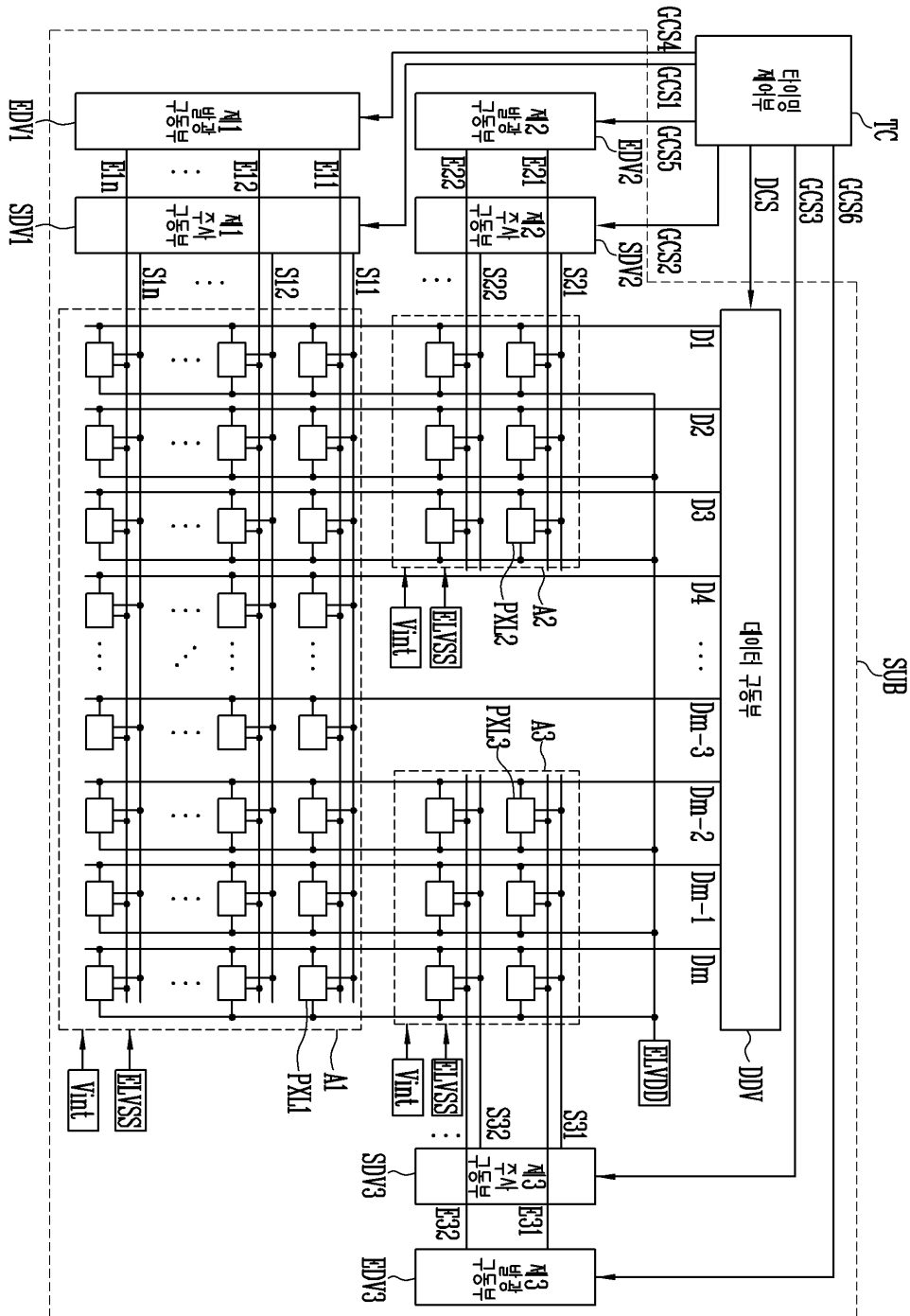
- [0284] A1, A2, A3 : 제1 내지 제3 영역
- DDV : 데이터 구동부
- D1, D2, D3, ..., Dm : 데이터 라인
- EDV1, EDV2, EDV3 : 제1 내지 제3 발광 구동부
- PPA1, PPA2, PPA3 : 제1 내지 제3 주변 영역
- PXA1, PXA2, PXA3 : 제1 내지 제3 화소 영역
- PXL1, PXL2, PXL3 : 제1 내지 제3 화소
- SDV1, SDV2, SDV3 : 제1 내지 제3 스캔 구동부
- S11, S12, S13, ..., S1n : 제1 스캔 라인
- S21, S22 : 제2 스캔 라인
- S31, S32 : 제3 스캔 라인
- T1, T2, ..., T7 : 제1 내지 제7 트랜지스터
- E11, E12, E13, ..., E1n : 제1 발광 제어 라인
- E21, E22 : 제2 발광 제어 라인
- E31, E32 : 제3 발광 제어 라인
- SUB : 기판
- DMP1, DMP2: 더미부

도면

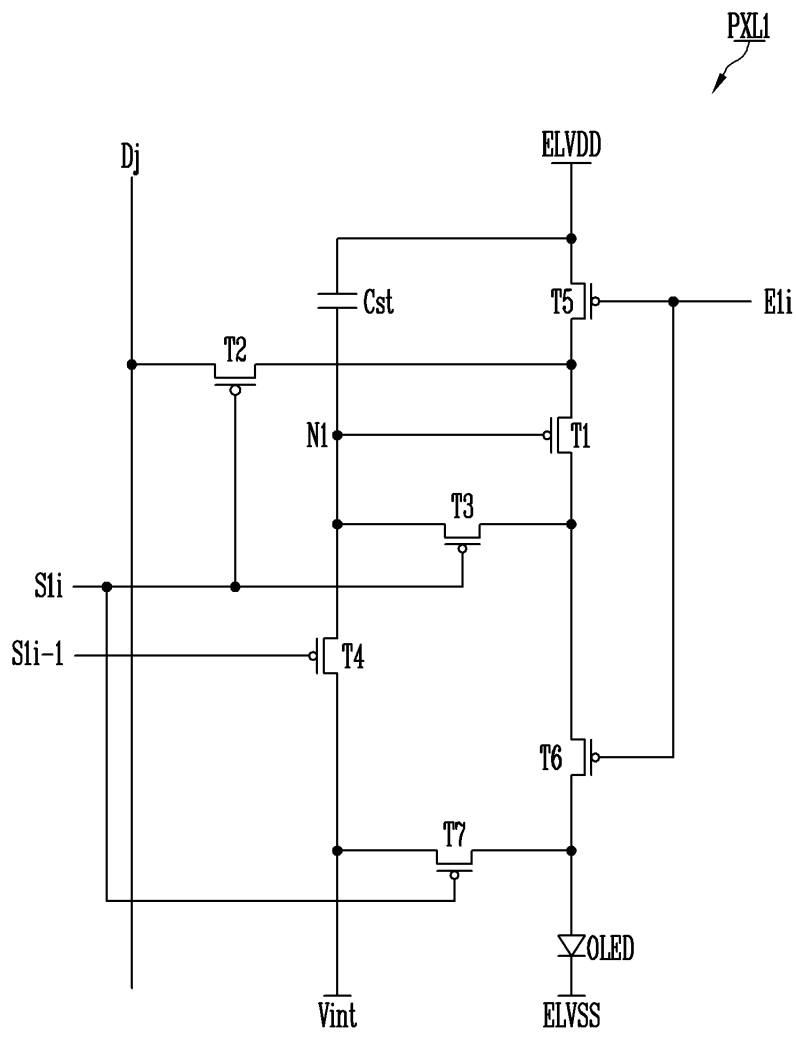
도면1



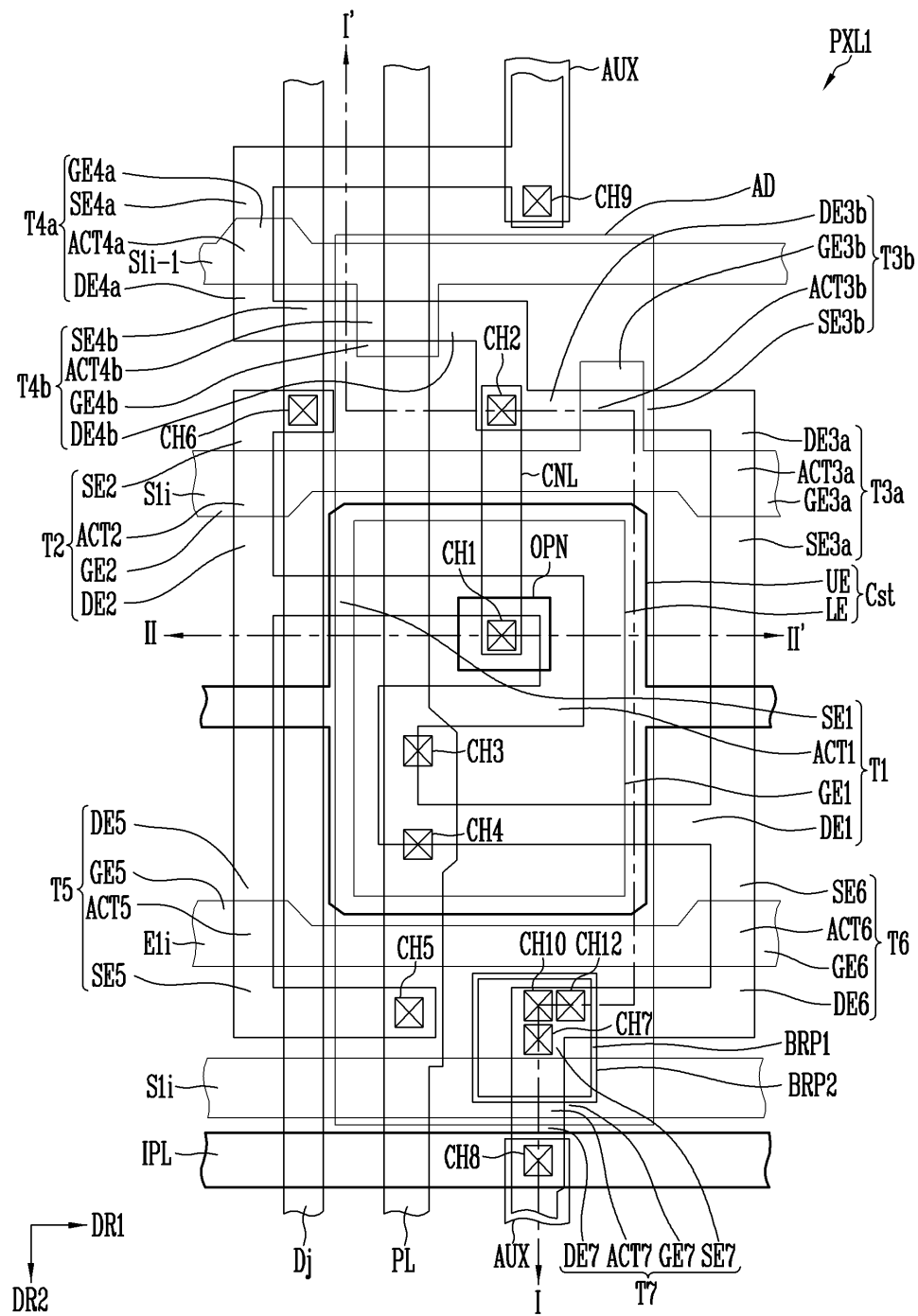
도면2



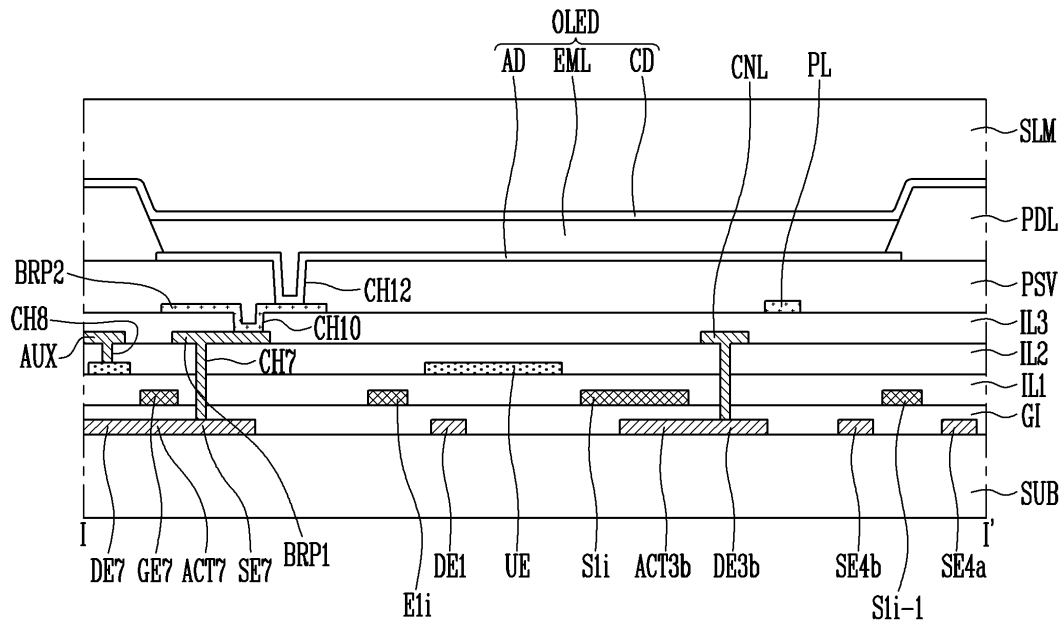
도면3



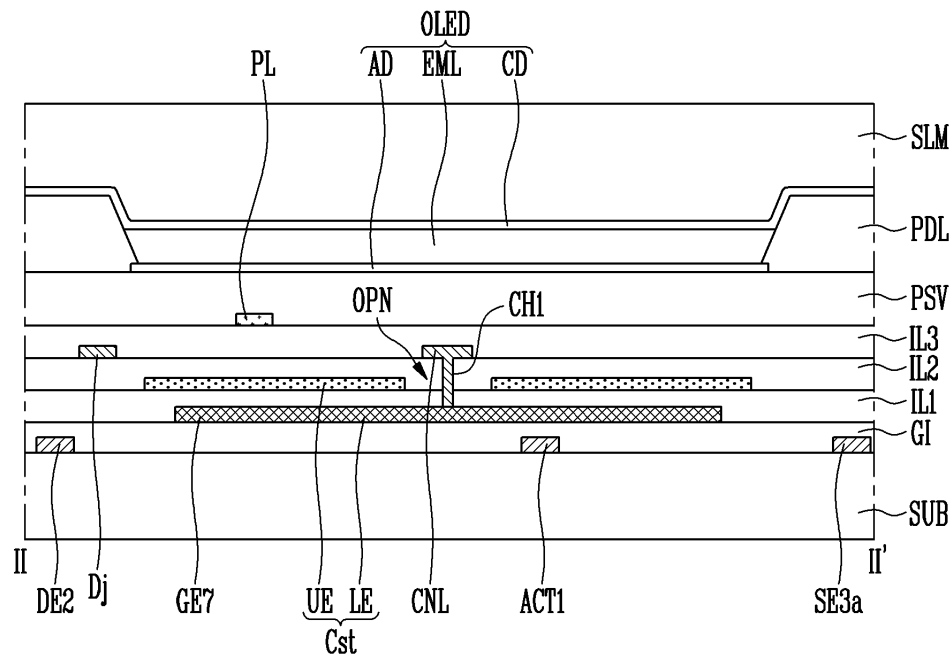
도면4



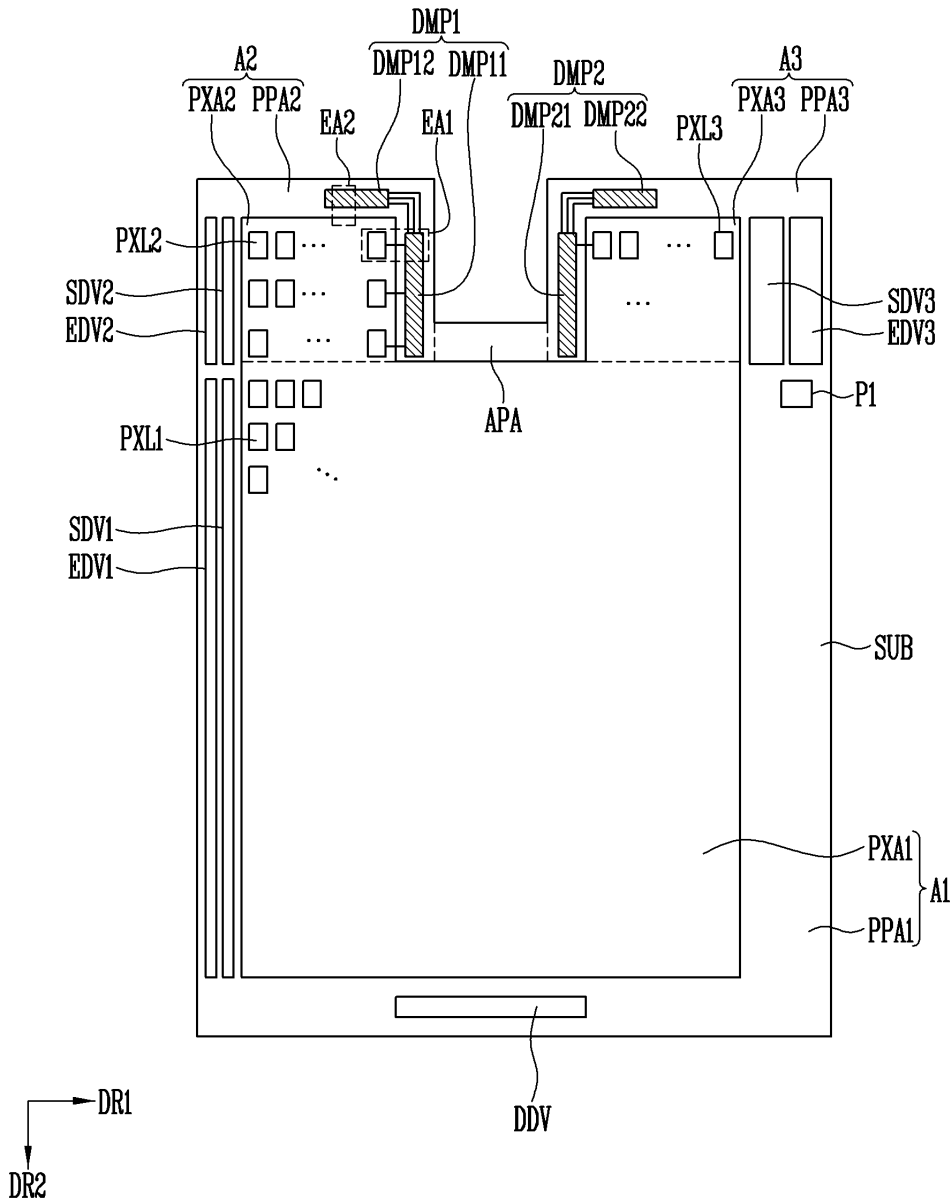
도면5



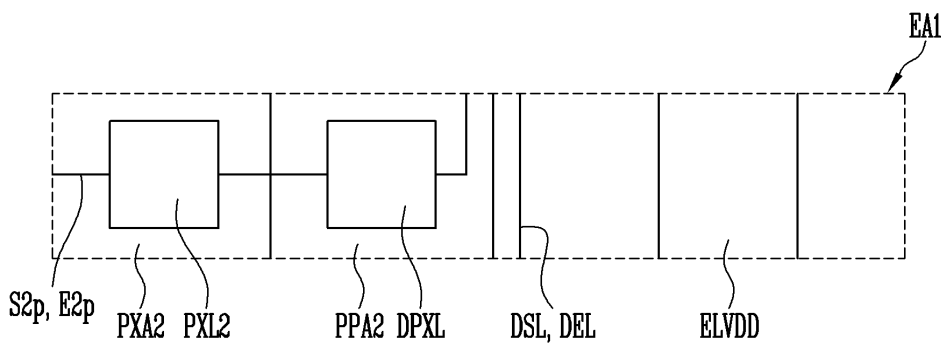
도면6



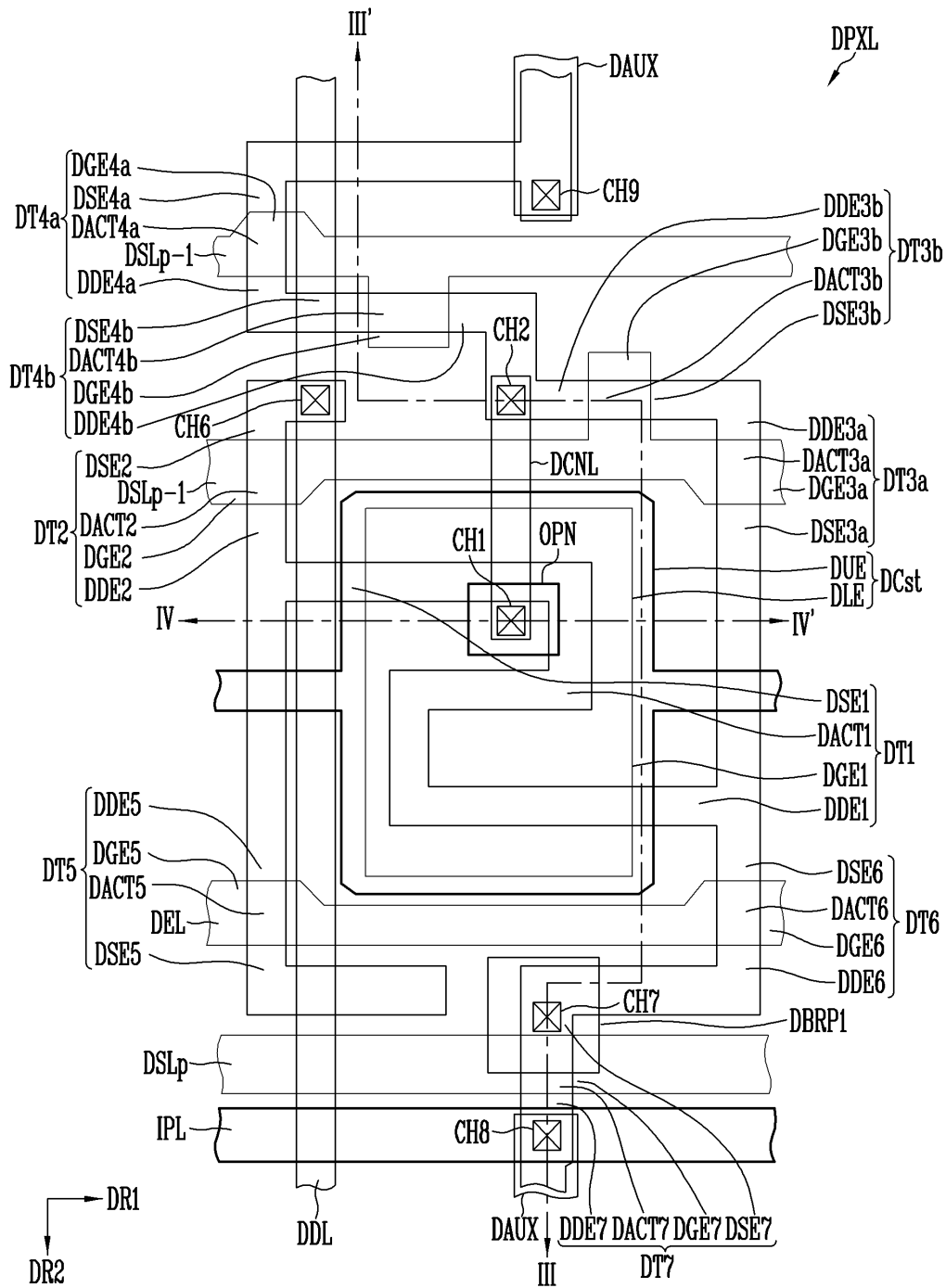
도면7



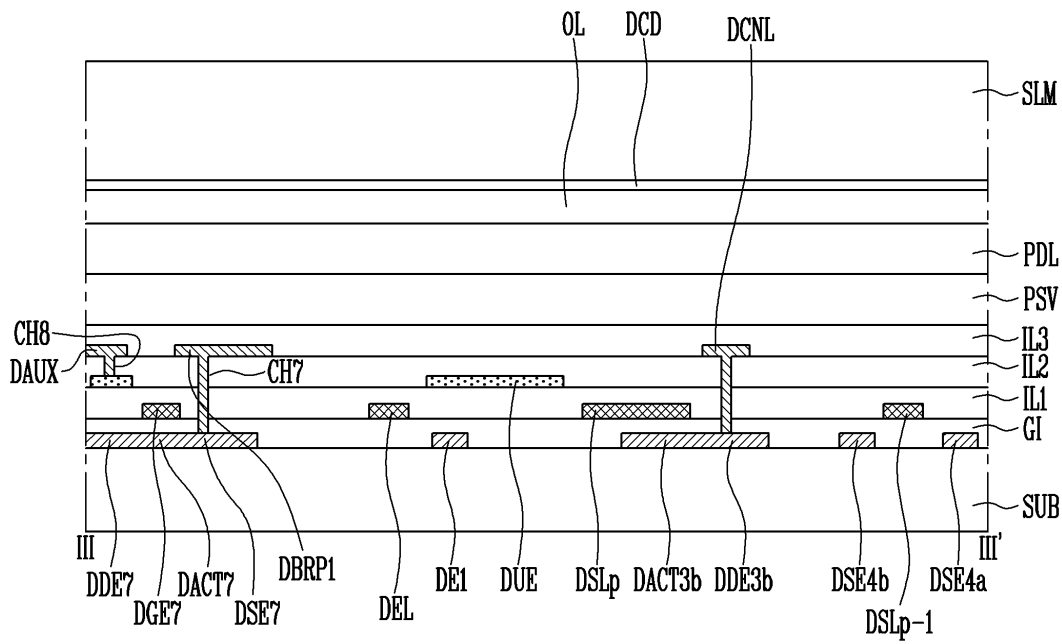
도면8



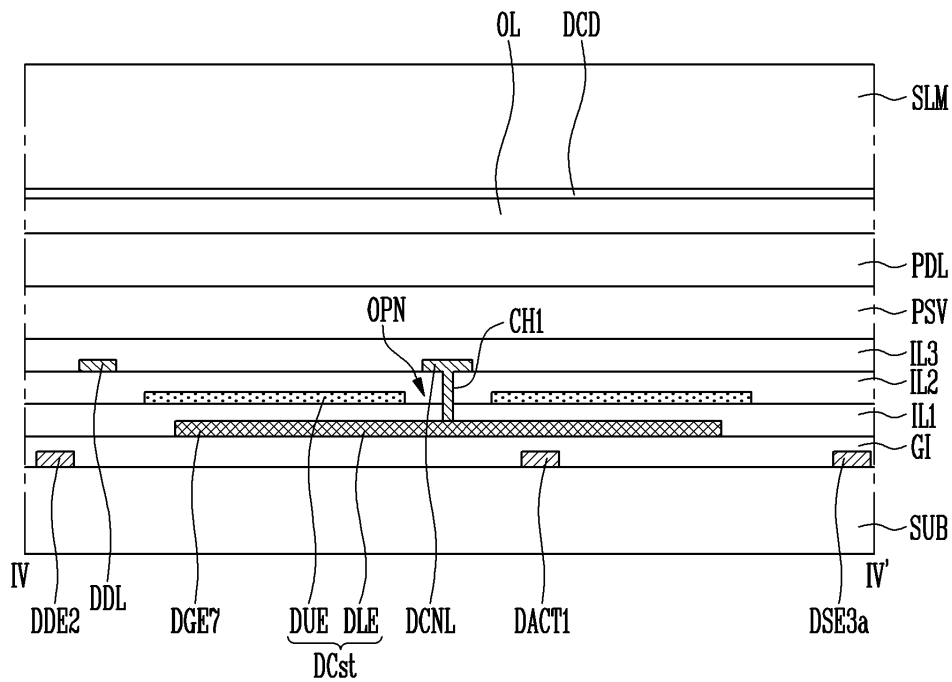
도면9



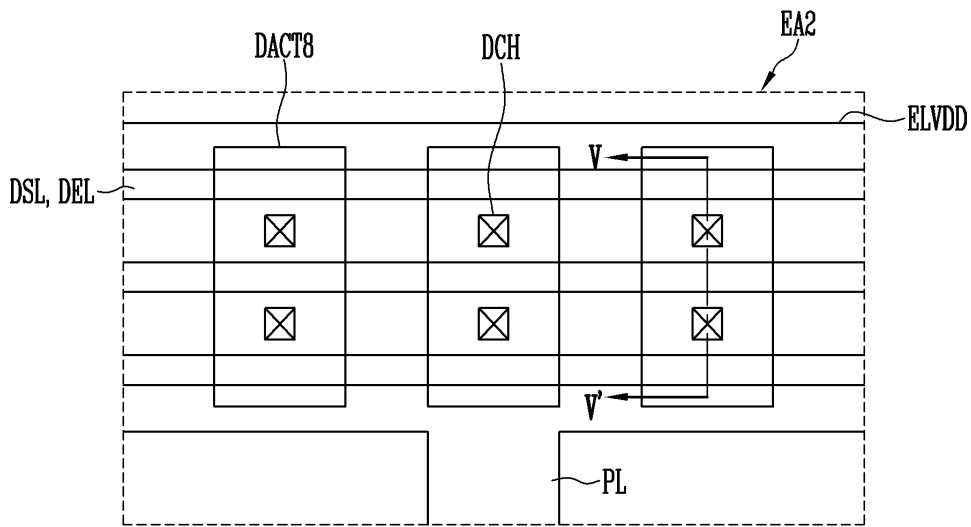
도면10



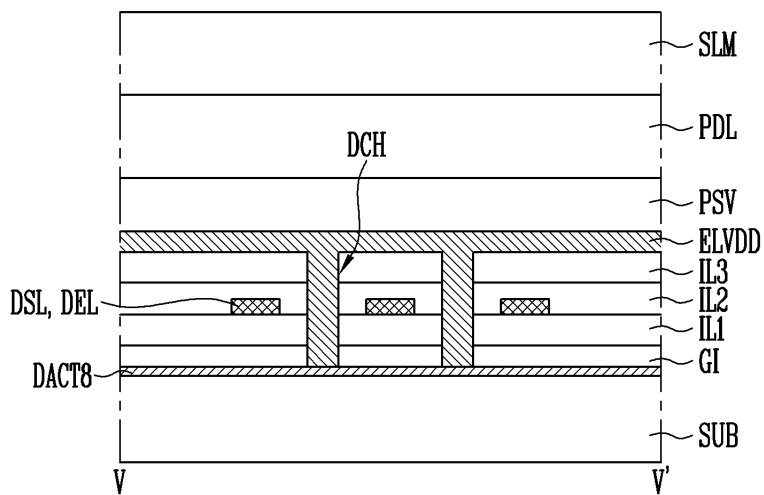
도면11



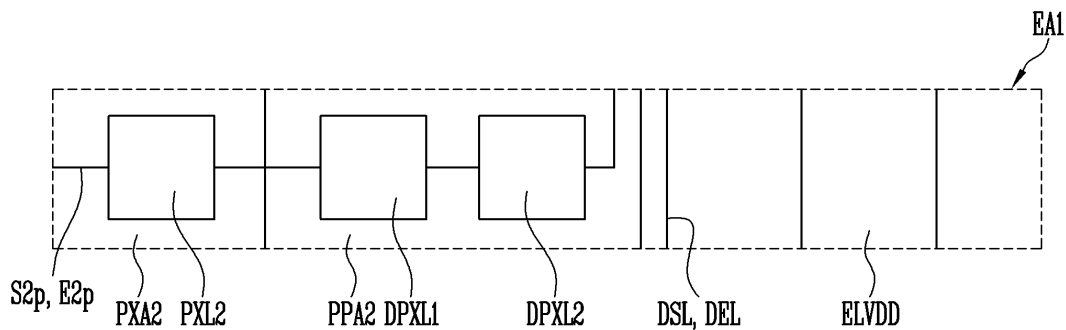
도면12



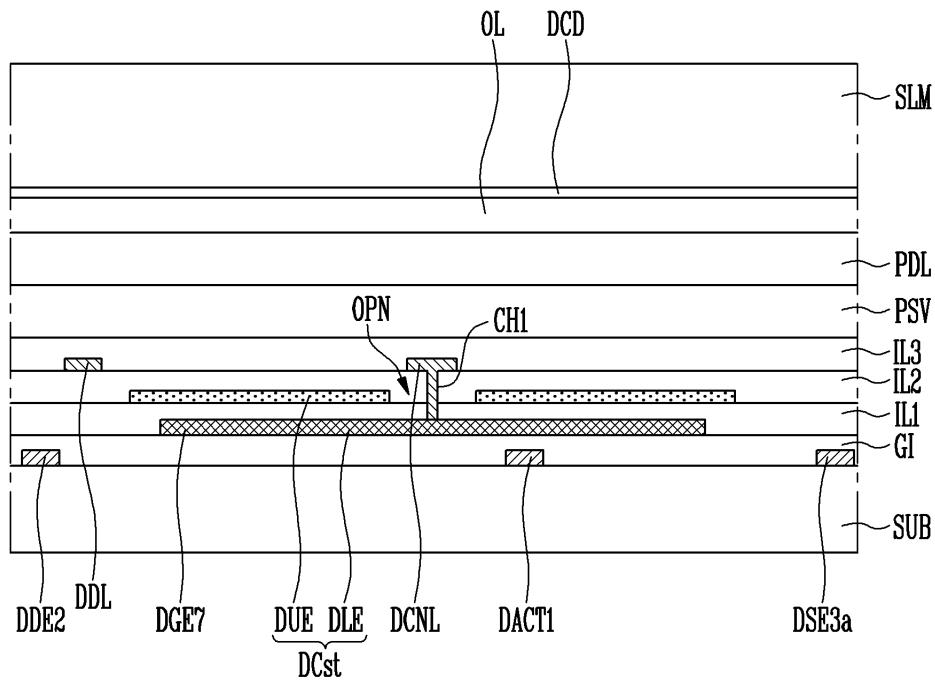
도면13



도면14



도면15



도면16

