

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205144

(P2008-205144A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 B	4M104
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 616K	5F033
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 617J	5F110
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 618B	
HO 1 L 21/288 (2006.01)	HO 1 L 21/28 A	

審査請求 未請求 請求項の数 7 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2007-38864 (P2007-38864)
 (22) 出願日 平成19年2月20日 (2007.2.20)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 川島 紀之
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 野元 章裕
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

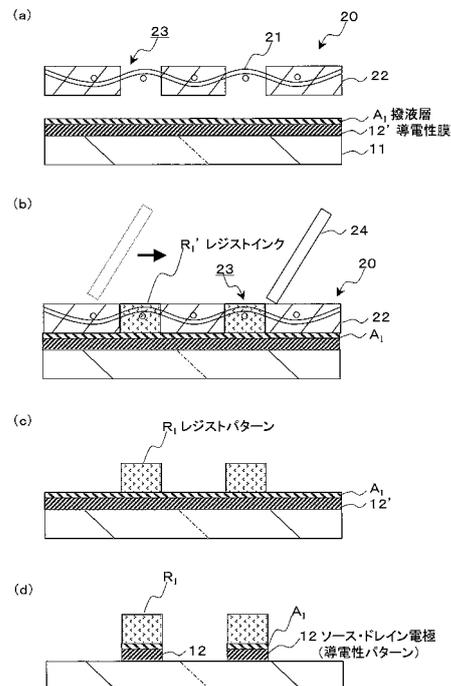
(54) 【発明の名称】 パターン形成方法および半導体装置の製造方法

(57) 【要約】

【課題】スクリーン印刷法により、インクの滲みや裏周りが防止され、印刷形状が安定化されたパターン形成方法およびこれを用いた半導体装置の製造方法を提供する。

【解決手段】基板11上に、ソース・ドレイン電極12と、ゲート絶縁膜と、有機半導体層と、ゲート電極とをこの順に積層してなる半導体装置の製造方法において、基板11上に導電性膜12'を介して撥液層A₁を形成した後、スクリーン印刷法により、レジストインクR₁'を印刷することで、撥液層A₁上にレジストパターンR₁を形成し、このレジストパターンR₁をマスクに用いて、導電性膜12'をエッチングすることで、ソース・ドレイン電極12を形成することを特徴とするパターン形成方法および半導体装置の製造方法である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に撥液性を有する撥液層を形成する第 1 工程と、スクリーン印刷法により、前記撥液層上にインクを印刷することで、パターンを形成する第 2 工程とを有することを特徴とするパターン形成方法。

【請求項 2】

請求項 1 記載のパターン形成方法において、前記第 1 工程では、前記基板の表面にフッ素含有表面処理剤またはシリコン含有表面処理剤を塗布することで、前記撥液層を形成することを特徴とするパターン形成方法。

10

【請求項 3】

請求項 1 記載のパターン形成方法において、前記基板の表面側には導電性膜が設けられており、前記第 2 工程では、前記撥液層上にレジストインクを印刷することで、レジストパターンを形成し、前記第 2 工程の後に、前記レジストパターンをマスクに用いて、前記撥液層と前記導電性膜をエッチングすることで、導電性パターンを形成した後、前記レジストパターンと前記撥液層を除去する工程を行うことを特徴とするパターン形成方法。

20

【請求項 4】

請求項 1 記載のパターン形成方法において、前記第 2 工程では、前記撥液層上に導電性インクを印刷することで、導電性パターンを形成することを特徴とするパターン形成方法。

【請求項 5】

請求項 4 記載のパターン形成方法において、前記撥液層は絶縁膜で構成されていることを特徴とするパターン形成方法。

【請求項 6】

基板上に、ソース・ドレイン電極、ゲート絶縁膜およびゲート電極がこの順またはこれと逆の順に積層され、ソース・ドレイン電極の上層側または下層側に有機半導体層を備えた半導体装置の製造方法において、前記ソース・ドレイン電極または前記ゲート電極を形成する工程では、下地層上に導電性膜を介して撥液性を有する撥液層を形成した後、スクリーン印刷法により、前記撥液層上にレジストインクを印刷することで、レジストパターンを形成し、このレジストパターンをマスクに用いて、前記導電性膜をエッチングすることで、前記ソース・ドレイン電極または前記ゲート電極を形成した後、前記レジストパターンと前記撥液層を除去することを特徴とする半導体装置の製造方法。

30

40

【請求項 7】

基板上に、ソース・ドレイン電極、ゲート絶縁膜およびゲート電極がこの順またはこれと逆の順に積層され、ソース・ドレイン電極の上層側または下層側に有機半導体層を備えた半導体装置の製造方法において、前記ソース・ドレイン電極または前記ゲート電極を形成する工程では、下地層上に撥液性を有する撥液層を形成した後、スクリーン印刷法により、当該撥液層上に導電性インクを印刷することで、前記ソース・ドレイン電極または前記ゲート電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、パターン形成方法および半導体装置の製造方法に関し、さらに詳しくは、有機半導体層を有する薄膜トランジスタの電極パターン形成方法およびこれを用いた半導体装置の製造方法に関する。

【背景技術】

【0002】

従来の真空プロセスやフォトリソグラフィを用いて製造されている半導体層としてシリコン系材料を用いたシリコンTFT (Thin Film Transistor; 薄膜トランジスタ) に代わり、塗布・印刷プロセスを用いて作製することのできる有機TFTの研究開発が盛んになってきている。その有機TFTアレイの配線印刷プロセスの候補の一つとして、PDP (Plasma Display Panel) の量産にも採用されているスクリーン印刷法が検討されている (例えば、特許文献1参照)。

10

【0003】

スクリーン印刷法では、高分解メッシュを用いることで、 $10\mu\text{m} \sim 20\mu\text{m}$ 程度の微細配線の印刷が可能となってきているが、高分解メッシュは高価格であるため、量産の際に用いることが難しい。

【0004】

そこで、スクリーン印刷版の乳剤部の被印刷物に対する面に撥水性の処理を施すことにより、インクの滲みや裏周りを防止し、印刷したパターン形状の安定化を図る方法が報告されている (例えば、特許文献2～5参照)。

20

【0005】

【特許文献1】特開2006-13433号公報

【特許文献2】特開昭60-208890号公報

【特許文献3】特開平5-80522号公報

【特許文献4】特開平8-156439号公報

【特許文献5】特開2005-96401号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、上述した特許文献2～5に記載された方法では、インクの滲みや裏周りの防止が不十分であり、 $10\mu\text{m} \sim 20\mu\text{m}$ 程度の微細な電極パターンを、寸法制御性よく安定して形成することは難しい、という問題がある。

30

【0007】

上述したような課題を解決するために、本発明は、スクリーン印刷法により、インクの滲みや裏周りを確実に防止し、微細なパターンを寸法制御性よく安定して形成することが可能なパターン形成方法およびこれを用いた半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述したような目的を達成するために、本発明のパターン形成方法は、基板上に撥液性を有する撥液層を形成する第1工程と、スクリーン印刷法により、前記撥液層上にインクを印刷することで、パターンを形成する第2工程とを有することを特徴としている。

40

【0009】

このようなパターン形成方法によれば、スクリーン印刷法により、基板上に設けられた撥液層上にインクを印刷して、パターンを形成することから、背景技術で説明した被印刷物に対する面に撥水性の処理が施されたスクリーン印刷版を用いる場合と比較して、スクリーン印刷版を被印刷面から離間した後も撥液状態が維持されるため、より確実にインクの滲みや裏周りを防止することが可能となる。これにより、微細なパターンを寸法制御性よく、安定して形成することが可能となる。

50

【0010】

また、本発明における半導体装置の第1の製造方法は、基板上に、ソース・ドレイン電極、ゲート絶縁膜およびゲート電極がこの順またはこれと逆の順に積層され、ソース・ドレイン電極の上層側または下層側に有機半導体層を備えた半導体装置の製造方法において、ソース・ドレイン電極またはゲート電極を形成する工程では、下地層上に導電性膜を介して撥液性を有する撥液層を形成した後、スクリーン印刷法により、撥液層上にレジストインクを印刷することで、レジストパターンを形成し、このレジストパターンをマスクに用いて、導電性膜をエッチングすることで、ソース・ドレイン電極またはゲート電極を形成した後、レジストパターンと撥液層とを除去することを特徴としている。

【0011】

このような半導体装置の第1の製造方法によれば、ソース・ドレイン電極またはゲート電極を形成する工程において、スクリーン印刷法により、導電性膜上に設けられた撥液層上にレジストインクを印刷することで、レジストパターンを形成するため、スクリーン印刷版を被印刷面から離間した後も撥液状態が維持され、より確実にレジストインクのしみや裏回りを防止することが可能となる。これにより、微細なレジストパターンを寸法制御性よく、安定して形成することが可能となるため、このレジストパターンをマスクに用いた、導電性膜のエッチングにより、ソース・ドレイン電極またはゲート電極を形成することで、ソース・ドレイン電極またはゲート電極が寸法制御性よく、安定して形成される。

【0012】

また、本発明における半導体装置の第2の製造方法は、基板上に、ソース・ドレイン電極、ゲート絶縁膜およびゲート電極がこの順またはこれと逆の順に積層され、ソース・ドレイン電極の上層側または下層側に有機半導体層を備えた半導体装置の製造方法において、ソース・ドレイン電極またはゲート電極を形成する工程では、下地層上に撥液性を有する撥液層を形成した後、スクリーン印刷法により、撥液層上に導電性インクを印刷することで、ソース・ドレイン電極またはゲート電極を形成することを特徴としている。

【0013】

このような半導体装置の第2の製造方法によれば、ソース・ドレイン電極またはゲート電極を形成する工程において、スクリーン印刷法により、撥液層上に導電性インクを印刷することで、ソース・ドレイン電極またはゲート電極を形成するため、スクリーン印刷版を被印刷面から離間した後も撥液状態が維持され、より確実に導電性インクのしみや裏周りを防止することが可能となる。これにより、ソース・ドレイン電極またはゲート電極からなる微細なパターンが寸法制御性よく、安定して形成される。

【発明の効果】

【0014】

以上、説明したように、本発明のパターン形成方法によれば、より確実にインクのしみや裏周りが防止されるため、微細なパターンを寸法制御性よく、安定して形成することが可能となる。このため、これを用いた半導体装置の製造方法によれば、ソース・ドレイン電極またはゲート電極を寸法制御性よく、安定して形成することができる。したがって、スクリーン印刷法により、半導体装置の微細な電極パターンを形成することができ、製造工程を簡略化することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0016】

(第1実施形態)

本発明のパターン形成法に係わる実施の形態の一例を、トップゲート・ボトムコンタクト型の薄膜トランジスタからなる半導体装置の製造方法を例にとり、図1の製造工程断面図によって説明する。ここでは、塗布法により下地層上の全域に導電性膜を形成した後、導電性膜上にレジストパターンを形成し、このレジストパターンをマスクに用いたエッチングにより導電性パターンを形成する「サブトラクティブ法」について説明する。

10

20

30

40

50

【0017】

まず、図1(a)に示すように、例えばガラス基板からなる基板11上には、例えば銀(Ag)からなる導電性膜12'が50nmの膜厚で設けられている。

【0018】

上記基板11としては、上述したガラス基板の他に、石英基板、プラスチック基板、絶縁性被膜のコートされた金属シートが用いられる。また、導電性膜12'としては、上述したAg以外に、金(Au)、銅(Cu)、アルミニウム(Al)、パラジウム(Pd)、白金(Pt)、チタン(Ti)、クロム(Cr)またはニッケル(Ni)等の金属、またはその合金もしくはITO(Indium Thin Oxide)が用いられ、膜厚は20nm~1μmの範囲であることとする。

10

【0019】

次に、上記導電性膜12'の表面に、撥液性を有する表面処理剤を塗布することで、撥液層A₁を形成する。これにより、導電性膜12'の表面が撥液層A₁で覆われるため、表面張力が低下する。ここで、撥液性を有する表面処理剤としては、フッ素含有表面処理剤またはシリコン含有表面処理剤が挙げられる。ここでは、上記導電性膜12'の表面に、例えばパーフルオロアルキル基含有オリゴマー(例えば、大日本インキ化学工業社製ディフェンサMCF350SF)の0.5wt%プロピレングリコールモノメチルエーテルアセテート溶液からなるフッ素含有表面処理剤を塗布することとする。その後、100で10分加熱処理することで、撥液性を有する撥液層A₁が形成される。

【0020】

20

上記撥液層A₁は、水に対する接触角が90°以上、望ましくは100°以上、表面張力が20mN/m以下となるように形成されることが好ましく、これにより、後工程で、スクリーン印刷を行う際のインクの滲みや裏回りを確実に防止し、寸法制御性よく、安定してパターンを形成することが可能となる。また、この撥液層A₁は後工程で除去することから、撥液性を呈する範囲で薄膜である方が好ましく、5nm以下の膜厚、さらには、1nm程度の膜厚で塗布されていることが好ましい。なお、撥液層A₁の表面の撥液性が維持されれば、撥液層A₁中に数μm程度の多少のポイド(空隙)があっても構わない。

【0021】

上記以外のフッ素含有表面処理剤としては、上記以外のパーフルオロアルキル基含有オリゴマー(例えば大日本インキ化学工業社製R-08、R-30)や、フッ素含有樹脂からなるフッ素化合物の含有溶液が挙げられ、フッ素含有樹脂としては、ポリテトラフルオロエチレン(PTFE)、テトラフルオロエチレン・パーフルオロアルキルビニルエーテル共重合体(PFA)、ポリフッ化ビニリデン(PVDF)、ポリクロロトリフルオロエチレン(PCTFE)、非晶質のパーフルオロ樹脂(例えば旭硝子製サイトップ)、フッ素化ポリイミドが挙げられる。また、フッ素含有表面処理剤として、住友スリーエム株式会社製、3MノベックEGC-1700エレクトロニックコーティング剤を用いることも可能である。

30

【0022】

また、シリコン含有表面処理剤としては、シロキサンポリマーの含有溶液(例えばビックケミー・ジャパン株式会社製BYKシリーズ)が挙げられる。さらには、フッ素含有樹脂とシロキサンのグラフトポリマー含有溶液でもよい。

40

【0023】

一方、スクリーン印刷に用いるスクリーン印刷版20は、例えば500メッシュのスクリーンメッシュ21を備えており、スクリーンメッシュ21には、インクの通過を阻止する乳剤22がパターン形成されている。すなわち、スクリーンメッシュ21における乳剤22の非形成領域23を通過したインクが転写されるように構成されており、印刷されたパターンの膜厚は乳剤22の厚みにより規定される。

【0024】

そして、図1(b)に示すように、上述したようなスクリーン印刷版20の一主面側を、撥液層A₁の表面に接触させて、スクレッパー(図示省略)により、スクリーン印刷版

50

20の乳剤22の非形成領域23にレジストインク R_1' を充填する。その後、スキージ24を一定圧力で掃引することで、余剰なレジストインク R_1' を除去する。

【0025】

ここで、上記レジストインク R_1' は、ノボラック樹脂、ポリビニルフェノール樹脂などのフェノール樹脂、マレイン酸樹脂、ビニル樹脂、アクリル樹脂、エポキシ樹脂を主成分として構成される。

【0026】

続いて、図1(c)に示すように、上記スクリーン印刷版20(前記図1(b)参照)を基板11から離間させることで、撥液層 A_1 上にレジストインク R_1' (前記図1(b)参照)が印刷され、レジストパターン R_1 が形成される。この際、撥液層 A_1 上にレジストインク R_1' が印刷されることで、スクリーン印刷版20を被印刷面から離間した後も撥液状態が維持され、撥液層 A_1 のレジストインク R_1' に対する撥液性が維持された状態となり、インクのしみや裏周りが確実に防止され、レジストパターン R_1 が寸法制御性よく、安定して形成される。

10

【0027】

次いで、図1(d)に示すように、レジストパターン R_1 をマスクに用いて、上記撥液層 A_1 と導電性膜12'(前記図1(c)参照)をエッチングすることで、ソース・ドレイン電極12(導電性パターン)を形成する。この場合には、レジストパターン R_1 が設けられた状態の基板11をAgのエッチング液(例えば関東化学社製 混酸SEA-1)に浸漬させることにより、レジストパターン R_1 から露出された撥液層 A_1 および導電性膜12'を除去することで、ソース・ドレイン電極12が形成される。なお、このエッチングにより、上記撥液層 A_1 もパターンニングされるが、上述したように、撥液層 A_1 は5nm以下の薄膜で形成されるため、導電性膜12'のエッチングの障害になることはない。

20

【0028】

その後、図2(e)に示すように、例えばN-メチル-2-ピロリドン溶液を用いてレジストパターン R_1 (前記図1(d)参照)と撥液層 A_1 (前記図1(d)参照)を除去する。ここで、上記撥液層 A_1 が除去されることで、ソース・ドレイン電極12と、後工程でソース・ドレイン電極12上に形成される有機半導体層との間に生じる撥液層 A_1 の残存による密着性の低下を防止することができる。なお、撥液層 A_1 の除去は、ソース・ドレイン電極12表面の水に対する接触角を測定することで確認することができ、N-メチル-2-ピロリドン溶液を用いた場合には、ソース・ドレイン電極12の水に対する接触角が、撥液層 A_1 を形成する前の値に戻ることが確認されている。

30

【0029】

また、ここでは、レジストパターン R_1 と撥液層 A_1 とを除去する溶剤として、N-メチル-2-ピロリドン溶液を用いた例について説明したが、3重量%水酸化ナトリウム溶液を用いてもよい。また、ここでは、レジストパターン R_1 と撥液層 A_1 とを同一工程で除去する例について説明したが、2段階でそれぞれ除去してもよい。ただし、レジストパターン R_1 と撥液層 A_1 とを同一工程で除去の方が工程が簡略化されるため、好ましい。例えば、レジストパターン R_1 を除去する溶剤としては、炭化水素系溶剤、アルコール系溶剤、エーテル系溶剤、エステル系溶剤、ケトン系溶剤などがあるため、これに、上記撥液層 A_1 の構成材料が溶解可能な溶剤を添加してもよい。また、上記に列記した溶剤の中から、上記撥液層 A_1 の構成材料が溶解可能な溶剤を選択して用いてもよい。

40

【0030】

以上のようにして、基板11上にソース・ドレイン電極12を形成した後、図2(f)に示すように、ソース・ドレイン電極12を覆う状態で、基板11上に、有機半導体層13を形成する。ここでは、例えばスピンコート法により、ペンタセン誘導体の1wt%トルエン溶液を塗布した後、100で溶媒を揮発させて50nmの有機半導体層13を形成する。

【0031】

ここで、有機半導体層13としては、上記ペンタセン誘導体の他に、ポリチオフェン、

50

フルオレン・チオフェンコポリマー、ポリアリルアミン等の高分子材料、または、ルブレン、チオフェンオリゴマー、ナフタセン誘導体等の低分子材料を用いてもよい。

【0032】

また、有機半導体層13の形成方法としては、上記スピンコート法の他に、インクジェット法、ディスペンサー法、フレキソ印刷法、グラビア印刷法、オフセット印刷法等の印刷方法により形成してもよい。なお、ここでは、有機半導体層13をベタ膜状に形成する例について説明するが、各種印刷法により有機半導体層13を各素子毎にパターンニングしてもよく、シャドウマスクを用いた真空蒸着法により有機半導体層13をパターン形成してもよい。

【0033】

次いで、有機半導体層13上に、例えばポリビニルフェノール(PVP)からなるゲート絶縁膜14を4 μ mの膜厚で形成する。ゲート絶縁膜14としては、上記PVPの他に、ポリメタクリル酸メチル(PMMA)、ポリイミド、ポリビニルアルコール(PVA)、ポリフッ化ビニリデン(PVDF)、ポリイソブチレン(PIB)、ポリスチレン(PS)、ポリ塩化ビニル(PVC)、ポリエチレンテレフタレート(PET)、ポリカーボネート(PC)、ベンゾシクロブテン(BCB)等を用いることができる。

【0034】

次に、ソース・ドレイン電極12と同様の方法により、ゲート絶縁膜14上にゲート電極を形成する。すなわち、図2(f)に示すように、ゲート絶縁膜14上に、例えばAgからなる導電性膜15'を形成した後、導電性膜15'の表面にパーフルオロアルキル基含有オリゴマー(例えば、大日本インキ化学工業社製ディフェンサMCF350SF)の0.5wt%プロピレングリコールモノメチルエーテルアセテート溶液を塗布し、100で10分加熱処理することで、撥液層A₂を形成する。続いて、スクリーン印刷法により、撥液層A₂に、レジストインク(図示省略)を印刷することで、レジストパターンR₂を形成する。

【0035】

次いで、図2(g)に示すように、レジストパターンR₂をマスクに用いて、上記撥液層A₂と導電性膜15'(前記図2(f)参照)をエッチングすることで、ゲート電極15(導電性パターン)を形成する。ここでは、レジストパターンR₂が設けられた状態の基板11をAgのエッチング液(例えば関東化学社製混酸SEA-1)に浸漬させることにより、レジストパターンR₂から露出された撥液層A₂および導電性膜15'を除去することで、ゲート電極15を形成する。

【0036】

その後、図2(h)に示すように、例えばN-メチル-2-ピロリドン溶液を用いてレジストパターンR₂(前記図1(d)参照)と撥液層A₂(前記図1(d)参照)を除去する。ここで、上記撥液層A₂が除去されることで、ゲート電極15と、ゲート電極15上に形成される層間絶縁膜(図示省略)との間に生じる撥液層A₂の残存による密着性の低下を防止することができる。

【0037】

なお、上述した図2(f)~(h)を用いて説明した工程において、導電性膜15'、撥液層A₂およびレジストインク、撥液層A₂と導電性膜15'のエッチング液、レジストパターンR₂と撥液層A₂の除去溶剤には、図1(a)~図2(e)を用いて説明した導電性膜12'、撥液層A₁およびレジストインクR₁、撥液層A₁と導電性膜12'のエッチング液、レジストパターンR₁と撥液層A₁の除去溶剤と同一の材料をそれぞれ用いることが可能である。

【0038】

以上のようにして、基板11上にソース・ドレイン電極12、有機半導体層13、ゲート絶縁膜14、ゲート電極15がこの順に積層されたトップゲート・ボトムコンタクト型の薄膜トランジスタが形成される。

【0039】

10

20

30

40

50

このようなパターン形成方法および半導体装置の製造方法によれば、スクリーン印刷法により撥液層 A_1 、 A_2 上にレジストパターン R_1 、 R_2 が形成されるため、レジストインクの滲みおよび裏回りを防止し、レジストパターン R_1 、 R_2 を寸法制御性よく、安定して形成することができる。よって、このレジストパターン R_1 、 R_2 をマスクに用いたエッチングにより、ソース・ドレイン電極 12 およびゲート電極 15 を形成することで、これらを寸法制御性よく安定して形成することができる。なお、本実施形態の製造方法を用いることで、10 nm ~ 20 nm の微細な電極パターンを形成可能であることが確認されている。

【0040】

また、本実施形態のパターン形成方法および半導体装置の製造方法によれば、撥液層 A_1 、 A_2 を除去することから、撥液層 A_1 、 A_2 の残存に起因する密着性の低下を防止することができる。

【0041】

(第2実施形態)

本実施形態においては、直接金属ペーストを印刷するアディティブ法について、図3~図4の製造工程断面図を用いて説明する。

【0042】

まず、図3(a)に示すように、例えばガラス基板からなる基板31上に、撥液性を有する表面処理剤を塗布することで、撥液層 B_1 を形成する。ここでは、撥液性を有する表面処理剤として、パーフルオロアルキル基含有オリゴマー(例えば、大日本インキ化学工業社製ディフェンサ MCF350SF)の0.5wt%プロピレングリコールモノメチルエーテルアセテート溶液を塗布し、100℃で10分加熱処理することで、撥液層 B_1 を形成する。

【0043】

ここで、表面処理剤としては、第1実施形態の撥液層 A_1 と同様のものを用いることが可能であるが、本実施形態においては、後工程で撥液層 B_1 を除去しないため、撥液層 B_1 の残存による基板11とソース・ドレイン電極との密着性が低下する可能性がある。このため、上述した撥液性を有するフッ素含有表面処理剤またはシリコン含有表面処理剤における、フッ素化合物またはシリコン化合物の濃度を0.01wt%~0.5wt%の範囲に調整することが好ましい。上記範囲でフッ素化合物またはシリコン化合物を含む表面処理剤を用いることで、後工程でスクリーン印刷を行う際のインクの滲みおよび裏回りが防止できるだけでなく、撥液層 B_1 の残存による基板11とソース・ドレイン電極との密着性の低下を防止することが可能となる。

【0044】

次に、上述したようなスクリーン印刷版20の一主面側を、撥液層 B_1 の表面に接触させて、スクレッパー(図示省略)により、スクリーン印刷版20の乳剤22の非形成領域23に例えば銀ペーストからなる導電性インク32'を充填する。その後、スキージ24を一定圧力で掃引することで、余剰な導電性インク32'を除去する。また、導電性インク32'は銀の他に金、白金、パラジウム等の金属や、ポリ(3,4-エチレンジオキシチオフェン)/ポリ(4-スチレンスルホナート)[PEDOT/PSS]、ポリアニリン(PANI)からなる導電性有機材料を用いることもできる。

【0045】

次いで、図3(b)に示すように、上記スクリーン印刷版20(前記図3(a)参照)を基板11から離間させることで、撥液層 B_1 上に導電性インク32'(前記図3(a)参照)が印刷され、ソース・ドレイン電極32(導電性パターン)が形成される。この際、撥液層 B_1 上に導電性インク32'が印刷されることで、スクリーン印刷版20を被印刷面から離間した後も撥液状態が維持され、導電性インク32'の滲みや裏回りが確実に防止され、ソース・ドレイン電極32が寸法制御性よく形成される。

【0046】

その後、図3(c)に示すように、ソース・ドレイン電極32をマスクに用いて、上記

10

20

30

40

50

撥液層 B_1 をエッチングする。この場合には、ソース・ドレイン電極 32 が設けられた状態の基板 31 を例えば N - メチル - 2 - ピロリドン溶液に浸漬させることにより、ソース・ドレイン電極 32 の直下以外の撥液層 B_1 を除去する。

【0047】

続いて、図 3 (d) に示すように、ソース・ドレイン電極 32 を覆う状態で、基板 31 上に、有機半導体層 33 を形成する。ここでは、例えばスピンコート法により、ペンタセン誘導体の 1 wt % トルエン溶液を塗布した後、100 で溶媒を揮発させて 50 nm の有機半導体層 13 を形成する。

【0048】

次いで、有機半導体層 33 上に、例えば PVP からなるゲート絶縁膜 34 を 4 μ m の膜厚で形成する。

【0049】

次に、上述したソース・ドレイン電極 32 と同様の方法により、ゲート絶縁膜 34 上にゲート電極を形成する。すなわち、図 4 (e) に示すように、ゲート絶縁膜 34 上に、撥液性を有する表面処理剤を塗布することで、撥液層 B_2 を形成する。ここでは、撥液性を有する表面処理剤として、パーフルオロアルキル基含有オリゴマー（例えば、大日本インキ化学工業社製ディフェンサ MCF350SF）の 0.5 wt % プロピレングリコールモノメチルエーテルアセテート溶液を塗布し、100 で 10 分加熱処理することで、撥液層 B_2 を形成する。ここで、表面処理剤としては、上述した撥液層 B_1 と同一材料を同一の濃度範囲で用いることができる。

【0050】

次に、図 4 (f) に示すように、スクリーン印刷法により、例えば銀ペーストからなる導電性インク（図示省略）を印刷することで、ゲート電極 35（導電性パターン）を形成する。

【0051】

その後、図 4 (g) に示すように、例えば N - メチル - 2 - ピロリドン溶液に浸漬させることにより、ゲート電極 35 の直下以外の撥液層 B_2 を除去する。

【0052】

以上のようにして、基板 31 上にソース・ドレイン電極 32、有機半導体層 33、ゲート絶縁膜 34、ゲート電極 35 がこの順に積層されたトップゲート・ボトムコンタクト型の薄膜トランジスタが形成される。なお、基板 31、有機半導体層 33、ゲート絶縁膜 34 の構成材料としては、第 1 実施形態で図 1 ~ 図 2 を用いて説明した、基板 11、有機半導体層 13、ゲート絶縁膜 14 と同一の材料を用いることができる。

【0053】

このようなパターン形成方法および半導体装置の製造方法によれば、ソース・ドレイン電極 32 またはゲート電極 35 を形成する工程において、スクリーン印刷法により、撥液層 B_1 、 B_2 上に導電性インクを印刷することで、ソース・ドレイン電極 32 またはゲート電極 35 を形成するため、より確実に導電性インクのしみや裏周りを防止することができる。これにより、ソース・ドレイン電極 32 またはゲート電極 35 を寸法制御性よく、安定して形成することができる。なお、本実施形態の製造方法を用いることで、10 nm ~ 20 nm の微細な電極パターンを形成可能であることが確認されている。

【0054】

（変形例 1）

また、第 2 実施形態の図 4 (e) を用いて説明した工程において、ゲート絶縁膜 34 が撥液層 B_2 を兼ねてもよい。

【0055】

この場合には、図 5 (a) に示すように、ゲート絶縁膜 34 の構成材料として用いる PVP に、撥液性を有する表面処理剤を添加することで、撥液性を有するゲート絶縁膜 34' を形成する。この場合には、表面処理剤として、フッ素含有表面処理剤またはシリコン含有表面処理剤を 0.01 wt % ~ 0.5 wt % の範囲で添加することで、撥液性を有するゲ

10

20

30

40

50

ート絶縁膜 34' を形成する。

【0056】

その後、図5(b)に示すように、スクリーン印刷法により、ゲート絶縁膜 34' 上に、例えば銀ペーストからなる導電性インクを印刷することで、ゲート電極 35 を形成してもよい。

【0057】

このようなパターン形成方法および半導体装置の製造方法によれば、スクリーン印刷法により、撥液性を有するゲート絶縁膜 34' 上に導電性インクを印刷することで、ゲート電極 35 を形成することから、第2実施形態と同様の効果を奏することができる。

【0058】

また、本変形例のパターン形成方法および半導体装置の製造方法によれば、ゲート絶縁膜 34' が撥液層を兼ねることで、製造工程を簡略化することができる。

【0059】

なお、上述した第1、第2実施形態および変形例1で説明した半導体装置の製造方法において、スクリーン印刷版 20 の被印刷面と接する側に、撥液性を有する表面処理剤を塗布することで、本発明の効果をさらに向上させることができる。また、スクリーン印刷版 20 に、840メッシュ以上の高分解メッシュを用いた場合には、さらなる微細な導電性パターンの形成が可能となる。

【0060】

また、上述した第1、第2実施形態および変形例1では、トップゲート・ボトムコンタクト型のトランジスタ構造を有する半導体装置の製造方法の例について説明したが、トップゲート・トップコンタクト型、ボトムゲート・ボトムコンタクト型のボトムゲート・トップコンタクト型、のトランジスタ構造を製造する場合であっても適用可能である。さらに、本発明のパターン形成方法は、薄膜トランジスタの電極パターンの形成方法に限定されず、プリント配線板、RF-IDタグ、様々なディスプレイ基板の電極パターンの形成にも適用可能である。

【実施例】

【0061】

さらに、本発明の具体的な実施例について説明する。

【0062】

(実施例1)

第1実施形態で、図1(a)~図2(e)を用いて説明した方法と同様の方法で、基板 41 上に導電性パターン 42 を、配線/配線間隔が $30\mu\text{m}/30\mu\text{m}$ となるように形成した。

【0063】

(比較例1)

上記実施例1に対する比較例1として、撥液層を形成しないこと以外は、実施例1と同様に基板 41 上に導電性パターン 42' を配線/配線間隔が $30\mu\text{m}/30\mu\text{m}$ となるように形成した。

【0064】

実施例1および比較例1で形成した導電性パターンの光学顕微鏡写真を図5に示す。図5(a)に示す実施例1の導電性パターン 42 は、図5(b)に示す比較例1の導電性パターン 42' と比較して、滲みがなく、 $30\mu\text{m}/30\mu\text{m}$ の間隔で導電性パターンを寸法制御性よく形成されることが確認された。また、比較例1では導電性パターン 42' の滲みやパターン形状の広がり確認された。

【図面の簡単な説明】

【0065】

【図1】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その1)である。

【図2】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断

10

20

30

40

50

面図(その2)である。

【図3】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図である(その2)。

【図4】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図である(その2)。

【図5】本発明の半導体装置の製造方法に係る第2実施形態の変形例1を説明するための製造工程断面図である。

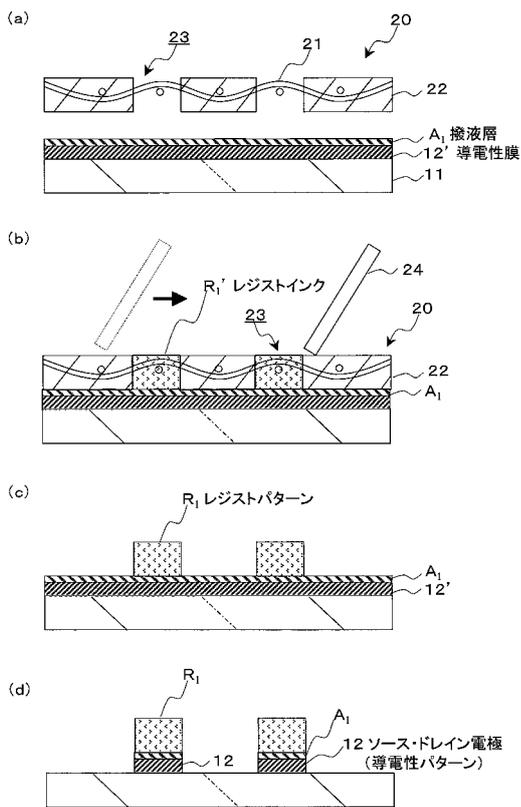
【図6】本発明の半導体装置の製造方法を用いて導電性パターンを形成した場合の 写真である。

【符号の説明】

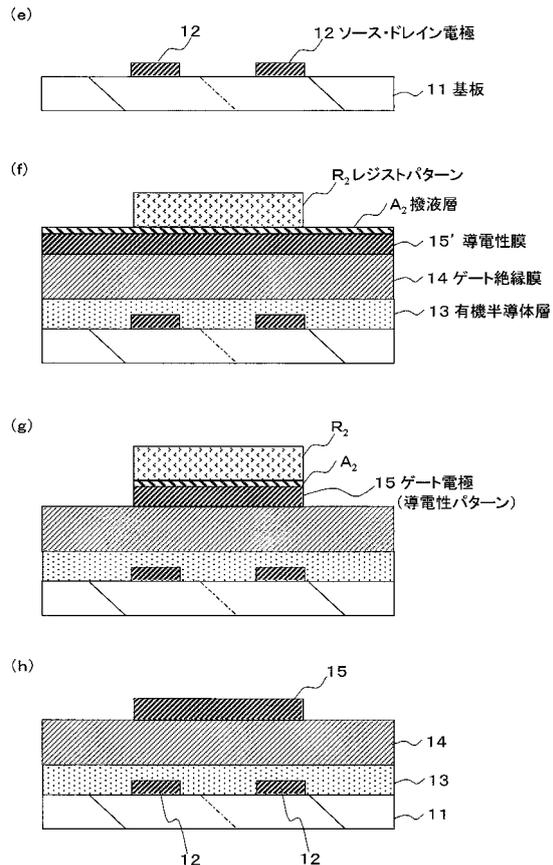
【0066】

1 1...基板、1 2, 3 2...ソース・ドレイン電極、1 3, 3 3...有機半導体層、1 4, 3 4...ゲート絶縁膜、1 5, 3 5...ゲート電極、3 2'...導電性インク、A₁, A₂, B₁, B₂...撥液層、R₁'...レジストインク、R₁, R₂...レジストパターン、

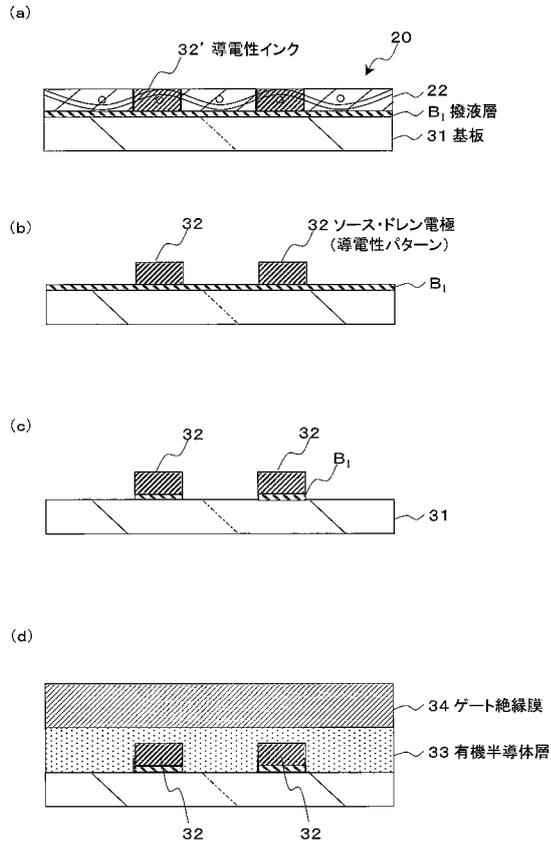
【図1】



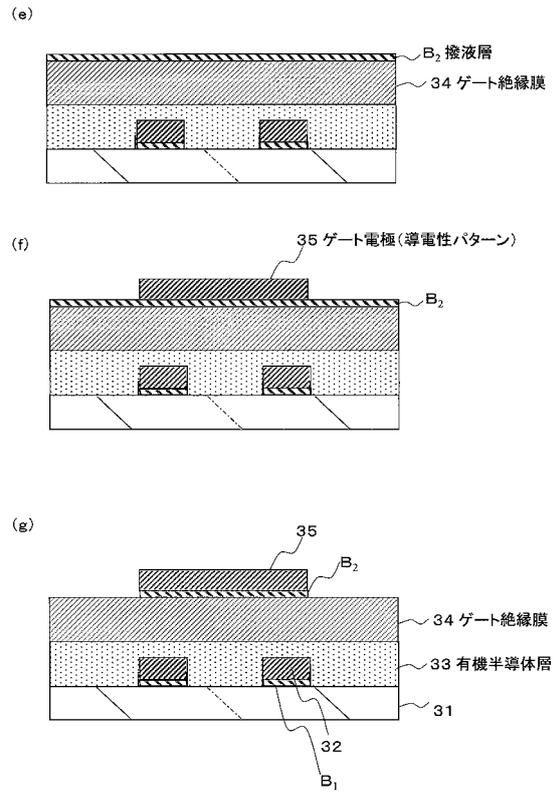
【図2】



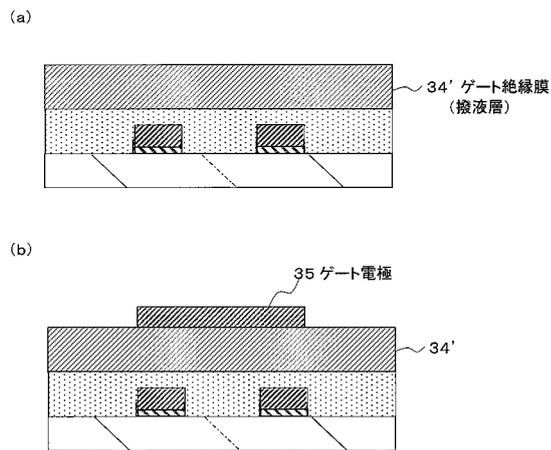
【 図 3 】



【 図 4 】



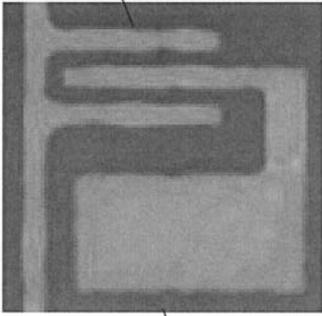
【 図 5 】



【図6】

(a)

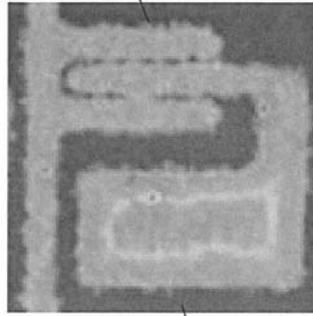
42 導電性パターン



41

(b)

42'



41

