



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0132049  
(43) 공개일자 2013년12월04일

(51) 국제특허분류(Int. Cl.)  
G11C 29/04 (2006.01)

(21) 출원번호 10-2012-0056121  
(22) 출원일자 2012년05월25일  
심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091

(72) 발명자

차진엽  
서울특별시 송파구 잠실2동 리센츠아파트 202동 202호

김재일

경기도 이천시 증일동 현대홈타운 105동 902호

(74) 대리인

김성남

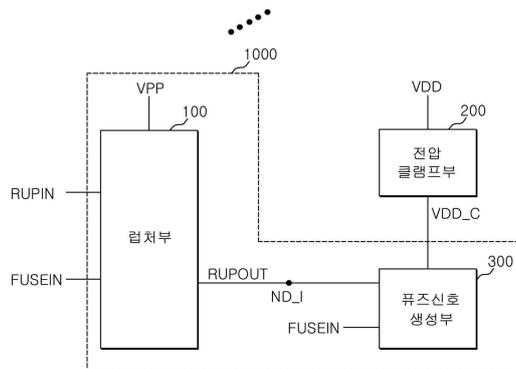
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **안티 퓨즈 회로**

**(57) 요약**

안티 퓨즈 회로는 립처부, 전압 클램프부 및 퓨즈 신호 생성부를 포함한다. 상기 립처부는 프로그램 모드 시 입력 립처 신호에 응답하여 프로그래밍되는 안티 퓨즈를 포함하고, 상기 안티 퓨즈의 상태에 대응하는 출력 립처 신호를 생성하여 전달 노드로 출력한다. 상기 전압 클램프부는 외부 전압 레벨에 비례하는 클램프 전압을 생성하고, 상기 외부 전압 레벨이 소정 레벨 이상으로 상승하는 경우에는 일정한 전압 레벨의 상기 클램프 전압을 생성한다. 상기 퓨즈 신호 생성부는 상기 프로그램 모드 초기에 상기 클램프 전압으로 상기 전달 노드를 초기화시키고, 출력 모드 시 상기 전달 노드의 전압 레벨에 응답하여 퓨즈 신호를 생성한다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

프로그램 모드 시 입력 럽처 신호에 응답하여 프로그래밍되는 안티 퓨즈를 포함하고, 상기 안티 퓨즈의 상태에 대응하는 출력 럽처 신호를 생성하여 전달 노드로 출력하는 럽처부;

외부 전압 레벨에 비례하는 클램프 전압을 생성하고, 상기 외부 전압 레벨이 소정 레벨 이상으로 상승하는 경우에는 일정한 전압 레벨의 상기 클램프 전압을 생성하는 전압 클램프부; 및

상기 프로그램 모드 초기에 상기 클램프 전압으로 상기 전달 노드를 초기화시키고, 출력 모드 시 상기 전달 노드의 전압 레벨에 응답하여 퓨즈 신호를 생성하는 퓨즈 신호 생성부를 포함하는 안티 퓨즈 회로.

### 청구항 2

제 1 항에 있어서,

상기 전압 클램프부는,

상기 외부 전압이 상기 소정 레벨 미만이면 상기 외부 전압 레벨을 상기 클램프 전압으로 출력하고, 상기 외부 전압이 상기 소정 레벨 이상이면 상기 소정 레벨의 전압을 상기 클램프 전압으로 출력하는 안티 퓨즈 회로.

### 청구항 3

제 1 항에 있어서,

상기 전압 클램프부는,

상기 클램프 전압을 출력하는 클램프 전압 노드;

상기 클램프 전압 노드의 전압을 분압하여 분압 전압을 생성하는 분압부;

기준 전압과 상기 분압 전압을 비교하여 비교 신호를 출력하는 비교부; 및

상기 비교 신호에 응답하여, 상기 외부 전압으로부터 상기 클램프 전압을 구동하는 구동부를 포함하는 안티 퓨즈 회로.

### 청구항 4

제 1 항에 있어서,

상기 럽처부는,

상기 안티 퓨즈의 게이트 단과 상기 전달 노드를 연결하는 패스 게이트를 포함하고,

상기 패스 게이트는,

상기 프로그램 모드 시, 활성화된 상기 입력 럽처 신호에 응답하여 인가되는 고전압에 의해 상기 안티 퓨즈가 프로그래밍되는 동안 차단되는 안티 퓨즈 회로.

### 청구항 5

제 4 항에 있어서,

상기 럽처부는,

상기 안티 퓨즈가 절연 상태이면 비활성화된 상기 출력 럽처 신호를 생성하고, 상기 안티 퓨즈가 단락 상태이면 활성화된 상기 출력 럽처 신호를 생성하는 안티 퓨즈 회로.

### 청구항 6

제 1 항에 있어서,

상기 퓨즈 신호 생성부는,

상기 프로그램 모드 시에는 상기 퓨즈 신호를 비활성화시키고,

상기 출력 모드 시에는 상기 출력 립치 신호에 활성화 여부에 응답하여 상기 퓨즈 신호를 활성화시키는 안티 퓨즈 회로.

**청구항 7**

외부 전압 레벨에 비례하는 클램프 전압을 생성하고, 상기 외부 전압 레벨이 소정 레벨 이상으로 상승하는 경우에는 일정한 전압 레벨의 상기 클램프 전압을 생성하는 전압 클램프부; 및

안티 퓨즈를 포함하고, 상기 안티 퓨즈의 상태에 응답하여 퓨즈 신호를 생성하는 복수 개의 안티 퓨즈부를 포함하고,

상기 각각의 안티 퓨즈부는,

프로그램 모드 시 대응하는 입력 립치 신호에 응답하여 프로그래밍되는 상기 안티 퓨즈를 포함하고, 상기 안티 퓨즈의 상태에 대응하는 출력 립치 신호를 생성하여 전달 노드로 출력하는 립처부; 및

상기 프로그램 모드 초기에 상기 클램프 전압으로 상기 전달 노드를 초기화시키고, 출력 모드 시 상기 전달 노드의 전압 레벨에 응답하여 퓨즈 신호를 생성하는 퓨즈 신호 생성부를 포함하는 안티 퓨즈 회로.

**청구항 8**

제 7 항에 있어서,

상기 전압 클램프부는,

상기 외부 전압이 상기 소정 레벨 미만이면 상기 외부 전압 레벨을 상기 클램프 전압으로 출력하고, 상기 외부 전압이 상기 소정 레벨 이상이면 상기 소정 레벨의 전압을 상기 클램프 전압으로 출력하는 안티 퓨즈 회로.

**청구항 9**

제 7 항에 있어서,

상기 전압 클램프부는,

상기 클램프 전압을 출력하는 클램프 전압 노드;

상기 클램프 전압 노드의 전압을 분압하여 분압 전압을 생성하는 분압부;

기준 전압과 상기 분압 전압을 비교하여 비교 신호를 출력하는 비교부; 및

상기 비교 신호에 응답하여, 상기 외부 전압으로부터 상기 클램프 전압을 구동하는 구동부를 포함하는 안티 퓨즈 회로.

**청구항 10**

제 7 항에 있어서,

상기 립처부는,

상기 안티 퓨즈의 게이트 단과 상기 전달 노드를 연결하는 패스 게이트를 포함하고,

상기 패스 게이트는,

상기 프로그램 모드 시, 활성화된 상기 입력 립치 신호에 응답하여 인가되는 고전압에 의해 상기 안티 퓨즈가 프로그래밍되는 동안 차단되는 안티 퓨즈 회로.

**청구항 11**

제 10 항에 있어서,

상기 립처부는,

상기 안티 퓨즈가 절연 상태이면 비활성화된 상기 출력 립치 신호를 생성하고, 상기 안티 퓨즈가 단락 상태이면 활성화된 상기 출력 립치 신호를 생성하는 안티 퓨즈 회로.

**청구항 12**

제 7 항에 있어서,

상기 퓨즈 신호 생성부는,

상기 프로그램 모드 시에는 상기 퓨즈 신호를 비활성화시키고,

상기 출력 모드 시에는 상기 출력 립치 신호에 활성화 여부에 응답하여 상기 퓨즈 신호를 활성화시키는 안티 퓨즈 회로.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 더 상세하게는 안티 퓨즈 회로 관한 것이다.

**배경기술**

[0002] 반도체 메모리 장치 제조 시 수많은 단위 셀 중에서 한 개라도 결함이 있으면 메모리로서의 기능을 수행하지 못하므로 불량품으로 처리된다. 그러나 메모리 내의 일부 셀에만 결함이 발생하였는데도 불구하고 소자 전체를 불량품으로 폐기하는 것은 비효율적이다. 따라서, 현재는 메모리 소자 내에 미리 제조해 둔 리던던시 셀(redundancy cell)을 이용하여 불량 셀을 대체함으로써, 전체 소자를 되살려 주는 방식으로 수율(yield)을 향상시키고 있다.

[0003] 리던던시 셀을 이용한 리페어 작업은 현재 웨이퍼 레벨 및 패키지 레벨에서 수행될 수 있다. 웨이퍼 레벨에서는 퓨즈를 이용하여 리페어 작업을 수행한다. 예를 들면, 불량 셀이 존재하는 로우 또는 칼럼으로 연결되는 라인에 존재하는 퓨즈를 과전류를 흘려서 퓨즈를 끊어버리는 방식, 레이저 빔으로 퓨즈를 태워 끊는 방식, 레이저 빔으로 접합부위를 서로 연결시키는 방식 및 EPROM으로 프로그램 하는 방식 등으로 불량 셀을 리던던시 셀로 치환한다.

[0004] 반면, 완성된 패키지 레벨에서는 퓨즈를 이용한 리페어 작업을 수행할 수 없기 때문에 안티 퓨즈(anti-fuse)를 도입하여 리페어 작업을 수행한다. 안티 퓨즈란 상기 퓨즈와 반대되는 전기적 특성을 갖는 저항성 퓨즈 소자이다. 안티 퓨즈 소자는 일반적으로 이산화규소(SiO2), 실리콘 나이트라이드(silicon nitride), 탄탈륨 옥사이드(tantalum oxide) 또는 ONO(silicon dioxide - silicon nitride - silicon dioxide)와 같은 유전체가 두 개의 도전체 사이에 끼어 있는 복합체와 같은 매우 얇은 유전체 물질로 구성된다. 안티 퓨즈는 절연 상태로 전기적으로 개방(open)되어 있다가, 고전압을 인가하여 도전체 사이의 유전체를 파괴하면 단락(short) 상태가 된다. 즉, 패키지 레벨에서 불량셀을 치환하고자 하는 경우, 구비된 안티 퓨즈 회로에 고전압을 인가하는 프로그래밍 동작을 수행한다. 프로그래밍 동작 이후 안티 퓨즈가 단락되고, 이로써 불량 셀이 리던던시 셀로 치환된다.

[0005] 이 외에도 안티 퓨즈 회로는 안티 퓨즈의 프로그램 여부에 따라 다양한 테스트 모드를 지원하는 등 반도체 장치 내에서 다양한 용도로 사용한다.

[0006] 다만, 종래의 안티 퓨즈 회로는 공정 기타 외부 환경에 의하여 민감하게 안티 퓨즈가 반응하는 문제점이 있었다. 즉, 안티 퓨즈 회로에 인가되는 외부 전압 레벨이 예기치 않게 갑자기 상승하는 경우, 프로그래밍 동작을 수행하지 않았는데도 안티 퓨즈가 파괴되어 버리는 문제점이 있었다. 이로 인해 잘못된 퓨즈 신호가 생성되었고, 이는 전체 반도체 장치의 오동작을 야기했다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 외부 전압 레벨의 갑작스런 변화에 영향을 받지 않는 안정적인 안티 퓨즈 회로를 제공한다.

**과제의 해결 수단**

[0008] 본 발명의 일 실시예에 따른 안티 퓨즈 회로는 프로그램 모드 시 입력 립처 신호에 응답하여 프로그래밍되는 안티 퓨즈를 포함하고, 상기 안티 퓨즈의 상태에 대응하는 출력 립처 신호를 생성하여 전달 노드로 출력하는 립처부; 외부 전압 레벨에 비례하는 클램프 전압을 생성하고, 상기 외부 전압 레벨이 소정 레벨 이상으로 상승하는 경우에는 일정한 전압 레벨의 상기 클램프 전압을 생성하는 전압 클램프부; 및 상기 프로그램 모드 초기에 상기 클램프 전압으로 상기 전달 노드를 초기화시키고, 출력 모드 시 상기 전달 노드의 전압 레벨에 응답하여 퓨즈 신호를 생성하는 퓨즈 신호 생성부를 포함한다.

[0009] 본 발명의 일 실시예에 따른 안티 퓨즈 회로는 외부 전압 레벨에 비례하는 클램프 전압을 생성하고, 상기 외부 전압 레벨이 소정 레벨 이상으로 상승하는 경우에는 일정한 전압 레벨의 상기 클램프 전압을 생성하는 전압 클램프부; 및 안티 퓨즈를 포함하고, 상기 안티 퓨즈의 상태에 응답하여 퓨즈 신호를 생성하는 복수 개의 안티 퓨즈부를 포함하고, 상기 각각의 안티 퓨즈부는, 프로그램 모드 시 대응하는 입력 립처 신호에 응답하여 프로그래밍되는 상기 안티 퓨즈를 포함하고, 상기 안티 퓨즈의 상태에 대응하는 출력 립처 신호를 생성하여 전달 노드로 출력하는 립처부; 및 상기 프로그램 모드 초기에 상기 클램프 전압으로 상기 전달 노드를 초기화시키고, 출력 모드 시 상기 전달 노드의 전압 레벨에 응답하여 퓨즈 신호를 생성하는 퓨즈 신호 생성부를 포함한다.

**발명의 효과**

[0010] 본 기술에 의하면 신뢰성 있는 안티 퓨즈 회로의 설계가 가능하다.

**도면의 간단한 설명**

- [0011] 도 1은 본 발명의 일 실시예에 따른 안티 퓨즈 회로의 블록도,
- 도 2는 본 발명의 구체적인 일 실시예에 따른 안티 퓨즈 회로의 회로도,
- 도 3은 도 2의 전압 클램프부의 동작을 나타낸 그래프,
- 도 4a는 상기 전압 클램프부를 포함하지 않는 안티 퓨즈 회로의 동작 파형도,
- 도 4b는 본 발명의 실시예에 따라 상기 전압 클램프부를 포함하는 안티 퓨즈 회로의 동작 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0013] 도 1은 본 발명의 일 실시예에 따른 안티 퓨즈 회로에 대한 블록도이다.
- [0014] 상기 안티 퓨즈 회로는 프로그램 모드에서 해당하는 안티 퓨즈의 프로그래머부를 결정하고, 출력 모드에서 상기 안티 퓨즈의 상태에 대응하는 퓨즈 신호(FUSEOUT)를 출력한다. 프로그램 모드 신호(FUSEIN)가 활성화되면 프로그램 모드로 동작하고, 상기 프로그램 모드 신호(FUSEIN)가 비활성화되면 출력 모드로 동작한다.
- [0015] 상기 안티 퓨즈 회로는 립처부(100), 전압 클램프부(200) 및 퓨즈 신호 생성부(300)를 포함한다.
- [0016] 상기 립처부(100)는 프로그램 모드 시(즉, 상기 프로그램 모드 신호(FUSEIN)가 활성화되어 입력되는 경우) 입력 립처 신호(RUPIN)에 응답하여 고전압(VPP)을 인가해 프로그래밍되는 안티 퓨즈(미도시)를 포함한다. 상기 안티 퓨즈의 상태에 대응하는 출력 립처 신호(RUPOUT)를 생성하여 전달 노드(ND\_I)로 출력한다.
- [0017] 상기 전압 클램프부(200)는 외부 전압(VDD) 레벨에 비례하는 클램프 전압(VDD\_C)을 생성하고, 상기 외부 전압(VDD) 레벨이 소정 레벨 이상으로 상승하는 경우에는 일정한 전압 레벨의 상기 클램프 전압(VDD\_C)을 생성한다.
- [0018] 상기 퓨즈 신호 생성부(300)는 상기 프로그램 모드 초기에 상기 클램프 전압(VDD\_C)으로 상기 전달 노드(ND\_I)를 초기화시키고, 출력 모드 시(즉, 상기 프로그램 모드 신호(FUSEIN)가 비활성화되어 입력되는 경우) 상기 전달 노드(ND\_I)의 전압 레벨에 응답하여 퓨즈 신호(FUSEOUT)를 생성한다.
- [0019] 따라서, 프로그램 동작 초기에서부터 상기 전달 노드(ND\_I)의 전압 레벨을 클램프 전압(VDD\_C)으로 안정적으로 유지할 수 있고, 이로써 상기 전달 노드(ND\_I)와 연결되는 안티 퓨즈(미도시)에 대한 외부 영향을 최소화 할 수 있다.
- [0020] 본 발명의 일 실시예에 따르면, 상기 립처부(100) 및 상기 퓨즈 신호 생성부(300)(이를 합쳐 제 1 안티 퓨즈부(1000)라고 정의)가 해당 반도체 장치에서 필요로 하는 안티 퓨즈의 개수만큼 복수 개 구비될 수 있고, 각각의

안티 퓨즈부는 모두 상기 전압 클램프부(200)에서 생성되는 클램프 전압(VDD\_C)를 공통으로 인가 받을 수 있다.

- [0021] 도 2는 본 발명의 구체적인 일 실시예에 따른 안티 퓨즈 회로의 회로도이다.
- [0022] 상기 안티 퓨즈 회로는 럽처부(100), 전압 클램프부(200) 및 퓨즈 신호 생성부(300)를 포함한다.
- [0023] 상기 럽처부(100)는 안티 퓨즈(AF1)를 포함하고, 프로그램 모드 신호(FUSEIN) 및 입력 럽처 신호(RUPIN)를 수신하여 고전압(VPP)을 인가하는 방식으로 상기 안티 퓨즈(AF1)를 프로그램한다. 그리고, 상기 안티 퓨즈의 상태에 대응하는 출력 럽처 신호(RUPOUT)를 생성하고 전달 노드(ND\_I)로 출력한다. 도 2에는 게이트 단자로 고전압을 인가받는 경우 엔모스 트랜지스터의 성질을 잃고 도체 성질을 갖게 되는 게이트 옥사이드 안티 퓨즈(Gate Oxide Anti-Fuse)가 도시되었으나, 이외에도 다양한 종류의 안티 퓨즈가 사용될 수 있다.
- [0024] 구체적으로 상기 럽처부(100)는 제 1 낸드 게이트(ND1), 제 1 피모스 트랜지스터(P1), 제 1 안티 퓨즈(AF1), 제 1 인버터(IV1) 및 패스 게이트(PG1)를 포함한다.
- [0025] 상기 제 1 낸드 게이트(ND1)는 상기 프로그램 모드 신호(FUSEIN) 및 상기 입력 럽처 신호(RUPIN)를 수신하여 낸드 조합하여 출력한다.
- [0026] 상기 제 1 피모스 트랜지스터(P1)는 상기 제 1 낸드 게이트(ND1)의 출력 신호에 응답하여 고전압(VPP)을 상기 제 1 안티 퓨즈(AF1)의 게이트 단에 인가한다.
- [0027] 상기 제 1 안티 퓨즈(AF1)는 절연되어 있다가 게이트 단으로 고전압(VPP)이 인가되면 유전체가 파괴되어 단락 상태가 된다.
- [0028] 상기 제 1 인버터(IV1)는 상기 제 1 낸드 게이트(ND1)의 출력 신호를 반전하여 출력한다.
- [0029] 상기 제 1 패스 게이트(PG1)는 상기 제 1 낸드 게이트(ND1)의 출력 신호 및 반전 출력 신호에 응답하여 상기 제 1 안티 퓨즈(AF1)의 게이트 단과 상기 전달 노드(ND\_I)의 연결을 차단한다.
- [0030] 상기 럽처부(100)의 동작을 구체적으로 설명하면 다음과 같다.
- [0031] 프로그램 모드 초기에는 상기 입력 럽처 신호(RUPIN)가 비활성화 상태로 인가되기 때문에, 상기 제 1 낸드 게이트(ND1)는 하이 레벨의 신호를 출력한다. 따라서, 제 1 피모스 트랜지스터(P1)는 턴오프되고, 안티 퓨즈(AF1)에 고전압이 인가되지 않는다. 상기 패스 게이트(PG1)는 턴온되어 상기 안티 퓨즈(AF1)의 게이트 단자와 상기 전달 노드(ND\_I)를 연결한다.
- [0032] 이 후 상기 입력 럽처 신호(RUPIN)가 활성화 상태가 되면, 상기 제 1 낸드 게이트(ND1)는 로우 레벨로 천이하고, 상기 제 1 피모스 트랜지스터(P1)는 턴온된다. 따라서 상기 안티 퓨즈(AF1)에 고전압이 인가되어 안티 퓨즈(AF1)가 단락된다. 이때, 상기 패스 게이트(PG1)는 턴오프되기 때문에, 상기 고전압(VPP)은 상기 전달 노드(ND\_I)에 영향을 미치지 않는다.
- [0033] 즉, 상기 럽처부(100)는 상기 안티 퓨즈(AF1)가 프로그램되지 않은 절연 상태이면 하이 레벨로 비활성화된 출력 럽처 신호(RUPOUT)를 생성하고, 상기 안티 퓨즈(AF1)가 프로그램된 단락 상태이면 로우 레벨로 활성화된 상기 출력 럽처 신호(RUPOUT)를 생성한다.
- [0034] 상기 전압 클램프부(200)는 외부 전압(VDD) 레벨에 비례하는 클램프 전압(VDD\_C)을 생성하고, 상기 외부 전압(VDD) 레벨이 소정 레벨 이상으로 상승하는 경우에는 일정한 전압 레벨의 상기 클램프 전압(VDD\_C)을 생성한다. 즉, 상기 외부 전압(VDD)이 상기 소정 레벨 미만이면 상기 외부 전압(VDD) 레벨을 상기 클램프 전압(VDD\_C)으로 출력하고, 상기 외부 전압(VDD)이 상기 소정 레벨 이상이면 상기 소정 레벨의 전압을 상기 클램프 전압(VDD\_C)으로 출력할 수 있다.
- [0035] 본원 발명의 구체적인 일 실시예로써, 상기 전압 클램프부(200)는 비교부(210), 구동부(220) 및 분압부(230)를 포함한다.
- [0036] 상기 비교부(210) 복수의 모스 트랜지스터(P2, P3, N1, N2, N3)를 포함한다.
- [0037] 상기 제 2 피모스 트랜지스터(P2)는 외부 전압(VDD)과 제 1 엔모스 트랜지스터(N1) 사이에 형성되는 전류 통로를 가지며, 게이트 단은 제 3 피모스 트랜지스터(P3)의 드레인 단에 연결된다.
- [0038] 상기 제 3 피모스 트랜지스터(P3)는 상기 외부 전압(VDD)과 상기 제 2 엔모스 트랜지스터(N2) 사이에 형성되는 전류 통로를 가지며, 드레인 단 및 게이트 단은 상기 제 2 피모스 트랜지스터(P2)의 상기 게이트 단과

접속된다.

- [0039] 상기 제 1 엔모스 트랜지스터(N1)는 상기 제 2 피모스 트랜지스터(P2)와 상기 제 3 엔모스 트랜지스터(N3) 사이에 형성되는 전류 통로를 가지며, 게이트 단은 기준 전압(VREF)에 의해 제어된다.
- [0040] 상기 제 2 엔모스 트랜지스터(N2)는 상기 제 3 피모스 트랜지스터(P3)와 상기 제 3 엔모스 트랜지스터(N3) 사이에 형성되는 전류 통로를 가지며, 게이트 단은 상기 분압부(230)에서 출력되는 분압 전압(VDVD)에 의해 제어된다.
- [0041] 상기 제 3 엔모스 트랜지스터(N3)는 상기 제 1 및 제 2 엔모스 트랜지스터들(N1, N2)의 소오스 단의 접속점과 접지 전압(VSS) 사이에 형성되는 전류 통로를 가지며, 게이트 단은 기준 전압(VREF)에 의해 제어된다.
- [0042] 상기 구동부(220)는 제 4 및 제 5 피모스 트랜지스터(P4, P5)를 포함한다.
- [0043] 상기 제 4 및 제 5 피모스 트랜지스터(P4, P5)는 상기 외부 전압(VDD)과 클램프 전압 노드(ND\_C) 사이에 형성되는 전류 통로를 가지며, 게이트 단은 상기 비교부(210)에서 출력되는 비교 신호(COM)에 의해 제어된다.
- [0044] 상기 분압부(230)는 상기 클램프 전압 노드(ND\_C)와 상기 접지 전압(VSS) 사이에 다이오드 형으로 직렬로 연결되는 제 4 및 제 5 엔모스 트랜지스터(N4, N5)를 포함한다.
- [0045] 상기 제 4 및 제 5 엔모스 트랜지스터(N4, N5)는 상기 클램프 전압 노드(ND\_C)에 구동된 클램프 전압(VDD\_C)를 분압하여 분압 전압(VDVD)을 생성한다.
- [0046] 상기 전압 클램프부(200)의 구체적인 동작은 다음과 같다.
- [0047] 상기 기준 전압(VREF)이 상기 제 1 엔모스 트랜지스터(N1)의 상기 게이트 단으로 공급되고 상기 분압부(230)에서 출력되는 상기 분압 전압(VDVD)이 상기 제 2 엔모스 트랜지스터(N2)의 상기 게이트 단으로 공급됨으로써 동작이 시작된다. 상기 비교부(210)의 동작이 시작될 때, 상기 분압 전압(VDVD)은 상기 기준 전압(VREF)보다 낮은 전압 레벨을 갖는다. 따라서, 상기 비교 신호(COM)는 로우 레벨로 출력된다. 이에 따라 구동부(220)의 상기 제 4 및 제 5 피모스 트랜지스터(P4, P5)는 상기 클램프 전압(VDD\_C)이 소정 레벨이 될 때까지 상기 외부 전압(VDD)을 상기 클램프 전압 노드(ND\_C)로 공급한다.
- [0048] 상기 분압부(230)는 상기 클램프 전압 노드(ND\_C)에 공급되는 클램프 전압(VDD\_C)을, 다이오드 형으로 접속된 상기 제 4 및 제 5 엔모스 트랜지스터(N4, N5)의 저항비에 따라 분압한다. 상기 분압 전압(VDVD)은 상기 비교부(210)의 상기 제 2 엔모스 트랜지스터(N2)로 공급된다. 상기 분압 전압(VDVD)이 상기 기준 전압(VREF)을 초과하면, 상기 비교부(210)는 하이 레벨의 상기 비교 신호(COM)를 상기 제 4 및 제 5 피모스 트랜지스터(P4, P5)로 공급하여, 상기 클램프 전압 노드(ND\_C)로 공급되는 상기 외부 전압(VDD)을 차단한다.
- [0049] 즉, 상기 클램프 전압 노드(ND\_C)에 공급되는 클램프 전압(VDD\_C)은 도 3과 같이 상기 외부 전압(VDD)과 동일하게 상승한다. 그러나, 상기 클램프 전압 노드(ND\_C)에 공급되는 상기 클램프 전압(VDD\_C)이 소정 전압 레벨이 되면, 상기 제 4 및 제 5 피모스 트랜지스터(P4, P5)의 전류 통로가 차단된다. 따라서 상기 클램프 전압(VDD\_C)은 소정 전압 레벨(Vlimit)을 유지하게 된다.
- [0050] 상기 퓨즈 신호 생성부(300)는 프로그램 모드 초기에 상기 클램프 전압(VDD\_C)으로 전달 노드(ND\_I)를 초기화시키고, 이후 출력 모드 시 상기 전달 노드(ND\_I)의 전압 레벨에 응답하여 퓨즈 신호(FUSEOUT)를 생성한다.
- [0051] 본 발명의 일 실시예로써, 상기 퓨즈 신호 생성부(300)는 제 2 인버터(IV2), 제 2 낸드 게이트(ND2), 제 6 피모스 트랜지스터(P6), 제 1 노어 게이트(NR1) 제 1 버퍼부(BUF1)를 포함한다.
- [0052] 상기 제 2 인버터(IV2)는 상기 프로그램 모드 신호(FUSEIN)를 수신하여 반전시켜 출력한다.
- [0053] 상기 제 2 낸드 게이트(ND2)는 상기 제 1 낸드 게이트(ND1)의 출력 신호와 상기 제 2 인버터(IV2)의 출력 신호를 수신하여 낸드 조합하여 출력한다.
- [0054] 상기 제 6 피모스 트랜지스터(P6)는 제 1 노어 게이트(NR1)의 출력 신호에 응답하여, 상기 전달 노드(ND\_I)로 상기 클램프 전압 노드(ND\_C)에 생성된 상기 클램프 전압(VDD\_C)을 공급한다.
- [0055] 상기 제 1 노어 게이트(NR1)는 상기 전달 노드(ND\_I)에 공급된 출력 럽치 신호(RUPOUT)와 상기 제 2 낸드 게이트(ND2)의 출력 신호를 수신하여 노어 조합하여 출력한다.
- [0056] 상기 제 1 버퍼부(BUF1)는 상기 제 1 노어 게이트(NR1)의 출력 신호를 버퍼링하여 출력한다.

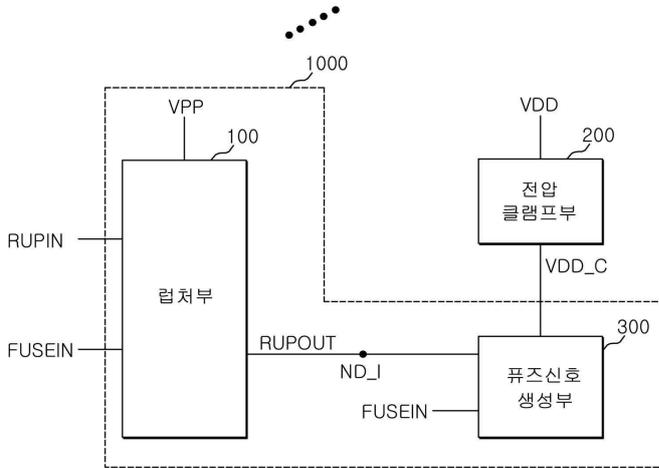
- [0057] 상기 퓨즈 신호 생성부(300)의 구체적인 동작을 설명하면 다음과 같다.
- [0058] 우선, 프로그램 모드 초기에는 활성화된 상기 프로그램 모드 신호(FUSEIN)와 비활성화된 입력 럽처 신호(RUPIN)가 인가되기 때문에, 상기 제 2 낸드 게이트(ND2)는 하이 레벨의 출력 신호를 생성한다. 따라서 상기 제 1 노어 게이트(NR1)는 로우 레벨의 출력 신호를 생성하고, 상기 제 6 피모스 트랜지스터(P6)가 턴온된다. 이에 따라 상기 전달 노드(ND\_I)는 클램프 전압(VDD\_C)으로 초기화된다. 또한, 로우 레벨의 상기 퓨즈 신호(FUSEOUT)를 생성한다.
- [0059] 이후, 해당 안티 퓨즈를 프로그램하기 위해 활성화된 입력 럽처 신호(FUPIN)가 인가되더라도, 상기 제 2 낸드 게이트(ND2)의 출력 신호는 하이 레벨을 유지하기 때문에, 프로그램 동작 중에도 계속하여 로우 레벨의 퓨즈 신호(FUSEOUT)를 생성한다.
- [0060] 반면, 상기 프로그램 모드 신호(FUSEIN)가 비활성화되어 출력 모드로 변환된 경우에는, 상기 제 2 낸드 게이트(ND2)가 로우 레벨의 출력 신호를 생성하게 된다. 그리고, 상기 안티 퓨즈(AF1)의 프로그래밍 여부에 따라 상기 제 1 노어 게이트(NR1)의 연산결과가 달라지게 된다. 만약, 상기 안티 퓨즈(AF1)가 프로그램되지 않은 상태라면 하이 레벨의 출력 럽처 신호(RUPOUT)를 수신하기 때문에 로우 레벨의 출력 신호를 생성하고, 상기 안티 퓨즈(AF1)가 프로그램된 상태라면 로우 레벨의 출력 럽처 신호(RUPOUT)를 수신하기 때문에 하이 레벨의 출력 신호를 생성한다. 그 결과, 상기 안티 퓨즈(AF1)가 프로그램되지 않은 상태라면 로우 레벨의 퓨즈 신호(FUSEOUT)를 생성하고, 상기 안티 퓨즈(AF1)가 프로그램된 상태라면 하이 레벨의 퓨즈 신호(FUSEOUT)를 생성한다.
- [0061] 도 4a는 전압 클램프부를 포함하지 않는 안티 퓨즈 회로의 동작 파형도를 나타내고, 도 4b는 본 발명의 실시예에 따라 상기 전압 클램프부(200)를 포함하는 안티 퓨즈 회로의 동작 파형도를 나타낸다. 도 4a 및 도 4b는 두 개의 안티 퓨즈부(제 1 및 제 2 안티 퓨즈부)를 포함하는 안티 퓨즈 회로를 예로써 설명하고 있다.
- [0062] 우선, 도 4a에 따른 안티 퓨즈 회로의 동작은 다음과 같다.
- [0063] 프로그램 모드 신호(FUSEIN)가 활성화됨으로써 프로그램 모드에 진입하게 된다. 이후 제 1 안티 퓨즈부에 포함된 안티 퓨즈만 선택적으로 프로그래밍하기 위하여 제 1 입력 럽처 신호(RUPIN1)만 활성화시키고, 제 2 입력 럽처 신호(RUPIN2)는 비활성화 상태를 유지한다.
- [0064] 그러나 도중 외부 전압(VDD)에 노이즈(급격한 상승)가 발생한 경우, 상승한 상기 외부 전압(VDD) 레벨이 그대로 선택되지 않은 제 2 안티 퓨즈부의 안티 퓨즈에 영향을 미칠 수 있다. 즉, 선택되지 않은 제 2 안티 퓨즈부의 안티 퓨즈가 비정상적으로 파괴되는 현상이 일어날 수 있다.
- [0065] 이러한 경우, 상기 프로그램 모드 신호(FUSEIN)가 비활성화되어 출력 모드가 된 경우, 선택된 제 1 안티 퓨즈부도 활성화된 제 1 퓨즈 신호(FUSEOUT1)를 생성하고 선택되지 않은 제 2 안티 퓨즈부도 활성화된 제 2 퓨즈 신호(FUSEOUT2)를 생성함으로써, 전체 반도체 장치의 오동작을 발생시킬 수 있다.
- [0066] 반면, 본 발명의 실시예에 따른 도 4b에 따른 안티 퓨즈 회로의 동작은 다음과 같다.
- [0067] 프로그램 모드 신호(FUSEIN)가 활성화됨으로써 프로그램 모드에 진입하게 된다. 이후 제 1 안티 퓨즈부에 포함된 안티 퓨즈만 선택적으로 프로그래밍하기 위하여 제 1 입력 럽처 신호(RUPIN1)만 활성화시키고, 제 2 입력 럽처 신호(RUPIN2)는 비활성화 상태를 유지한다.
- [0068] 본 발명의 실시예에 따르면, 도중 외부 전압(VDD)에 노이즈(급격한 상승)가 발생한 경우라도 전압 클램프부(200)에 의해 안정적인 클램프 전압(VDD\_C)을 공급하기 때문에 상기 외부 전압(VDD) 레벨이 안티 퓨즈에 미치는 영향을 최소화할 수 있다. 즉, 선택되지 않은 제 2 안티 퓨즈부의 안티 퓨즈가 비정상적으로 파괴되는 현상을 방지 할 수 있다.
- [0069] 따라서, 상기 프로그램 모드 신호(FUSEIN)가 비활성화되어 출력 모드가 된 경우, 선택된 제 1 안티 퓨즈부는 활성화된 제 1 퓨즈 신호(FUSEOUT1)를 생성하고 선택되지 않은 제 2 안티 퓨즈부는 비활성화된 제 2 퓨즈 신호(FUSEOUT2)를 생성함으로써, 전체 반도체 장치가 정상적인 동작을 수행할 수 있다.
- [0070] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

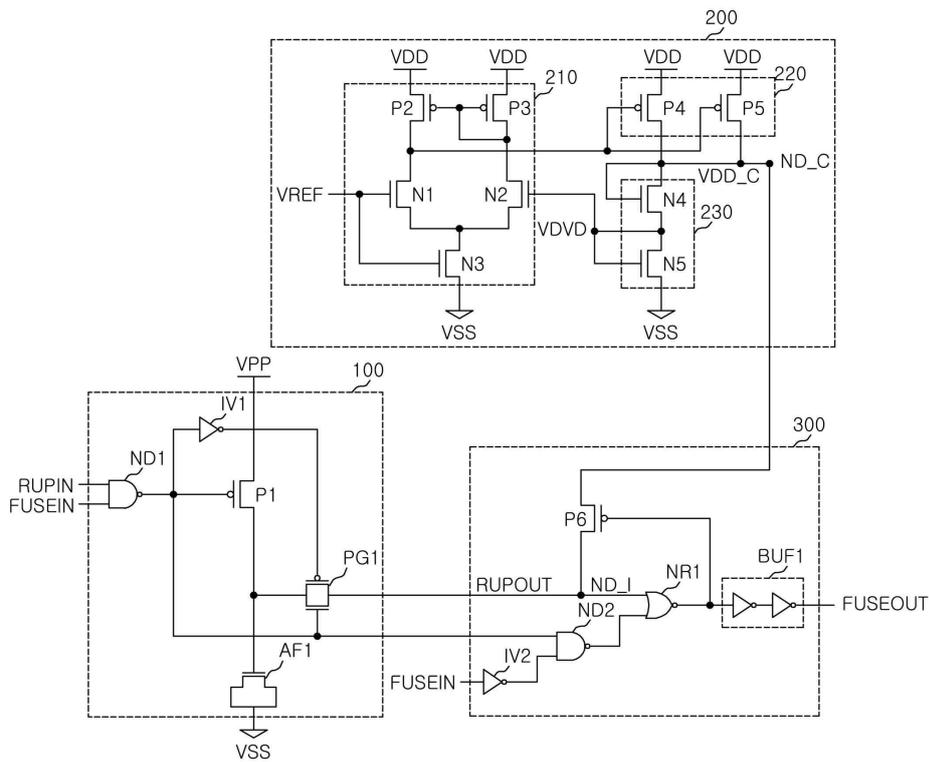
- [0071] 100 : 렙처부                      200 : 전압 클램프부  
 300 : 퓨즈 신호 생성부            1000 : 제 1 안티 퓨즈부

도면

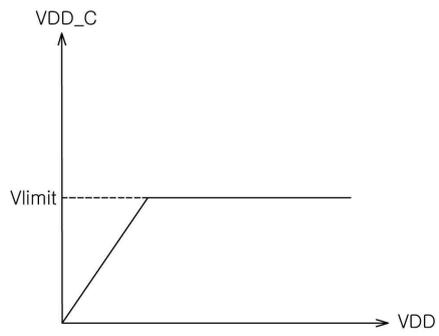
도면1



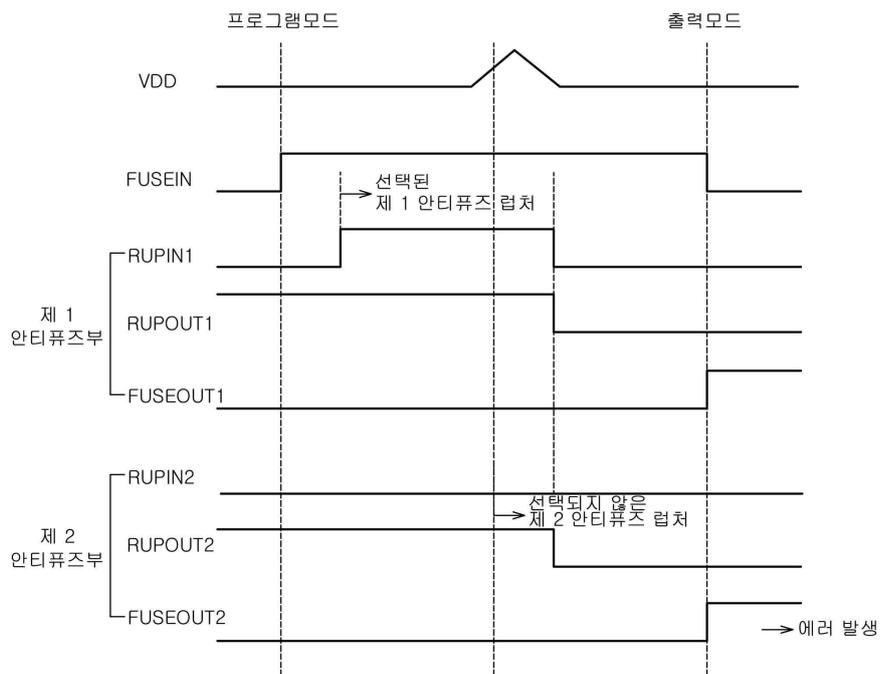
도면2



도면3



도면4a



도면4b

