

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4595342号
(P4595342)

(45) 発行日 平成22年12月8日(2010.12.8)

(24) 登録日 平成22年10月1日(2010.10.1)

(51) Int.Cl. F I
G06F 12/16 (2006.01) G06F 12/16 310P
 G06F 12/16 320F

請求項の数 6 (全 16 頁)

(21) 出願番号 特願2004-43101 (P2004-43101)
 (22) 出願日 平成16年2月19日(2004.2.19)
 (65) 公開番号 特開2005-234883 (P2005-234883A)
 (43) 公開日 平成17年9月2日(2005.9.2)
 審査請求日 平成19年1月15日(2007.1.15)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100109313
 弁理士 机 昌彦
 (74) 代理人 100121290
 弁理士 木村 明隆
 (74) 代理人 100160554
 弁理士 浅井 俊雄
 (72) 発明者 立河 孝
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 記憶装置のデータ書き込み、読み出し方法およびデータ記憶システム

(57) 【特許請求の範囲】

【請求項1】

それぞれが複数のデータ記憶エリアを備えた複数の物理記憶領域からなり、各物理記憶領域単位で、データの書き込み、または読み出し動作が一括して実行される記憶手段を有する記憶装置のデータ書き込み、読み出し方法において、

前記記憶手段へのデータ格納時には、上位ホストから入力される前記物理記憶領域単位毎に書き込まれるべき一連のデータを並び替えることによって複数の前記物理記憶領域に分離して書き込み、前記記憶手段からのデータ読み出し時には、前記複数の物理記憶領域の各物理記憶領域からそれぞれ一括して読み出されたデータを再度並び替えることにより、前記入力された一連のデータに戻して出力し、

前記複数の物理記憶領域における各対応位置にそれぞれ書き込まれたデータに対するエラーを訂正するための第1のエラー訂正データが書き込まれたエラー訂正用物理記憶領域が設けられており、前記複数の物理記憶領域に格納されたデータにエラーが検出されたとき、該データエラーが検出された物理記憶領域の全てのデータについて検査を行い、正常データは代替用の物理記憶領域における対応位置に退避書き込みを行うとともに、エラーデータは前記エラー訂正用物理記憶領域の第1のエラー訂正データを用いて訂正して前記代替用の物理記憶領域における対応位置に書き込み、前記データエラーが検出された物理記憶領域のデータは全て消去することを特徴とする記憶装置のデータ書き込み、読み出し方法。

【請求項2】

前記データエラーが検出された物理記憶領域の全てのデータ消去に成功したとき、当該物理記憶領域を代替候補物理記憶領域として登録し、前記データエラーが検出された物理記憶領域の全てのデータ消去に失敗したときには、当該物理記憶領域をNG物理記憶領域として登録することを特徴とする請求項1に記載の記憶装置のデータ書き込み、読み出し方法。

【請求項3】

前記各物理記憶領域に書き込まれたデータのエラー検出及び訂正するための第2のエラー訂正データが書き込まれたエラー訂正データ記憶エリアを前記各物理記憶領域にそれぞれ設け、前記第1及び第2のエラー訂正データにより、前記複数の物理記憶領域から読み出されたデータのエラー検出および訂正を行うことを特徴とする請求項1又は2に記載の記憶装置のデータ書き込み、読み出し方法。

10

【請求項4】

それぞれが複数のデータ記憶エリアを備えた複数の物理記憶領域からなり、各物理記憶領域単位でデータの書き込みまたは読み出し動作が一括して実行される記憶手段と、上位ホストから入力された前記記憶手段への書き込みデータを並び替えて前記記憶手段へ出力する機能と、前記記憶手段から読み出されたデータを並び替えて前記上位ホストへ出力する機能を有する並び替え手段と、前記記憶手段および並び替え手段の動作を制御する制御手段を備え、

前記並び替え手段は、前記上位ホストから入力される前記物理記憶領域単位毎に書き込まれるべき一連のデータを並び替えることによって複数の前記物理記憶領域に分離して書き込む機能と、前記複数の物理記憶領域の各物理記憶領域からそれぞれ一括して読み出されたデータを再度並び替えることにより、前記入力された一連のデータに戻して出力する機能を有し、

20

前記記憶手段には、前記複数の物理記憶領域における各対応位置にそれぞれ書き込まれたデータのエラーを訂正するための第1のエラー訂正データが書き込まれたエラー訂正用物理記憶領域が設けられており、前記制御手段は、前記記憶手段に格納されたデータにエラーが検出されたとき、該エラーが検出された物理記憶領域の全てのデータについて検査を行い、該検査の結果正常と判定されたデータを代替用の物理記憶領域における対応位置に退避書き込むとともに、エラーと判定されたデータを前記エラー訂正用物理記憶領域の第1のエラー訂正データを用いて訂正して前記代替用の物理記憶領域における対応位置に書き込み、前記エラーが検出された物理記憶領域のデータを全て消去する制御を実行する機能を有していることを特徴とするデータ記憶システム。

30

【請求項5】

前記制御手段は、前記データエラーが検出された物理記憶領域の全データの消去に成功したときには、当該物理記憶領域を代替候補物理記憶領域として登録し、前記データエラーが検出された物理記憶領域の全データの消去に失敗したときには、当該物理記憶領域をNG物理記憶領域として登録する機能を有していることを特徴とする請求項4に記載のデータ記憶システム。

【請求項6】

前記各物理記憶領域に書き込まれたデータのエラー検出及び訂正するための第2のエラー訂正データが書き込まれたエラー訂正データ記憶エリアが前記各物理記憶領域にそれぞれ設けられており、該記憶手段から読み出されて前記データ並び替え手段に入力された前記第1及び第2のエラー訂正データを含む書き込みデータに対して、エラー訂正を行うエラー訂正手段を備えていることを特徴とする請求項4又は5に記載のデータ記憶システム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置のデータ書き込みおよび読み出し方法並びにデータ記憶システムに関し、特に、フラッシュメモリ等の半導体記憶装置に対するデータの書き込みおよび読み

50

出し方法並びにデータ記憶システムに関する。

【背景技術】

【0002】

コンピュータ、PDA(Personal Data Assistance、Personal Digital Assistants: 個人向け携帯型情報通信機器)、家庭用ゲーム機、デジタルカメラ、または携帯電話機、PHS(Personal Handy-phone System)などの情報機器において、半導体メモリなどに代表されるデータ記憶デバイスの記憶容量は年々増加の一途をたどっている。特に電氣的に記憶の消去・書き込みができるROM(Read Only Memory)であるフラッシュメモリは、外部から電力を供給しなくても記憶が消えない不揮発タイプのメモリであり、各方面において多用されている。

10

【0003】

またフラッシュメモリは、全データ一括またはデータ消去の単位であるブロック毎に消去し、またブロック単位にデータの書き込みまたは読み出しが行われるという特徴を有している(特許文献1、2等参照)。

【0004】

従来、フラッシュメモリは製造面、価格面などの制約から、搭載容量が他の記憶デバイスと比較して小容量であったが、比較的安価に大容量のメモリが製造可能なNAND型フラッシュメモリや、多値論理タイプのNOR型フラッシュメモリの開発により、大容量タイプのメモリが登場したこと、デジタルカメラの普及、携帯電話の高機能化などによる大容量不揮発メモリの需要の増大により、不揮発タイプの半導体メモリにおける記憶容量は著しく増加している。

20

【0005】

しかし、NAND型メモリはその構成上多くの場合において、メーカー出荷時点からある一定の不良領域を含むことが前提となっており、またメーカー出荷後にある一定確率または一定量の不良が発生することも前提となっていることが多い。さらに従来、他の記憶デバイスと比較してデータの蓄積という点では高信頼性を有していたNOR型フラッシュメモリも多値化などによりその信頼性は従来よりも低くなっている。

【0006】

【特許文献1】特開2000-173289号公報

【特許文献2】特開2002-288034号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

このように、フラッシュメモリなどの記憶デバイスでは、大容量化の影響によりデータの信頼性が従来よりも低くなってきており、システム動作に直接影響するような重要なデータを格納する手段としてそのまま利用することが困難な状況も生じている。そのため、一度不具合を生じた記憶領域は以後使用しないことが多く、代替の領域のために予備領域を多数用意しておく必要が生じ、記憶容量を効率的に利用することが難しくなっている。

【0008】

40

また、従来、データのエラー訂正のためにある任意のデータ単位毎にパリティ等の冗長的なデータを付加することにより、エラー検出、エラー訂正を行っている(特許文献1、2等参照)が、通常このエラー訂正データと対になるデータの一部またはすべてが、単一の物理的な記憶領域内に記憶されているため、物理的な不具合によりデータエラー等が発生した場合には一まとまりのデータのうち大部分が失われてしまい、エラー訂正を行うことが不可能となるという問題があった。

【0009】

本発明の目的は、上記問題点に鑑み、フラッシュメモリなどの半導体記憶デバイスにおける記憶データの信頼性を高めるとともに、不具合となった領域も再利用することによって記憶領域の効率的な利用を可能にする手段を提供することにある。

50

【課題を解決するための手段】

【0010】

本発明は、それぞれが複数のデータ記憶エリアを備えた複数の物理記憶領域からなり、各物理記憶領域単位で、データの書き込み、または読み出し動作が一括して実行される記憶手段を有する記憶装置のデータ書き込み、読み出し方法において、前記記憶手段へのデータ格納時には、上位ホストから入力される前記物理記憶領域単位毎に書き込まれるべき一連のデータを並び替えることによって複数の前記物理記憶領域に分離して書き込み、前記記憶手段からのデータ読み出し時には、前記複数の物理記憶領域の各物理記憶領域からそれぞれ一括して読み出されたデータを再度並び替えることにより、前記入力された一連のデータに戻して出力することを特徴とする。

10

【0011】

また、前記複数の物理記憶領域における各対応位置にそれぞれ書き込まれたデータに対するエラーを訂正するためのエラー訂正データが書き込まれたエラー訂正用物理記憶領域が設けられており、前記複数の物理記憶領域に格納されたデータにエラーが検出されたとき、該データエラーが検出された物理記憶領域の全てのデータについて検査を行い、正常データは代替用の物理記憶領域における対応位置に退避書き込みを行うとともに、エラーデータは前記エラー訂正用物理記憶領域のエラー訂正データを用いて訂正して前記代替用の物理記憶領域における対応位置に書き込み、前記データエラーが検出された物理記憶領域のデータは全て消去することを特徴とする。

【0012】

20

そして、前記データエラーが検出された物理記憶領域のデータ消去を実行した結果、全てのデータ消去に成功したときには、当該物理記憶領域を代替候補物理記憶領域として登録して再度代替物理記憶領域として使用可能にし、前記データエラーが検出された物理記憶領域の全てのデータを消去できなかったときには、当該物理記憶領域をNG物理記憶領域として登録して、以後、当該物理記憶領域は使用しないようにする。

【0013】

また、本発明のデータ記憶システムは、それぞれが複数のデータ記憶エリアを備えた複数の物理記憶領域からなり、各物理記憶領域単位でデータの書き込みまたは読み出し動作が一括して実行される記憶手段と、上位ホストから入力された前記記憶手段への書き込みデータを並び替えて前記記憶手段へ出力する機能と、前記記憶手段から読み出されたデータを並び替えて前記上位ホストへ出力する機能を有する並び替え手段と、前記記憶手段および並び替え手段の動作を制御する制御手段を備えており、前記並び替え手段は、前記上位ホストから入力される前記物理記憶領域単位毎に書き込まれるべき一連のデータを並び替えることによって複数の前記物理記憶領域に分離して書き込む機能と、前記複数の物理記憶領域の各物理記憶領域からそれぞれ一括して読み出されたデータを再度並び替えることにより、前記入力された一連のデータに戻して出力する機能を有していることを特徴とする。

30

【0014】

また、前記記憶手段には、前記複数の物理記憶領域における各対応位置にそれぞれ書き込まれたデータのエラーを訂正するためのエラー訂正データが書き込まれたエラー訂正用物理記憶領域が設けられており、前記制御手段は、前記記憶手段に格納されたデータにエラーが検出されたとき、該エラーが検出された物理記憶領域の全てのデータについて検査を行い、該検査の結果正常と判定されたデータを代替用の物理記憶領域における対応位置に退避書き込むとともに、エラーと判定されたデータを前記エラー訂正用物理記憶領域のエラー訂正データを用いて訂正して前記代替用の物理記憶領域における対応位置に書き込み、前記エラーが検出された物理記憶領域のデータを全て消去する制御を実行する機能を有していることを特徴とする。

40

【0015】

即ち本発明では、フラッシュメモリなどのデータ記憶システムにおいて、各データを、不具合が生じる物理的単位の記憶領域にまたがってデータおよびエラー訂正情報が配置さ

50

れる構成とすることにより、ある任意の不具合の生じる物理的な単位データの記憶領域が不具合を生じた場合においても、容易に元のデータの復元を可能にすることを特徴とする。

【発明の効果】

【0016】

本発明によれば、1つの物理記憶領域に格納されるべき一連のデータを、複数の物理記憶領域に分離して格納し、そのエラー訂正データもまた別の物理記憶領域に格納しているため、製造時の欠陥、電気的なマイグレーションや静電気などによる破壊など特定の領域に発生する各種不具合により、1つまたはエラー訂正可能な任意の数の物理記憶領域がデータ読み出し不可能になった場合でも、容易にデータを復元することが可能となる。

10

【0017】

また、エラーが発生した物理記憶領域でも、消去を行って再利用可能な場合には再度利用する動作をしているので、データの長期保存性が劣る記憶デバイスであっても、ある程度の信頼性をもって利用することが可能となる。

【0018】

さらに、データ格納方法が従来のデータ格納方法と異なり、本来1つの物理記憶領域に格納されるべき一連のデータを複数の物理記憶領域に分離して格納していること、加えてデータ格納の順番を暗号化すること等により、書き込み済みの記憶デバイスのみを他のシステムに接続してもデータを正常に読み出すことができない構成とすることが可能であり、セキュリティ用途として用いることも可能である。

20

【発明を実施するための最良の形態】

【0019】

図1は、本発明の第1の実施形態を示すデータ記憶システムのブロック図である。

【0020】

本実施形態のデータ記憶システムは、物理記憶領域111、物理記憶領域112、・・・、物理記憶領域11nのn個の物理的に分かれた記憶領域を含む記憶手段104を有している。ここでいう物理記憶領域とは、データの書き込み、読み出し、消去などのいずれかもしくは全ての行為に対して同時に動作する一まとまりの機能を有する記憶領域であり、製造時の欠陥、電気的なマイグレーションや静電気などによる破壊など特定の領域に発生する不具合、また制御回路の不良や、電源電圧の安定性の影響による不具合などの各種不具合の発生する一まとまりの領域を示している。

30

【0021】

図2は、その具体的な例として、一般的なフラッシュメモリにおけるデータ記憶構成を示している。フラッシュメモリでは、バイト単位、ワード単位などの、データ読み書きの最小単位のデータが、データ1からデータXまで一まとめにされ、この連続するX個のデータのかたまりが1ページとして記憶される。そして、通常高速読み込み対応型のフラッシュメモリでは、このページ単位の読み込み機能を有していることが多い。

【0022】

また、ここでこのページをY個一まとめにしたかたまりを1ブロックとする。通常フラッシュメモリではEEPROM (Electrically Erasable and Programmable Read Only Memory) などとは違い、このブロック単位での消去しかできない。またNAND型フラッシュメモリではそれに加えて、通常このブロック単位での読み書きしかできない。ここでは、このブロックZ個のまとまりが1つのフラッシュメモリを構成するものとする。本実施形態では、具体例として、ここで定義したブロックを物理記憶領域の単位とし、Z個の物理記憶領域がある記憶装置をその対象として説明する。

40

【0023】

本実施形態におけるデータ記憶システムの特徴は、データ並び替え手段103を有していることである。このデータ並び替え手段103は、記憶手段104の複数(n個)の物理記憶領域(ブロック)に順次記憶されるように入力された一連のデータの並び替えを行い、本来一かたまりの連続データとして1つの物理記憶領域に格納されるべきデータを複

50

数（ n 個）の物理記憶領域にまたがるように分離して格納する。

【0024】

フラッシュメモリは1ページ単位などの読み出しなど、通常一つの物理記憶領域内のデータを連続データとして読み書きする機能しかないので、本実施形態により記憶された記憶装置に対して従来と同様な読み書きを行うとデータ並びが異なるため、通常のCPU（Central Processing Unit：中央演算処理装置）などの上位ホスト101では、そのままではデータとして取り扱うことができない。そのため、複数（ n 個）の物理記憶領域からそれぞれ読み出されたデータ列はデータ並び替え手段103により再度並び替えられ、通常のCPU等で取り扱うことのできるデータ列へと変換されることにより、上位ホスト101がそのままデータとして取り扱うことを可能にする。

10

【0025】

制御手段102は記憶手段104およびデータ並び替え手段103を制御する手段であり、上位ホスト101からのデータ読み出し、書き込み要求により、記憶手段104からのデータの読み出し制御、記憶手段104へのデータ書き込み制御を行う。また、データの読み出し、書き込みの切り替えや、チップセレクト、アドレス指定などの各種制御信号の送受信もこの制御手段102により行われる。

【0026】

本実施形態におけるデータ記憶システムでは、読み出し、書き込みデータの送受信を行うデータ信号はデータ並び替え手段103と接続され、データ読み書きを行うアドレスを示すアドレス信号は記憶手段104へと接続されていることを想定しているが、実施の形態によっては様々な接続方法が考えられる。データ並び替え手段103と記憶手段104の間にはデータ信号（データバス）が接続されており、記憶手段104に書き込まれるデータあるいは記憶手段104から読み出されるデータは、必ずデータ並び替え手段103によって並び替えられてから記憶手段104へあるいは上位ホスト101へ出力される。上位ホスト101はデータ読み書きを制御手段102に対して要求する手段であり、CPUやメモリコントローラなどのデータ処理装置である。

20

【0027】

図3～図4は、従来および本実施形態におけるデータ格納方法を説明するための図であり、図5～図6は、本実施形態のデータ格納方法を実現するためのデータ並び替え手段の一例を示す構成図である。以下、図1～図6を参照して本実施形態の動作について説明する。

30

【0028】

図3に示すように、記憶手段104には物理記憶領域1（301）、物理記憶領域2（302）、・・・、物理記憶領域 n （30 n ）の n 個の物理記憶領域が含まれている。ここでいう物理記憶領域とは、例えば図2に示すような構造をもつフラッシュメモリでは消去の最小単位であるブロックがこれに相当する。図3において、一つの物理記憶領域（ブロック）にはそれぞれ m 個ずつのデータ記憶エリアがある。この例では、記憶手段104には $m \times n$ 個のデータ記憶エリアがあることになる。

【0029】

1つのデータ記憶エリアに記憶することのできるデータ量は通常、1byteまたは2byte（=1word）、4byte（=2word）などの単位であることが多い。従来のデータ記憶システムにおいては、図3に示すようにデータは（データ1）～（データ m ）までが物理記憶領域1（301）に格納され、その後連続する物理記憶領域2（302）には（データ $m+1$ ）～（データ $2m$ ）、物理記憶領域3（303）には（データ $2m+1$ ）～（データ $3m$ ）、・・・、物理記憶領域 n （30 n ）には（データ（ $n-1$ ） $m+1$ ）～（データ nm ）までが含まれるといったように一つの物理記憶領域が埋まってから次の物理記憶領域へという順にデータが格納されている。

40

【0030】

一方、本実施形態におけるデータ記憶システムでは、図4に示すように物理記憶領域1（401）の1番目の領域に（データ1）、物理記憶領域2（402）の1番目の領域に

50

(データ2)、物理記憶領域3(403)の1番目の領域に(データ3)、・・・、物理記憶領域n(40n)の1番目の領域に(データn)が格納され、次に物理記憶領域1(401)の2番目の領域に(データn+1)、物理記憶領域2(402)の2番目の領域に(データn+2)、・・・、物理記憶領域n(40n)の2番目の領域に(データ2n)、・・・、物理記憶領域1(401)のm番目の領域に(データ(m-1)n+1)、・・・、物理記憶領域n(40n)のm番目の領域に(データmn)が格納されるというようにデータが順次格納される。

【0031】

このように、本実施形態におけるデータ格納方法では、記憶手段104に対して従来と異なる順にデータが格納されているため、そのままではデータを利用しづらい。そこで、記憶手段104の各物理記憶領域から一括読み出しされたデータを、データ並び替え手段103により並び替えを行って上位ホスト101へ出力し、また、上位ホスト101から送られてきた書き込みデータの並び替えを行って記憶手段104に書き込む。従って、本実施形態では、 $m \times n$ 個のデータ記憶エリア(n個の物理記憶領域)が一括データ書き込みまたは一括データ読み出しのためのサイズとして機能する。

10

【0032】

図5(a)および(b)は本実施形態におけるデータ読み出し時のデータ並び替えのイメージおよびデータ書き込み時のデータ並び替えのイメージを示しており、図5(a)の501、502および図5(b)の504、505は、図1のデータ並び替え手段103に相当し、図5の503が図1の記憶手段104に相当する。図5では簡単のため、4つのデータ記憶エリアを有する物理記憶領域が4つあり、 $4 \times 4 = 16$ のデータ記憶エリアを持つものとしている。

20

【0033】

記憶手段503には図4のデータ格納方法に従ってデータが格納されているため、データ読み出し時には、記憶手段503の4つの物理記憶領域に格納されているデータを、一旦データ並び替え手段の502内に設けられた4つのルートにそれぞれ格納し、502から501を通過する間に、先ずデータ1、データ2、データ3、データ4の並びに並び替えられて出力され、以下、順次データ5～データ8、データ9～データ12、データ13～データ16のデータが読み出される。

【0034】

一方、データ書き込み時には、書き込みデータは、データ並び替え手段505、504を経由して記憶手段503に格納される。例えばデータ列(1, 2, 3, 4)が505に入力されると、これら4つのデータはそれぞれ504内の別ルートを通過し、以下、同様に(5, 6, 7, 8)、(9, 10, 11, 12)、(13, 14, 15, 16)の4つのデータがそれぞれ504内の別ルートを通過するようにデータの並び替えが行われる。その後、各ルートのデータ列ごとに、記憶手段503のそれぞれの物理記憶領域に一括格納される。

30

【0035】

図6は、図5(a)に示すデータ読み出し時のデータ並び替え手段を、シフトレジスタによって実現した例を示している。

40

【0036】

図6(a)は4つのD型フリップフロップで構成される4bitシフトレジスタの一般的な回路であり、これを図6(b)に示すような図で表現すると、図5(a)に示すデータ並び替え回路は図6(c)のように、4つの4bitシフトレジスタからの各々の出力が、別の1つの4bitシフトレジスタにおける各プリセット端子に接続される回路で実現することが可能である。

【0037】

ここで記憶手段104には、例えば図5(a)の503のようにデータが格納されており、物理記憶領域単位でまとめて読み出す機能を有しているとする。最初に並び替え前データとして(1, 5, 9, 13)の順にデータがまとめて読み出される。この際にS1～

50

S 4 のスイッチのうち、S 1 だけが ON になっており、FF 1 1 ~ FF 1 4 にデータが順次格納される。次に S 2 のみが ON となった状態でデータ列 (2 , 6 , 1 0 , 1 4) が読み出され、以後順次、S 3 のみ ON 時にデータ列 (3 , 7 , 1 1 , 1 5)、S 4 のみ ON 時にデータ列 (4 , 8 , 1 2 , 1 6) が読み出される。

【 0 0 3 8 】

FF 1 1 ~ FF 1 4 , FF 2 1 ~ FF 2 4、FF 3 1 ~ FF 3 4、FF 4 1 ~ FF 4 4 の 1 6 個のすべてのフリップフロップにデータが格納されると、次に FF 5 1 ~ FF 5 4 が動作するように制御される。出力 B 1 ~ B 4 が FF 5 1 ~ FF 5 5 のプリセット端子に接続されているため順次データが取り出される。即ち、最初のタイミングではデータ列 (1 , 2 , 3 , 4) が FF 5 1 ~ FF 5 4 にセットされ、B 5 から出力される。さらに次のタイミングでは次の B 1 ~ B 4 の出力が FF 5 1 ~ FF 5 4 にセットされ、データ列 (5 , 6 , 7 , 8) が取り出される。以後、同様にデータ列 (9 , 1 0 , 1 1 , 1 2)、(1 3 , 1 4 , 1 5 , 1 6) の順にデータが取り出される。

10

【 0 0 3 9 】

またデータ書き込みの並び替え回路についても図 5 (b) のイメージに従って、図 6 と同様にシフトレジスタを用いた回路構成により容易に実現可能である。

【 0 0 4 0 】

本実施形態では、複数の物理記憶領域からなり、一つの物理記憶領域単位にデータの書き込み、または読み出し動作が一括して実行される記憶装置に対して、一連のデータを一つの物理記憶領域単位に格納しないで複数の物理記憶領域に分離して記憶するので、書き込み済みの記憶デバイスのみを他のシステムに接続してもデータを正常に読み出すことができなため、例えば、データ格納の順番を暗号化することによりセキュリティー用途に用いることができる。

20

【 0 0 4 1 】

図 7 は、本発明の第 2 の本実施形態を示す図であり、本実施形態におけるデータおよびエラー訂正データの格納方法を示している。また、図 8 は、本実施形態におけるエラー発生時の物理記憶領域代替イメージを示している。

【 0 0 4 2 】

フラッシュメモリ等においては、通常、データのエラー訂正のためにある任意のデータ単位毎にパリティ等の冗長的なデータを付加することにより、エラー検出、エラー訂正を行っているが、このエラー訂正データと対になるデータの一部またはすべてが、単一の物理的な記憶領域内に記憶されているため、物理記憶領域の不具合によりデータエラー等が発生した場合にはこの物理記憶領域に格納された一まとまりのデータのうち大部分が失われてしまい、エラー訂正を行うことが不可能となるという問題がある。

30

【 0 0 4 3 】

そこで、本実施形態では、一連のデータを一つの物理記憶領域単位に格納しないで複数の物理記憶領域に分離して記憶するとともに、エラー訂正データを格納する物理記憶領域を加え、複数の物理領域に格納されているデータに対するエラー訂正データをこの物理記憶領域に一括して格納することにより、1 つまたはエラー訂正可能な任意の数の物理記憶領域がデータ読み出し不可能になった場合でも、容易にエラー訂正を実行することができデータを復元することが可能となる。以下、本実施形態のデータ記憶システムにおけるデータ復元方法について説明する。

40

【 0 0 4 4 】

図 7 では、m 個のデータ記憶エリアを有する物理記憶領域を n + 1 個具備している記憶手段を示しており、この記憶手段には計 (m) × (n + 1) 個のデータ記憶エリアがある。ここでデータ 1 ~ データ n を一まとまりとして、その一まとまりのデータのエラー訂正データを別の物理記憶領域 n + 1 にデータ p 1 として格納する。同様にデータ n + 1 ~ データ 2 n に対するエラー訂正データ p 2、・・・、データ (m - 1) n + 1 ~ データ m n に対するエラー訂正データ p m を格納する。

【 0 0 4 5 】

50

このようにデータを格納することにより、例えば図7の物理記憶領域2に記憶されているデータに異常があった場合には、図8に示すように代わりの物理記憶領域Aにエラー訂正により復元されたデータを格納し、通常状態に復帰することが可能である。このエラー訂正データにはデータの重要度、付加可能なデータ量、回路規模等に応じて、一般的に用いられているさまざまなタイプのものが使用可能である。パリティや巡回符号であるCRC (Cyclic Redundancy Code) 符号、 BCH符号、RS (Reed-Solomon) 符号などがその代表的な例である。

【0046】

ここで1つのデータ記憶エリアが4ビットで構成され、パリティによってデータ訂正がされる場合について図9を用いて説明する。図9に示すようにデータ1がビット1-1、ビット1-2、ビット1-3、ビット1-4、データ2がビット2-1、・・・、データnがビットn-1、ビットn-2、ビットn-3、ビットn-4と構成されている場合にはビット1-1、ビット2-1、・・・、ビットn-1を一まとまりとしたデータ列に対してパリティ1を決定し、同様にパリティ2、パリティ3、パリティ4を決定することによりエラー訂正が可能となる。

10

【0047】

図10は、本実施形態におけるエラー訂正の手順を示すフローチャートであり、図11はこのデータ復元動作のイメージ図である。以下、図7～図11を参照して、本実施形態のデータ復元動作について説明する。

【0048】

まず通常通りに、データ記憶エリア i ($1 \leq i \leq mn$) に格納されたデータのリードまたはライト(1002)を行っているときに、エラー発生(リード不可、あるいはライト失敗)が検出された場合(1003 YES)には、この不具合が、データ i が含まれる1つの物理記憶領域(ブロック)全体に対するものなのか、それともデータ i が格納される特定のデータ記憶エリアのみのものであるかを判別するために、まず同ブロック内の他データを読み込む(1004)。

20

【0049】

同ブロック内の他の全てのデータもしくは任意に設定された数のエラーがあった場合(1005 YES)には、上記不具合は、データ i が含まれる1つの物理記憶領域(ブロック)全体に対するものである可能性が高いので、このブロックに格納されたデータは使用しないでそのままエラーブロックの消去(1007)を行う。それ以外の場合には、上記不具合は、データ i が格納される特定のデータ記憶エリアのみであるとみなし、正常リードされたデータのみを別ブロックへ退避(1006)してからエラーブロック消去(1007)を行う。

30

【0050】

この後、ブロック消去が失敗したかどうかの判定(1008)を行う。ここでブロック消去が成功した場合(1008 NO)には、エラー発生ブロックを代替候補ブロックへ登録(1009)する。この代替候補ブロックはNGブロックが発生した場合に、NGブロックの代わりに使用するブロックの候補であり、通常はソフトで実現されたメモリ管理システムにて管理されている。判定(1008)でブロック消去に失敗した場合(1008 YES)には、該当ブロックはNGブロックとして登録(1010)され、以降使用されないように管理される。

40

【0051】

その後、代替ブロックが割り当て(1011)られる。次に代替ブロックにデータが復元されるのであるが、まずステップ(1006)で退避したデータが存在するかどうかのチェック(1012)が行われる。退避データがない場合には単純に残りのブロックのデータとエラー訂正データ(パリティ)から、NGブロックに記憶されていたデータを全て復元(1013)する(図11(b))。また退避データがある場合には退避データを代替ブロックへ書き込み(1014)、退避されていないエラーデータのみをエラー訂正にて復元する(図11(a))。

50

【 0 0 5 2 】

以上の様な動作により、データエラーが1つの物理記憶領域（ブロック）にのみ発生した際にはデータが復元される。このように本実施形態では、エラー発生した同ブロックの他データを読み込むなどのNGブロックを特定する動作があるため、通常エラー検出しが出来ないパリティ検出ビットを図9のように1つのデータ列に対して1ビット設けるだけでもエラー訂正が可能である。

【 0 0 5 3 】

以上のような動作を動的に行うことにより、例えば、製造時の欠陥、電氣的なマイグレーションや静電気などによる破壊など特定の領域に発生する不具合、また制御回路の不良や、電源電圧の安定性の影響による不具合などの各種不具合の発生する一まとまりの物理記憶領域に不具合が生じている場合にはすぐにデータを復元することができる。また、上位ホストはそれを意識することなく安定してデータの読み書きが可能になる。さらに、NGが発生したブロックでも消去などにより再利用可能な不具合の場合には代替候補ブロックにして使いまわすことが可能である。

10

【 0 0 5 4 】

なお、上記動作において、NGが発生したブロックでも消去などにより再利用可能な場合には代替候補ブロックにするとしたが、ある設定された任意の回数以上、同じブロックにNGが発生した場合には以後使用しないように制御することにより、信頼性を高めることもできる。

【 0 0 5 5 】

図12は、本発明の他の実施形態を示すデータ記憶システムのブロック図である。

20

【 0 0 5 6 】

本実施形態は、その基本的構成は上記の実施形態と同様であるが、ハード的なエラー訂正手段105を加えた点を特徴としている。エラー訂正手段105はデータ並び替え手段103に入力されたデータに対して、エラー訂正を行う手段である。またエラー訂正手段は制御手段102によりエラー訂正を行うか行わないかの制御、エラー訂正方法の制御などが指示される。さらにエラー訂正手段105はエラー検出の機能も有している。

【 0 0 5 7 】

図13は、本実施形態におけるデータおよびエラー訂正データの格納方法の一例を示しており、図14は、本実施形態におけるエラー訂正動作を示している。以下、図12～図14を用いて本実施形態の動作について説明する。

30

【 0 0 5 8 】

図13に示すように、本実施形態におけるデータの格納は、図7と同様に物理記憶領域間にまたがるデータ1、データ2、データ3、・・・、データnのデータ列に対するエラー訂正データをp1とし格納するが、本実施形態では、物理記憶領域1のデータであるデータ1、データn+1、データ2n+1、・・・、データ(m-1)n+1のデータ列に対するエラー訂正データをq1として格納する。同様にしてp2～pm、およびq2～q(n+1)を格納する。このようにエラー訂正データを配置することにより、例えばエラー訂正データとしてパリティを用いた場合において、不具合のある物理記憶領域を特定しなくても直接エラー訂正が可能である。

40

【 0 0 5 9 】

図14を用いて具体的に説明する。ここで1403は記憶手段、1401、1402はデータ並び替え手段を示している。記憶手段1403のデータ6に不具合がある場合、データ並び替え手段1402にデータが入力された際に、エラー訂正手段105によりエラー検出が行われ、エラーが検出された場合にはエラー訂正が行われる。パリティなどを用いた場合には図14に示されているようにp2、q2のエラー訂正データを用いてエラーの検出および訂正が行われる。

【 0 0 6 0 】

このように、本実施形態では、ハード的なエラー訂正手段を設けているので、より複雑なエラー訂正方法を用いた場合においても、エラー訂正の処理速度が速いという効果が得

50

られる。

【0061】

なお、以上の実施例においては、データ並び替え手段はシフトレジスタを用いた例を説明したが、この例に限らず、例えばSRAM (Static RAM) やフラッシュメモリ、EEPROM (Electrically Erasable and Programmable ROM) などを利用して、ソフト的に並び替えることも可能である。そのような場合には図13に示すように、2軸方向に対してエラー訂正データを付加することで並べ替え手段としてのメモリ自体に物理記憶領域単位での不具合があった場合にも同様に復元が可能となるという効果がある。

【0062】

また、上記の実施例ではエラー訂正データを1データ記憶エリア分としたが、エラー訂正方法に応じて、1つのデータ列に対して複数のデータ記憶エリアを与えることも可能である。さらに複数のフラッシュメモリを1つのパッケージにスタックし封入したフラッシュメモリLSIの場合には、狭い視点での物理記憶領域はブロックであり、より大きな視点での物理記憶領域は1つのフラッシュメモリそのものである。

【0063】

そのような場合には2階層にわけて、本発明を適用することが可能なことは明らかである。また本実施例はデータ並び替え、エラー訂正に時間がかかるためデータ破損によるダメージが大きいファイル管理エリア、重要なユーザーデータなどの一部分にのみ適用するという利用方法に対して最も効果がある。

【0064】

なお、本発明が上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【図面の簡単な説明】

【0065】

【図1】本発明の第1の実施形態を示すデータ記憶システムのブロック図である。

【図2】一般的なフラッシュメモリにおけるデータ記憶の構成を示す図である。

【図3】従来例におけるデータ格納方法を示す図である。

【図4】本実施形態におけるデータ格納方法を示す図である。

【図5】本実施形態におけるデータ読み出しおよび書き込み時のデータ並び替えのイメージを示す図である。

【図6】本実施形態におけるデータ読み出し時のデータ並び替え手段を、シフトレジスタによって実現した例を示す図である。

【図7】本発明の第2の本実施形態におけるデータおよびエラー訂正データの格納方法を示す図である。

【図8】本実施形態の一例の動作を説明するための図である。

【図9】本実施形態の一例の動作を説明するための図である。

【図10】本実施形態におけるエラー訂正の手順を示すフローチャートである。

【図11】本実施形態におけるデータ復元動作のイメージ図である。

【図12】本発明の第3の実施形態を示すデータ記憶システムのブロック図である。

【図13】本実施形態におけるデータおよびエラー訂正データの格納方法の一例を示す図である。

【図14】本実施形態におけるエラー訂正動作を示す図である。

【符号の説明】

【0066】

101 上位ホスト

102 制御手段

103 データ並び替え手段

104 記憶手段

105 エラー訂正手段

111 ~ 11n 物理記憶領域

10

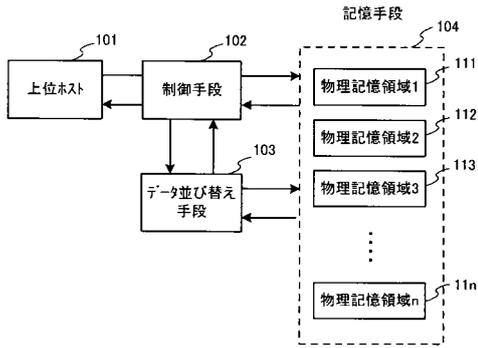
20

30

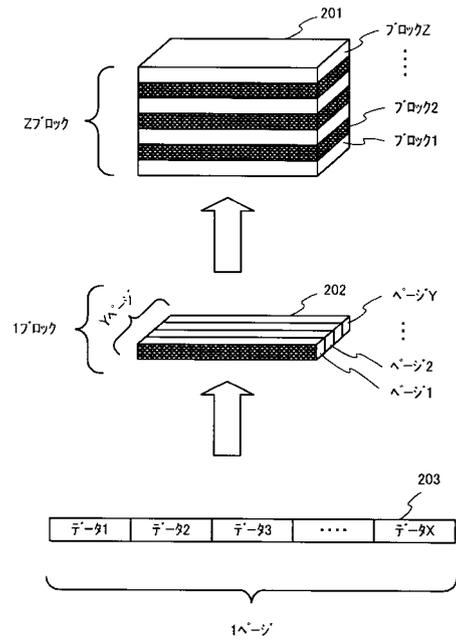
40

50

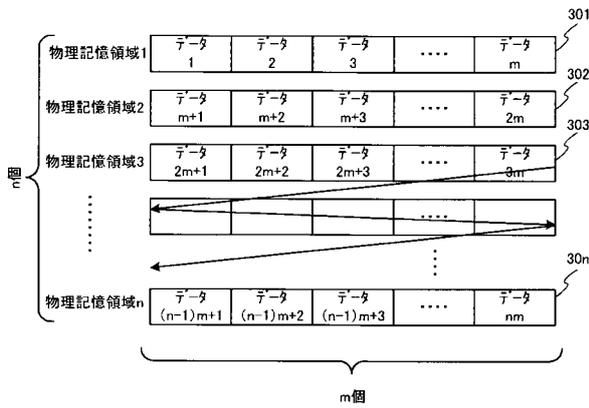
【図1】



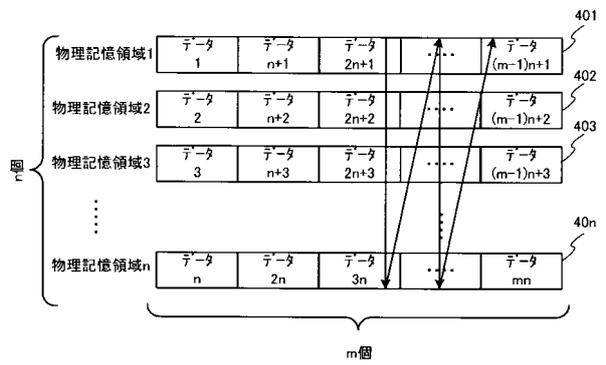
【図2】



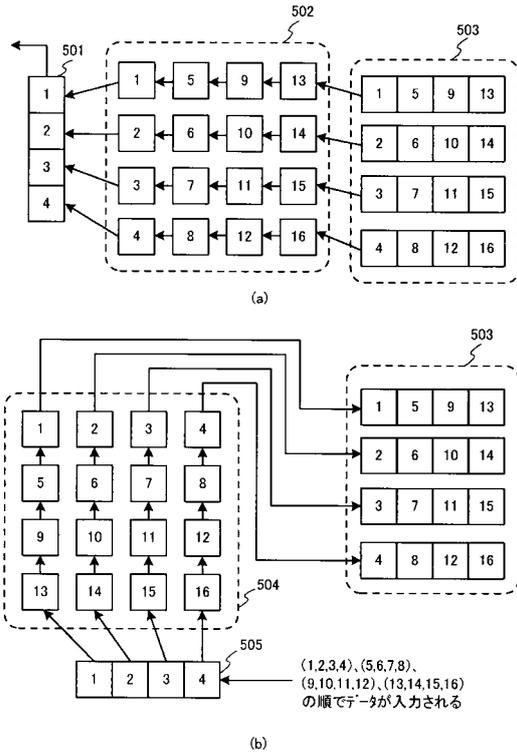
【図3】



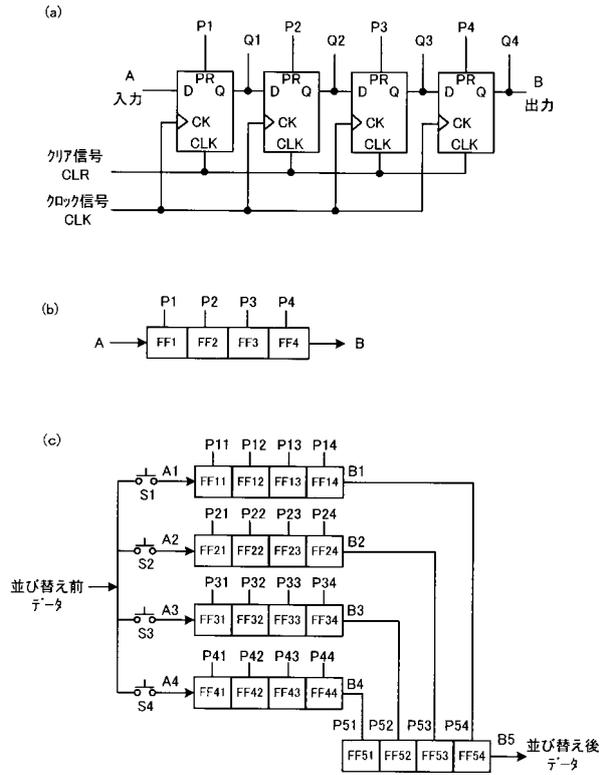
【図4】



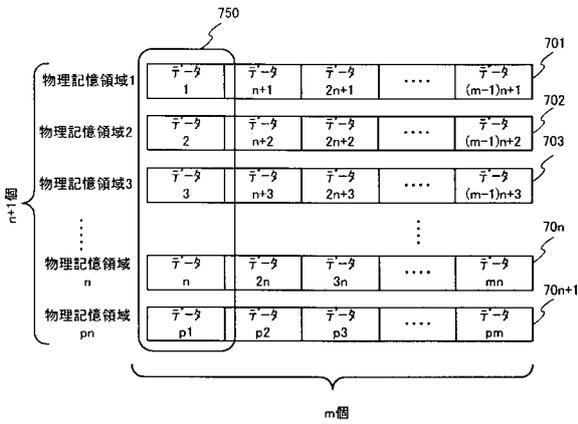
【図5】



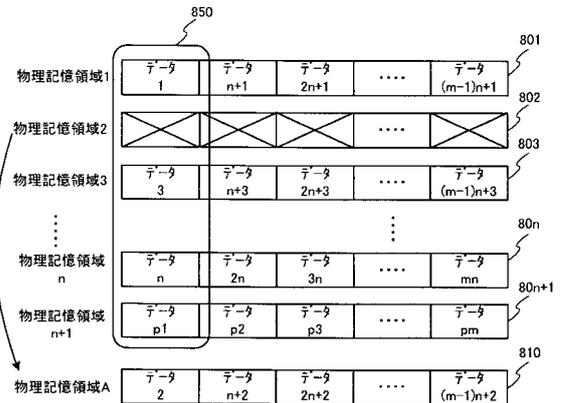
【図6】



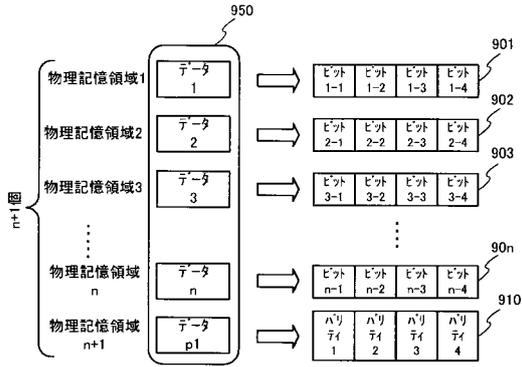
【図7】



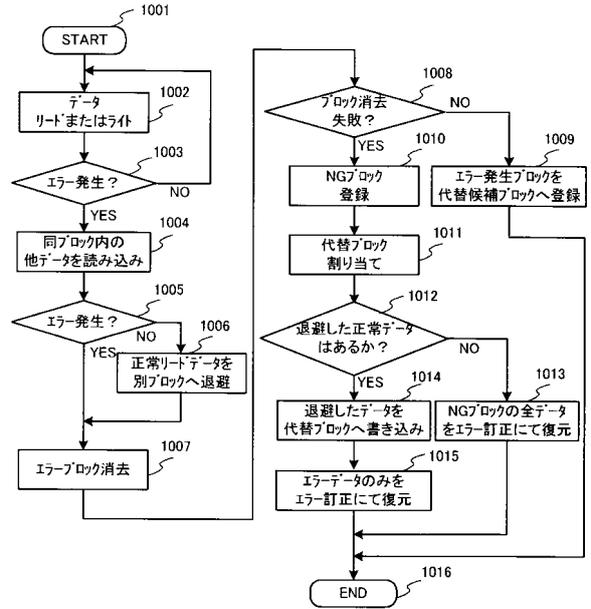
【図8】



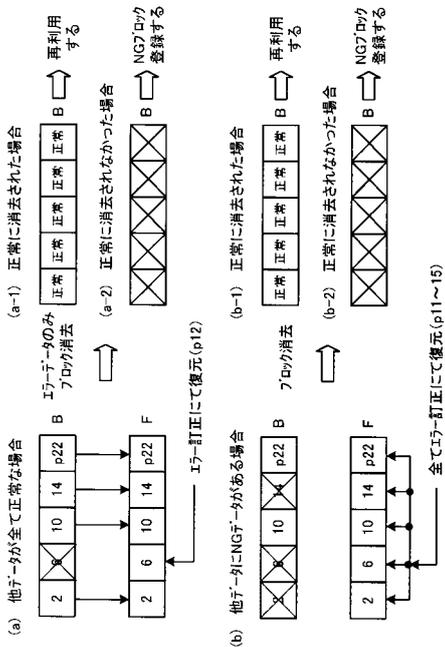
【図9】



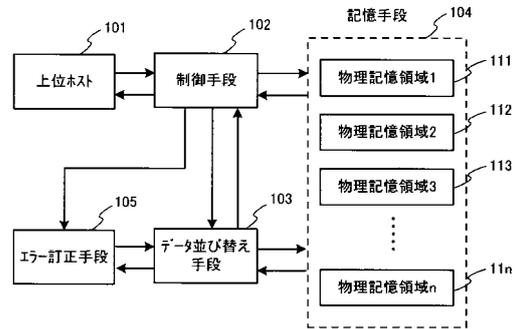
【図10】



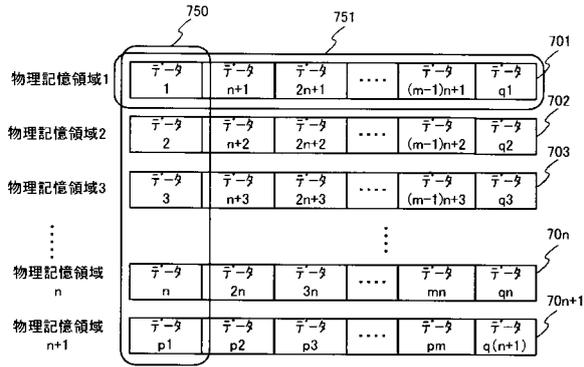
【図11】



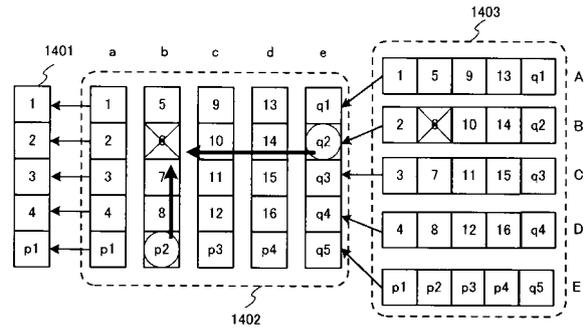
【図12】



【図13】



【図14】



フロントページの続き

- (56)参考文献 特開平01-231151(JP,A)
特開平02-291011(JP,A)
特開平05-324491(JP,A)
特開平11-143787(JP,A)
特開平07-093984(JP,A)
特開2003-100095(JP,A)
特開2000-173289(JP,A)
特開平10-143383(JP,A)
特開2003-234000(JP,A)
特開昭52-144927(JP,A)
特開昭62-007238(JP,A)
特開2000-207137(JP,A)
特開平09-218754(JP,A)
特開2004-021811(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16