

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 27/11 (2006.01)



## [12] 发明专利申请公布说明书

[21] 申请号 200710002884.4

[43] 公开日 2007年11月28日

[11] 公开号 CN 101079425A

[22] 申请日 2007.2.9

[21] 申请号 200710002884.4

[30] 优先权

[32] 2006.5.25 [33] US [31] 11/441,646

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

[72] 发明人 谢友岚 黄庆坤 许正东

[74] 专利代理机构 北京林达刘知识产权代理事务所  
代理人 刘新宇

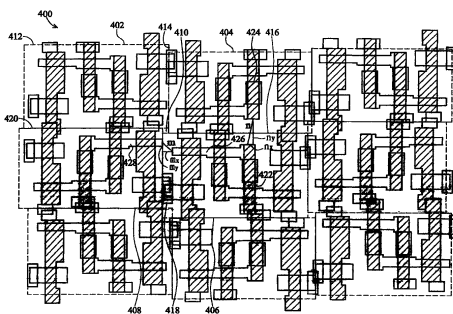
权利要求书3页 说明书9页 附图4页

[54] 发明名称

存储装置

[57] 摘要

本发明提供一种存储装置，包括一第一存储单元区域，其具有一第一栓锁区域，该第一栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第一周边区域，其环绕着该第一栓锁区域，以及一第二存储单元区域，其设置于该第一存储单元区域的一第一边缘的邻近区域并且具有一第二栓锁区域，该第二栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第二周边区域，其环绕着该第二栓锁区域。该第一存储单元区域的其中一边缘是移离该第二存储单元区域与其相对应的边缘。因此，该存储装置的面积及良率是可调整。



1. 一种存储装置，其特征在于，该存储装置包括：

一第一存储单元区域，具有一第一栓锁区域，该第一栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第一周边区域，其环绕着该第一栓锁区域；以及

一第二存储单元区域，其设置于该第一存储单元区域的一第一边缘的相邻区域并且具有一第二栓锁区域，该第二栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第二周边区域，其环绕着该第二栓锁区域，

其中该第一存储单元区域的其中一边缘是移离该第二存储单元区域与其相对应的边缘。

2. 根据权利要求1所述的存储装置，其特征在于，该存储装置是一六晶体管静态随机存取存储器装置。

3. 根据权利要求1所述的存储装置，其特征在于，该第一栓锁区域及第二栓锁区域是分别包括一第一栅导电层及一第二栅导电层，该第二栅导电层是沿一与该第一栅导电层的一垂直方向相垂直的方向，移离该第一栅导电层一第一既定距离。

4. 根据权利要求3所述的存储装置，其特征在于，该第一栅导电层的一参考点与该第二栅导电层的一对应参考点间的一距离是设定为固定，该第一既定距离是决定该第一周边区域及第二周边区域的缩减面积量。

5. 根据权利要求3所述的存储装置，其特征在于，该第一栅导电层的一参考点与该第二栅导电层的一对应参考点间的一垂直或水平距离是设定为固定，增加该第一既定距离是增加该存储装置的良好率。

6. 根据权利要求1所述的存储装置，其特征在于，更包括一第三存储单元区域，其具有一第三栓锁区域，该第三栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第三周边

区域，其环绕着该第三栓锁区域，其中该第三存储单元区域是设置于该第一存储单元区域的一第二边缘，其中该第二边缘是垂直于该第一边缘。

7. 根据权利要求1所述的存储装置，其特征在于，该第一栓锁区域及第二栓锁区域是分别包括一第一掺杂区域及一第二掺杂区域，该第二掺杂区域是沿一与该第一掺杂区域的一垂直方向相垂直的方向，移离该第一掺杂区域一第二既定距离。

8. 根据权利要求7所述的存储装置，其特征在于，该第一掺杂区域的一参考点与该第二掺杂区域的一对应参考点间的一距离是设定为固定，该第二既定距离是决定该第一周边区域及第二周边区域的缩减面积量。

9. 根据权利要求7所述的存储装置，其特征在于，该第一掺杂区域的一参考点与该第二掺杂区域的一对应参考点间的一垂直或水平距离是设定为固定，增加该第二既定距离是增加该存储装置的良好率。

10. 根据权利要求1所述的存储装置，其特征在于，尽管该第一周边区域及第二周边区域的面积可设置为不同尺寸，该第一栓锁区域及第二栓锁区域的面积是维持固定。

11. 一种存储装置，其特征在于，该存储装置包括：

一第一存储单元区域，具有一第一栓锁区域，该第一栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第一周边区域，其环绕着该第一栓锁区域；

一第二存储单元区域，其设置于该第一存储单元区域的一第一边缘的相邻区域并且具有一第二栓锁区域，该第二栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第二周边区域，其环绕着该第二栓锁区域；以及

一第三存储单元区域，其具有一第三栓锁区域，该第三栓锁

区域上是建立着一个以上的电子元件以储存一数值，以及一第三周边区域，其环绕着该第三栓锁区域，

其中该第三存储单元区域是设置于该第一存储单元区域的一第二边缘，其中该第二边缘是垂直于该第一边缘，

其中该第一存储单元区域的其中一边缘是移离该第二存储单元区域与其相对应的边缘，以及该第一存储单元区域的另一边缘是移离该第三存储单元区域与其相对应的边缘。

12. 根据权利要求11所述的存储装置，其特征在于，该存储装置是一六晶体管静态随机存取存储器装置。

13. 根据权利要求11所述的存储装置，其特征在于，该第一栓锁区域及第二栓锁区域是分别包括一第一栅导电层及一第二栅导电层，该第二栅导电层是沿一与该第一栅导电层的一垂直方向相垂直的方向，移离该第一栅导电层一第一既定距离。

14. 根据权利要求11所述的存储装置，其特征在于，该第一栓锁区域及第二栓锁区域是分别包括一第一掺杂区域及一第二掺杂区域，该第二掺杂区域是沿一与该第一掺杂区域的一垂直方向相垂直的方向，移离该第一掺杂区域一第二既定距离。

15. 根据权利要求11所述的存储装置，其特征在于，尽管该第一周边区域、第二周边区域以及第三周边区域的面积可设置为不同尺寸，该第一栓锁区域、第二栓锁区域以及第三栓锁区域的面积是维持固定。

## 存储装置

### 技术领域

本发明是有关于集成电路设计，且特别有关于一种交错存储单元阵列(Stagger Memory Cell Array)。

### 背景技术

半导体技术的进步为集成电路设计建立了新的挑战。理想上集成电路设计除了希望能包括高密度的电子元件，并且还能提供良好的产品良率。然而，这两个目标往往无法同时达成。举例而言，集成电路设计者往往必须根据某些设计规则(Design rules)来安排一静态随机存取存储器(Static Random Access Memory; SRAM)的存储单元。这些设计规则不仅决定一存储单元的结构元件的尺寸，亦决定存储单元之间的地理关系。由于受到这些设计规则的限制，往往很难将一存储单元阵列的尺寸降低。这些设计规则亦限制增加存储单元的良率的可能性。

### 发明内容

本发明是提供一种存储装置。在本发明的一实施例中，该存储装置包含一具有第一栓锁区域的第一存储单元区域，其中该第一栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第一周边区域，其环绕着该第一栓锁区域；以及一第二存储单元区域，其设置于该第一存储单元区域的一第一边缘的相邻区域，并且具有一第二栓锁区域，其中该第二栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第二周边区域，其环绕着该第二栓锁区域。该第一存储单元区域的其中一边缘是移离该第二存储单元区域与其相对应的边缘。故而，该存储单元的面积或

良率可被调整。

本发明所述的存储装置，该存储装置是一六晶体管静态随机存取存储器装置。

本发明所述的存储装置，该第一栓锁区域及第二栓锁区域是分别包括一第一栅导电层及一第二栅导电层，该第二栅导电层是沿一与该第一栅导电层的一垂直方向大体上相垂直的方向，移离该第一栅导电层一第一既定距离。

本发明所述的存储装置，该第一栅导电层的一参考点与该第二栅导电层的一对应参考点间的一距离是设定为固定，该第一既定距离是决定该第一周边区域及第二周边区域的缩减面积量。

本发明所述的存储装置，该第一栅导电层的一参考点与该第二栅导电层的一对应参考点间的一垂直或水平距离是设定为固定，增加该第一既定距离是增加该存储装置的良率。

本发明所述的存储装置，更包括一一第三存储单元区域，其具有一第三栓锁区域，该第三栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第三周边区域，其环绕着该第三栓锁区域，其中该第三存储单元区域是设置于该第一存储单元区域的一第二边缘，其中该第二边缘是大体上垂直于该第一边缘。

本发明所述的存储装置，该第一栓锁区域及第二栓锁区域是分别包括一第一掺杂区域及一第二掺杂区域，该第二掺杂区域是沿一与该第一掺杂区域的一垂直方向大体上相垂直的方向，移离该第一掺杂区域一第二既定距离。

本发明所述的存储装置，该第一掺杂区域的一参考点与该第二掺杂区域的一对应参考点间的一距离是设定为固定，该第二既定距离是决定该第一周边区域及第二周边区域的缩减面积量。

本发明所述的存储装置，该第一掺杂区域的一参考点与该第二掺杂区域的一对应参考点间的一垂直或水平距离是设定为固

定，增加该第二既定距离是增加该存储装置的不良率。

本发明所述的存储装置，尽管该第一周边区域及第二周边区域的面积可设置为不同尺寸，该第一栓锁区域及第二栓锁区域的面积是维持固定。

本发明另提供一种存储装置，该存储装置包括：一第一存储单元区域，具有一第一栓锁区域，该第一栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第一周边区域，其环绕着该第一栓锁区域；一第二存储单元区域，其设置于该第一存储单元区域的一第一边缘的相邻区域并且具有一第二栓锁区域，该第二栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第二周边区域，其环绕着该第二栓锁区域；以及一第三存储单元区域，其具有一第三栓锁区域，该第三栓锁区域上是建立着一个以上的电子元件以储存一数值，以及一第三周边区域，其环绕着该第三栓锁区域，其中该第三存储单元区域是设置于该第一存储单元区域的一第二边缘，其中该第二边缘是大体上垂直于该第一边缘，其中该第一存储单元区域的其中一边缘是移离该第二存储单元区域与其相对应的边缘，以及该第一存储单元区域的另一边缘是移离该第三存储单元区域与其相对应的边缘。

本发明所述的存储装置，该存储装置是一六晶体管静态随机存取存储器装置。

本发明所述的存储装置，该第一栓锁区域及第二栓锁区域是分别包括一第一栅导电层及一第二栅导电层，该第二栅导电层是沿一与该第一栅导电层的一垂直方向大体上相垂直的方向，移离该第一栅导电层一第一既定距离。

本发明所述的存储装置，该第一栓锁区域及第二栓锁区域是分别包括一第一掺杂区域及一第二掺杂区域，该第二掺杂区域是沿一与该第一掺杂区域的一垂直方向大体上相垂直的方向，移离

该第一掺杂区域—第二既定距离。

本发明所述的存储装置，尽管该第一周边区域、第二周边区域以及第三周边区域的面积可设置为不同尺寸，该第一栓锁区域、第二栓锁区域以及第三栓锁区域的面积是维持固定。

本发明所述的存储装置，存储单元的面积或良率可被调整。

## 附图说明

图1是显示一标准六晶体管(6T)SRAM单元；

图2是显示图1的标准六晶体管(6T)SRAM单元的布局图；

图3是一SRAM单元阵列的传统布局结构；

图4是显示本发明所提供一交错SRAM单元阵列的布局结构的一实施例。

## 具体实施方式

然而，本发明的建立与操作方法，连同其所附加的目的及利益，必须通过以下特定实施例的描述以及配合相关图示以达到最佳理解。

参考图1，其是显示一标准六晶体管(6T)SRAM单元100的电路图，该标准6T SRAM包括两个交错耦合的反相器102与104。该反相器102的一中心储存节点106是直接连接至反相器104内的一P沟道金属氧化物半导体(PMOS)上拉(PU)晶体管108以及一N沟道金属氧化物半导体(NMOS)下拉(PD)晶体管110。同样，该反相器104的一中心储存节点112是直接连接至反相器102内的一PMOS PU晶体管114以及一NMOS PD晶体管116。中心储存节点106，其连接至PMOS PU晶体管114及NMOS PD晶体管116的漏极，是通过一传输门晶体管118来做写入或读取，其中该传输门晶体管118是连接至一位线BL。中心储存节点112，其连接至PMOS



PU晶体管108及NMOS PD晶体管110的漏极，是通过一传输门晶体管120来做写入或读取，其中该传输门晶体管120是连接至一位线带BLB。传输门晶体管118及120是由一相同的字线WL控制。NMOS PD晶体管116及110的源极是接地VSS。

图2是显示图1所示的一标准6T SRAM单元200的布局图。反相器102是包含中心储存节点106、PMOS PU晶体管114，以及NMOS PD晶体管116。反相器104是包含中心储存节点112、PMOS PU晶体管108，以及NMOS PD晶体管110。反相器104是通过传输门晶体管120来作写入或读取操作。如图2所示，上述六个晶体管当中每一晶体管的栅极都被以符号标示。VCC、VSS、WL、BL以及BLB是于其与存储单元的边界线204、206、208及210的接触面上被标示。因此，每一接触面是皆由两相邻的存储单元共用。PMOS晶体管的栅极导电层212及214是垂直走向。NMOS晶体管的栅极导电层216及218亦为垂直走向。栅极的掺杂区域220、222、224及226是水平走向。

互连的反相器102及104所占用的布局区域于以下将称为栓锁区域230，而介于栓锁区域230与边界线204、206、208及210之间的区域于以下是称为周边区域232。由于设计规则的限制，栓锁区域230的面积必须维持固定。

图3是显示一SRAM单元阵列300的传统布局结构。现考虑一组四个相邻的存储单元区域302、304、306及308，其具有一共用角310。该组四个相邻的存储单元区域302、304、306及308是组成一型样312，该型样是于X及Y方向重复地设置以形成一存储单元阵列。在沿边界线314及318的方向，WL接触面是存储单元区域302及304之间被共用，以及在存储单元区域308及306之间被共用。而沿着边界线316及320，VCC、VSS以及BLB被共用。存储单元区域302及308的垂直边缘是彼此对准。存储单元区域304及

306的垂直边缘是彼此对准。存储单元区域302及304的水平边缘是彼此对准。存储单元区域306及308的水平边缘是彼此对准。

请同时参考图2及图3。两垂直相邻的存储单元区域的两周边区域之间的垂直距离是以 $n$ 表示，而两平行相邻的存储单元区域的两周边区域之间的平行距离是以 $m$ 表示。距离 $n$ 是定义为栅导电层214的上边缘的一参考点以及其相邻存储单元的栅导电层234的下边缘的相对应的参考点之间的距离。距离 $m$ 是定义为掺杂区域220的左边缘的一参考点以及其相邻存储单元的掺杂区域236的右边缘的相对应的参考点之间的距离。由于某些设计规则的限制，距离 $m$ 及 $n$ 必须保持固定。

如上所论述，栓锁区域230不能缩减面积。为了减少SRAM单元200的面积，只有周边区域232面积能被降低。然而，由于设计规则的限制，距离 $m$ 及 $n$ 必须设定为大于一既定值。对欲降低SRAM单元200的面积或增加良率的设计者而言，这就产生了一个挑战。

图4是显示本发明所提供的一交错SRAM单元阵列的一布局结构400。为了能实现布局结构400，图3的存储单元区域302被往右稍微移动而成为存储单元区域402，图3的存储单元区域304被往下稍微移动而成为存储单元区域404，图3的存储单元区域306被往左稍微移动而成为存储单元区域406，以及图3的存储单元区域308被往上稍微移动而成为存储单元区域408。一部分的空闲长方形410被建立于存储单元区域的共用角，其中该共用角是取代图3的共用角310。这组四个存储单元区域402、404、406及408是建立出一型样412，该型样是在X及Y方向重复地建立以形成交错SRAM单元阵列的布局结构400。

栅导电层422及424是稍微地偏移通过两相邻的存储单元区域404及406。符号 $n$ 是表示导电层422及424的两相对应的参考点间的距离。由于在两存储单元404及406之间偏移，可证明距离 $n$ 是

包括x轴成分 $n_x$ 及y轴成分 $n_y$ 。如之前所述，为了满足某些设计规则，图4的距离 $n$ 必须与图2的距离 $n$ 保持相同。因此，成分 $n_y$ 会比图2的距离 $n$ 短，其中图2的距离 $n$ 是等于两相邻周边区域宽度的总和。换言之，图4的周边区域的面积相较图2的周边区域的面积是被缩减。更者，成分 $n_x$ 是代表存储单元区域404及406间所偏移的距离。在距离 $n$ 为常数的前提下，成分 $n_x$ 越长，则成分 $n_y$ 越短。因此，存储单元区域404及406间的偏移距离是决定周边区域的缩减面积量。

掺杂区域426及428是稍微地偏移通过两相邻的存储单元区域406及408。符号 $m$ 是表示掺杂区域426及428的两相对应的参考点间的距离。由于在两存储单元404及406之间偏移，可证明距离 $m$ 是包括x轴成分 $m_x$ 及y轴成分 $m_y$ 。如之前所述，为了满足某些设计规则，图4的距离 $m$ 必须与图2的距离 $m$ 保持相同。因此，成分 $m_x$ 会比图2的距离 $m$ 短，其中图2的距离 $m$ 是等于两相邻周边区域宽度的总和。换言之，图4的周边区域的面积相较图2的周边区域的面积是被缩减。更者，成分 $m_y$ 是代表存储单元区域404及406间所偏移的距离。在距离 $m$ 为常数的前提下，成分 $m_y$ 越长，则成分 $m_x$ 越短。因此，存储单元区域404及406间的偏移距离是决定周边区域的缩减面积量。

本发明所提供的上述实施例是在栓锁区域的面积不变动下，缩减周边区域的面积。结果，SRAM单元的总面积能够被缩减。举例而言，本发明的上述实施例能使65纳米制程所制造的SRAM装置的面积缩减3%。

在本发明的另一实施例中，图4的垂直长度 $n_y$ 是与图2的距离 $n$ 维持相同，以及图4的水平长度 $m_x$ 是与图2的距离 $m$ 维持相同。因此，图4的长度 $m$ 及 $n$ 较图2的长度 $m$ 及 $n$ 为长。这可增加周边区域的面积，连带增加SRAM存储阵列的总面积。结果，这种SRAM

装置的良率能够改善。注意到图4的SRAM存储阵列设计，只要不令距离m和n比图2的距离m和n还短，即能满足设计规则。

本发明是提出一种交错SRAM单元阵列，其能缩减周边区域的面积，同时并维持栓锁区域的面积。这能提供至少两种应用。在第一种应用中，两相邻存储单元区域的两相对应参考点间的距离于偏移前及偏移后是保持固定。这种应用能减少SRAM装置的总面积。在另一种应用中，两相邻存储单元区域的两相对应参考点间的垂直或水平距离于偏移前及偏移后是保持固定。这种应用增加了SRAM装置的总面积，因而改善了SRAM装置的良率。

虽然本发明已通过较佳实施例说明如上，但该较佳实施例并非用以限定本发明。本领域的技术人员，在不脱离本发明的精神和范围内，应有能力对该较佳实施例做出各种更改和补充，因此本发明的保护范围以权利要求书的范围为准。

附图中符号的简单说明如下：

100: 标准六晶体管SRAM单元

102、104: 反相器

106、112: 中心储存节点

108、114: 上拉(PU)晶体管

110、116: 下拉(PD)晶体管

118、120: 传输门晶体管

200: 标准6T SRAM单元

204、206、208、210: 存储单元的边界线

212、214、216、218: 栅极导电层

220、222、224、226、236: 掺杂区域

230: 栓锁区域

232: 周边区域

234: 栅导电层

- 
- 300: SRAM单元阵列
  - 302、304、306、308、402、404、406、408: 存储单元区域
  - 310: 共用角
  - 312、412: 型样
  - 314、316、318、320、414、416、418、420: 边界线
  - 400: 交错SRAM单元阵列的布局结构
  - 410: 空闲长方形
  - 422、424: 栅导电层
  - 426、428: 掺杂区域
  - $m$ 、 $m_x$ 、 $m_y$ 、 $n$ 、 $n_x$ 、 $n_y$ : 距离
  - BL、BLB: 位线
  - WL: 字线

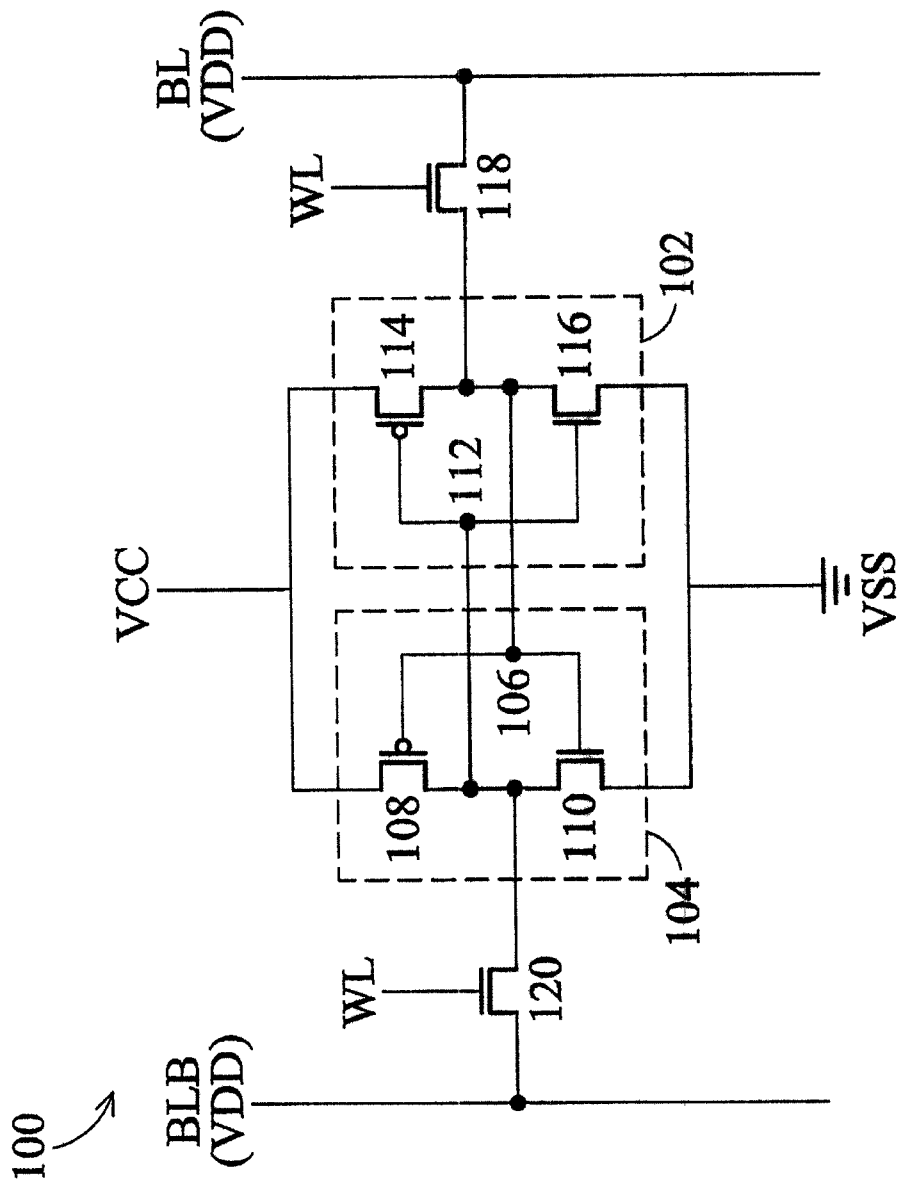


图 1

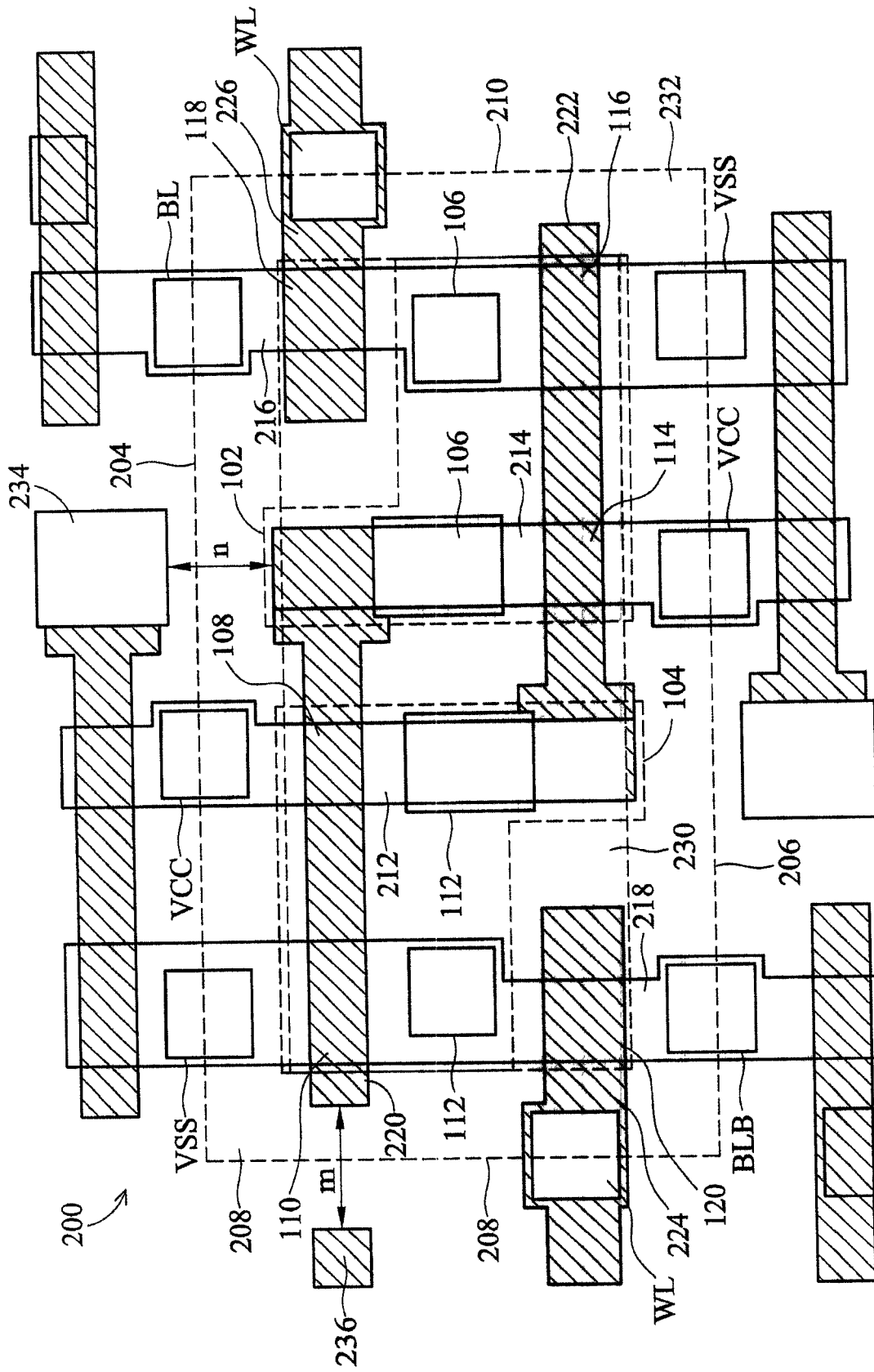


图 2

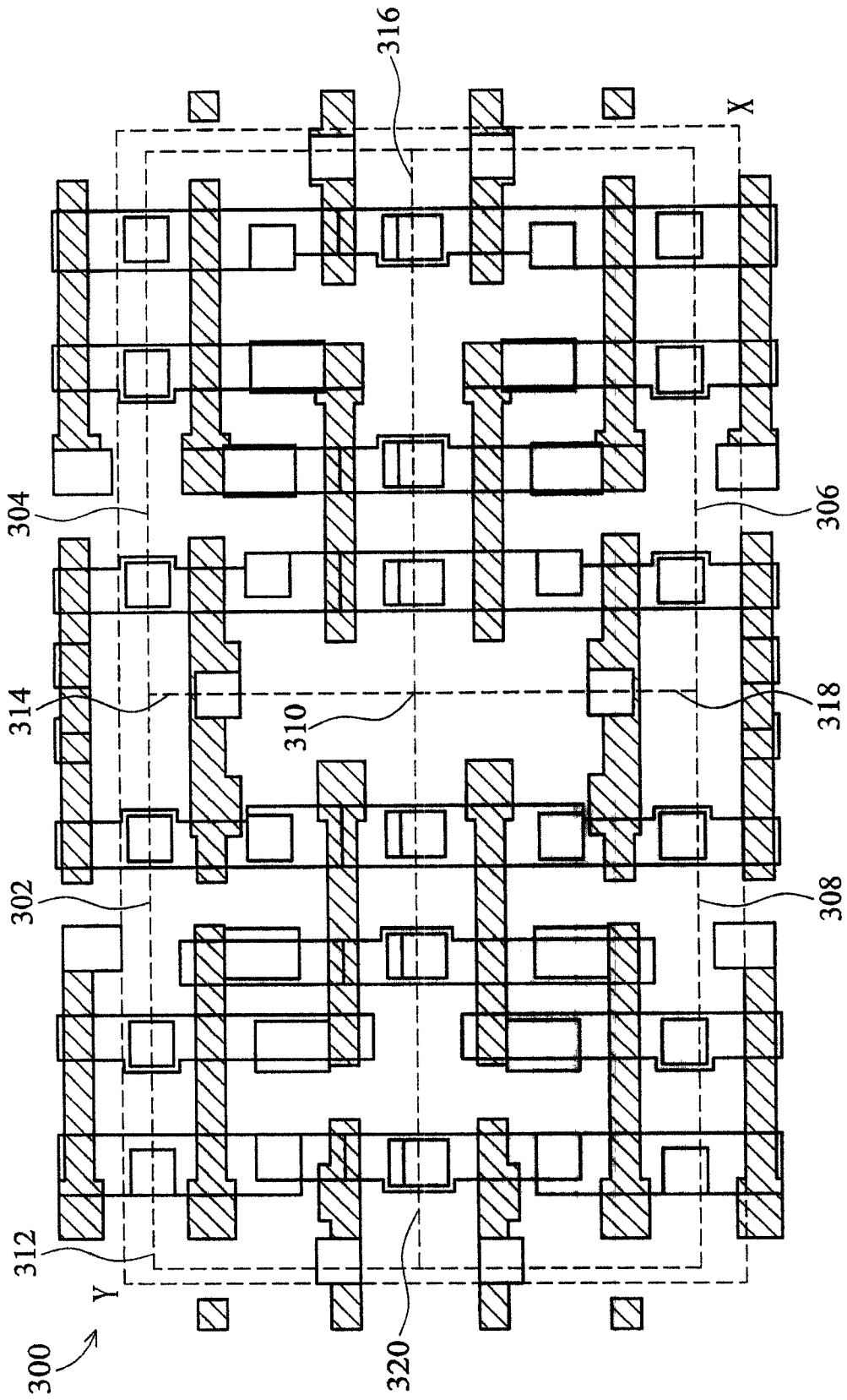


图 3



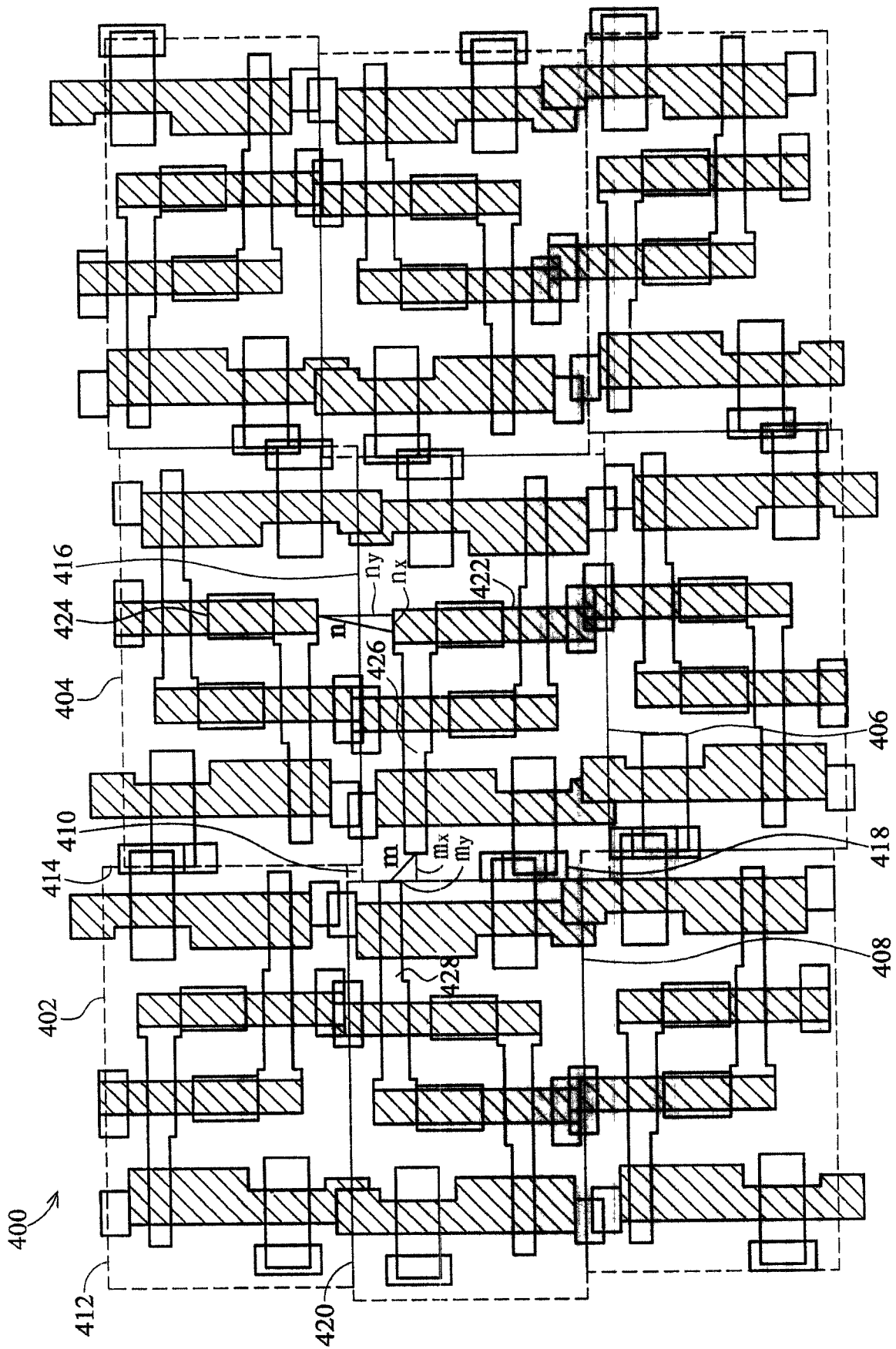


图 4