

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 45/00 (2006.01)

G11C 13/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200710040829.4

[45] 授权公告日 2009年11月25日

[11] 授权公告号 CN 100563041C

[22] 申请日 2007.5.18

[21] 申请号 200710040829.4

[73] 专利权人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路 865 号

[72] 发明人 吴良才 宋志棠 封松林

[56] 参考文献

CN1885542A 2006.12.27

JP2000-4001A 2000.1.7

CN1893104A 2007.1.10

US2003/0157798A1 2003.8.21

US2004/0053465A1 2004.3.18

CN1933207A 2007.3.21

审查员 季茂源

[74] 专利代理机构 上海智信专利代理有限公司  
代理人 潘振甦

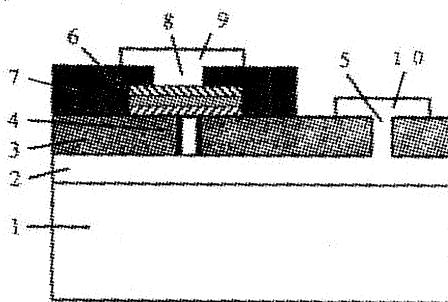
权利要求书 2 页 说明书 5 页 附图 3 页

[54] 发明名称

一种电阻存储器的器件单元结构及制作方法

[57] 摘要

本发明涉及一种电阻存储器的器件单元结构及制作方法，其特征在于所述的器件单元结构由顶电极、存储介质层、底电极接触，底电极、绝缘介质薄膜、金属导电层和衬底组成，其中：①制作在绝缘介质薄膜上的底电极接触是采用空心或实心的管状结构；②底电极接触与存储介质间有 TiN 薄膜钝化层作阻挡层；③顶电极通过钝化层上的顶电极引出孔与存储介质相连；④底电极与采用空心或实心的管状底电极接触的底部通过金属导电层相连；⑤金属导电层沉积在衬底上。本发明针对目前 RRAM 的发展现状，以减少电极接触面积降低功耗，提高可靠的电阻存储器器件单元结构。



1、一种电阻存储器的器件单元结构，其特征在于所述的器件单元结构由顶电极、存储介质层、底电极接触、底电极、绝缘介质薄膜、金属导电层和衬底组成，其中：

① 制作在绝缘介质薄膜上的底电极接触是采用空心或实心的管状结构；

② 存储介质中的 TiN 薄膜起钝化作用作为底电极接触与存储介质中的 TiO<sub>2</sub> 薄膜之间的阻挡层；

③ 顶电极通过具有引出孔的钝化层上的顶电极引出孔与存储介质相连；

④ 底电极与采用空心或实心的管状的底电极接触的底部通过金属导电层相连；

⑤ 金属导电层沉积在衬底上。

2、按权利要求 1 所述的电阻存储器的器件单元结构，其特征在于呈管状结构的底电极接触内填充金属 W 或 TiN。

3、按权利要求 1 所述的电阻存储器的器件单元结构，其特征在于所述的存储介质为在外场作用下具有电阻开关效应的材料。

4、按权利要求 3 所述的电阻存储器的器件单元结构，其特征在于所述的存储介质为 TiO<sub>2</sub>、NiO、ZrO<sub>2</sub>、HfO<sub>2</sub>、CeO<sub>2</sub>、RuO<sub>x</sub>、CuO<sub>x</sub> 或 SrZrO<sub>3</sub>。

5、按权利要求 1、3 或 4 所述的电阻存储器的器件单元结构，其特征在于所述的存储介质为两层或两层以上的薄膜结构。

6、按权利要求 1 所述的电阻存储器的器件单元结构，其特征在于所述作为阻挡层的钝化层为 SiO<sub>2</sub>、SiN<sub>x</sub> 或 Al<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub> 和 Ta<sub>2</sub>O<sub>5</sub>，其厚度 50 nm-400 nm。

7、按权利要求 1 所述的电阻存储器的器件单元结构，其特征在于所述

的底电极接触的材料导电金属为 W、Pt、Al、Cu、Ni、Co、Mo、Au、Ru、Ir、Ag 或 Pd 中一种；或为 TaN、TiN、IrO<sub>2</sub>、RuO<sub>2</sub> 中一种。

8、一种制作电阻存储器的器件单元结构的方法，其特征在于：

(a) 利用高真空磁控溅射方法在衬底上淀积金属导电层，再在金属导电层上沉积一层绝缘介质层，绝缘介质层厚度为 200 nm-500 nm；

(b) 在步骤 (a) 制作的绝缘介质层上制作纳米孔洞，孔洞的形状为空心管状或实心管状，孔洞直径为 50 nm-500 nm，孔洞穿过绝缘介质层，孔洞底部与金属导电层相连，

(c) 利用磁控溅射或物理气相沉积方法在步骤 (b) 制出的小孔内填充金属 W 或 TiN；

(d) 在步骤 (c) 所述的孔洞的侧壁填充 W 或 TiN 后，采用化学机械抛光方法，将小孔外的 W 或 TiN 去除，得到管状电极，形成底电极接触；

(e) 在步骤 (d) 制作的管状电极上淀积具有开关效应的存储材料，通过剥离或刻蚀方法形成电阻存储器存储介质单元；

(f) 在步骤 (e) 制作的存储介质单元上淀积具有引出孔的钝化层，通过剥离或刻蚀的方法形成顶电极引出孔；

(g) 沉积金属电极材料，通过干法刻蚀或湿法腐蚀方法形成顶电极和底电极。

9、按权利要求 8 所述的电阻存储器的器件单元结构的制作方法，其特征在于所述的绝缘介质层为 SiO<sub>2</sub>、SiN<sub>x</sub>、Al<sub>2</sub>O<sub>3</sub> 或 ZrO<sub>2</sub>。

10、按权利要求 8 所述的电阻存储器的器件单元结构的制作方法，其特征在于顶电极和底电极为 Pt、Au、Ag、Al、Cu、W 或 Mo，厚度为 200—500nm。

## 一种电阻存储器的器件单元结构及制作方法

### 技术领域

本发明涉及一种用于电阻存储器的器件单元结构及制作方法。属于微电子学中材料与器件领域。

### 背景技术

当前，开发具有成本低，速度快，存储密度高，制造简单且与当前的CMOS（互补金属-氧化物-半导体）集成电路工艺兼容性好的新型存储技术受到世界范围的广泛关注。基于具有电阻开关特性的金属氧化物的电阻式随机存取存储器（RRAM）的内存技术是目前多家器件制造商开发的重点，因为这种技术可以提供更高密度、更低成本与更低耗电量的 non-volatile 非易失性内存。此外，RRAM 具有抗辐照、耐高低温、抗强振动、抗电子干扰等性能，在国防和航空航天领域有重要的应用前景。正如同许多其它新技术一样，RRAM 有潜力在未来取代闪存。RRAM 的存储单元在施加脉冲电压后电阻值会产生很大变化，这一电阻值在断开电源后仍能维持下去。实现多值化的同时还能达到相当于 NAND 型闪存的单元尺寸和相当于 SRAM 的高速性能。因此近年来，国际上很多电子和半导体公司都愿意投下大量的财力与人力在致力于 RRAM 的研制。目前正在从事开发 RRAM 技术的公司有 Sharp、Sony、Samsung Electronics、LSI Logic、Matsushita Electric Industrial、Winbond Electronics 等。另外专门有一家总部设在加州 Petaluma 的半导体制造设备供货商 Tegal 提供相关 RRAM 设备。Sharp 与 University of Shizuoka 合作，已开发出一个高速 RRAM 的原型产品，测试结果显示这个内存能够让资料的读写以千倍于 NAND 内存的速度执行。

针对目前 RRAM 快速发展的现状，为了减小电极接触面积，降低功耗，提高可靠性等，本发明拟提出一种基于电阻开关特性的电阻存储器的器件单元结构及制作方法。

## 发明内容

如上所述，本发明的目的在于提出一种用于 RRAM 的器件单元结构及制作方法。所述的器件单元结构由上电极、存储介质、底电极接触（BEC）、底电极、衬底、绝缘介质、钝化层等组成，其中制作在绝缘介质薄膜上的底电极接触是采用空心或实心的管状结构；电极接触与存储介质间有导电薄膜钝化层作阻挡层；顶电极通过钝化层上的顶电极引出孔与存储介质相连；底电极与采用空心或实心管的底电极接触的底部通过金属导电层相连；金属导电层沉积在衬底上。

本发明的主要工艺步骤如下：

a) 利用高真空磁控溅射方法在衬底上淀积金属导电层，再在金属导电层上沉积一层绝缘介质层，所述的绝缘介质层由原位溅射生长，厚度为 200 nm-500 nm 厚，所述的绝缘介质层为  $\text{SiO}_2$ 、 $\text{SiN}_x$ 、 $\text{Al}_2\text{O}_3$  或  $\text{ZrO}_2$  中的任意一种；

b) 在上述介质层上利用电子束曝光和反应离子刻蚀技术或当前的亚微米 CMOS 工艺制备纳米孔洞，孔洞的形状为空心管状或实心管状，孔洞直径为 50 nm-500 nm，孔洞穿过绝缘介质层，孔洞底部与金属导电层相连，

c) 利用磁控溅射或物理气相沉积方法在步骤（b）制备出的小孔的侧壁填充金属 W 或 TiN；

d) 孔洞侧壁填充 W 或 TiN 后，采用化学机械抛光（CMP）技术，将小孔外的 W 或 TiN 去除，得到管状电极，形成底电极接触；

e) 在上述管状电极上淀积具有电阻开关效应的存储材料，通过剥离或刻蚀方法形成电阻存储器存储介质单元；

f) 在存储介质单元上淀积钝化层，通过剥离或刻蚀的方法形成顶电极

引出孔；

g) 沉积金属电极材料，通过干法刻蚀或湿法腐蚀方法形成顶电极和底电极。

所述的底电极接触（BEC）的材料不受限制，可以用 W、Pt、Al、Cu、Ni、Co、Mo、Au、Ru、Ir、Ag、Pd 等金属材料或具有一定导电能力的材料 TaN、TiN、IrO<sub>2</sub>、RuO<sub>2</sub> 等。

所述的底电极接触（BEC）的制备方法不受限制，可以为 CVD、原子层沉积（ALD）、磁控溅射、PLD、电子束蒸发、热蒸发等具有填充孔洞能力好的制备方法。

所述的存储介质的种类不受限制，存储介质的材料组分不受限制，为任何阻值具有开关效应的材料，也即在外场作用下能够在高阻态与低阻态之间切换的材料，如 TiO<sub>2</sub>、NiO、ZrO<sub>2</sub>、HfO<sub>2</sub>、CeO<sub>2</sub>、RuO<sub>x</sub>、CuO<sub>x</sub>、SrZrO<sub>3</sub> 或 (Pr, Ca)MnO<sub>3</sub> 等。且存储介质的结构形式不受限制，可以为单层、两层或两层以上多层膜结构。

所述的衬底材料无限制，可以是常用的单晶硅片，或 Ge、InP 和 GaAs 等半导体材料，也可以是石英玻璃，陶瓷基片等介质材料或金属材料。

所述的顶电极和底电极不受限制，可以是 Pt、Au、Ag 等贵金属材料，也可以是 Al、Cu、W、Mo 等常用的导体材料，其厚度为 200-500 nm。

所述的钝化层保护膜的材料为常用的 SiO<sub>2</sub>、SiN<sub>x</sub>、Al<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub> 和 Ta<sub>2</sub>O<sub>5</sub> 等材料，厚度 50 nm-400 nm。

所述的底电极可以用电子束曝光和反应离子刻蚀等微纳加工技术或当前亚微米 CMOS 标准工艺等方法获得，直径一般为 50 nm-500 nm。

所述的刻蚀方法是在带有管状电极的衬底上相继制备电阻材料和上电极材料，然后利用反应离子刻蚀或其它刻蚀方法去除管状电极以外的上电极材料和电阻材料，形成电阻存储器器件单元。

本发明的特征之一是采用实心或空心的管状 BEC 减小电极与存储介质之间的接触面积，降低功耗；

本发明的另一个特征是采用诸如 TiN 的一类具有一定电阻率和导电能力的材料作为阻挡 (buffer) 层, 减少存储介质与电极之间的扩散与反应, 提高可靠性;

综上所述, 本发明提供了一种低功耗、高可靠的电阻存储器器件单元结构及其制备方法。

### 附图说明

图 1 衬底上生长一层金属导电层

图 2 在金属导电层上淀积一层 绝缘介质层

图 3 在介质层中制备管状孔洞并在孔洞侧壁填充导电材料后形成空心管状电极, 作为底电极接触

图 4 在管状电极上淀积存储介质薄膜并刻蚀或 lift off (剥离) 形成存储介质单元

图 5 在存储介质上淀积一层钝化层保护膜并制备出上电极引线孔

图 6 淀积电极材料薄膜, 并制成上、下电极

图 7 实心的管状电极的电阻存储器器件单元

图中: 1.衬底; 2.金属导电层; 3.绝缘介质层; 4. 空心或实心的管状底电极接触; 5.底电极引出孔; 6.存储介质; 7.钝化层保护膜; 8.顶电极引出孔; 9.顶电极; 10.底电极

### 具体实施方式

下面通过具体实施例, 进一步阐明本发明的实质性特点和显著的进步, 但本发明决非仅局限于所述的实施例。

实施例 1:

(1) 在 Si 衬底 1 上热生长 100 nm 厚的  $\text{SiO}_2$  或利用 PECVD (等离子体增强化学气相沉积) 制备 100 nm 厚的  $\text{SiN}_x$  介质膜, 然后在  $\text{SiO}_2$  或  $\text{SiN}_x$  上利用磁控溅射或蒸镀的方法制备一层 80 nm 厚 Al 膜金属导电层 2; (图 1)

(2) 利用 PECVD 或溅射方法在金属导电层 Al 膜 2 的上面制备 300 nm-500 nm 厚的  $\text{SiO}_2$  绝缘介质层 3; (图 2)

(3) 在绝缘介质层  $\text{SiO}_2$  上利用电子束曝光和反应离子刻蚀技术制备孔洞, 孔洞底部与金属导电层相连, 孔洞的直径在 200 nm-500 nm 范围; 然后利用 CVD 或溅射技术在孔洞侧壁填充 W 材料; 最后利用化学机械抛光技术 (CMP) 抛除孔洞以外区域的 W 材料, 得到空心管状电极 4, 形成底电极接触 (图 3);

(4) 利用磁控溅射、CVD 或蒸发方法依次制备 TiN 或  $\text{TiO}_2$  薄膜 6, 然后在管状电极上端区域光刻、刻蚀形成  $\text{TiO}_2/\text{TiN}$  单元块; 薄膜厚度 20-200 nm, 本底真空为  $3 \times 10^{-6}$  Torr, 功率 100 -500 W; (图 4)

(5) 利用 CVD、磁控溅射或蒸发方法制备  $\text{SiO}_2$  薄膜, 然后光刻、刻蚀形成顶电极引出孔 8; 薄膜厚度 20-500 nm, 本底真空为  $3 \times 10^{-6}$  Torr, 功率 50 -200 W; (图 5) 在绝缘介质另一端用光刻、刻蚀方法形成底电极引出孔 5,

(6) 利用电子束蒸发或热蒸发方法、溅射方法淀积 Al 薄膜, 并光刻、水浴磷酸腐蚀形成顶电极 9 和底电极 10。(图 6)

实施例 2: 将实施例 1 第 3 步的空心管状电极填满  $\text{SiO}_2$  或  $\text{SiN}_x$  等介质材料, 然后再进行 CMP, 从而得到实心的管状电极。其它同实施例 1, 这样可以得到更好的结果, 可靠性得到进一步提高。(图 7)

实施例 3: 将实施例 1 中的  $\text{TiO}_2$  二元金属氧化物薄膜, 换成三元金属氧化物薄膜  $\text{SrZrO}_3$ ,  $(\text{Pr}, \text{Ca})\text{MnO}_3$  等, 然后在管状电极上端区域光刻、刻蚀形成三元金属氧化物薄膜与 TiN 形成的多层膜单元块, 作为存储介质。其它与实施例 1 类似, 也能实现类似的效果。

实施例 4: 将实施例 1 中的  $\text{TiO}_2$  二元金属氧化物薄膜, 换成二元、三元金属氧化物薄膜堆叠结构, 如  $\text{SrZrO}_3/\text{TiO}_2/\text{TiN}$ , 然后在管状电极上端区域光刻、刻蚀形成  $\text{SrZrO}_3/\text{TiO}_2/\text{TiN}$  多层膜单元块, 作为存储介质。其它与实施例 1 类似。



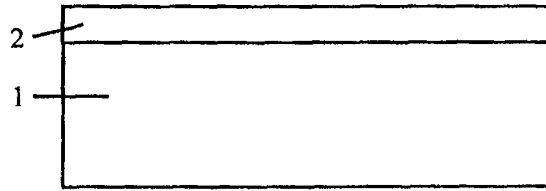


图 1

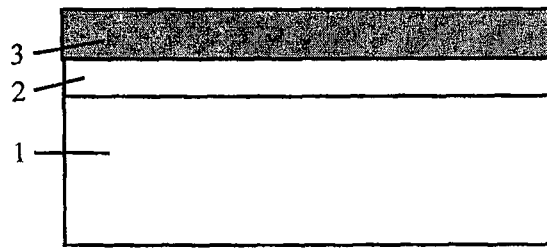


图 2

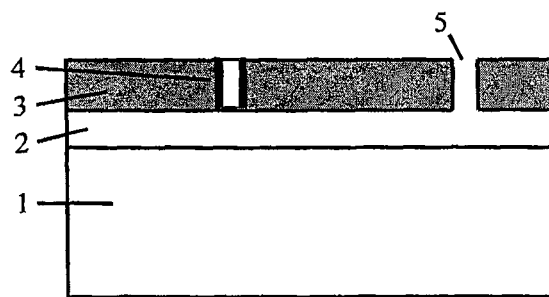


图 3

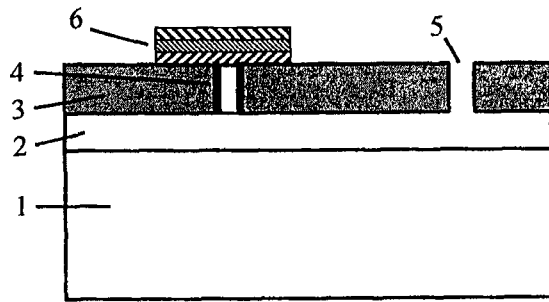


图 4

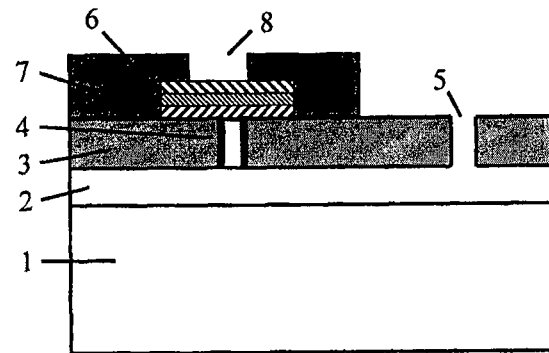


图 5

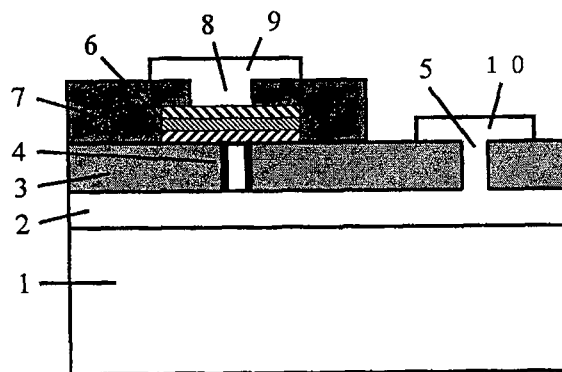


图 6

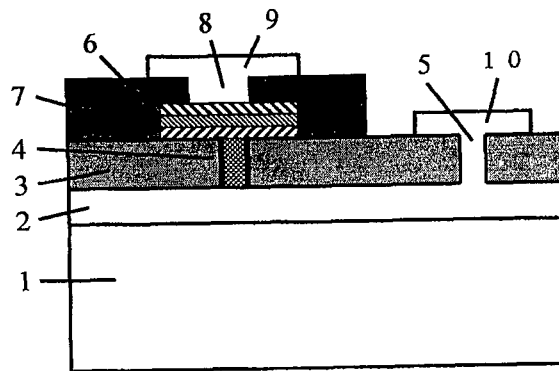


图 7