



(12)发明专利

(10)授权公告号 CN 103178097 B

(45)授权公告日 2017.09.08

(21)申请号 201210533417.5

(22)申请日 2012.12.11

(65)同一申请的已公布的文献号
申请公布号 CN 103178097 A

(43)申请公布日 2013.06.26

(30)优先权数据
61/579,924 2011.12.23 US
13/397,465 2012.02.15 US

(73)专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72)发明人 曾华洲 谢孟纬

(74)专利代理机构 北京德恒律治知识产权代理
有限公司 11409
代理人 章社泉 孙征

(51)Int.Cl.

H01L 29/423(2006.01)

H01L 21/28(2006.01)

(56)对比文件

CN 101262010 A,2008.09.10,说明书第9页
倒数第2段,图2A、2B.

CN 101819937 A,2010.09.01,说明书0055-
0058段,图1.

US 2010164018 A1,2010.07.01,全文.

US 2011180870 A1,2011.07.28,说明书
0015-0031段,图2A-2E.

审查员 李海龙

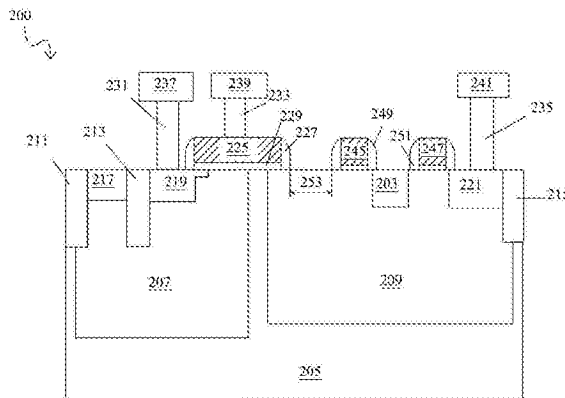
权利要求书3页 说明书9页 附图8页

(54)发明名称

用于高电压晶体管器件的伪栅极

(57)摘要

本发明提供了一种半导体器件及其形成方法。该半导体器件包括都在衬底中形成的第一掺杂区和相反掺杂的第二掺杂区;形成覆盖一部分第一掺杂区和一部分第二掺杂区的第一栅极;在衬底上方形成覆盖第二掺杂区的不同部分的两个或两个以上第二栅极;位于第二掺杂区中仅设置在两个或两个以上第二栅极之间的一个或多个第三掺杂区,使得第三掺杂区和第二掺杂区具有相反的导电类型;位于第一掺杂区中的源极区;以及位于第二掺杂区中关于第二栅极与第一栅极相对设置的漏极区。本发明提供了用于高电压晶体管器件的伪栅极。



1. 一种半导体器件,包括:

第一掺杂区和第二掺杂区,二者均形成在衬底中,所述第一掺杂区和所述第二掺杂区具有相反的导电类型;

第一栅极,形成在所述衬底上方,所述第一栅极覆盖所述第一掺杂区的一部分以及所述第二掺杂区的一部分;

两个或两个以上第二栅极,形成在所述衬底上方,所述第二栅极覆盖所述第二掺杂区的不同部分;

一个或多个第三掺杂区,位于所述第二掺杂区中,仅设置在所述两个或两个以上第二栅极之间,使得所述第三掺杂区的第一边缘与一个第二栅极的间隔元件对准,所述第三掺杂区的第二边缘与另一个第二栅极的间隔元件对准,其中所述第三掺杂区和所述第二掺杂区具有相反的导电类型,其中,所述第三掺杂区具有从所述第三掺杂区的第一边缘延伸至所述第三掺杂区的第二边缘的硅化物表面,所述第三掺杂区的硅化物表面与所述两个或两个以上第二栅极的硅化物表面是非共形的,其中,所述第三掺杂区与所述第一栅极的边缘相距至少0.05微米;

源极区,位于所述第一掺杂区中;以及

漏极区,位于所述第二掺杂区中,关于所述第二栅极与所述第一栅极相对设置,其中,所述漏极区具有相对设置的第一边缘和第二边缘,所述漏极区的第一边缘与所述两个或两个以上第二栅极中的一个的侧壁自对准,所述漏极区的第二边缘的界面与置于所述衬底中的隔离部件的界面相连接。

2. 根据权利要求1所述的半导体器件,其中,所述半导体器件为NMOS,所述第一掺杂区具有p型导电性,所述第二掺杂区具有n型导电性,所述第三掺杂区具有p型导电性。

3. 根据权利要求1所述的半导体器件,进一步包括位于所述第一掺杂区和所述第二掺杂区下方的深n阱区,其中,所述半导体器件为PMOS,所述第一掺杂区具有n型导电性,所述第二掺杂区具有p型导电性,所述第三掺杂区具有n型导电性。

4. 根据权利要求1所述的半导体器件,其中,

所述源极区和所述漏极区重掺杂有所述第二掺杂区的导电类型;并且

所述第一栅极构成晶体管的栅极。

5. 根据权利要求1所述的半导体器件,其中,所述第一栅极、所述源极区、所述漏极区、所述两个或两个以上第二栅极具有完全硅化的上表面。

6. 根据权利要求1所述的半导体器件,其中,所述第一栅极和所述第二栅极每一个均包括多晶硅材料。

7. 根据权利要求1所述的半导体器件,其中,所述第三掺杂区是重掺杂的。

8. 一种半导体器件,包括:

第一掺杂阱和第二掺杂阱,每一个都形成在衬底中,所述第一掺杂阱和所述第二掺杂阱中的一个掺杂有P型掺杂物,并且所述第一掺杂阱和所述第二掺杂阱中的另一个掺杂有N型掺杂物;

器件栅极结构,部分地设置在所述第一掺杂阱和所述第二掺杂阱的上方,所述器件栅极结构包括多晶硅栅电极,其中所述栅电极的整个上表面都为硅化的;以及

两个伪栅极结构,设置在所述第二掺杂阱上方,所述两个伪栅极结构通过具有最小指

定距离的间隙与所述器件栅极结构分开,其中所述伪栅极结构之间的所述第二掺杂阱的反向掺杂区掺杂有P型掺杂物,所述反向掺杂区的第一边缘与一个伪栅极结构的间隔元件对准,所述反向掺杂区的第二边缘与另一个伪栅极结构的间隔元件对准,其中,所述反向掺杂区具有从所述反向掺杂区的第一边缘延伸至所述反向掺杂区的第二边缘的硅化物表面,所述反向掺杂区的硅化物表面与所述两个伪栅极结构的硅化物表面是非共形的,其中,所述反向掺杂区与所述器件栅极结构的边缘相距至少0.05微米;

漏极区,位于所述第二掺杂区中,所述漏极区设置在所述两个伪栅极结构的第一侧面,所述两个伪栅极结构的第二侧面邻近所述器件栅极结构,第一侧面和第二侧面相对设置;其中,所述漏极区具有相对设置的第一边缘和第二边缘,所述漏极区的第一边缘与所述两个伪栅极结构中的一个的侧壁自对准,所述漏极区的第二边缘的界面与置于所述衬底中的隔离部件的界面相连接。

9. 根据权利要求8所述的半导体器件,其中,

在所述第一掺杂阱中包括第一部分和第二部分,所述第一部分和所述第二部分具有比所述第一掺杂阱和所述第二掺杂阱更高的掺杂浓度,所述第一部分用作晶体管的源极区;

在所述第二掺杂阱中包括第三部分和第四部分,所述第三部分和所述第四部分与所述两个伪栅极结构的边缘自对准,所述第三部分用作所述晶体管的漏极区,而所述第四部分用作所述反向掺杂区,并且所述第一部分和所述第三部分掺杂有N型掺杂物;以及

所述器件栅极结构用作所述晶体管的栅极。

10. 根据权利要求9所述的半导体器件,其中,所述反向掺杂区具有比所述第二部分更低的掺杂浓度。

11. 根据权利要求9所述的半导体器件,其中,所述反向掺杂区具有比所述第二部分更高的掺杂浓度。

12. 根据权利要求8所述的半导体器件,进一步包括位于所述第一掺杂阱和所述第二掺杂阱之间的本征区。

13. 一种制造半导体器件的方法,包括:

在衬底中形成具有相反导电类型的第一阱和第二阱;

在所述衬底上方形成器件栅极以及两个或两个以上伪栅极,所述器件栅极形成在所述第一阱和所述第二阱上方,所述伪栅极形成在所述第二阱上方,所述第一阱和所述第二阱通过间隙分开;

对位于所述第二阱中所述伪栅极之间的反向掺杂区进行图案化和注入,其中,所述反向掺杂区与所述器件栅极的边缘相距至少0.05微米;

形成具有相同导电类型的源极区和漏极区,所述源极区形成在未被所述器件栅极覆盖的一部分所述第一阱中,所述漏极区形成在邻近并超出距离所述器件栅极最远的所述伪栅极的一部分所述第二阱中;以及

形成所述源极区和所述漏极区的硅化物表面。

14. 根据权利要求13所述的方法,其中,对反向掺杂区进行图案化和注入与对不同半导体器件的轻掺杂漏极区进行图案化和注入或者与对衬底拾取区进行图案化和注入同时实施。

15. 根据权利要求14所述的方法,其中,对反向掺杂区进行图案化和注入在两个分开的

操作中实施,所述两个分开的操作包括:

对不同半导体器件的轻掺杂漏极区进行图案化和注入;以及
对衬底拾取区进行图案化和注入。

16. 根据权利要求13所述的方法,其中,形成硅化物表面还包括所述器件栅极。

17. 根据权利要求13所述的方法,进一步包括在对反向掺杂区进行图案化和注入之前在所述栅极的侧壁上形成间隔件。

用于高电压晶体管器件的伪栅极

[0001] 相关申请的参考

[0002] 本申请要求于2011年12月23日提交的美国临时专利申请序列号第61/579,924号的优先权,其全部内容结合于本文中作为参考。

技术领域

[0003] 本发明涉及半导体制造,具体而言,涉及半导体器件及其制造方法。

背景技术

[0004] 半导体集成电路(IC)产业已经历了迅速发展。对于IC材料和设计的技术进步已产生了数代IC,每一代都比前一代具有更小的且更复杂的电路。然而,这些改进增加了加工和制造IC的复杂度并且,为了想要实现这些进步,需要IC加工和制造方面的类似发展。在IC的发展过程中,虽然几何尺寸(即,能够利用制造工艺生产的最小部件)减小了,但是功能密度(即,每一芯片面积中互连器件的数目)大幅增加了。

[0005] 不断减小的几何尺寸导致在制造高电压半导体晶体管器件中的挑战。这些高电压(HV)晶体管器件从晶体管器件的栅极至该晶体管器件的漏极区可能需要足够大的电压降。传统上,较大的电压降已通过推动漏极区远离栅极区和源极区,有效地延长栅极和漏极之间的漂移区得到了实现。然而,随着晶体管器件尺寸变得更小,延长漂移区已变得不现实。漂移区长度影响各种可靠性特性,诸如热载流子注入(HCI)和时间相关电介质击穿(TDDB)。热载流子注入(HCI)是在固态电子器件中电子或“空穴”获得足够的动能以克服打破界面状态所需的势垒的一种现象。由于电荷载流子在金属氧化物半导体(MOS)晶体管中的栅极电介质中能够被俘获,因此如果不能充分控制HCI,则该晶体管的开关特性会发生永久改变。时间相关电介质击穿(TDDB)是当栅极氧化物由于形成穿过栅极氧化物到达衬底的导电通路而发生击穿时MOS场效应晶体管(MOSFET)中的一种失效机制。这是由于MOSFET在接近于指定的工作电压或者超出指定的工作电压进行操作时的电子隧穿电流引起的。

[0006] 因此,尽管现有的制造高电压晶体管的方法通常已足以实现它们的预定目的,但这些方法在各个方面尚不是完全令人满意的。

发明内容

[0007] 为了解决上述问题,一方面,本发明提供了一种半导体器件,包括:第一掺杂区和第二掺杂区,二者均形成在衬底中,所述第一掺杂区和所述第二掺杂区具有相反的导电类型;第一栅极,形成在所述衬底上方,所述第一栅极覆盖所述第一掺杂区的一部分以及所述第二掺杂区的一部分;两个或两个以上第二栅极,形成在所述衬底上方,所述第二栅极覆盖所述第二掺杂区的不同部分;一个或多个第三掺杂区,位于所述第二掺杂区中,仅设置在所述两个或两个以上第二栅极之间,其中所述第三掺杂区和所述第二掺杂区具有相反的导电类型;源极区,位于所述第一掺杂区中;以及漏极区,位于所述第二掺杂区中,关于所述第二栅极与所述第一栅极相对设置。

[0008] 在所述的半导体器件中,所述第三掺杂区与所述第一栅极的边缘相距至少0.05微米。

[0009] 在所述的半导体器件中,所述第三掺杂区与所述第一栅极的边缘相距至少0.15微米。

[0010] 在所述的半导体器件中,所述半导体器件为NMOS,所述第一掺杂区具有p型导电性,所述第二掺杂区具有n型导电性,所述第三掺杂区具有p型导电性。

[0011] 所述的半导体器件进一步包括:位于所述第一掺杂区和所述第二掺杂区下方的深n阱区,其中,所述半导体器件为PMOS,所述第一掺杂区具有n型导电性,所述第二掺杂区具有p型导电性,所述第三掺杂区具有n型导电性。

[0012] 在所述的半导体器件中,所述源极区和所述漏极区重掺杂有所述第二掺杂区的导电类型;并且所述第一栅极构成晶体管的栅极。

[0013] 在所述的半导体器件中,所述第一栅极、所述源极区、所述漏极区、所述两个或两个以上栅极具有完全硅化的上表面。

[0014] 在所述的半导体器件中,所述第一栅极、所述源极区、所述漏极区、所述两个或两个以上栅极具有完全硅化的上表面,其中,所述一个或多个第三掺杂区具有硅化物表面。

[0015] 在所述的半导体器件中,所述第一栅极和所述第二栅极每一个均包括多晶硅材料。

[0016] 在所述的半导体器件中,所述第三掺杂区是重掺杂的。

[0017] 另一方面,本发明还提供了一种半导体器件,包括:第一掺杂阱和第二掺杂阱,每一个都形成在衬底中,所述第一掺杂阱和所述第二掺杂阱中的一个掺杂有P型掺杂物,并且所述第一掺杂阱和所述第二掺杂阱中的另一个掺杂有N型掺杂物;器件栅极结构,部分地设置在所述第一掺杂阱和所述第二掺杂阱的上方,所述器件栅极结构包括多晶硅栅电极,其中所述栅电极的整个上表面都为硅化的;以及两个伪栅极结构,设置在所述第二掺杂阱上方,所述两个伪栅极结构通过具有最小指定距离的间隙与所述器件栅极结构分开,其中所述伪栅极结构之间的所述第二掺杂阱的反向掺杂区掺杂有P型掺杂物。

[0018] 在所述的半导体器件中,在所述第一掺杂阱中包括第一部分和第二部分,所述第一部分和所述第二部分具有比所述第一掺杂阱和所述第二掺杂阱更高的掺杂浓度,所述第一部分用作晶体管的源极区;在所述第二掺杂阱中包括第三部分和第四部分,所述第三部分和所述第四部分与所述两个伪栅极结构的边缘自对准,所述第三部分用作所述晶体管的漏极区,而所述第四部分用作所述反向掺杂区,并且所述第一部分和所述第三部分掺杂有N型掺杂物;以及所述器件栅极结构用作所述晶体管的栅极。

[0019] 在所述的半导体器件中,所述反向掺杂区具有比所述第二部分更低的掺杂浓度。

[0020] 在所述的半导体器件中,所述反向掺杂区具有比所述第二部分更高的掺杂浓度。

[0021] 所述的半导体器件进一步包括位于所述第一掺杂阱和所述第二掺杂阱之间的本征区。

[0022] 又一方面,本发明还提供了一种制造半导体器件的方法,包括:在衬底中形成具有相反导电类型的第一阱和第二阱;在所述衬底上方形成器件栅极以及两个或两个以上伪栅极,所述器件栅极形成在所述第一阱和所述第二阱上方,所述伪栅极形成在所述第二阱上方,所述第一阱和所述第二阱通过间隙分开;对位于所述第二阱中所述伪栅极之间的反向

掺杂区进行图案化和注入;形成具有相同导电类型的源极区和漏极区,所述源极区形成在未被所述器件栅极覆盖的一部分所述第一阱中,所述漏极区形成在邻近并超出距离所述器件栅极最远的所述伪栅极的一部分所述第二阱中;以及形成所述源极区和所述漏极区的硅化物表面。

[0023] 在所述的方法中,对反向掺杂区进行图案化和注入与对不同半导体器件的LDD区进行图案化和注入或者与对衬底拾取区进行图案化和注入同时实施。

[0024] 在所述的方法中,对反向掺杂区进行图案化和注入与对不同半导体器件的LDD区进行图案化和注入或者与对衬底拾取区进行图案化和注入同时实施,其中,对反向掺杂区进行图案化和注入在两个分开的操作中实施,所述两个分开的操作包括:对不同半导体器件的LDD区进行图案化和注入;以及对衬底拾取区进行图案化和注入。

[0025] 在所述的方法中,形成硅化物表面还包括所述器件栅极。

[0026] 所述的方法进一步包括:在对反向掺杂区进行图案化和注入之前在所述栅极的侧壁上形成间隔件。

附图说明

[0027] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明的各方面。应该强调的是,根据工业中的标准实践,对各种部件没有按比例绘制。实际上,为了清楚论述起见,各种部件的尺寸可以被任意增大或减小。

[0028] 图1A和图1B示出了两种类型的HV MOS晶体管器件的横截面图。

[0029] 图2示出了根据本发明的各种实施方式的HV MOS晶体管的横截面图。

[0030] 图3是示出了形成根据本发明的各个方面的半导体器件的方法的流程图。

[0031] 图4A、图4B、图5、图6A、图6B、图7、图8和图9是在根据本发明的实施方式的在各个制造阶段的半导体器件的示意性局部横截面侧视图。

[0032] 图10是对比HV MOS晶体管和根据本发明各种实施方式的HV MOS晶体管的 I_d - V_d 曲线的曲线图。

具体实施方式

[0033] 应当了解为了实施本发明的不同部件,以下公开内容提供了许多不同的实施例或实例。在下面描述元件和布置的特定实例以简化本发明。当然这些仅仅是实例并不打算用于限定。例如,在下面的描述中第一部件在第二部件上方或者在第二部件上的形成可以包括其中第一和第二部件以直接接触形成的实施例,并且也可以包括其中可以在第一和第二部件之间形成额外的部件,使得第一和第二部件不直接接触的实施例。此外,本发明在各个实例中可以相反使用附图标号和/或字母。这种相反仅仅是为了简明和清楚的目的,并且其本身并不表示所论述的各种实施方式和/或结构之间的关系。

[0034] 为了解决热载流子注入(HCI)和时间相关电介质击穿(TDDB)的问题,使用了漂移区中的反向掺杂区(counter doped region)。图1A示出了包括反向掺杂区103的HV MOSFET 101。利用NMOS作为一个实例,在衬底105中形成p阱107和n阱109,该衬底105通常为p型硅衬底。在如图所示的p阱107和n阱109中及其周围形成浅沟槽隔离(STI)部件111、113和115。在STI部件111和113之间形成另一p阱117作为衬底拾取部件(substrate pickup)。在STI 113

和栅极结构123之间形成源极区119,该栅极结构123包括栅电极125、间隔件127、和栅极电介质129。在栅极结构123下方形成源极区119的轻掺杂部分。在反向掺杂区103和STI 115之间形成漏极区121。源极119、栅极123、和漏极121中的每一个经由金属接触件131、133和135分别连接至第一互连金属137、139、和141。需要注意的是,对于PMOS,所有的掺杂都应改变成相反的导电类型并且在p阱和n阱的下方加入深n阱以将p型衬底与掺杂阱隔离开。

[0035] 如图1A所示,接近于源极119和漏极121之间的栅极结构形成反向掺杂区103。虽然反向掺杂区103减少HCI并改善TDDB,但是当施加高栅极电压时,其接近于栅极结构使导通状态电阻(R_{on})增加并使得工作 I_d - V_d 曲线的拐点区(knee region)降低。来自反向掺杂区103的掺杂物如果横向扩散或过于接近栅极施加,则也会在断开状态期间增加较高的结漏电流。

[0036] 图1B示出了一种改进的HV MOSFET 102。图1A的HV MOSFET 101与图1B的改进的HV MOSFET 102之间的主要区别为使用了伪栅极结构145来限定反向掺杂区103的宽度。伪栅极结构145可以与栅极结构123同时进行图案化和形成。两个栅极结构之间的间隔件容许使用自对准注入工艺来形成反向掺杂区103。在该实施方式中,减少了或解决了掺杂物的横向扩散和紧密施加的问题。然而,仍然存在导通状态电阻(R_{on})和 I_d - V_d 曲线的拐点区的问题。

[0037] 图2示出了根据本发明的各种实施方式的HV MOSFET 200。HVMOSFET 200包括位于两个伪栅极结构之间的反向掺杂区203,每一个伪栅极结构分别具有位于栅极电介质上方的栅电极245和247,以及分别围绕该栅电极和栅极电介质的间隔件249和251。利用NMOS作为一个实例,在衬底205中形成p阱207和n阱209,该衬底205通常为p型硅衬底。在如图所示的p阱207和n阱209中及其周围形成浅沟槽隔离(STI)部件211、213和215。在STI部件211和213之间形成另一p阱217作为衬底拾取部件。在STI 213和栅极结构之间形成源极区219,该栅极结构包括栅电极225、间隔件227和栅极电介质229。在该栅极结构的一部分的下方形成源极区219的轻掺杂部分。在反向掺杂区203和STI 215之间形成漏极区221。源极219、栅极223和漏极221中的每一个经由金属接触件231、233和235分别连接至第一互连金属237、239和241。

[0038] 在栅极结构和漏极之间的漂移区中形成反向掺杂区203。该反向掺杂区203通过一个伪栅极与漏极区分开。该反向掺杂区203通过一个伪栅极以及在该伪栅极和器件栅极之间具有长度253的一部分漂移区与栅极结构分开。该反向掺杂区203也减少了HCI并改善了TDDB,但其不会太接近于栅极结构以使得导通状态电阻显著增加。而且,当施加高栅极电压时可更好地形成工作 I_d - V_d 曲线的拐点区,这增加了器件的工作电压窗。因为反向掺杂区203和栅极结构之间的较长距离使得来自反向掺杂区203的掺杂物不太可能横向扩散,这降低了断开状态期间的结漏电流。

[0039] 可以在不改变任何工艺参数的情况下利用现有的用于低电压晶体管的CMOS制造操作步骤来制造图2的HV MOSFET 200。用于形成HVMOSFET 200的方法通过在器件的不同区域中采用这些方法中的一些来利用现有的制造工艺。因此,仅需改变光刻掩模。图3是示出了用于形成根据本发明的各个方面的半导体器件的方法300的流程图。方法300通过示出了示意性局部横截面侧视图的图4A、图4B、图5、图6A、图6B、图7、图8和图9来解释。概括地说,方法300由框301开始,其中在衬底中形成相反掺杂的第一阱和第二阱。该方法继续进行至框303,其中在该衬底上方形成器件栅极和至少两个伪栅极。该器件栅极形成在第一阱和第

二阱上方。该伪栅极形成在第二阱上方。第一阱和第二阱可以通过被称为本征区 (native region) 的间隙分开。该方法继续进行至框305, 其中形成保护性掩模以对第一阱中邻近于器件栅极的轻掺杂源极区图案化开口, 然后对轻掺杂源极区进行注入。在一些实施方式中, 该方法继续进行至框307, 其中当形成用于互补MOSFET的轻掺杂区域时, 对伪栅极之间的反向掺杂区进行图案化和注入。换言之, 框307用于在形成用于NMOS的轻掺杂源极区时形成PMOS, 反之亦然。在其他的实施方式中, 在后面的阶段对反向掺杂区进行注入并且不实施框307。在框309中, 在各个栅极的侧壁上形成间隔件。在框311中, 形成源极区和漏极区。用相同导电类型的掺杂物掺杂源极区和漏极区。该方法继续进行至框313, 其中对衬底拾取区和反向掺杂区进行图案化和注入。该反向掺杂区注入可以在实施框307的情况下实施或代替框307实施。该方法继续进行至框315, 其中对源极区和漏极区、器件栅极、伪栅极以及反向掺杂区的顶部形成硅化物表面。

[0040] 图4A、图4B、图5、图6A、图6B、图7、图8和图9是根据本发明的各方面在各个制造阶段的高电压晶体管器件的示意性局部横截面侧视图。可以理解, 为了更好地理解本发明的发明构思而将这些附图简化。因此, 应该注意到, 可以在图4A、图4B、图5、图6A、图6B、图7、图8和图9中所示的工艺之前、之中和之后提供另外的工艺, 并且一些其他的工艺在本文中仅做简要描述。

[0041] 高电压半导体晶体管器件可以是高电压N型MOS晶体管 (HV NMOS) 或者高电压P型MOS晶体管 (HV PMOS)。高电压P型晶体管 (HV PMOS) 可以通过颠倒适当的导电类型并在p阱和n阱下方添加深n阱 (DNW) 来形成。为了简明起见, 下面的大部分论述涉及HV NMOS, 并且只论述对HV PMOS的一些不同之处。参见图4A, HV NMOS晶体管包括衬底445。衬底445是掺杂有诸如硼的P型掺杂物的硅衬底。

[0042] 在衬底445上形成隔离结构450、451和452。在多个实施方式中, 隔离结构450、451和452是浅沟槽隔离 (STI) 结构, 每一个都包括介电材料。该介电材料可以是氧化硅或氮化硅。按照图3的操作301, 在隔离结构450和452之间, 在衬底445上形成掺杂阱460和461。掺杂阱460掺杂有诸如硼的P型掺杂物, 以及掺杂阱461掺杂有诸如砷或磷的N型掺杂物。掺杂阱461也可以被称为N漂移区。STI结构可以在掺杂阱460和461之前或之后形成。

[0043] 图4B示出了形成HV PMOS晶体管而非HV NMOS晶体管的可选实施方式, 在衬底中形成深N阱462, 并且在深N阱上方形成具有相反导电类型的阱460和461——阱460可以掺杂有N型掺杂物, 而阱461可以掺杂有P型掺杂物。

[0044] 参见图5和图3的操作303, 在衬底445上方形成栅极堆叠件470、471和472。栅极堆叠件470、471和472包括各自的栅极介电层480、481和482。在一种实施方式中, 栅极介电层480、481和482每一个都包含氧化硅。栅极堆叠件470、471和472还包括分别设置在栅极介电层480、481和482上方的各自的栅电极层490、491和492。栅电极层490、491和492每一个都可以包括多晶硅材料或金属或它们的组合。如果使用金属栅极, 则将实施去除多晶硅材料和沉积金属层的各种操作。

[0045] 如图5中所示, 在掺杂阱460的一部分以及掺杂阱461的一部分的上方形成栅极堆叠件470。在掺杂阱461的一部分上方形成栅极堆叠件471和472。栅极堆叠件471和472用作伪栅极。在伪栅极471和栅极470之间限定间隙495。在伪栅极471和472之间限定另一间隙496。伪栅极471和472每一个均具有由器件的技术节点限定的最小长度, 但根据伪栅极的数

量和漂移区的大小可以更长。间隙495和496每一个也均具有由器件的技术节点限定的最小距离,但根据器件设计也可以更长。间隙495和496可以有不同的长度。

[0046] 现在参见图6A和图3的操作305,形成光刻胶掩模402以保护掺杂阱461不被注入。通过光刻工艺,例如通过形成光刻胶层并在光掩模402内图案化光刻胶层而形成光刻胶掩模402。之后实施离子注入工艺以在掺杂阱460中形成轻掺杂源极区405。栅极堆叠件470在离子注入工艺期间也用作保护性掩模并且保护其下方的部分掺杂阱460不被注入。因为本实施方式示出了HV NMOS器件,所以轻掺杂源极区405可以掺杂有诸如砷或磷的N型掺杂物。在注入后去除光掩模402。

[0047] 现在参见图6B和图3的任选操作307,形成光刻胶掩模403以保护掺杂阱460不被注入。光刻胶掩模403通过光刻工艺形成,例如通过形成光刻胶层并在光掩模403内图案化光刻胶层而形成。在一些实施方式中,光掩模403在器件栅极470上方可以是连续的。之后实施离子注入工艺从而在掺杂阱461中形成轻掺杂区406。轻掺杂区406是上述的反向掺杂区。栅极堆叠件471和472在离子注入工艺期间也用作保护性掩模并保护其下方的部分掺杂阱461不被注入。因为本实施方式示出了HV NMOS器件,所以反向掺杂区406掺杂有诸如硼的P型掺杂物。在CMOS工艺中,与在互补晶体管中形成轻掺杂源极区的同时实施轻掺杂。对于HV NMOS,该操作与在PMOS中对轻掺杂源极区进行注入同时实施。

[0048] 现在参见图7和图3的操作309,然后分别在栅极堆叠件470、471和472的侧壁上形成栅极间隔件410、411、412、413、414和415。栅极间隔件410和411也可以被视为栅极堆叠件470的一部分;栅极间隔件412和413也可以被视为栅极堆叠件471的一部分;以及类似地,间隔件414和415也可以被视为栅极堆叠件472的一部分。栅极间隔件410-415采用沉积工艺和蚀刻工艺(例如,各向异性蚀刻工艺)形成。栅极间隔件410-415包括适合的介电材料诸如氮化硅、氧化硅、碳化硅、氮氧化硅或它们的组合。

[0049] 之后,在图3的操作311中,形成光刻胶掩模420以覆盖栅极堆叠件470、471和472每一个的一部分。光刻胶掩模420通过光刻工艺形成。如图7所示,光刻胶掩模420也填充了栅极之间的间隙。光刻胶掩模420的一个目的是保护下面的掺杂阱461的区域不被掺杂。

[0050] 分别在掺杂阱460和掺杂阱461中形成重掺杂的源极区430和重掺杂的漏极区431。重掺杂的源极区430和重掺杂的漏极区431可以通过离子注入工艺或扩散工艺形成。源极区430和漏极区431也可以被称为有源区。源极区430和漏极区431掺杂有具有与掺杂阱461相同的导电类型的掺杂物。因而,对于HV NMOS,源极区430和漏极区431每一个均掺杂有诸如砷或磷的N型掺杂物。

[0051] 由于掺杂物不能穿透栅极堆叠件470、471和472以及栅极堆叠件周围的间隔件410-415,因此形成与栅极堆叠件470的栅极间隔件410自对准的源极区430,以及形成与栅极堆叠件472的栅极间隔件415自对准的漏极区431。以这样的方式,伪栅极堆叠件472有助于“推动”漏极区431远离源极区430。

[0052] 形成高电压晶体管器件的传统方法不包括形成伪栅极堆叠件471和472。这样,传统方法依赖于使用光刻胶掩模来准确地限定高电压晶体管器件的漏极区范围。这就将负担加至用于形成光刻胶掩模的光刻工艺并且可能导致不希望发生的结果。

[0053] 在本文中,栅极堆叠件471和472的形成使得漏极区431能够以自对准的方式形成,从而使得漏极区的边缘与栅极间隔件415的边缘对准。光刻胶掩模420用于保护掺杂阱461

的区域不被掺杂而不再用于限定漏极区431的范围。因而,减少了光刻胶掩模420的覆盖要求——其能够形成得略宽一点或略窄一点,而不影响漏极区431的范围,只要光刻胶掩模420的边缘形成在栅极堆叠件470-472“之内”即可。

[0054] 此外,在半导体制造工艺中,具有最佳覆盖控制的制造阶段通常是形成栅极堆叠件470、471和472的阶段。在各种实施方式中,伪栅极堆叠件472用于限定漏极区431的范围。由于覆盖控制在形成伪栅极堆叠件471的制造阶段是相对更好的,因此与使用光刻胶掩模来限定漏极区431的范围相比,则能够更准确地控制漏极区431的精确范围或尺寸。

[0055] 现在参见图8和图3的操作313,对衬底拾取区432以及在一些实施方式中对反向掺杂区406进行注入。形成光刻胶掩模421以覆盖栅极堆叠件470、471和472每一个的一部分、源极区430和漏极区431。光刻胶掩模421通过光刻工艺形成。如图8所示,光刻胶掩模421填充了器件栅极470和第一伪栅极471之间的间隙。因而,器件栅极470和第一伪栅极471之间的阱区未接收任何掺杂物。利用与阱460具有相同导电类型而与阱461具有相反导电类型的掺杂物以高密度和浓度掺杂衬底拾取区。

[0056] 根据本发明的各种实施方式,可以以与CMOS工艺全都兼容的三种不同方式对反向掺杂区406进行注入。第一次机会是在图3的框307,使用轻掺杂浓度。在该操作中形成的反向掺杂区406将与伪栅极的间隔件重叠。第二次机会是在框313,与衬底拾取区域同时并使用高掺杂浓度。在该操作中形成的反向掺杂区406仅包括伪栅极间隔件之间的范围。第三种方法包括第一次和第二次机会,并形成具有最高掺杂物浓度的反向掺杂区406。

[0057] 现在参见图9和图3的操作315,在剥离或灰化工艺中去除光刻胶掩模421。之后,在暴露的表面上实施自对准硅化物(silicidation)工艺以形成自对准的硅化物(也被称为硅化物)元件440、441、442、443、444、446和447。更具体地,在区域432的暴露表面中形成硅化物元件440;在源极区430的暴露表面中形成硅化物元件441;在漏极区431的暴露表面中形成硅化物元件447;在栅极间隔件413和414之间的反向掺杂区406的表面中形成硅化物元件446;以及在栅电极的暴露表面中形成硅化物元件442、443和444。栅极间隔件在自对准硅化物工艺中用作保护性掩模。

[0058] 使用光刻胶保护氧化物(resist protection oxide,RPO)层448用于阻止在第一伪栅极471和器件栅极470之间的间隙区域中形成硅化物元件。在某些实施方式中,RPO层448可以做得更大以包括部分伪栅极以使得在伪栅极上方或在反向掺杂区406上方不形成硅化物。

[0059] 根据各种实施方式,反向掺杂区充分远离器件栅极。反向掺杂区和器件栅极之间的距离是至少0.05微米,并且可以是至少0.1微米。正如本文所公开的,它们之间的最小距离通过光刻工艺的技术节点来控制,其包括至少一个部件宽度(一个伪栅极长度)和部件之间(伪栅极和器件栅极之间)的最小间隔。技术节点的最小间隔也控制反向掺杂区的最小长度,其可以是至少0.05微米,并且可以是0.1微米。当然,可以使用更大的距离。

[0060] 图10示出了诸如图1A所示的常规HV MOS与诸如图2所示的根据本发明的HV MOS的理论 I_d - V_d 曲线。 y 轴表示归一化的漏极电流与饱和状态时漏极电流之比(I_d/I_{dsat})。 x 轴表示漏极电压。线1001、1003、1005、1007对应于本发明的HV MOS。线1011、1013、1015、1017对应于图1A的常规HV MOS。线对(line pairs)示出了不同栅极电压下器件的行为。线对1001和1011对应于1伏的栅极电压。线对1003和1013对应于1.5伏的栅极电压。线对1005和1015

对应于2.5伏的栅极电压。线对1007和1017对应于3.3伏的栅极电压。

[0061] 在1伏和1.5伏的低栅极电压下,线对有效地重叠以使得这些晶体管之间不存在性能差异。然而,在2.5伏和3.3伏的较高栅极电压下,线1005和1007出现增强的拐点区。由于可以在较低的漏极电压下获得较高的电流,因此增强的拐点区增加了晶体管的工作窗。更大的工作窗可以改善器件的线性并确保器件正确地运行。

[0062] 本发明的各种实施方式提供了一些优点,可以理解,不同的实施方式可以提供不同的优点,并且没有特定优点是所有实施方式所必需的。一个优点是(一个或多个)伪栅极堆叠件能够有效地“推动”漏极区远离源极区和器件栅极。另一个优点是伪栅极堆叠件的使用放松了与现有工艺相关联的严格的重叠要求。

[0063] 应该理解,可以实施额外的工艺以完成HV NMOS的制造。例如,这些额外的工艺包括互连结构(例如,为诸如HV NMOS的晶体管提供电互连的线和通孔、金属层、以及层间电介质)的形成、钝化层的沉积、和封装。为简明起见,这些额外的工艺在此不作描述。

[0064] 可以使用多于两个伪栅极结构以在漂移区中形成多于一个反向掺杂区。例如,可以使用三个伪栅极结构来形成两个反向掺杂区。根据漂移区大小和最小的栅极和间隔的大小,若干反向掺杂区都可以是适合的。如果使用多于一个反向掺杂区,则对它们来说具有不同的掺杂物浓度是可能的。例如,最靠近器件栅极的反向掺杂区可以具有较高的掺杂物浓度,因为其与衬底拾取区同时被注入,而更靠近漏极区的反向掺杂区可以具有较低的掺杂物浓度,因为其与互补晶体管的轻掺杂源极区同时被注入。

[0065] 在一些实施方式中,可以对反向掺杂区进行额外的不同掺杂物注入以调节有效掺杂物浓度。例如,如果在互补轻掺杂源极区的有效掺杂物浓度和衬底拾取区的有效掺杂物浓度之间的有效掺杂物浓度是所需要的,则可以对该反向掺杂区在例如与轻掺杂源极区同时进行重复反向掺杂(counter-counter doping)。本领域技术人员可以在不对标准CMOS制造流程增加额外工艺的情况下设计出大量方法来调节有效掺杂物浓度。

[0066] 本发明的多种实施方式涉及一种半导体器件。该半导体器件包括:都在衬底中形成的第一掺杂区和第二掺杂区,第一和第二掺杂区具有相反的导电类型;在衬底上方形成的第一栅极,该第一栅极覆盖第一掺杂区的一部分和第二掺杂区的一部分;在衬底上方形成的两个或两个以上第二栅极,该第二栅极覆盖第二掺杂区的不同部分;位于第二掺杂区中仅设置在两个或两个以上第二栅极之间的一个或多个第三掺杂区,使得第三掺杂区和第二掺杂区具有相反的导电类型;位于第一掺杂区中的源极区;以及位于第二掺杂区中关于第二栅极与第一栅极相对设置的漏极区。

[0067] 本发明的某些实施方式涉及一种半导体器件。该半导体器件包括:每一个都在衬底上形成的第一掺杂阱和第二掺杂阱,该第一和第二掺杂阱中的一个掺杂有P型掺杂物,而该第一和第二掺杂阱中的另一个掺杂有N型掺杂物;部分地设置在第一和第二掺杂阱的上方的器件栅极结构,该器件栅极结构包括多晶硅栅电极,其中栅电极的整个上表面都为硅化的;以及位于第二掺杂阱上方的两个伪栅极结构,这两个伪栅极结构通过具有最小指定距离的间隙与器件栅极结构分开,其中在伪栅极结构之间的第二掺杂阱的反向掺杂区掺杂有P型掺杂物。

[0068] 本发明的又一些实施方式涉及一种制造半导体器件的方法。该方法包括:在衬底中形成具有相反导电类型的第一阱和第二阱;在衬底上方形成器件栅极和两个或两个以上

伪栅极,该器件栅极形成在第一阱和第二阱上方,该伪栅极形成在第二阱上方,第一阱和第二阱通过间隙分开;对位于第二阱中伪栅极之间的反向掺杂区进行图案化和注入;以及形成具有相同导电类型的源极区和漏极区,该源极区形成在未被器件栅极覆盖的一部分第一阱中,该漏极区形成在邻近并超出与器件栅极相距最远的伪栅极的一部分第二阱中;以及,形成源极区和漏极区的硅化物表面。

[0069] 前述内容概要描述了若干实施方式的部件,以使本领域的技术人员可以更好地理解上文的详细描述。本领域的技术人员应该理解,他们可以容易地利用本发明作为基础来设计或修改其他用于达到与本文所介绍的实施方式相同的目的和/或实现相同的优点的工艺和结构。本领域的技术人员还应该认识到,这些等价结构并不偏离本发明的精神和范围,他们也可以在不偏离本发明的精神和范围的基础上做出不同的改变、替代和变化。例如,高电压器件可以不限于NMOS器件,并且可以扩展到具有类似结构和构造的PMOS器件,除了可能颠倒所有掺杂类型并根据PMOS设计修改尺寸之外。此外,也可以将PMOS器件设置在用于隔离器件的深掺杂阱袋中。

101

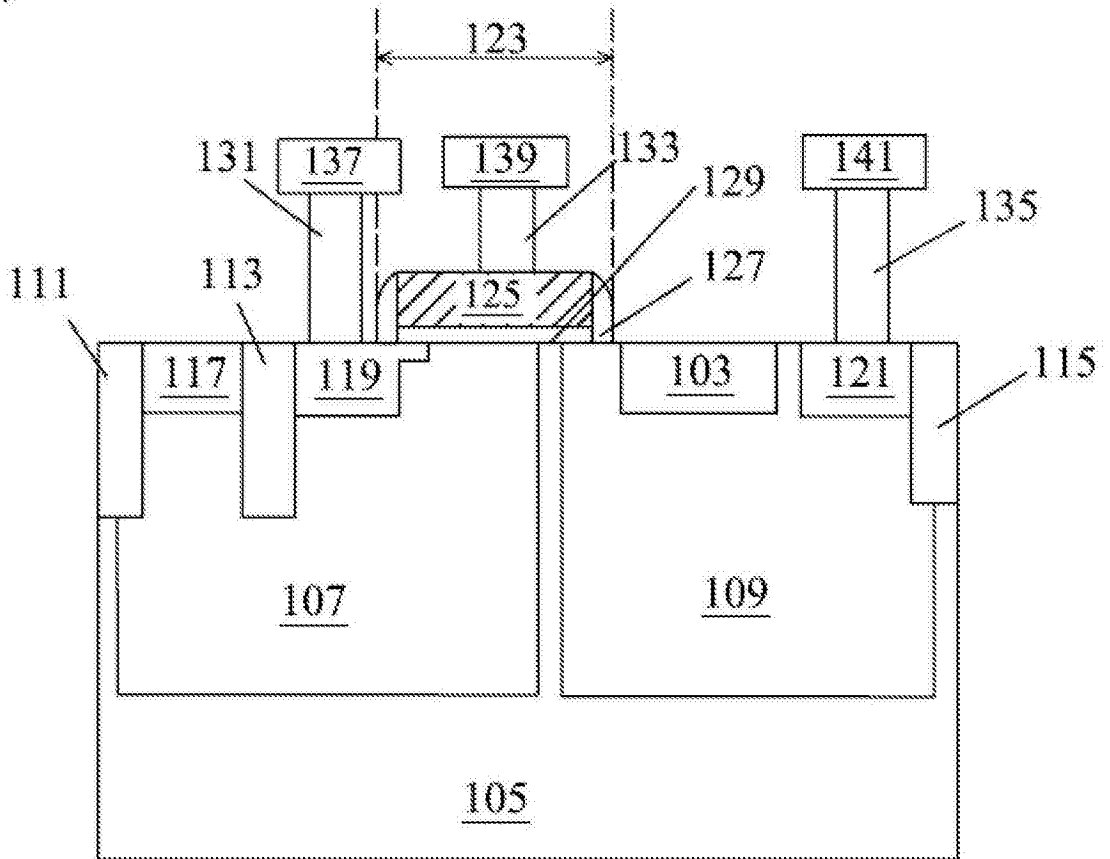


图1A

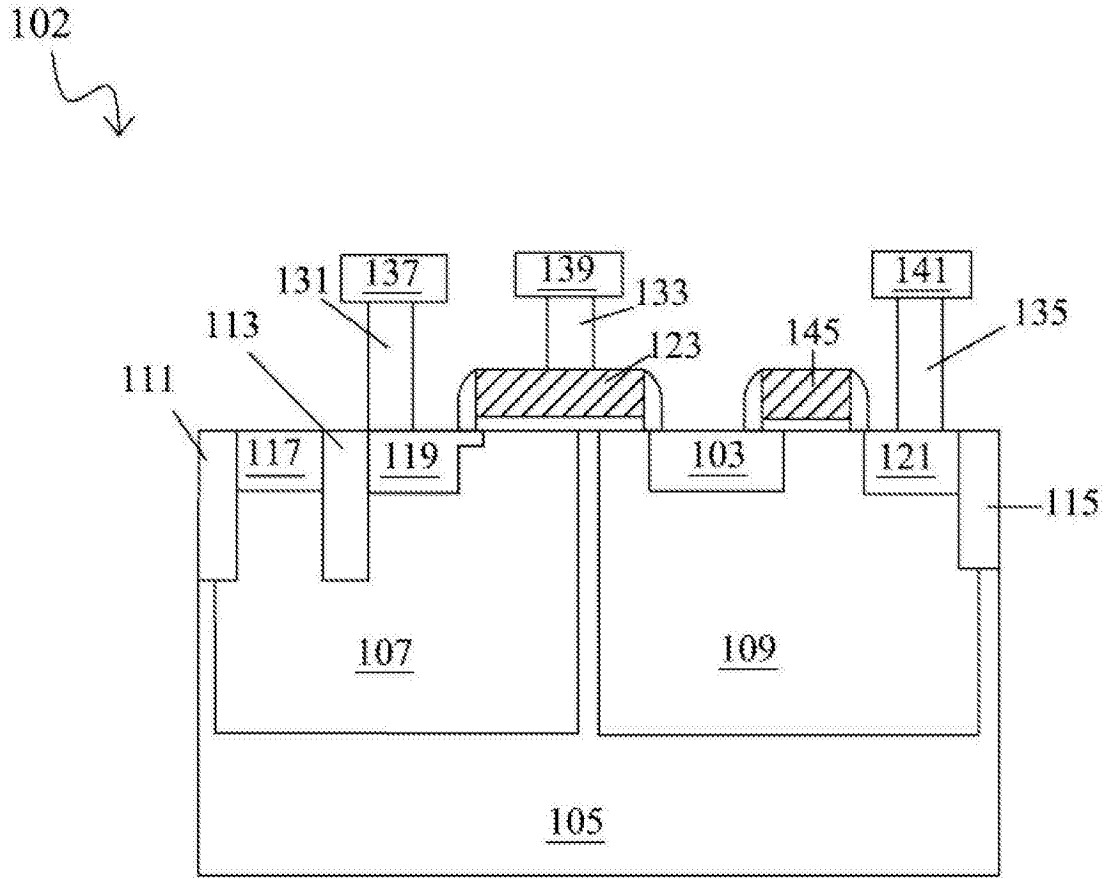


图1B

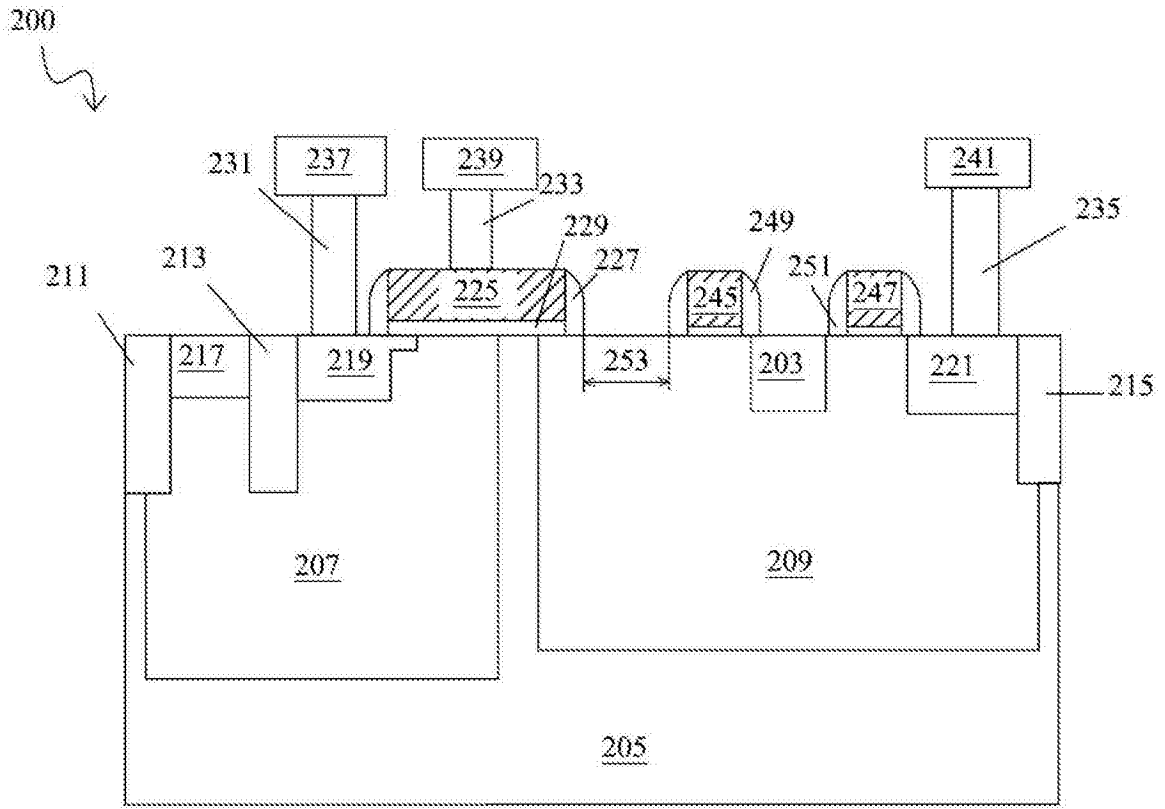


图2

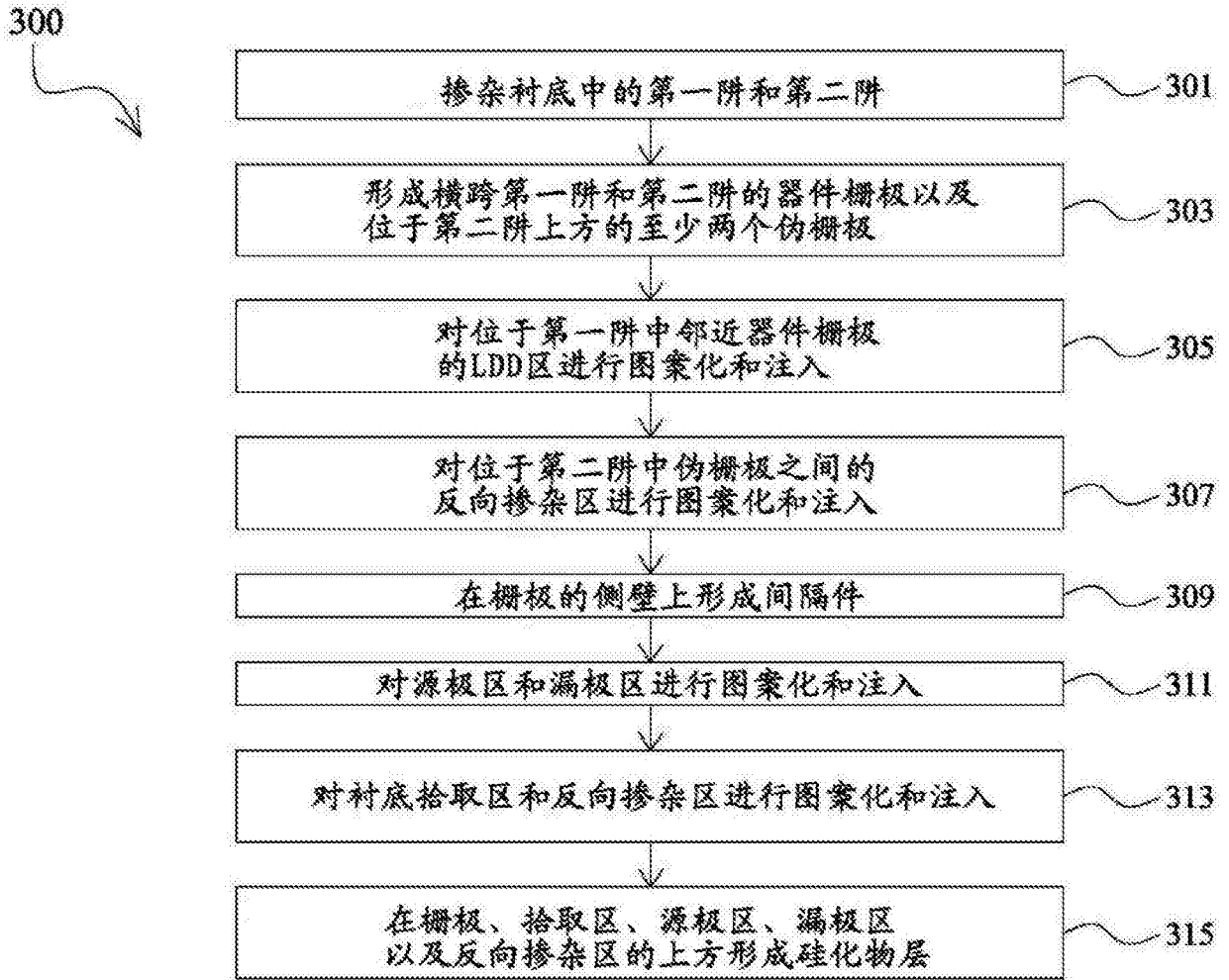


图3

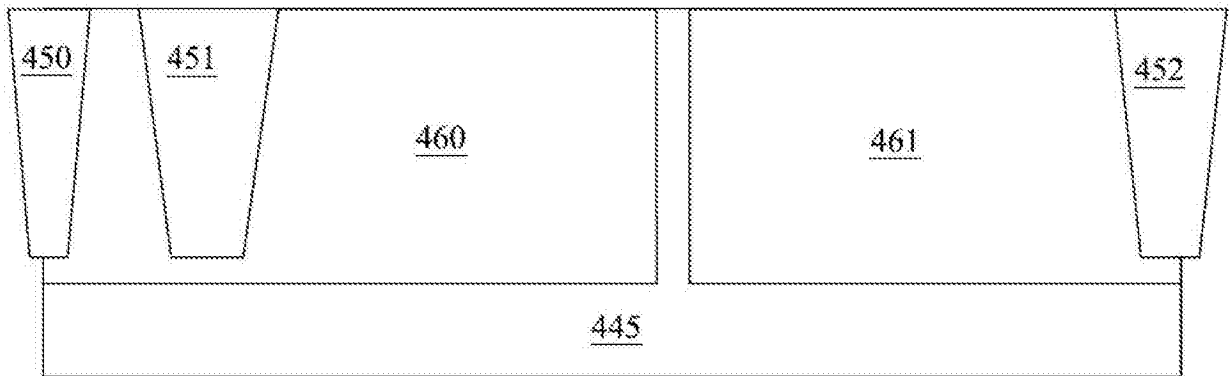


图4A

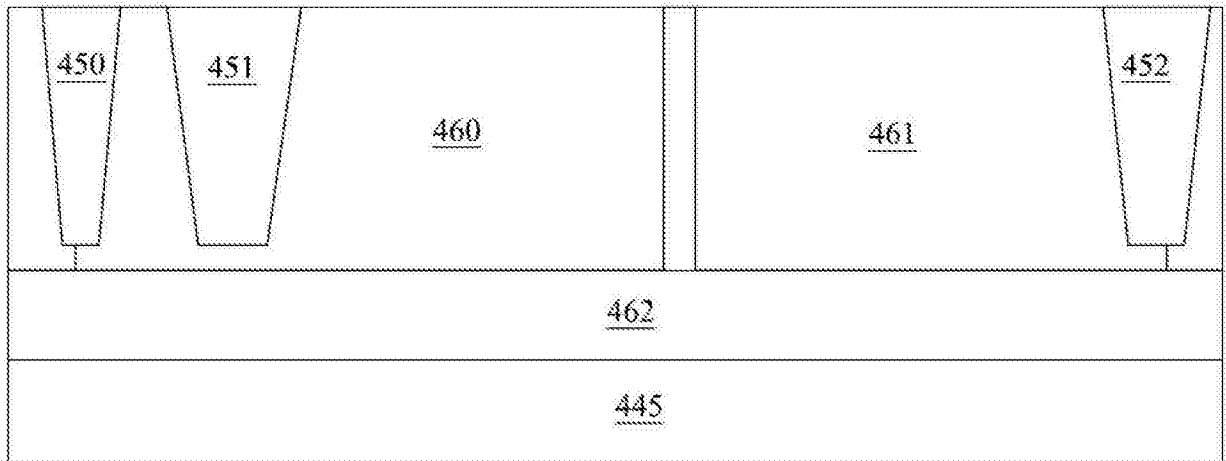


图4B

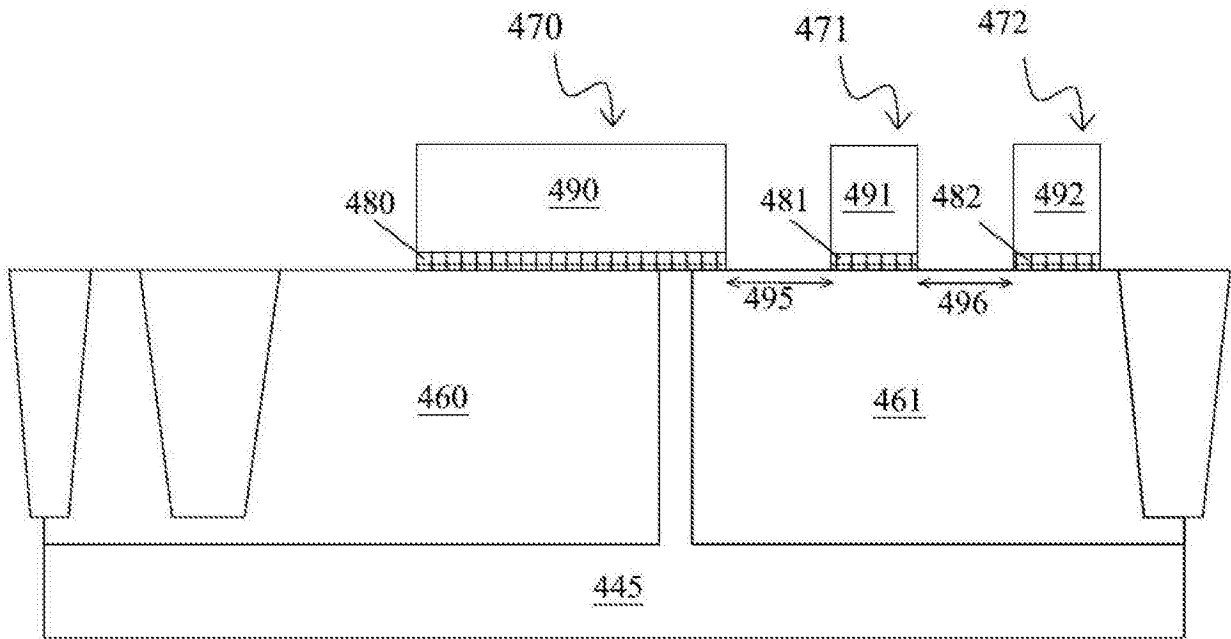


图5

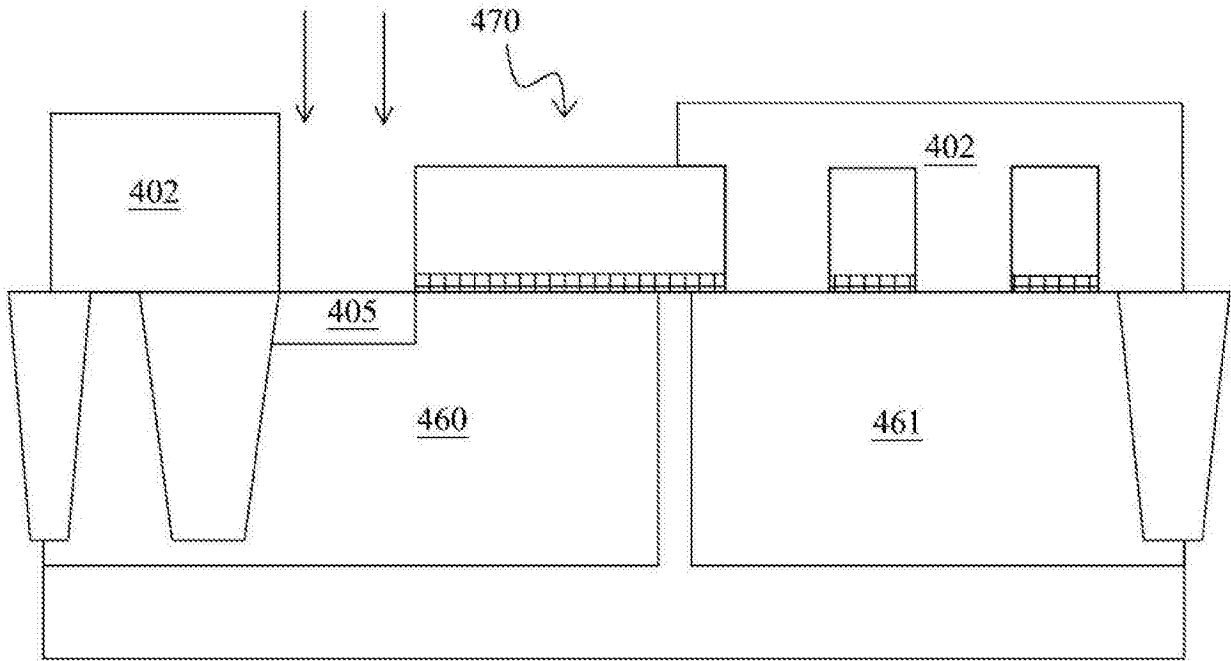


图6A

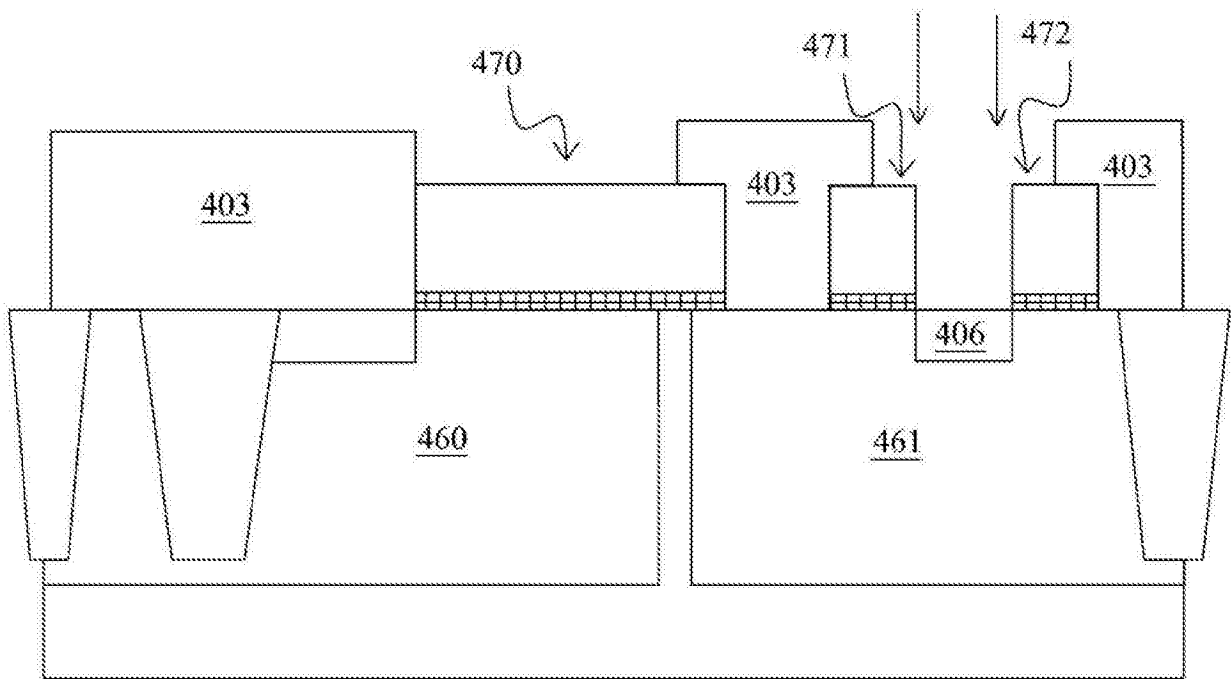


图6B

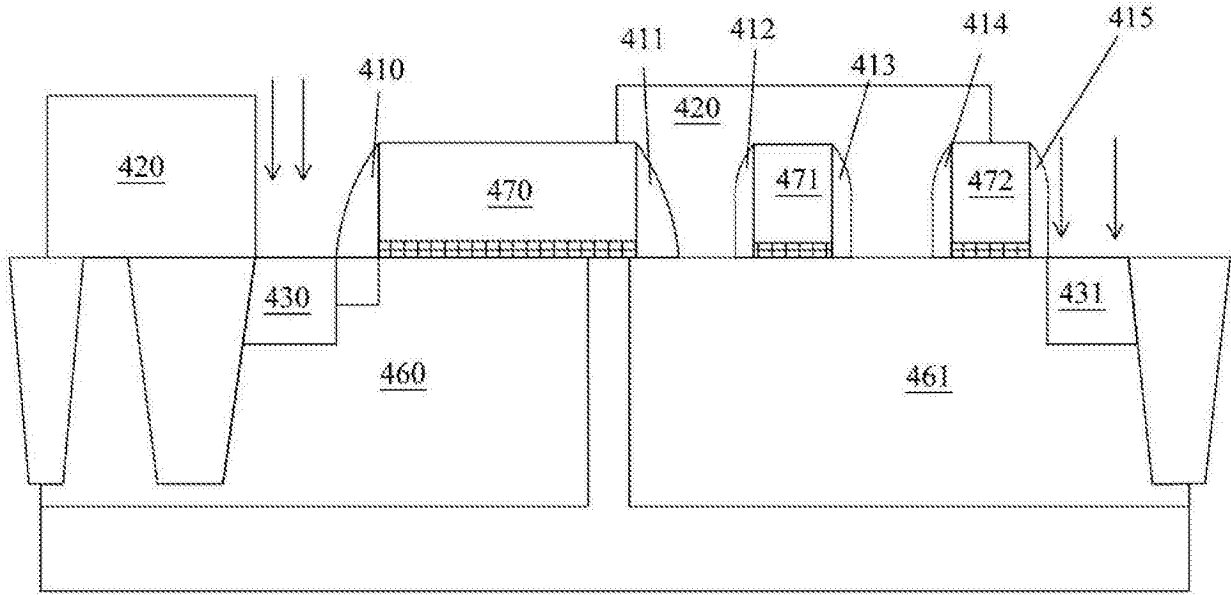


图7

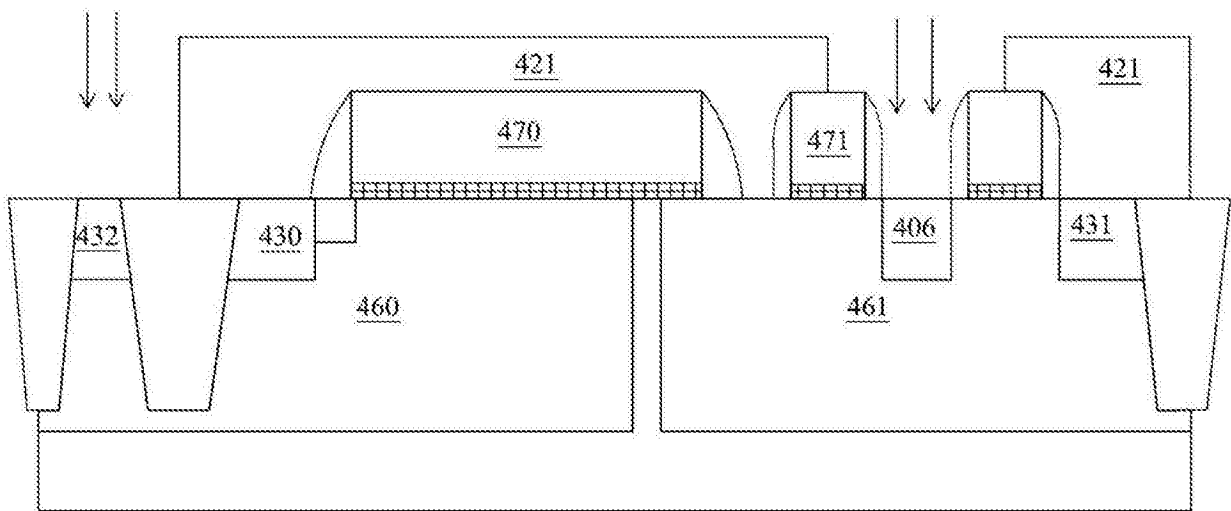


图8

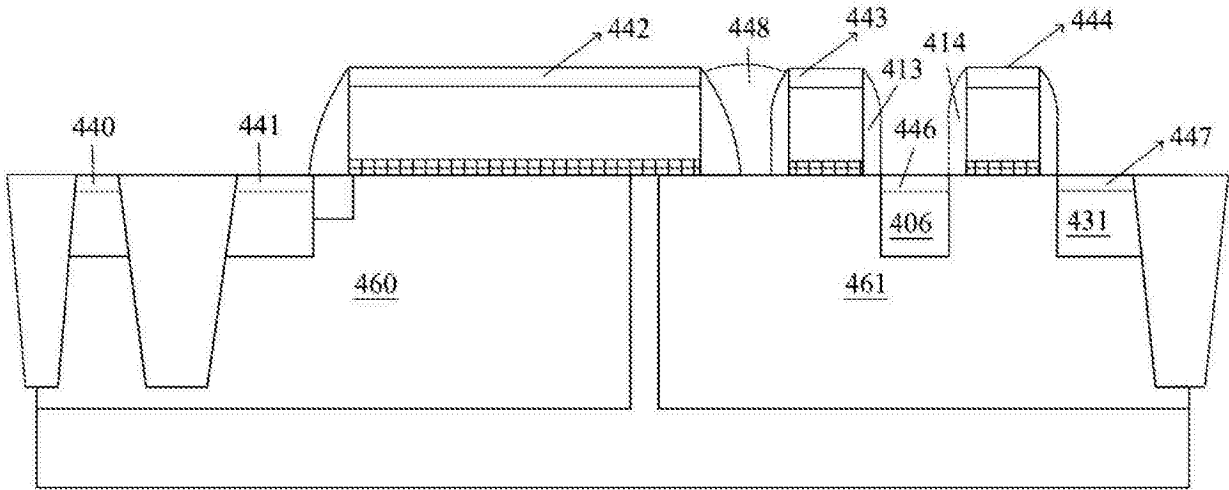


图9

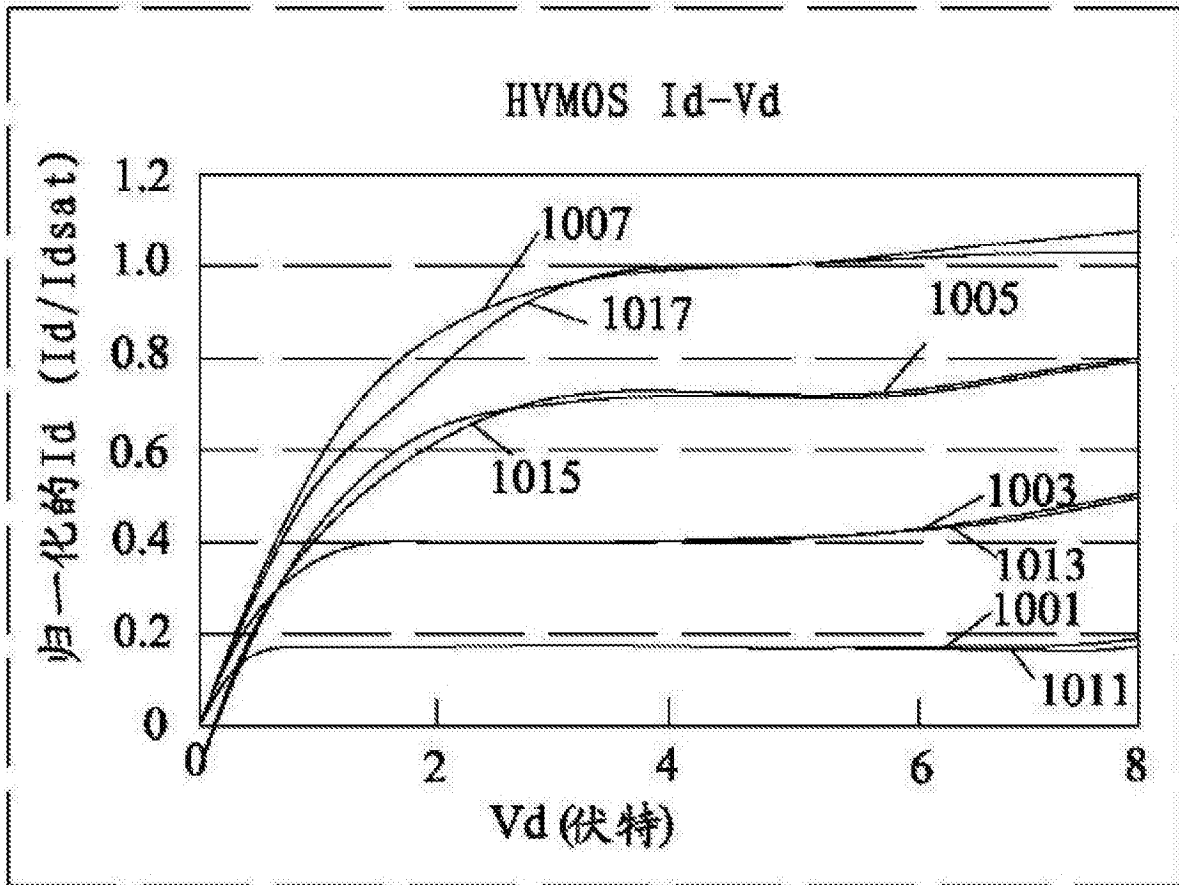


图10