



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월06일
 (11) 등록번호 10-1683071
 (24) 등록일자 2016년11월30일

(51) 국제특허분류(Int. Cl.)
 H01L 21/762 (2006.01) H01L 27/108 (2006.01)
 H01L 29/78 (2006.01)
 (21) 출원번호 10-2010-0088046
 (22) 출원일자 2010년09월08일
 심사청구일자 2015년08월04일
 (65) 공개번호 10-2012-0025873
 (43) 공개일자 2012년03월16일
 (56) 선행기술조사문헌
 US7351634 B2*
 US5631189 A
 KR1020080029524 A
 KR1020040065030 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자 주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 이동각
 서울특별시 영등포구 도신로 31, 304동 2001호 (대림동, 현대3차아파트)
 황희돈
 서울특별시 강남구 논현로 218, 삼익아파트 2동 209호 (도곡동)
 (74) 대리인
 리엔목특허법인

전체 청구항 수 : 총 10 항

심사관 : 김종희

(54) 발명의 명칭 **반도체 소자 및 그 제조방법**

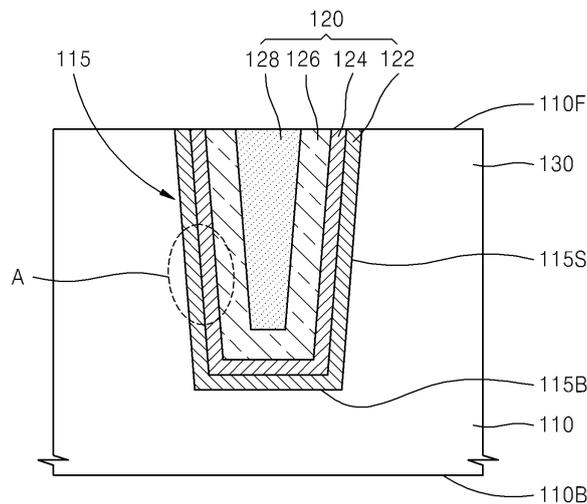
(57) 요약

산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴이 트렌치의 내벽과 절화물 라이너 사이에 개재되는 소자분리 패턴을 포함하는 반도체 소자 및 그 제조방법을 개시한다.

트렌치가 구비된 반도체 기판, 상기 트렌치의 표면 상에 형성된 폴리실리콘막 패턴, 상기 폴리실리콘막 패턴 상에 형성된 절화막 패턴 및 상기 절화막 패턴 상에 형성되며 상기 트렌치를 매립하는 절연막 패턴을 포함한다.

상기 폴리실리콘막 패턴은 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴일 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

트렌치가 구비된 반도체 기판; 및

상기 트렌치의 바닥면 및 측면을 따라 형성된 폴리실리콘막 라이너(liner) 패턴;

상기 폴리실리콘막 라이너 패턴 상에 형성된 질화막 라이너 패턴; 및

상기 질화막 라이너 패턴 상에 형성되며 상기 트렌치를 갭필 매립하는 절연막 패턴;을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 폴리실리콘막 라이너 패턴은 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 라이너 패턴인 것을 특징으로 하는 반도체 소자.

청구항 3

제1항에 있어서,

상기 폴리실리콘막 라이너 패턴은 상기 트렌치의 상기 바닥면에서부터 상기 측면으로 연장되어 형성된 것을 특징으로 하는 반도체 소자.

청구항 4

제3항에 있어서,

상기 폴리실리콘막 라이너 패턴은 상기 반도체 기판의 상부면까지 연장되지 않으면서 상기 반도체 기판의 상부면과 이격되어 상기 트렌치의 측면 상에 형성된 것을 특징으로 하는 반도체 소자.

청구항 5

제1항에 있어서,

상기 트렌치의 표면과 상기 폴리실리콘막 라이너 패턴 사이에 개재되는 산화막 라이너 패턴을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 6

제1항에 있어서,

상기 반도체 기판 상에 형성되고 소자 분리막에 의하여 분리된 게이트 전극 구조체를 더 포함하며,

상기 트렌치, 폴리실리콘막 라이너, 질화막 라이너, 및 절연막 패턴은 상기 소자 분리막의 일부이고,

상기 게이트 전극 구조체는 피모스 전계효과 트랜지스터(pMOSFET)를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

활성 영역을 정의하기 위하여 반도체 기판에 소자 분리막을 형성하는 단계;

상기 활성 영역에 전계효과 트랜지스터를 형성하는 단계;

를 포함하는 반도체 소자의 제조 방법으로서,

상기 소자 분리막을 형성하는 단계는:

상기 반도체 기판에 트렌치를 형성하는 단계;

상기 트렌치의 바닥면 및 측면을 따라 폴리실리콘막 라이너(liner) 패턴을 형성하는 단계;

상기 폴리실리콘막 라이너 패턴 상에 질화막 라이너 패턴을 형성하는 단계; 및

상기 트렌치를 깎필 매립하도록 상기 질화막 라이너 패턴 상에 절연막 패턴을 형성하는 단계;를 포함하는 반도체 소자의 제조방법.

청구항 8

제7항에 있어서,

상기 폴리실리콘막 라이너 패턴을 형성하는 단계는 산소, 탄소 및 질소 중에서 적어도 어느 하나를 포함하는 전구체를 사용하여 산소, 탄소 또는 질소가 도핑된 폴리실리콘막을 화학 기상 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9

제7항에 있어서,

상기 폴리실리콘막 라이너 패턴을 형성하는 단계는 산소, 탄소 및 질소 중에서 적어도 어느 하나를 포함하는 전구체를 사용하여 산소, 탄소 또는 질소가 도핑된 폴리실리콘막을 에피택셜 성장시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

제7항에 있어서,

상기 폴리실리콘막 라이너 패턴을 형성하는 단계는

폴리실리콘막을 형성하는 단계; 및

N₂O 및 NO를 포함하는 군에서 적어도 하나의 가스를 사용하여 산소를 상기 폴리실리콘막에 도핑하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 트렌치를 이용한 소자분리 패턴을 가지는 반도체 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 집적도가 증가함에 따라 반도체 소자의 구성 요소들에 대한 디자인 룰이 감소되고 있다. 특히, 많은 수의 트랜지스터를 필요로 하는 반도체 소자에 있어서 디자인 룰의 표준이 되는 게이트 길이가 감소되고 이에 따라 고도로 스케일링(scaling) 다운된 반도체 소자의 전압 및 전류 특성이 불량하게 되는 문제점이 발생하게 된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 고집적화에 의해 미세화된 반도체 소자에서 HEIP 현상을 방지하는 구조를 가지는 반도체 소자를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 고집적화에 의해 미세화된 반도체 소자에서 HEIP 현상을 방지하는 구조를 효과적으로 제조할 수 있는 반도체 소자의 제조방법을 제공하는 것이다.

과제의 해결 수단

- [0005] 본 발명의 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자는 트렌치가 구비된 반도체 기판, 상기 트렌치의 표면 상에 형성된 폴리실리콘막 패턴, 상기 폴리실리콘막 패턴 상에 형성된 질화막 패턴 및 상기 질화막 패턴 상에 형성되며 상기 트렌치를 매립하는 절연막 패턴을 포함한다.
- [0006] 상기 폴리실리콘막 패턴은 산소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는 상기 폴리실리콘막 패턴은 탄소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는 상기 폴리실리콘막 패턴은 질소가 도핑된 폴리실리콘막 패턴일 수 있다.
- [0007] 상기 트렌치의 표면은 바닥면 및 측면을 포함하여 이루어질 수 있다. 상기 폴리실리콘막 패턴은 상기 트렌치의 상기 바닥면 및 상기 측면 상에 형성될 수 있다. 상기 폴리실리콘막 패턴은 상기 트렌치의 상기 바닥면에서부터 상기 측면으로 연장되어 형성될 수 있으며, 나아가, 상기 폴리실리콘막 패턴은 상기 반도체 기판의 상부면까지 연장되지 않으면서 상기 반도체 기판의 상부면과 이격되어 상기 트렌치의 측면 상에 형성될 수 있다.
- [0008] 상기 트렌치의 표면과 상기 폴리실리콘막 패턴 사이에 개재되는 산화막 패턴을 더 포함할 수 있다.
- [0009] 상기 반도체 기판 상에 형성된 게이트 전극 구조체를 더 포함할 수 있다. 상기 게이트 전극 구조체는 피모스 전계효과 트랜지스터(pMOSFET)를 포함할 수 있다.
- [0010] 상기 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 소자는 트렌치가 구비된 반도체 기판, 상기 반도체 기판 상에 형성된 게이트 전극 구조체 및 상기 트렌치 내에 형성된 소자분리 패턴을 포함한다. 상기 소자분리 패턴은 상기 트렌치의 표면 상에 형성된 폴리실리콘막 패턴, 상기 폴리실리콘막 패턴 상에 형성된 질화막 패턴 및 상기 질화막 패턴 상에 형성되며 상기 트렌치를 매립하는 절연막 패턴을 포함한다. 상기 폴리실리콘막 패턴은 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴이다.
- [0011] 상기 트렌치의 표면은 바닥면 및 측면을 포함하여 이루어질 수 있으며, 상기 폴리실리콘막 패턴은 상기 트렌치의 상기 바닥면에서부터 연장되어 상기 반도체 기판의 상부면과 이격되도록 상기 트렌치의 측면까지 형성될 수 있다.
- [0012] 상기 게이트 전극 구조체는 상기 반도체 기판 상에 형성되는 게이트 절연막 및 상기 게이트 절연막 상의 게이트 전극을 포함할 수 있다.
- [0013] 한편, 상기 게이트 전극 구조체는 상기 반도체 기판을 식각하여 형성된 리세스 채널 트렌치 내부에 형성되는 게이트 절연막 및 상기 리세스 채널 트렌치 내부에 형성된 상기 게이트 절연막 및 상기 반도체 기판 상에 형성된 게이트 전극을 포함할 수 있다.
- [0014] 한편, 상기 반도체 기판은 상부면으로부터 돌출되어 제1방향으로 연장된 활성 패턴을 더 포함할 수 있고, 상기 게이트 전극 구조체는 상기 활성 패턴의 양측면에 형성된 게이트 절연막 및 상기 활성 패턴 상의 상기 게이트 절연막을 감싸면서 제2방향으로 연장된 게이트 전극을 포함할 수 있다.
- [0015] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자의 제조방법은 반도체 기판에 트렌치를 형성하는 단계, 상기 트렌치의 표면 상에 폴리실리콘막 패턴을 형성하는 단계, 상기 폴리실리콘막 패턴 상에 질화막 패턴을 형성하는 단계 및 상기 트렌치를 매립하도록 상기 질화막 패턴 상에 절연막 패턴을 형성하는 단계를 포함한다.
- [0016] 상기 폴리실리콘막 패턴을 형성하는 단계는 산소, 탄소 및 질소 중에서 적어도 어느 하나를 포함하는 전구체를 사용하여 산소, 탄소 또는 질소가 도핑된 폴리실리콘막을 증착하는 단계를 포함할 수 있다.
- [0017] 상기 폴리실리콘막 패턴을 형성하는 단계는 산소, 탄소 및 질소 중에서 적어도 어느 하나를 포함하는 전구체를 사용하여 산소, 탄소 또는 질소가 도핑된 폴리실리콘막을 에피택셜 성장시키는 단계를 포함할 수 있다.
- [0018] 상기 폴리실리콘막 패턴을 형성하는 단계는 폴리실리콘막을 형성하는 단계 및 N₂O 및 NO를 포함하는 군에서 적어도 하나의 가스를 사용하여 산소를 상기 폴리실리콘막에 도핑하는 단계를 포함할 수 있다.
- [0019] 상기 폴리실리콘막 패턴을 형성하는 단계는 상기 트렌치의 표면 상에 폴리실리콘막을 형성하는 단계 및 상기 반도체 기판의 상부면으로부터 소정의 깊이까지 상기 폴리실리콘막의 일부를 제거하는 단계를 포함할 수 있다.

발명의 효과

- [0020] 본 발명에 따른 반도체 소자는 산소, 탄소 또는 질소가 도핑된 폴리실리콘막이 트렌치의 내벽과 질화막 라이너 상에 개재되는 소자분리 패턴을 포함한다. 상기 폴리실리콘막이 존재하므로, HEIP 현상을 방지할 수 있으며, 질

화막 패턴(126)에는 전자(e-)와 홀(h+) 모두에 대한 포텐셜 웰(potential well)이 형성되면서 전하의 축적을 막을 수 있고 이에 따라 트랜지스터의 특성 변화를 방지할 수 있다.

[0021] 또한, 상기 폴리실리콘막이 반도체 기판의 상부면으로부터 이격되어 트렌치의 측면 상에 형성되므로, 오정렬(misalign)에 의하여 폴리실리콘막 패턴과 도전성의 구조체가 접촉하여 소자 동작이 불량해지는 현상을 방지할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 실시예에 따른 반도체 소자의 단면도이다.
 도 2는 도 1에서 A 부분으로 도시된 영역에서 홀과 전자가 대전되는 현상을 개요적으로 도시한 단면도이다.
 도 3은 도 1과 비교를 위한 비교예의 반도체 소자를 설명하기 위하여 도시한 단면도이다.
 도 4는 도 3에서 B 부분으로 도시된 영역에서 홀과 전자가 대전되는 현상을 개요적으로 도시한 단면도이다.
 도 5는 본 발명의 다른 실시예에 따른 반도체 소자의 단면도이다.
 도 6은 본 발명의 또 다른 실시예에 따른 반도체 소자의 단면도이다.
 도 7은 본 발명의 또 다른 실시예에 따른 반도체 소자의 단면도이다.
 도 8 내지 도 19는 본 발명의 실시예들인 반도체 소자를 형성하는 방법들을 설명하기 위한 공정 단면도들이다.
 도 20은 본 발명의 또 다른 실시예에 따른 반도체 소자의 단면도이고, 도 21은 도 20과 비교를 위한 비교예의 반도체 소자를 설명하기 위하여 도시한 단면도이다.
 도 22는 도 20과 도 21에 각각 도시된 반도체 소자의 HEIP 특성을 측정된 그래프이다.
 도 23은 본 발명의 실시예에 따른 반도체 소자를 이용한 디램 소자의 레이아웃도이다.
 도 24 및 도 25는 도 23의 Y-Y 방향에 따른 디램 소자의 단면도들이다.
 도 26은 본 발명의 소자분리 패턴을 가지는 핀 전계 효과 트랜지스터 소자의 사시도이다.
 도 27은 도 26의 I-I' 라인을 따라 절취한 단면을 도해하는 단면도이다.
 도 28은 도 27에서 도시된 II-II' 라인을 따라 도시한 밴드 다이어그램이다.
 도 29는 도 27과 비교를 위한 비교예의 반도체 소자를 설명하기 위하여 도시한 단면도이다.
 도 30은 도 29에서 도시된 II-II' 라인을 따라 도시한 밴드 다이어그램이다.
 도 31은 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 메모리 모듈의 평면도이다.
 도 32는 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 메모리 카드의 개략도이다.
 도 33은 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 시스템의 개략도이다

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면을 참조하여 본 발명에 따른 실시예들을 설명함으로써 본 발명을 상세하게 설명한다.

[0024] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예들에 의해 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것일 수 있다.

[0025] 명세서 전체에 걸쳐서 막, 영역, 또는 기판등과 같은 하나의 구성요소가 다른 구성요소 "상에", "연결되어", 또는 "커플링되어" 위치한다고 언급할 때는, 상기 하나의 구성요소가 직접적으로 다른 구성요소 "상에", "연결되어", 또는 "커플링되어" 접촉하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에", "직접 연결되어", 또는 "직접 커플링되어" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다. 동일한 부호는

동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

- [0026] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.
- [0027] 또한, "상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 상대적인 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것을 의도한다고 이해될 수 있다. 예를 들어, 도면들에서 구성요소가 뒤집어 진다면(turned over), 다른 요소들의 상부의 면 상에 존재하는 것으로 묘사되는 요소들은 상기 다른 요소들의 하부의 면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는, 도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다. 소자가 다른 방향으로 향한다면(예를 들어, 다른 방향에 대하여 90도 회전), 본 명세서에 사용되는 상대적인 설명들은 이에 따라 해석될 수 있다.
- [0028] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0029] 반도체 소자는 단위 소자들이 형성되는 활성 영역과 이들을 분리하는 소자분리 영역으로 구분할 수 있다. 소자분리 영역은 반도체 소자의 전체 면적에서 차지하는 비율이 크므로, 반도체 소자의 고집적화를 위하여는 소자분리 영역의 축소가 필요하다. 또한, 단위 소자들의 원활한 동작을 위하여, 단위 소자들 사이의 간섭을 배제하고 접합 캐패시턴스를 감소할 수 있는 구조를 갖는 소자분리 영역이 요구된다.
- [0030] 도 1은 본 발명의 일실시예에 따른 반도체 소자의 단면도이다.
- [0031] 도 1을 참조하면, 본 발명의 일실시예에 따른 반도체 소자는 트렌치(115)가 구비된 반도체 기판(110)과 트렌치(115) 내에 형성된 소자분리 패턴(120)을 포함한다. 소자분리 패턴(120)은 반도체 소자에서 소자분리 영역에 해당하며, 소자분리 패턴(120)과 인접한 또 다른 소자분리 패턴(120) 사이에 한정되는 반도체(110) 기판의 일부는 반도체 소자에서 활성 영역(130)에 대응한다.
- [0032] 소자분리 패턴(120)은 예를 들어, 좁은 폭을 가지면서도 우수한 소자분리 특성을 가지는 얇은 트렌치형 소자분리(shallow trench isolation, STI) 구조를 가질 수 있다.
- [0033] 소자분리 패턴(120)은 트렌치(115)의 표면(115S, 115B) 상에 형성된 산화막 패턴(122), 산화막 패턴(122)상에 형성된 폴리실리콘막 패턴(124), 폴리실리콘막 패턴(124) 상에 형성된 질화막 패턴(126) 및 질화막 패턴(126) 상에 형성된 절연막 패턴(128)을 포함하여 구성된다. 절연막 패턴(128)은 트렌치(115)를 매립하도록 형성되는 것이 바람직하다.
- [0034] 질화막 패턴(126)은 커패시터와 연결되는 접합 누설 전류를 감소시켜 커패시터에 축전되는 전하의 유지 시간을 증가시킴으로써 반도체 소자의 리프레시(refresh) 특성을 향상시킨다.
- [0035] 트렌치(115)의 표면(115S, 115B)은 트렌치(115)의 바닥면(115B) 및 트렌치(115)의 측면(115S)으로 이루어질 수 있다. 폴리실리콘막 패턴(124), 산화막 패턴(122) 또는 질화막 패턴(126)은 트렌치(115)의 바닥면(115B) 및 트렌치(115)의 측면(115S) 상에 라이너(liner) 형태로 형성될 수 있다. 이를 다른 관점에서 이해하면, 폴리실리콘막 패턴(124), 산화막 패턴(122) 또는 질화막 패턴(126)은 트렌치(115)의 바닥면(115B)에서부터 측면(115S)으로 연장되어 형성될 수 있다.
- [0036] 폴리실리콘막 패턴(124)은 산소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는, 폴리실리콘막 패턴(124)은 탄소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는, 폴리실리콘막 패턴(124)은 질소가 도핑된 폴리실리콘막 패턴일

수 있다.

- [0037] 산화막 패턴(122)은 예를 들어, 실리콘 산화막(SiO₂)으로 형성될 수 있으나, 이에 반드시 한정되는 것은 아니다. 그리고, 질화막 패턴(126)은 예를 들어, 실리콘 질화막(Si₃N₄)으로 형성될 수 있으나, 이에 반드시 한정되는 것은 아니다. 그리고, 절연막 패턴(128)은 갭필(gap fill) 능력이 우수한 절연막으로 형성되며, 예를 들어, SOG(spin on glass) 계열의 TOSZ(tonen silazene)으로 형성될 수 있으나, 이에 반드시 한정되는 것은 아니다.
- [0038] 도 1에 도시된 본 발명의 실시예의 구조를 확장한 반도체 소자는 소자분리 패턴(120)에 의해 한정되는 반도체 기판(110)의 활성 영역(130) 상에 형성된 게이트 전극 구조체(예를 들어, 도 20의 140, 도 24의 140, 도 25의 140, 도 26의 165)를 더 포함하는 트랜지스터 반도체 소자일 수 있다.
- [0039] 상기 게이트 전극 구조체가 특히 피모스 전계효과 트랜지스터(pMOSFET)의 일부를 구성하는 경우, 소자분리 패턴(120)의 일부에 전자가 트랩되고 홀이 반대편에 대전되는 현상이 발생한다.
- [0040] 도 2는 도 1에서 A 부분으로 도시된 영역에서 홀과 전자가 대전되는 현상을 개요적으로 도해하는 단면도이다.
- [0041] 반도체 소자가 급격히 작아짐에 따라 채널 사이의 전계(electric field)가 급격히 증가하여 많은 열전자(hot electron)가 발생하게 된다. 특히 피모스 트랜지스터에서는 캐리어인 정공이 높은 전계가 인가된 드레인 영역의 격자와 충돌하여 전자-홀 쌍(electron-hole pair)이 발생되어 많은 열전자가 발생한다.
- [0042] 이러한 열전자는 소자분리 패턴(120)으로 침투하게 되어 질화막 패턴(126)에 갇히게 된다. 즉, 질화막 패턴(126)이 산화막 패턴(122)과 절연막 패턴(128) 사이에 위치하므로 질화막 패턴(126)에 전위차가 발생하여 전자(e⁻)들이 질화막 패턴(126)에 갇히게 된다.
- [0043] 한편, 상기 전위차에 의하여 갇히는 전자(e⁻)는 질화막 패턴(126)의 내부에 트랩될 뿐만 아니라, 폴리실리콘막 패턴(124)과 질화막 패턴(126) 사이의 계면(125)에서도 트랩될 수 있다. 구체적으로 전자(e⁻)가 트랩되는 위치는 질화막 패턴(126) 내부의 격자결함 및/또는 폴리실리콘막 패턴(124)과 질화막 패턴(126) 사이의 계면(125)에 존재하는 결함을 포함한다.
- [0044] 한편, 이렇게 트랩된 전자(e⁻)는 반대 종류의 전하를 가지는 홀(h⁺)을 전기적 인력으로 끌어당기는데, 상기 홀(h⁺)은 주로 폴리실리콘막 패턴(124)의 내부에 집중되어 대전된다. 즉, 폴리실리콘막 패턴(124)의 존재로 인하여, 질화막 패턴(126) 내부 및 폴리실리콘막 패턴(124)과 질화막 패턴(126) 사이의 계면(125)에 트랩된 전자(e⁻)가 반도체 기판(110)의 활성 영역(130)에 홀(h⁺)을 끌어들이는 능력이 저하된다. 따라서, 전자(e⁻)가 소자분리 패턴(120) 내에 트랩되어도 소자분리 패턴(120)과 인접한 반도체 기판(110)의 활성 영역(130)에는 홀(h⁺)이 집중되지 않는다.
- [0045] 소자분리 패턴(120)과 인접한 반도체 기판(110)의 활성 영역(130)에 홀(h⁺)이 집중되지 않으므로, 활성 영역(130)에 형성된 유효채널의 길이가 변화되지 않아 반도체 소자의 이상 동작을 방지할 수 있다.
- [0046] 도 3은 도 1과 비교를 위한 비교예의 반도체 소자를 설명하기 위하여 도시한 단면도이다. 도 3과 도 1에서 동일한 부호는 동일한 구성요소를 지칭하며, 따라서 동일한 구성요소에 대한 설명은 도 1에서 이미 언급하여 중복되므로, 여기에서는 생략한다.
- [0047] 도 3을 참조하면, 소자분리 패턴(121)은 트렌치(115)의 표면 상에 형성된 산화막 패턴(122), 산화막 패턴(122) 상에 형성된 질화막 패턴(126) 및 질화막 패턴(126) 상에 형성된 절연막 패턴(128)을 포함하여 구성된다. 절연막 패턴(128)은 트렌치(115)를 매립하도록 형성되는 것이 바람직하다. 즉, 도 3에서 도시된 비교예는 도 1과 달리 폴리실리콘막 패턴(124)이 개시되지 않는다.
- [0048] 도 3에 도시된 본 발명의 비교예의 구조를 확장한 반도체 소자는 소자분리 패턴(121)에 의해 한정되는 반도체 기판(110)의 활성 영역 상에 형성된 게이트 전극 구조체를 더 포함하는 트랜지스터 반도체 소자일 수 있다.
- [0049] 상기 게이트 전극 구조체가 특히 피모스 전계효과 트랜지스터(pMOSFET)의 일부를 구성하는 경우, 소자분리 패턴(121)의 일부에 전자가 트랩되고 홀이 반대편에 대전되는 현상이 발생한다.

- [0050] 도 4는 도 3에서 B 부분으로 도시된 영역에서 홀과 전자가 대전되는 현상을 개요적으로 도시한 단면도이다.
- [0051] 반도체 소자가 급격히 작아짐에 따라 채널 사이의 전기(electric field)가 급격히 증가하여 많은 열전자(hot electron)이 발생하게 된다. 이러한 열전자는 소자분리 패턴(121)으로 침투하게 되어 질화막 패턴(126)에 갇히게 된다. 즉, 질화막 패턴(126)이 산화막 패턴(122)과 절연막 패턴(128) 사이에 위치하므로 질화막 패턴(126)에 전위차가 발생하여 전자(e-)들이 질화막 패턴(126)에 갇히게 된다.
- [0052] 한편, 상기 전위차에 의하여 갇히는 전자(e-)는 질화막 패턴(126)의 내부에 트랩될 뿐만 아니라, 산화막 패턴(122)과 질화막 패턴(126) 사이의 계면(123)에서도 트랩될 수 있다. 구체적으로 전자(e-)가 트랩되는 위치는 질화막 패턴(126) 내부의 격자결함 및/또는 산화막 패턴(122)과 질화막 패턴(126) 사이의 계면(123)에 존재하는 결함을 포함한다.
- [0053] 한편, 이렇게 트랩된 전자(e-)은 반대 종류의 전하를 가지는 홀(h+)을 전기적 인력으로 끌어당기는데, 상기 홀(h+)은 소자분리 패턴(121)과 인접하는 반도체 기판(110)의 활성 영역(130)에 집중되어 대전된다.
- [0054] 이렇게 소자분리 패턴(121)에 인접한 활성 영역(130)에 홀(h+)이 집중되면, 유효채널의 길이가 원래보다 작게 되어 게이트에 전압이 인가되지 않은 상태에서도 전류가 흐르게 되고, 문턱 전압을 감소시키고 누설전류를 증가시키게 되며, 결과적으로 소자의 불량률 유발하게 된다. 이러한 현상을 열전자 유기 펀치 스루(hot electron induced punch through, HEIP)라고 부른다. 이러한 HEIP 현상은 n-MOS에서는 크게 문제가 되지 않을 수 있으나, 홀이 주 캐리어이고 Vpp 가 높은 전압으로 인가되는 p-MOS에서는 특히 문제가 될 수 있다.
- [0055] 그러나 앞에서 설명한 바와 같이, 도 2에서는 폴리실리콘막 패턴(124)이 존재하여 홀(h+)은 반도체 기판(110)의 활성 영역(130)에 집중되어 대전되지 않으므로 HEIP 현상을 방지할 수 있다.
- [0056] 도 5는 본 발명의 다른 실시예에 따른 반도체 소자의 단면도이다. 도 5와 도 1에서 동일한 부호는 동일한 구성요소를 지칭하며, 따라서 동일한 구성요소에 대한 설명은 도 1에서 이미 언급하여 중복되므로, 여기에서는 생략한다.
- [0057] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 반도체 소자는 트렌치(115)가 구비된 반도체 기판(110)과 트렌치(115) 내에 형성된 소자분리 패턴(120a)을 포함한다. 소자분리 패턴(120a)은 반도체 소자에서 소자분리 영역에 해당하며, 소자분리 패턴(120a)과 인접한 또 다른 소자분리 패턴(120a) 사이에 한정되는 반도체 기판의 일부(130)는 반도체 소자에서 활성 영역에 대응한다.
- [0058] 소자분리 패턴(120a)은 예를 들어, 좁은 폭을 가지면서도 우수한 소자분리 특성을 가지는 얇은 트렌치형 소자분리(shallow trench isolation, STI) 구조를 가질 수 있다.
- [0059] 소자분리 패턴(120a)은 트렌치(115)의 표면 상에 형성된 폴리실리콘막 패턴(124), 폴리실리콘막 패턴(124) 상에 형성된 질화막 패턴(126) 및 질화막 패턴(126) 상에 형성된 절연막 패턴(128)을 포함하여 구성된다. 절연막 패턴(128)은 트렌치(115)를 매립하도록 형성되는 것이 바람직하다.
- [0060] 폴리실리콘막 패턴(124)은 산소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는, 폴리실리콘막 패턴(124)은 탄소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는, 폴리실리콘막 패턴(124)은 질소가 도핑된 폴리실리콘막 패턴일 수 있다.
- [0061] 도 5에서 도시된 소자분리 패턴(120a)에서는 산화막 패턴(122)이 폴리실리콘막 패턴(124)과 트렌치(115)의 표면 사이에 개재되지 않는다는 점이 도 1과 다르다.
- [0062] 본 발명자들은 도 5에서 도시된 소자분리 패턴(120a)을 가지는 반도체 소자에서도 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124)이 존재하여 HEIP 현상을 방지할 수 있음을 확인하였다.
- [0063] 도 6은 본 발명의 또 다른 실시예에 따른 반도체 소자의 단면도이다. 도 6과 도 1에서 동일한 부호는 동일한 구성요소를 지칭하며, 따라서 동일한 구성요소에 대한 설명은 도 1에서 이미 언급하여 중복되므로, 여기에서는 생략한다.

- [0064] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 반도체 소자는 트렌치(115)가 구비된 반도체 기판(110)과 트렌치(115) 내에 형성된 소자분리 패턴(120b)을 포함한다. 소자분리 패턴(120b)은 반도체 소자에서 소자분리 영역에 해당하며, 소자분리 패턴(120a)과 인접한 또 다른 소자분리 패턴(120a) 사이에 한정되는 반도체 기판의 일부(130)는 반도체 소자에서 활성 영역에 대응한다.
- [0065] 소자분리 패턴(120b)은 예를 들어, 좁은 폭을 가지면서도 우수한 소자분리 특성을 가지는 얇은 트렌치형 소자분리(shallow trench isolation, STI) 구조를 가질 수 있다.
- [0066] 소자분리 패턴(120b)은 트렌치(115)의 표면 상에 형성된 산화막 패턴(122), 산화막 패턴(122)상에 형성된 폴리실리콘막 패턴(124a), 폴리실리콘막 패턴(124a) 상에 형성된 질화막 패턴(126) 및 질화막 패턴(126) 상에 형성된 절연막 패턴(128)을 포함하여 구성된다. 절연막 패턴(128)은 트렌치(115)를 매립하도록 형성되는 것이 바람직하다.
- [0067] 폴리실리콘막 패턴(124a)은 산소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는, 폴리실리콘막 패턴(124a)은 탄소가 도핑된 폴리실리콘막 패턴일 수 있다. 또는, 폴리실리콘막 패턴(124a)은 질소가 도핑된 폴리실리콘막 패턴일 수 있다.
- [0068] 트렌치(115)의 표면(115S, 115B)은 트렌치(115)의 바닥면(115B) 및 트렌치(115)의 측면(115S)으로 이루어질 수 있다. 폴리실리콘막 패턴(124a), 산화막 패턴(122) 또는 질화막 패턴(126)은 트렌치(115)의 바닥면(115B)에서부터 측면(115S)으로 연장되어 형성될 수 있다.
- [0069] 다만, 폴리실리콘막 패턴(124a)은 트렌치(115)의 바닥면(115B)에서부터 측면(115S)으로 연장되어 트렌치(115)의 측면(115S) 상에 형성되지만, 반도체 기판(110)의 상부면(110F)까지 연장되지 않으면서 상부면(110F)과 이격되어 있다. 여기에서 반도체 기판(110)의 상부면(110F)은 활성 영역(130)의 상부면과 일치할 수도 있으나, 반드시 이에 한정되는 것은 아니다.
- [0070] 일반적으로 산화막 패턴(122), 질화막 패턴(126) 및 절연막 패턴(128)은 절연성을 가지는 것에 반하여, 폴리실리콘막 패턴(124a)은 산소, 탄소 또는 질소로 도핑되어 반도체성을 가질 수 있다. 한편, 반도체 기판(110)의 활성 영역(130) 상에 도전성의 구조체(예를 들어, 커패시터와 연결되는 패드 전극, 비트라인과 연결되는 패드 전극, 게이트 전극, 소오스 영역, 드레인 영역 등등)가 형성될 수 있다.
- [0071] 따라서, 폴리실리콘막 패턴(124a)의 양단이 반도체 기판(110)의 상부면(110F)에 노출되는 경우(즉, 폴리실리콘막 패턴(124a)의 양단이 반도체 기판(110)의 상부면(110F)과 동일한 레벨을 가지는 경우)에 오정렬(misalign)에 의하여 폴리실리콘막 패턴(124a)과 상기 도전성의 구조체가 접촉하여 소자 동작이 불량해질 수 있다.
- [0072] 이러한 현상을 방지하기 위하여, 폴리실리콘막 패턴(124a)의 양단은 반도체 기판(110)의 상부면(110F)보다 레벨이 낮도록 형성하여 반도체 기판(110)의 상부면(110F)까지 연장되지 않으면서 상부면(110F)과 이격되어 있다. 상기 이격된 정도는 반도체 기판(110)의 상부면(110F)으로부터 소정의 깊이(S2)에 해당한다.
- [0073] 상기 소정의 깊이(S2)가 너무 작으면 오정렬에 의한 소자 불량이 발생하고, 상기 소정의 깊이(S2)가 너무 크면 HEIP 현상에 의한 소자 불량이 발생하므로, 소자의 특성을 고려하여 적절하게 조절되어야 한다.
- [0074] 예를 들어, 폴리실리콘막 패턴(124a)의 두께(S1)가 5nm 인 경우, 상기 소정의 깊이(S2)는 30 nm 일 수 있다.
- [0075] 폴리실리콘막 패턴(124a)의 양단과 반도체 기판(110)의 상부면(110F) 사이의 공간은 후속공정을 거치면서 공기로 채워진 폐공간으로 형성될 수도 있으며, 또는 후속공정에서 적용되는 층간 절연막과 같은 절연성 물질에 의해 채워질 수도 있다.
- [0076] 본 발명자들은 도 6에서 도시된 소자분리 패턴(120b)을 가지는 반도체 소자에서도 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124a)이 존재하여 HEIP 현상을 방지할 수 있음을 확인하였다.
- [0077] 도 7은 본 발명의 또 다른 실시예에 따른 반도체 소자의 단면도이다. 도 7과 도 6에서 동일한 부호는 동일한 구성요소를 지칭하며, 따라서 동일한 구성요소에 대한 설명은 도 6에서 이미 언급하여 중복되므로, 여기에서는 생략한다.
- [0078] 도 7을 참조하면, 본 발명의 다른 실시예에 따른 반도체 소자는 트렌치(115)가 구비된 반도체 기판(110)과 트렌치(115) 내에 형성된 소자분리 패턴(120c)을 포함한다.

- [0079] 소자분리 패턴(120c)은 트렌치(115)의 표면 상에 산화막 패턴(122), 산화막 패턴(122) 상에 형성된 폴리실리콘막 패턴(124), 폴리실리콘막 패턴(124a) 상에 형성된 질화막 패턴(126a) 및 질화막 패턴(126a) 상에 형성된 절연막 패턴(128)을 포함하여 구성된다. 절연막 패턴(128)은 트렌치(115)를 매립하도록 형성되는 것이 바람직하다.
- [0080] 폴리실리콘막 패턴(124a)의 양단은 트렌치(115)의 바닥면(115B)에서부터 측면(115S)으로 연장되어 트렌치(115)의 측면(115S) 상에 형성되지만, 반도체 기판(110)의 상부면(110F)까지 연장되지 않으면서 상부면(110F)과 이격되어 있다.
- [0081] 다만, 도 7에서는, 도 6과 달리, 폴리실리콘막 패턴(124a)의 양단과 반도체 기판(110)의 상부면(110F) 사이를 질화막 패턴(126a)이 충전하는 구조를 가진다.
- [0082] 본 발명자들은 도 7에서 도시된 소자분리 패턴(120c)을 가지는 반도체 소자에서도 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124a)이 존재하여 HEIP 현상을 방지할 수 있음을 확인하였다.
- [0083] 계속하여 본 발명의 실시예들에 따른 반도체 소자를 형성하는 방법을 설명한다.
- [0084] 도 8 내지 도 14는 도 1에 개시된 본 발명의 실시예인 반도체 소자를 형성하는 방법을 순차적으로 도해하는 단면도들이다.
- [0085] 먼저 도 8을 참조하면, 반도체 기판(110)에 트렌치(115)를 형성한다. 트렌치(115)의 내벽은 바닥면(115B) 및 측면(115S)을 포함하여 구성될 수 있다.
- [0086] 도 9를 참조하면, 트렌치(115)를 구비하는 반도체 기판(110) 상에 산화막(122k)을 형성한다. 산화막(122k)은 예를 들어, 실리콘 산화막(SiO_2)으로 형성될 수 있으나, 이에 반드시 한정되는 것은 아니다.
- [0087] 산화막(122k)은 실란계 가스(silane-based gas), 예를 들어 SiH_4 , $\text{Si}_2\text{Cl}_2\text{H}_2$, SiH_6 , Si_2H_6 , Si_3H_8 또는 이들의 혼합 가스를 이용하여 형성할 수도 있으며, O_2 , N_2 , Ar, He 또는 이들의 혼합 가스를 함께 이용하여 형성할 수도 있다.
- [0088] 도 10을 참조하면, 산화막(122k) 상에 폴리실리콘막(124k)을 형성한다. 폴리실리콘막(124k)은 산소, 탄소 또는 질소가 도핑된 폴리실리콘막일 수 있다.
- [0089] 산소, 탄소 또는 질소가 도핑된 폴리실리콘막(124k)을 형성하는 하나의 방법은 산소, 탄소 및 질소 중에서 적어도 어느 하나를 포함하는 전구체를 사용하여 산소, 탄소 또는 질소가 도핑된 폴리실리콘막을 화학 기상 증착하는 공정을 포함하는 것이다.
- [0090] 산소, 탄소 또는 질소가 도핑된 폴리실리콘막(124k)을 형성하는 다른 방법은 산소, 탄소 및 질소 중에서 적어도 어느 하나를 포함하는 전구체를 사용하여 산소, 탄소 또는 질소가 도핑된 폴리실리콘막을 에피택셜 성장 시키는 공정을 포함하는 것이다.
- [0091] 예를 들어, 산소가 도핑된 폴리실리콘막(124k)은 N_2O 와 Si_2H_6 이 포함된 전구체나, SiH_4 와 N_2O 가 포함된 전구체를 이용하여 산소가 도핑된 폴리실리콘막을 화학 기상 증착 또는 에피택셜 성장에 의하여 형성할 수 있다.
- [0092] 예를 들어, 탄소가 도핑된 폴리실리콘막(124k)은 SiH_3CH_3 과 Si_2H_6 (또는 SiH_2Cl_2)이 포함된 전구체나, SiH_4 와 C_2H_4 (또는 SiH_3CH_3)가 포함된 전구체를 이용하여 탄소가 도핑된 폴리실리콘막을 화학 기상 증착 또는 에피택셜 성장에 의하여 형성할 수 있다.
- [0093] 예를 들어, 질소가 도핑된 폴리실리콘막(124k)은 NH_3 과 Si_2H_6 이 포함된 전구체나, SiH_4 와 NH_3 이 포함된 전구체를 이용하여 질소가 도핑된 폴리실리콘막을 화학 기상 증착 또는 에피택셜 성장에 의하여 형성할 수 있다.
- [0094] 산소가 도핑된 폴리실리콘막(124k)을 형성하는 또 다른 방법은 폴리실리콘막을 형성하는 제1 단계 및 N_2O 및 NO를 포함하는 균에서 적어도 하나의 가스를 사용하여 산소를 상기 폴리실리콘막에 도핑하는 제2 단계를 포함하는 것이다. 상기 제2 단계는 상기 제1 단계 이후에 수행될 수 있다. 또는, 상기 제2 단계와 상기 제1 단계는 동시에 수행될 수도 있다.

- [0095] 도 11을 참조하면, 폴리실리콘막(124k) 상에 질화막(126k)을 형성한다. 질화막(126k)은 예를 들어, 실리콘 질화막(Si_3N_4)으로 형성될 수 있으나, 이에 반드시 한정되는 것은 아니다.
- [0096] 질화막(126k)은 PECVD(Plasma enhanced CVD), 또는 라디칼 질화법으로 형성될 수 있고, 공정 조건은 0.01 내지 10 Torr 범위의 압력, 질소계 반응 가스, 예를 들어, N_2 , NO, N_2O 또는 NH_3 의 질소계 반응 가스 중 하나 또는 그 이상을 이용하거나, 상기 하나 또는 그 이상의 질소계 반응 가스와 SiH_4 , $\text{Si}_2\text{Cl}_2\text{H}_2$, SiH_6 , Si_2H_6 , Si_3H_8 으로 구성된 균으로부터 선택된 하나 또는 그 이상의 소스 가스의 혼합 가스를 이용하여 형성할 수 있으며, 또한 Ar, He 등의 분위기에서 수행될 수 있다. 그러나, 이는 예시적이며, 본 발명은 반드시 이에 한정되는 것은 아니다.
- [0097] 도12를 참조하면, 질화막(126k) 상에 절연막(128k)을 형성한다. 절연막(128k)은 갭필(gap fill) 능력이 우수한 절연막으로 형성되며, 예를 들어, SOG 계열의 TOSZ으로 형성될 수 있으나, 이에 반드시 한정되는 것은 아니다.
- [0098] 절연막(128k)은 HDP-CVD(high density plasma CVD), O_3 -TEOS APCVD(atmosphere pressure CVD), O_3 -TEOS Sub-APCVD, ALCVD(Atomic layer CVD) 또는MLCVD(molecular layer CVD) 방식을 이용하여 형성할 수도 있다.
- [0099] 도 13을 참조하면, 질화막(126k)이 노출될 때까지 절연막(128k)의 일부를 평탄화하여 제거하여 절연막 패턴(128m)을 형성한다. 평탄화 제거 공정은 예를 들어, 화학적 기계적 폴리싱(CMP) 공정 또는 에치백 공정을 이용할 수 있다.
- [0100] 도 14를 참조하면, 폴리실리콘막(124k)이 노출될 때까지 절연막 패턴(128m) 및 질화막(126k)의 일부를 평탄화하여 제거하여 절연막 패턴(128n), 질화막 패턴(126a) 및 폴리실리콘막(124k)이 동일한 레벨을 갖도록 한다.
- [0101] 계속하여, 반도체 기판(110)의 상부면(110F)이 노출될 때까지 절연막 패턴(128n), 질화막 패턴(126m), 폴리실리콘막(124k) 및 산화막(122k)의 일부를 평탄화하여 제거하여 도 1에 도시된 반도체 소자를 최종적으로 구현한다.
- [0102] 평탄화 제거 공정은 예를 들어, 화학적 기계적 폴리싱(CMP) 공정 또는 에치백 공정을 이용할 수 있다.
- [0103] 도 8 내지 도 15는 도 6에 개시된 본 발명의 다른 실시예인 반도체 소자를 형성하는 방법을 순차적으로 도해하는 단면도들이다. 도 8 내지 도 13은 앞에서 이미 설명하였으므로, 이에 대한 설명은 이에 대한 중복된 설명은 생략한다.
- [0104] 도 14를 참조하면, 폴리실리콘막(124k)이 노출될 때까지 절연막 패턴(128m) 및 질화막(126k)의 일부를 평탄화하여 제거하여 절연막 패턴(128n), 질화막 패턴(126a) 및 폴리실리콘막(124k)이 동일한 레벨을 갖도록 한다.
- [0105] 계속하여, 도 15를 참조하면, 폴리실리콘막(124k)에 대한 절연막 패턴(128n), 질화막 패턴(126a) 및 산화막(122k)의 식각 선택비를 이용하여 폴리실리콘막(124k)의 일부에 대해서만 선택적으로 식각을 수행한다. 폴리실리콘막(124k)의 식각은 트렌치(115)의 측면 상에 형성된 폴리실리콘막(124k)의 일부를 소정의 깊이(S2)까지 제거하도록 진행하는 것이 바람직하다.
- [0106] 폴리실리콘막(124k)의 식각은 예를 들어, 에치백 공정을 이용하여 폴리실리콘막(124k)을 식각할 수 있는데, 상기 소정의 깊이까지 에치백 공정에 의하여 제거되는 폴리실리콘막(124k)의 양을 조절하는 것이 용이하지 않을 수 있다.
- [0107] 계속하여, 반도체 기판(110)의 상부면(110F)이 노출될 때까지 절연막 패턴(128n), 질화막 패턴(126m) 및 산화막(122k)의 일부를 평탄화하여 제거하여 도 6에 도시된 반도체 소자를 최종적으로 구현한다.
- [0108] 평탄화 제거 공정은 예를 들어, 화학적 기계적 폴리싱(CMP) 공정 또는 에치백 공정을 이용할 수 있다.
- [0109] 도 8 내지 도 10, 및 도 16 내지 도 19는 도 7에 개시된 본 발명의 다른 실시예인 반도체 소자를 형성하는 방법을 순차적으로 도해하는 단면도들이다. 도 8 내지 도 10은 앞에서 이미 설명하였으므로, 이에 대한 설명은 이에 대한 중복된 설명은 생략한다.
- [0110] 도 16을 참조하면, 폴리실리콘막(124k) 상에 희생막(127)을 형성한다. 희생막(127)은 트렌치(115)를 모두 충전할 수 있도록 형성할 수 있다. 희생막(127)은 예를 들어, ACL(Amorphous Carbon Layer) 또는 SOH(Spin On Hardmask)와 같은 탄소 함유막으로 형성될 수 있다.

- [0111] 도 17을 참조하면, 희생막(127)의 일부를 평탄화하여 제거하여 희생막 패턴(127a)을 형성한다. 희생막 패턴(127a)의 상부면의 레벨은 후속공정에서 형성되는 폴리실리콘막 패턴(124a)의 양단의 레벨과 동일하므로, 희생막 패턴(127a)의 상부면의 레벨은 트렌치(115)의 내부에 있도록 조절하는 것이 바람직하다. 평탄화 제거 공정은 예를 들어, 화학적 기계적 폴리싱(CMP) 공정 또는 에치백 공정을 이용할 수 있다.
- [0112] 도 18을 참조하면, 폴리실리콘막(124k)의 일부를 식각하여 폴리실리콘막 패턴(124a)을 형성한다. 폴리실리콘막(124k)은 희생막 패턴(127a)과 식각 선택비를 가지므로, 폴리실리콘막(124k)은 희생막 패턴(127a)의 상부면과 동일한 레벨을 가질 때까지 식각된다. 따라서, 폴리실리콘막 패턴(124a)의 양단은 희생막 패턴(127a)의 상부면과 동일한 레벨을 가진다.
- [0113] 도 19를 참조하면, 희생막 패턴(127a)을 제거한다. 희생막패턴(127a)을 제거하는 공정은 애싱(ashing) 및 스트립(strip) 공정을 포함할 수 있다. 희생막패턴(127a)을 제거한 이후에, 폴리실리콘막 패턴(124a)과 산화막(122k) 상에 질화막(126k)을 형성한다.
- [0114] 계속하여, 트렌치를 메우는 절연막(미도시)을 형성하고, 반도체 기판(110)의 상부면(110F)이 노출될 때까지 상기 절연막, 질화막(126k) 및 산화막(122k)을 일부를 평탄화하여 제거하여 도 7에 도시된 반도체 소자를 최종적으로 구현한다. 평탄화 제거 공정은 예를 들어, 화학적 기계적 폴리싱(CMP) 공정 또는 에치백 공정을 이용할 수 있다.
- [0115] 도 8 내지 도 10, 및 도 16 내지 도 19에 도시된 방법으로 도 7에 도시된 반도체 소자를 형성하는 경우, 반도체 기판(110)의 상부면(110F)에서 소정의 깊이(S2)까지 제거되는 폴리실리콘막의 양을 조절하는 것이, 도 8 내지 도 15에 도시된 방법으로 도 6에 도시된 반도체 소자를 형성하는 경우보다 상대적으로 용이하다.
- [0116] 도 20은 본 발명의 또 다른 실시예에 따른 반도체 소자의 단면도이고, 도 21은 도 20과 비교를 위한 비교예의 반도체 소자를 설명하기 위하여 도시한 단면도이다.
- [0117] 도 20을 참조하면, 트렌치(115)가 구비된 반도체 기판(110)이 준비된다. 트렌치(115) 내에 소자분리 패턴(120)이 형성된다. 소자분리 패턴(120)은 도 1에서 상세하게 설명하였으므로, 여기에서는 이에 대한 중복된 설명은 생략한다.
- [0118] 소자분리 패턴(120)에 의해 한정되는 반도체 기판(110)은 활성 영역(130)을 형성한다. 활성 영역(130)은 소오스 영역/드레인 영역(131, 132) 및 채널 영역(133)을 포함한다.
- [0119] 반도체 기판(110) 상에, 예를 들어, 활성 영역(130) 상에, 게이트 전극 구조체(140)가 형성된다. 게이트 전극 구조체(140)는 반도체 기판(110) 상에 형성된 게이트 절연막(141)과 게이트 절연막(141) 상의 게이트 전극(142)을 포함한다. 게이트 절연막(141) 및 게이트 전극(142)의 측면에는 이들을 보호하는 스페이서막 패턴(144)을 더 포함할 수 있다.
- [0120] A 부분으로 도시된 영역에서 홀과 전자가 대전될 수 있으며, 도 2에서 이에 대한 상세한 설명을 하였으므로, 여기에서는 생략한다.
- [0121] 도 21을 참조하면, 트렌치(115)가 구비된 반도체 기판(110)이 준비된다. 트렌치(115) 내에 소자분리 패턴(121)이 형성된다. 소자분리 패턴(121)은 도 3에서 상세하게 설명하였으므로, 여기에서는 이에 대한 중복된 설명은 생략한다.
- [0122] B 부분으로 도시된 영역에서 홀과 전자가 대전될 수 있으며, 도 4에서 이에 대한 상세한 설명을 하였으므로, 여기에서는 생략한다.
- [0123] 도 20과 도 21을 비교하면, 도 20의 소자분리 패턴(120)은 트렌치(115)와 질화막 패턴(126) 사이에 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124)이 개재되지만, 도 21의 소자분리 패턴(121)은 트렌치(115)와 질화막 패턴(126) 사이에 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124)이 개재되지 않는다.
- [0124] 본 발명자들은 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124)의 존재유무에 따라 반도체 소자에서 HEIP 현상이 달라짐을 확인하였다.
- [0125] 도 22는 도 20과 도 21에 각각 도시된 HEIP 특성을 측정한 그래프이다.
- [0126] 도 22를 참조하면, 도 20에 개시된 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124)이 존재하는 반도체

소자의 경우(D), 도 21에 개시된 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124)이 존재하지 않는 반도체 소자의 경우(C) 보다 승압 전압(V_{pp})이 약 1.1V 높아도 오프 전류(I_{off})의 열화에 이르는 시간이 동일한 것을 확인하였다. 이는 산소, 탄소 또는 질소가 도핑된 폴리실리콘막 패턴(124)이 존재하는 반도체 소자의 경우 HEIP 현상이 억제되어 개선되는 것을 의미한다.

- [0127] 한편, 도 20에서는 소자분리 패턴이 도 1에 도시된 소자분리 패턴(120)으로 구성되었으나, 이에 한정되지 않으며, 예를 들어, 도 5에 도시된 소자분리 패턴(120a), 도 6에 도시된 소자분리 패턴(120b) 또는 도 7에 도시된 소자분리 패턴(120c)으로 대체될 수도 있음은 본 발명의 기술적 사상에 의하여 명백하다.
- [0128] 앞서의 본 발명의 소자분리 패턴을 가지는 반도체 소자를, 예컨대 디램(DRAM, dynamic random access memory) 소자에 이용한 예를 설명한다. 물론, 본 발명은 디램 소자 이외에 다른 메모리 소자나 비메모리 소자 등에도 이용될 수 있다.
- [0129] 도 23은 본 발명의 실시예에 따른 반도체 소자를 이용한 디램 소자의 레이아웃도이다.
- [0130] 구체적으로, 디램 소자의 레이아웃도의 일 예를 도시한 것으로 본 발명이 이에 한정되는 것은 아니다. 비활성영역(필드 영역, FR)에 의하여 활성영역(AR)이 정의되어 있고, 활성영역(AR) 상에는 두 개의 워드라인(W/L)이 지나고 있다. 비트라인(B/L)은 워드라인(W/L)과 층을 달리하여 배치된다. 워드 라인(W/L)이 일방향으로 배치되고, 워드 라인(W/L)과 이방향으로(예를 들어, 수직하게) 비트라인(B/L)이 배치된다.
- [0131] 활성영역(AR)에 형성된 드레인 영역 상에는 비트라인(B/L)이 연결되는 다이렉트 콘택 패드 전극(DC 콘택 패드 전극, I)이 형성되어 있고, 활성영역(AR)에 형성된 소오스 영역 상에는 하부 전극이 연결되는 매몰 콘택 패드 전극(BC 콘택 패드 전극, II)이 형성되어 있다. 매몰 콘택 패드 전극(BC 콘택 패드 전극, II) 상에는 디램 소자의 커패시터(CA), 즉 하부 전극이 형성되어 있다.
- [0132] 도 24 및 도 25는 도 23의 Y-Y 방향에 따른 디램 소자의 단면도들이다.
- [0133] 구체적으로, 디램 소자의 단면의 일 예를 도시한 것으로, 본 발명이 이에 한정되는 것은 아니다. 도 24는 평면 채널 어레이 트랜지스터(planar channel array transistor)를 갖는 디램 소자이고, 도 25는 리세스 채널 어레이 트랜지스터(recess channel array transistor)를 갖는 디램 소자를 도시한 것이다.
- [0134] 반도체 기판(110), 예컨대 실리콘 기판에 비활성영역(FR)에 의해 한정된 활성 영역(AR)이 마련되어 있다. 비활성영역(FR)은 반도체 기판(110)을 식각하여 마련된 트렌치(115) 내에 소자분리 패턴(120b)을 형성하여 구현한다.
- [0135] 한편, 도 24에서 도시된 소자분리 패턴(120b)은 도 6에 도시된 소자분리 패턴(120)을 포함하여 구성된다. 폴리실리콘막 패턴(124a)은 반도체 기판(110)의 상부면과 이격되어 형성되어 있으며, 이격된 공간(129)은 공기로 채워진 밀폐된 공간을 형성하거나 절연성 물질에 의해 채워질 수 있다.
- [0136] 그러나, 도 24에 도시된 소자분리 패턴(120b)은, 이에 한정되지 않으며, 예를 들어, 도 1에 도시된 소자분리 패턴(120), 도 5에 도시된 소자분리 패턴(120a) 또는 도 7에 도시된 소자분리 패턴(120c)으로 대체될 수도 있음은 본 발명의 기술적 사상에 의하여 명백하다.
- [0137] 활성 영역(AR)이 한정된 반도체 기판(110) 상에 워드 라인(W/L) 역할을 수행하는 복수개의 게이트 전극 구조체(140)가 형성되어 있다. 게이트 전극 구조체(140)는 게이트 절연막(141), 게이트 전극(142), 게이트 하드마스크막(143) 및 게이트 스페이서막(144)을 포함한다.
- [0138] 도 25에서는, 리세스 채널 트렌치(116)의 내벽에 형성된 게이트 절연막(141), 리세스 채널 트렌치(116)를 매립하면서 게이트 절연막(141) 및 반도체 기판(110) 상에 형성되는 게이트 전극(142), 게이트 전극(142) 상에 형성된 게이트 하드마스크막(143) 및 게이트 스페이서막(144)으로 리세스형 게이트 전극 구조체(140)가 형성되어 있다.
- [0139] 한편, 도 25에서 도시된 소자분리 패턴(120b)은 도 6에 도시된 소자분리 패턴(120b)을 포함하여 구성된다. 폴리실리콘막 패턴(124a)은 반도체 기판(110)의 상부면과 이격되어 형성되어 있으며, 이격된 공간(129)은 공기로 채워진 밀폐된 공간을 형성하거나 절연성 물질에 의해 채워질 수 있다.
- [0140] 그러나, 도 24에 도시된 소자분리 패턴(120b)은, 이에 한정되지 않으며, 예를 들어, 도 1에 도시된 소자분리 패

턴(120), 도 5에 도시된 소자분리 패턴(120a) 또는 도 7에 도시된 소자분리 패턴(120c)으로 대체될 수도 있음은 본 발명의 기술적 사상에 의하여 명백하다. 게이트 하드마스크막(143)은 층간 절연막 패턴(155)으로 사용되는 실리콘 산화막과의 선택비가 좋은 실리콘 질화막으로 구성될 수 있다. 게이트 스페이서막(144)은 층간 절연막 패턴(155)으로 사용되는 실리콘 산화막과의 선택비가 높은 실리콘 질화막으로 구성될 수 있다.

[0141] 게이트 전극 구조체(140)의 양측벽 하부에 불순물 영역(135, 136), 즉 소오스 영역(135) 및 드레인 영역(136)이 형성되어 있다. 게이트 전극 구조체(140) 사이의 반도체 기판(110)에 불순물 영역(135, 136)이 형성되어 있다.

[0142] 게이트 스페이서막(144) 사이의 반도체 기판(110)에는 콘택 패드 전극들(161, 162)이 형성되어 있다. 콘택 패드 전극들(161, 162)은 불순물 영역(135, 136) 상에서 게이트 전극 구조체(140) 사이에 형성되어 있다. 콘택 패드 전극들(161, 162)은 층간 절연막 패턴(155)으로 절연되어 있다. 층간 절연막 패턴(155)은 실리콘 산화막으로 구성된다. 콘택 패드 전극들(161, 162)은 앞서 설명한 바와 같이 다이렉트 콘택(DC) 패드 전극(162) 및 매몰 콘택(BC) 패드 전극(161)으로 구별된다. 다이렉트 콘택(DC) 패드 전극(162) 및 매몰 콘택(BC) 패드 전극(161)에 각각 비트라인(B/L) 및 커패시터(CA)가 연결된다.

[0143] 앞서의 본 발명의 소자분리 패턴을 가지는 반도체 소자를, 예컨대 핀 전계 효과 트랜지스터 소자에 이용한 예를 설명한다.

[0144] 도 26은 본 발명의 소자분리 패턴을 가지는 핀 전계 효과 트랜지스터 소자의 사시도이며, 도 27은 도 26의 I-I' 라인을 따라 절취한 단면을 도해하는 단면도이다.

[0145] 도 26 및 도 27을 참조하면, 액티브 패턴(112)이 반도체 기판(110)과 일체로 되어 기판 표면으로부터 돌출된다. 액티브 패턴(112)은 제1방향으로 연장되어 배열된다. 액티브 패턴(112)은 반도체 기판(110)의 표면에서 상부 방향으로 갈수록 폭이 좁아지는 사다리꼴의 형태를 가질 수도 있다. 즉, 액티브 패턴(112)의 하부폭(S4)보다 상부폭(S3)이 더 작도록 사다리꼴의 형태를 가질 수도 있다. 그러나, 액티브 패턴(112)의 단면 형상은 이에 한정되지 않으며, 다양한 변형이 가능하다.

[0146] 한편, 액티브 패턴(112) 상에는 패드 산화막(미도시)과 하드 마스크 패턴(미도시)이 추가적으로 형성될 수도 있다. 반도체 기판(110) 상에는 액티브 패턴(112)을 분리시켜 주기 위한 소자분리 패턴(120)이 형성된다. 소자분리 패턴(120)은 도 1에 도시된 것처럼, 트렌치의 표면 상에 산화막 패턴(122), 폴리실리콘막 패턴(124), 질화막 패턴(126) 및 절연막 패턴(128)이 형성된 구조를 가질 수 있다.

[0147] 소자분리 패턴(120)은 도 1에서 상세하게 설명하였으므로, 여기에서는 이에 대한 중복된 설명은 생략한다. 소자분리 패턴(120)은 액티브 패턴(112)의 일정 높이까지만 형성되어, 액티브 패턴(112)의 일정 부분이 소자분리 패턴(120)으로부터 돌출된다. 소자분리 패턴(120)으로부터 돌출되는 액티브 패턴(112)의 일정 부분은 채널의 높이에 상응한다. 소자분리 패턴(120)으로부터 돌출된 액티브 패턴(112)을 감싸면서 제2방향으로 연장되는 게이트 전극 구조체(165)가 형성된다. 상기 게이트 전극 구조체(165)는 상기 액티브 패턴(112)의 양 측벽에 형성된 게이트 절연막(182), 게이트 절연막(182) 및 액티브 패턴(112)을 감싸면서 제2방향으로 연장되는 게이트 전극(184) 및 게이트 전극(184) 상에 형성된 하드 마스크 패턴(186)을 구비한다. 게이트 절연막(182)은 액티브 패턴(112)의 양 측벽 뿐만 아니라 액티브 패턴(112)의 상부면 상에도 형성될 수도 있다. 게이트 전극 구조체(165)의 양측의 액티브 패턴(112)의 돌출부분에는 소정 도전형의 불순물이 주입된 소오스 및 드레인 영역(171, 175)이 형성된다.

[0148] 핀 전계 효과 트랜지스터 소자는 게이트 전극(184)이 실리콘 액티브 패턴(112)을 입체적으로 감싸는 구조이며, 소자분리 패턴(120)은 산화막 패턴(122), 폴리실리콘막 패턴(124), 질화막 패턴(126) 및 절연막 패턴(128)으로 구성된 구조이다. 따라서, 채널과 게이트 전극 사이에 산소, 탄소 또는 질소가 도핑된 폴리실리콘막이 존재하므로, 전자(e-)와 홀(h+)에 대한 포텐셜 웰이 형성되면서 질화막 패턴(126)에서 전하가 축적되는 것을 방지할 수 있고, 이에 따라 트랜지스터의 특성 변화를 방지할 수 있다.

[0149] 도 28은 도 27에서 도시된 II-II' 라인을 따라 도시한 밴드 다이어그램이다.

[0150] 도 28을 참조하면, 실리콘 액티브 패턴(112)에 형성된 채널과 게이트 전극(184) 사이에 산화막 패턴(122), 폴리실리콘막 패턴(124), 질화막 패턴(126) 및 절연막 패턴(128)이 개재된다. 산화막 패턴(122)가 실리콘 산화막으로 형성되고, 질화막 패턴(126)이 실리콘 질화막으로 형성되고, 절연막 패턴(128)이 실리콘 산화막으로 형성되는 경우에, 채널과 게이트 전극 사이에는 SiO₂-Si₃N₄-SiO₂의 물질이 커플링되어 있다. 하지만, 산소, 탄소 또는

질소가 도핑된 폴리실리콘이 채널과 절연막 패턴 사이에 추가하여 개재되므로, 질화막 패턴(126)에는 전자(e-)와 홀(h+) 모두에 대한 포텐셜 웰(potential well)이 형성되면서 전하의 축적을 막을 수 있고 이에 따라 트랜지스터의 특성 변화를 방지할 수 있다.

- [0151] 한편, 도 26 및 도 27에서는 소자분리 패턴이 도 1에 도시된 소자분리 패턴(120)으로 구성되었으나, 이에 한정되지 않으며, 예를 들어, 도 5에 도시된 소자분리 패턴(120a), 도 6에 도시된 소자분리 패턴(120b) 또는 도 7에 도시된 소자분리 패턴(120c)으로 대체될 수도 있음은 본 발명의 기술적 사상에 의하여 명백하다.
- [0152] 도 29는 도 27과 비교를 위한 비교예의 반도체 소자를 설명하기 위하여 도시한 단면도이다. 도 30은 도 29에서 도시된 II-II' 라인을 따라 도시한 밴드 다이어그램이다.
- [0153] 도 29를 참조하면, 소자분리 패턴(121)에서 폴리실리콘막 패턴(124)이 존재하지 않은 것 이외에는 도 27에서 도시한 구조와 동일하다.
- [0154] 실리콘 액티브 패턴(112)에 형성된 채널과 게이트 전극(184) 사이에 산화막 패턴(122), 질화막 패턴(126) 및 절연막 패턴(128)이 개재된다. 산화막 패턴(122)가 실리콘 산화막으로 형성되고, 질화막 패턴(126)이 실리콘 질화막으로 형성되고, 절연막 패턴(128)이 실리콘 산화막으로 형성되는 경우에, 채널과 게이트 전극 사이에는 SiO₂-Si₃N₄-SiO₂의 물질이 커플링되어 있다.
- [0155] 트랜지스터의 동작시에 전자(e-)는 채널로부터 게이트 전극까지 이동함에 있어 문제가 없지만, 게이트 전극에서 백 터널링(back tunneling)된 홀(h+)은 산화막 장벽 때문에 질화막 패턴(126)에 트랩되며, 이러한 전하의 축적은 트랜지스터의 특성을 변화시킬 수 있다.
- [0156] 따라서, 도 28과 도 30의 밴드 다이어그램을 비교하면, 산소, 탄소 또는 질소가 도핑된 폴리실리콘막이 소자분리 패턴에 존재하는 경우, 질화막에 전하가 축적되지 않고 트랜지스터의 특성을 유지할 수 있다는 것을 확인할 수 있다.
- [0157] 도 31은 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 메모리 모듈(1000)의 평면도이다.
- [0158] 메모리 모듈(1000)은 인쇄회로 기판(1100) 및 복수의 반도체 패키지(1200)를 포함할 수 있다.
- [0159] 복수의 반도체 패키지(1200)는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자를 포함할 수 있다. 특히, 복수의 반도체 패키지(1200)는 앞에서 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자들 중에서 선택되는 적어도 하나의 반도체 소자의 특징적 구조를 포함할 수 있다.
- [0160] 본 발명의 기술적 사상에 따른 메모리 모듈(1000)은 인쇄회로 기판의 한쪽 면에만 복수의 반도체 패키지(1200)를 탑재한 SIMM (single in-lined memory module), 또는 복수의 반도체 패키지(1200)가 양면에 배열된 DIMM (dual in-lined memory module)일 수 있다. 또한, 본 발명의 기술적 사상에 따른 메모리 모듈(1000)은 외부로부터의 신호들을 복수의 반도체 패키지(1200)에 각각 제공하는 AMB (advanced memory buffer)를 갖는 FBDIMM (fully buffered DIMM)일 수 있다.
- [0161] 도 32는 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 메모리 카드(2000)의 개략도이다.
- [0162] 상기 메모리 카드(2000)는 제어기(2100)와 메모리(2200)가 전기적인 신호를 교환하도록 배치될 수 있다. 예를 들면, 제어기(2100)에서 명령을 내리면, 메모리(2200)는 데이터를 전송할 수 있다.
- [0163] 메모리(2200)는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자를 포함할 수 있다. 특히, 메모리(2200)는 앞에서 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자들 중에서 선택되는 적어도 하나의 반도체 소자의 특징적 구조를 포함할 수 있다.
- [0164] 메모리 카드(2000)는 다양한 종류의 카드, 예를 들어 메모리 스틱 카드 (memory stick card), 스마트 미디어 카드 (smart media card: SM), 씨큐어 디지털 카드 (secure digital card: SD), 미니-씨큐어 디지털 카드 (mini-secure digital card: 미니 SD), 및 멀티미디어 카드 (multimedia card: MMC) 등과 같은 다양한 메모리 카드를 구성할 수 있다.

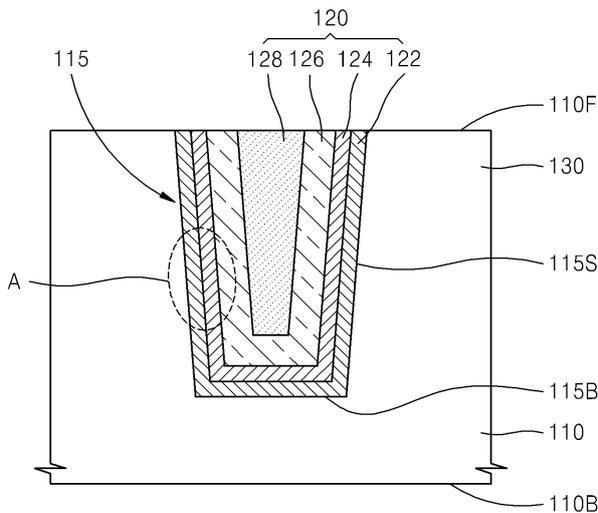
- [0165] 도 33은 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 시스템(3000)의 개략도이다.
- [0166] 시스템(3000)에서, 프로세서(3100), 메모리(3200), 및 입/출력 장치(3300) 및 는 버스(3400)를 이용하여 상호 데이터 통신할 수 있다.
- [0167] 시스템(3000)의 메모리(3200)는 RAM (random access memory) 및 ROM (read only memory)을 포함할 수 있다. 또한, 시스템(3000)은 플로피 디스크 드라이브 (floppy disk drive) 및 CD (compact disk) ROM 드라이브와 같은 주변 장치(3500)를 포함할 수 있다.
- [0168] 메모리(3200)는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자를 포함할 수 있다. 특히, 메모리(3200)는 앞에서 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자들 중에서 선택되는 적어도 하나의 반도체 소자의 특징적 구조를 포함할 수 있다.
- [0169] 메모리(3200)는 프로세서(3100)의 동작을 위한 코드 및 데이터를 저장할 수 있다.
- [0170] 시스템(3000)은 모바일 폰 (mobile phone), MP3 플레이어, 네비게이션 (navigation), 휴대용 멀티미디어 재생기 (portable multimedia player: PMP), 고상 디스크 (solid state disk: SSD), 또는 가전 제품 (household appliances)에 이용될 수 있다.
- [0171] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

부호의 설명

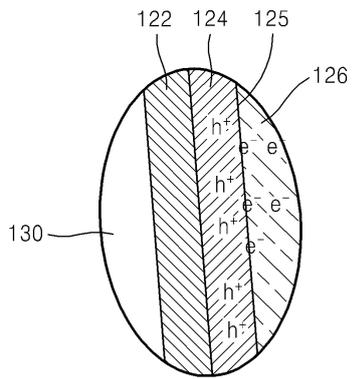
- [0172] 122 : 산화막 패턴, 124 : 폴리실리콘막 패턴, 126 : 질화막 패턴, 128 : 절연막 패턴, 120, 120a, 120b, 120c : 소자분리 패턴, 110 : 반도체 기판, 130 : 활성 영역, 140, 165 : 게이트 전극 구조체, 141, 182 : 게이트 절연막, 142, 184 : 게이트 전극, 144 : 게이트 스페이서막, 131, 135, 171 : 소오스 영역, 132, 136, 175 : 드레인 영역, 133 : 채널 영역, 155 : 층간 절연막 패턴, 161 : 매몰 콘택(BC) 패드 전극, 162 : 다이렉트 콘택(DC) 패드 전극, 112 : 액티브 패턴

도면

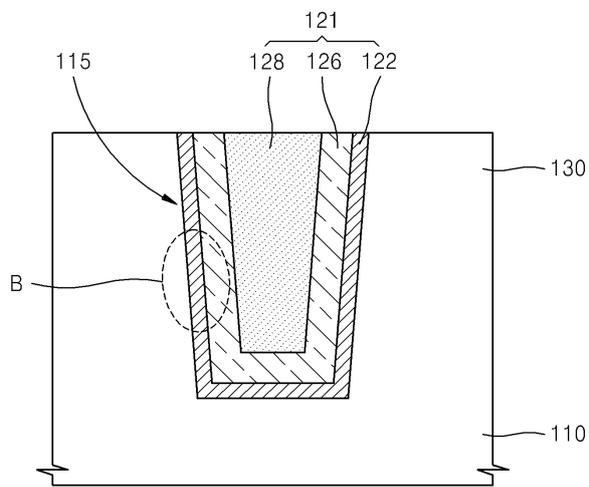
도면1



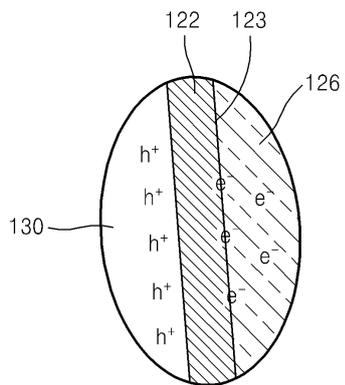
도면2



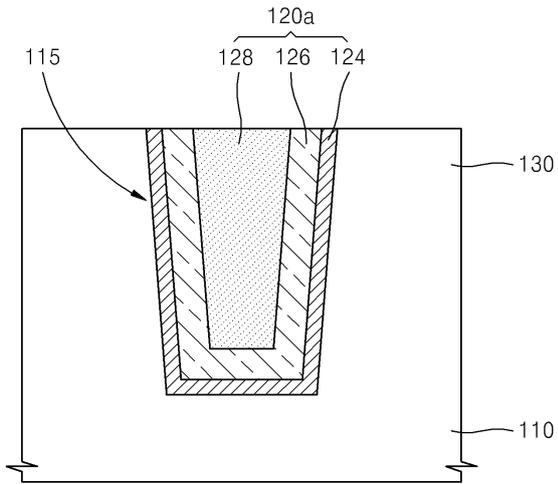
도면3



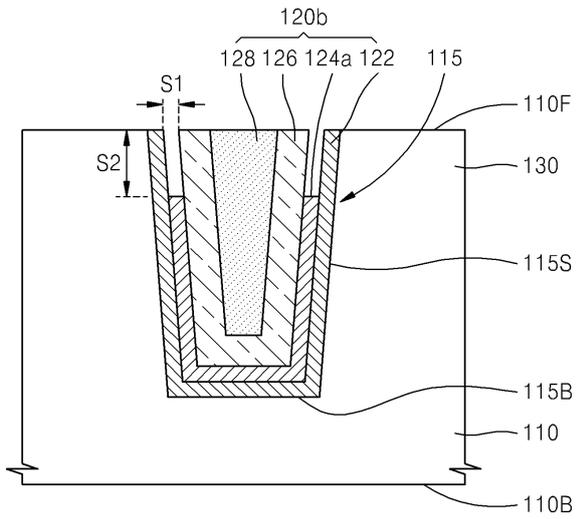
도면4



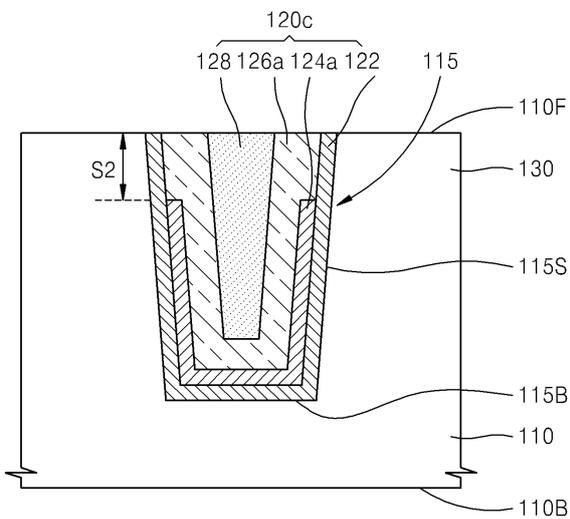
도면5



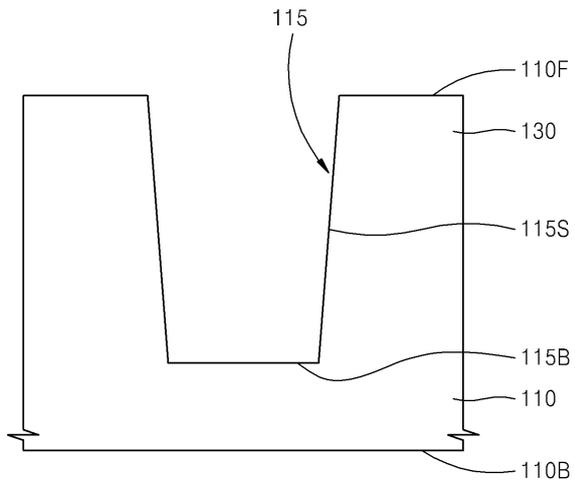
도면6



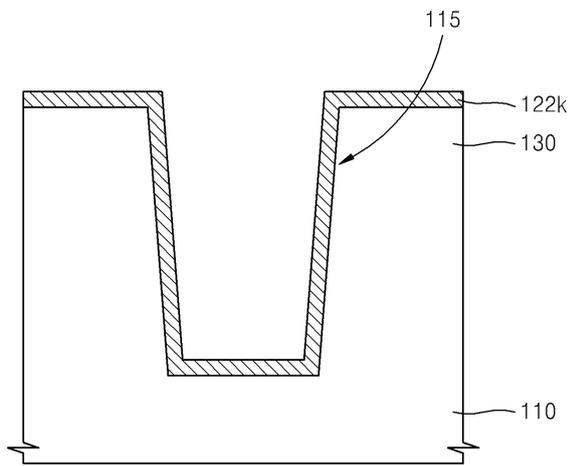
도면7



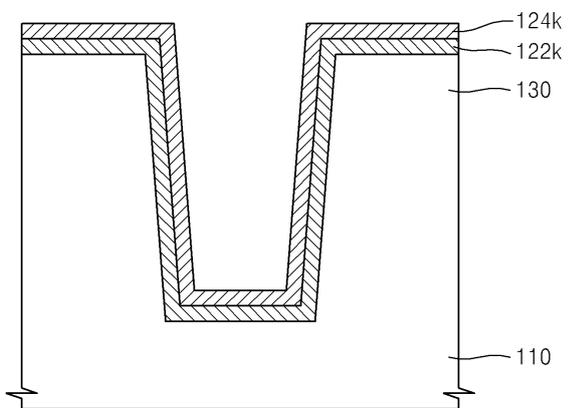
도면8



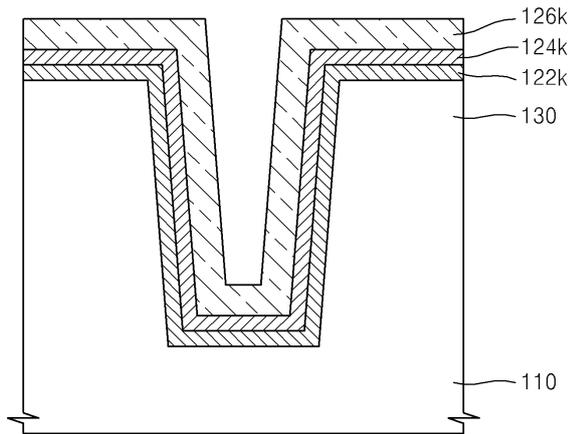
도면9



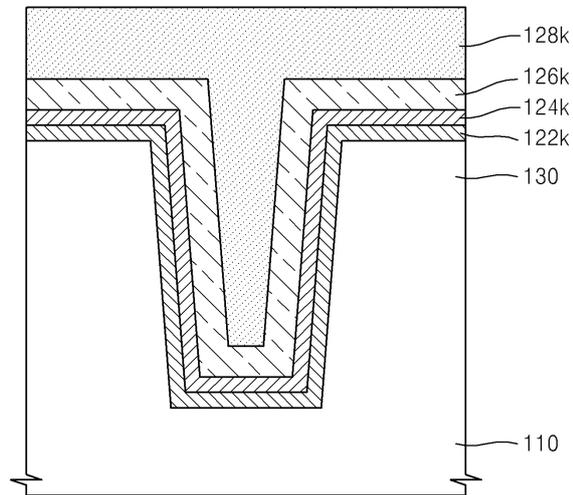
도면10



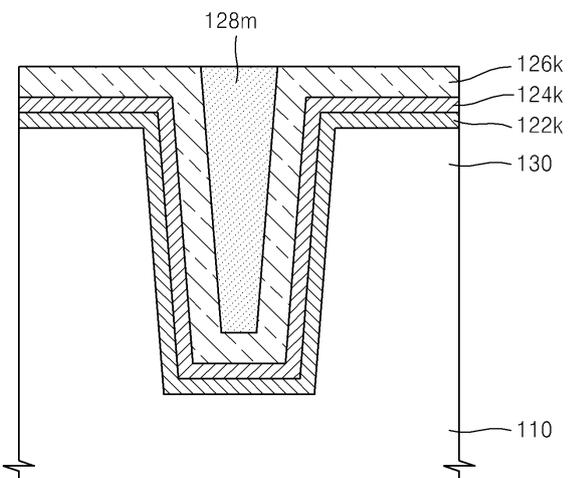
도면11



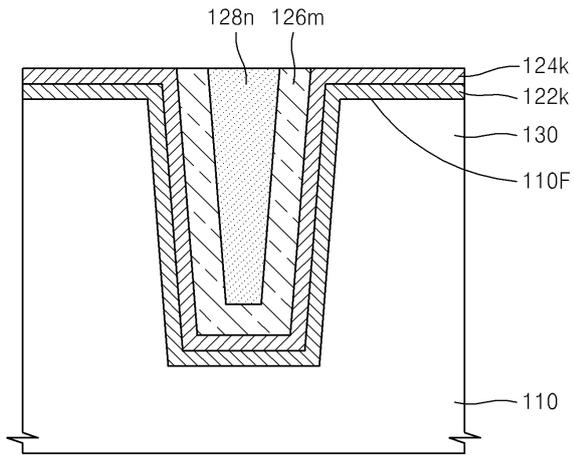
도면12



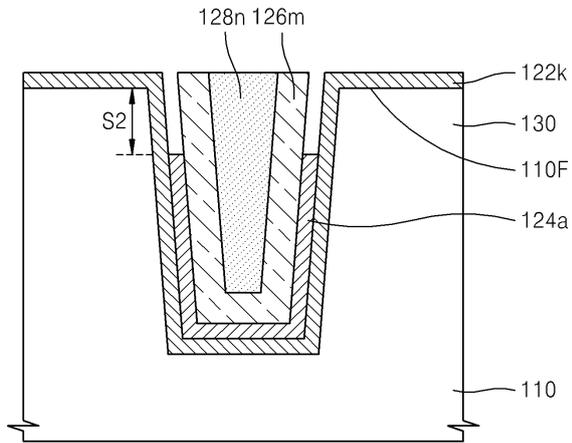
도면13



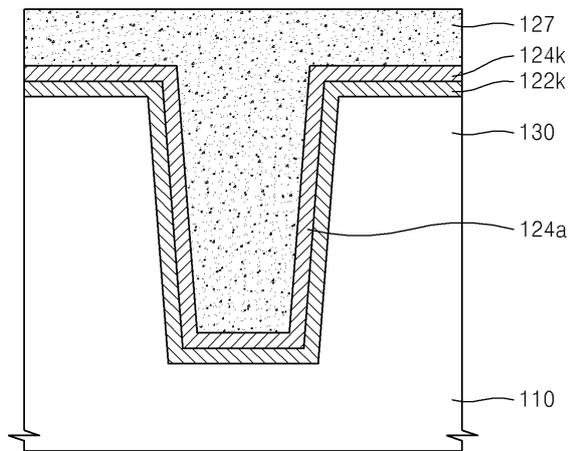
도면14



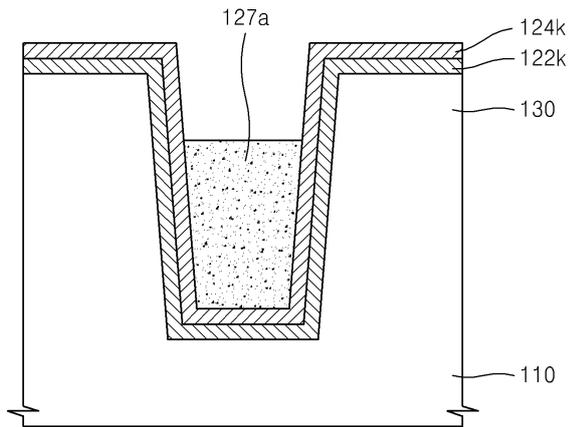
도면15



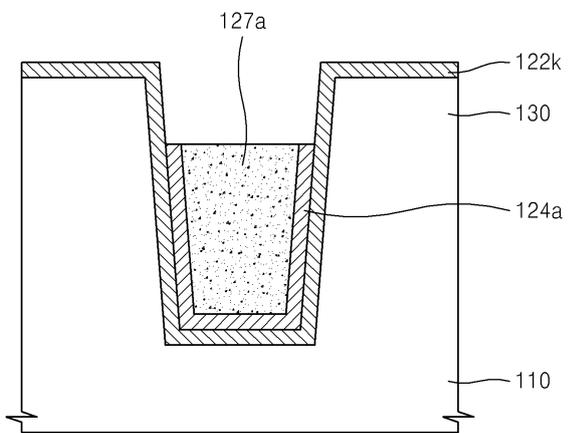
도면16



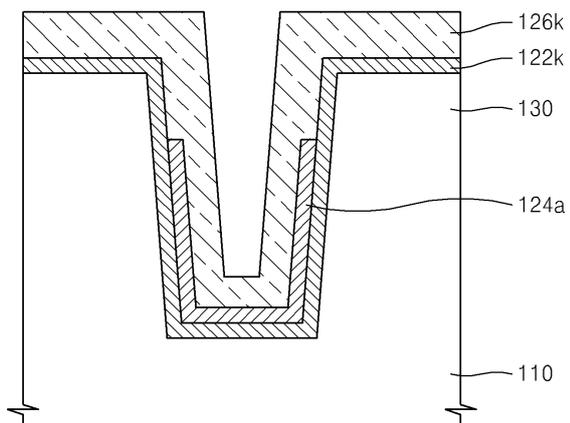
도면17



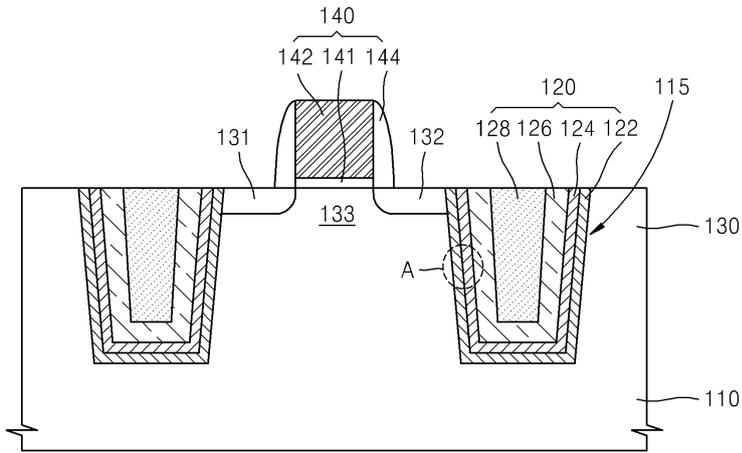
도면18



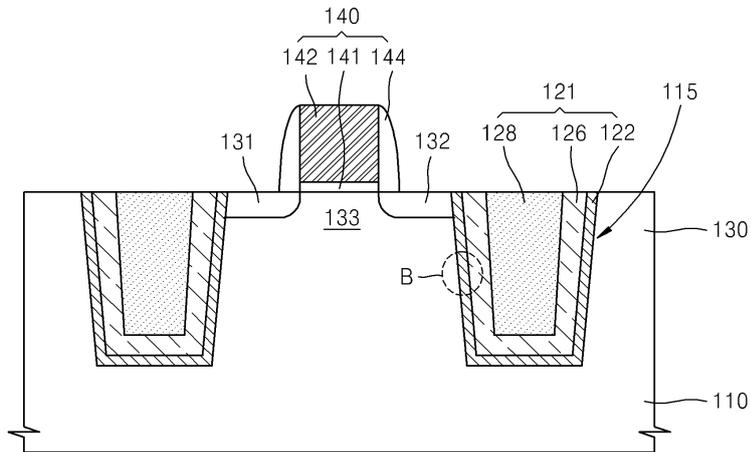
도면19



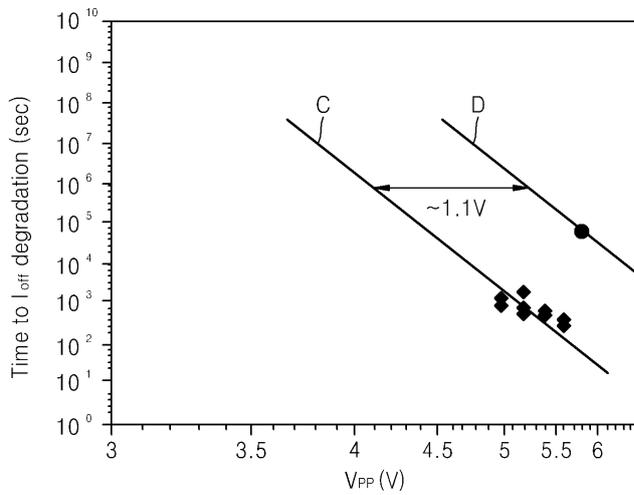
도면20



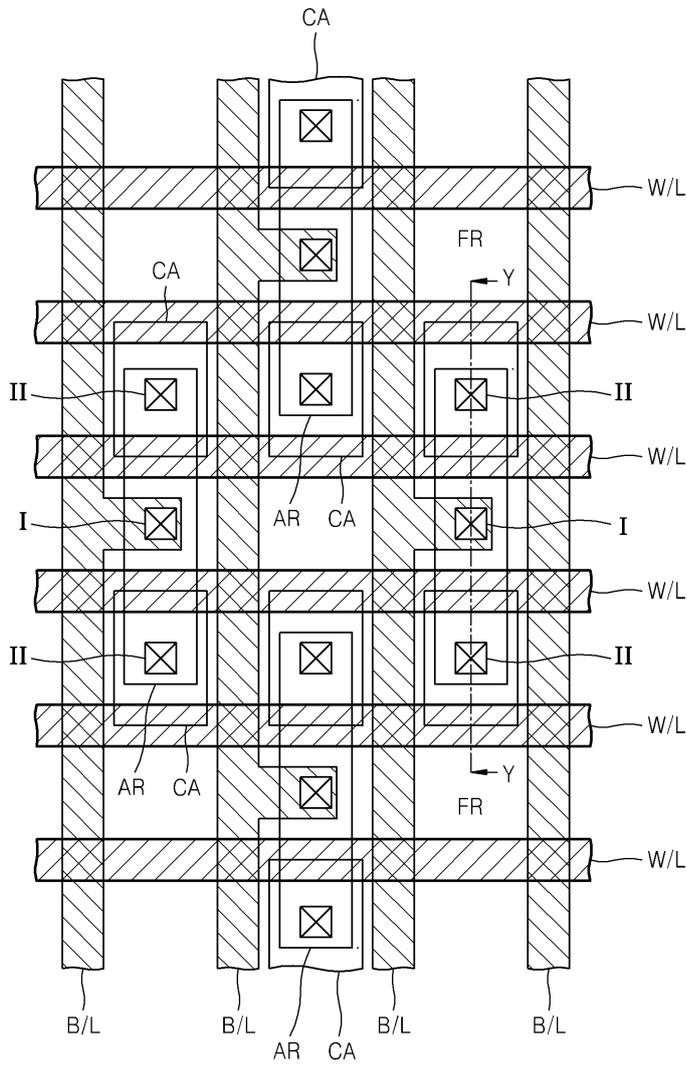
도면21



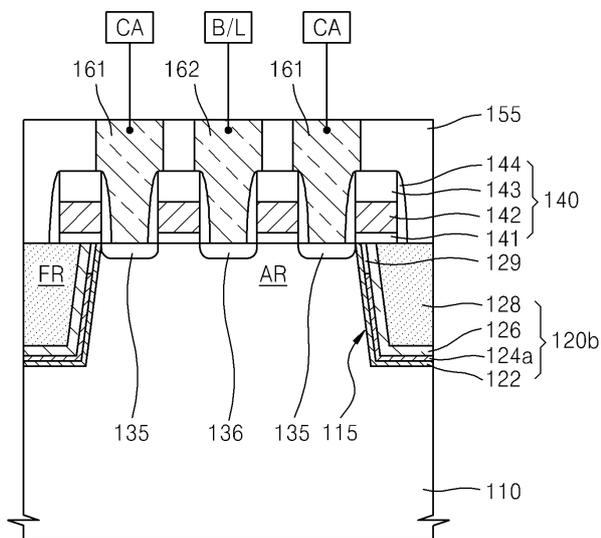
도면22



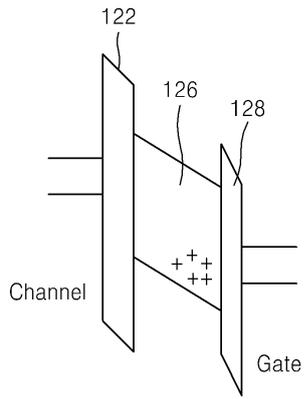
도면23



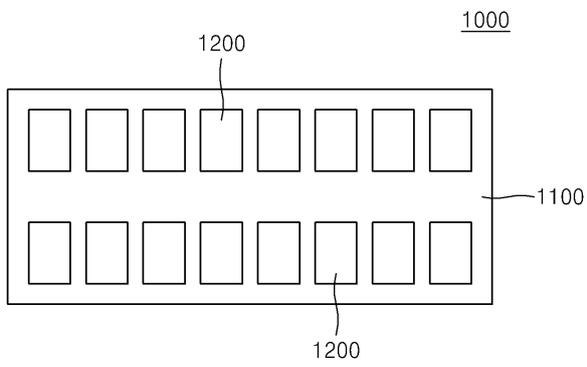
도면24



도면30

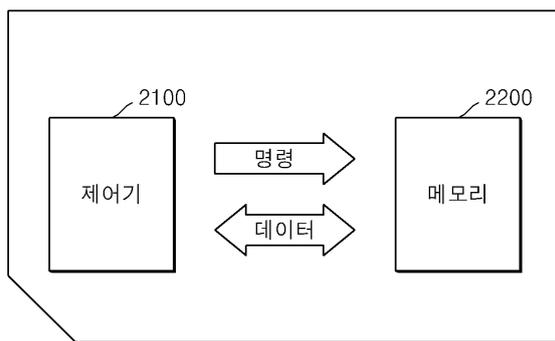


도면31



도면32

2000



도면33

3000

