



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0111335
(43) 공개일자 2023년07월25일

(51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01)

(52) CPC특허분류
H10B 12/315 (2023.02)
H10B 12/0335 (2023.02)

(21) 출원번호 10-2022-0007026
(22) 출원일자 2022년01월18일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

신찬우

경기도 수원시 영통구 삼성로 129

강혁진

경기도 수원시 영통구 삼성로 129

(뒷면에 계속)

(74) 대리인

박영우

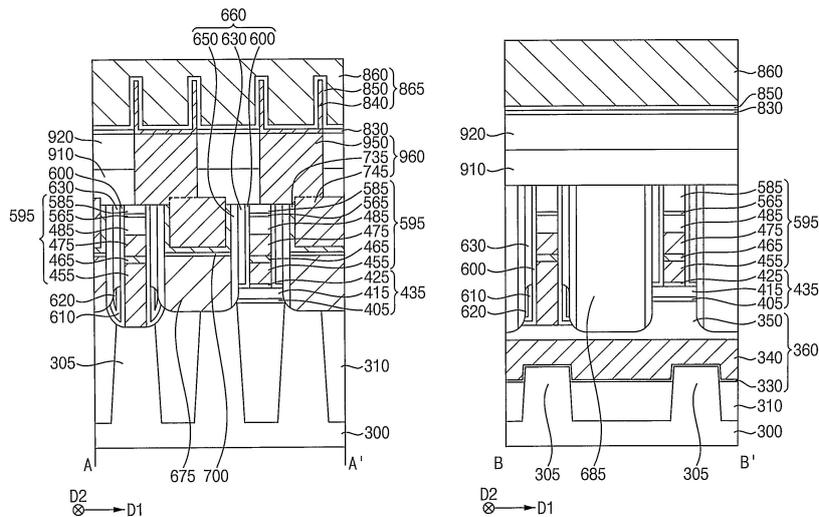
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치는, 기판 상에 형성된 비트 라인 구조물; 상기 비트 라인 구조물에 인접한 상기 기판 상에 형성된 하부 콘택 플러그; 상기 하부 콘택 플러그 상에 형성된 제1 금속 패턴, 및 상기 제1 금속 패턴의 상면 및 상부 측벽에 접촉하는 제2 금속 패턴을 포함하는 상부 콘택 플러그; 및 상기 상부 콘택 플러그 상에 형성된 커패시터를 포함하며, 상기 제1 금속 패턴의 상면은 상기 비트 라인 구조물의 상면보다 높다.

대표도



(72) 발명자

이동환

경기도 수원시 영통구 삼성로 129

이전일

경기도 수원시 영통구 삼성로 129

김민우

경기도 수원시 영통구 삼성로 129

송정우

경기도 수원시 영통구 삼성로 129

명세서

청구범위

청구항 1

기판 상에 형성된 비트 라인 구조물;
상기 비트 라인 구조물에 인접한 상기 기판 상에 형성된 하부 콘택 플러그;
상기 하부 콘택 플러그 상에 형성된 제1 금속 패턴; 및
상기 제1 금속 패턴의 상면 및 상부 측벽에 접촉하는 제2 금속 패턴을 포함하는 상부 콘택 플러그; 및
상기 상부 콘택 플러그 상에 형성된 커패시터를 포함하며,
상기 제1 금속 패턴의 상면은 상기 비트 라인 구조물의 상면보다 높은 반도체 장치.

청구항 2

제1항에 있어서, 상기 제1 금속 패턴의 상면은 편평한 반도체 장치.

청구항 3

제1항에 있어서, 상기 제1 금속 패턴의 저면 및 하부 측벽을 커버하는 배리어 패턴을 더 포함하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 제2 금속 패턴의 저면은 상기 배리어 패턴의 상면에 접촉하는 반도체 장치.

청구항 5

제3항에 있어서, 상기 배리어 패턴의 상면은 일정한 높이를 갖는 반도체 장치.

청구항 6

제1항에 있어서, 상기 비트 라인 구조물의 측벽에 형성된 스페이서 구조물을 더 포함하며,
상기 제2 금속 패턴의 저면은 상기 비트 라인 구조물의 상면 및 상기 스페이서 구조물의 상면에 접촉하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 제2 금속 패턴은 제1 폭을 갖는 상부, 및 상기 제1 폭보다 큰 제2 폭을 갖는 하부를 포함하는 반도체 장치.

청구항 8

제1항에 있어서, 상기 비트 라인 구조물은 상기 기판 상에 적층된 도전 구조물 및 절연 구조물을 포함하는 반도체 장치.

청구항 9

기판 상에 형성된 비트 라인 구조물;
상기 비트 라인 구조물에 인접한 상기 기판 상에 형성된 하부 콘택 플러그;
상기 하부 콘택 플러그 상에 형성된 제1 금속 패턴;
상기 제1 금속 패턴의 저면 및 하부 측벽을 커버하는 배리어 패턴; 및
상기 제1 금속 패턴의 상면 및 상부 측벽, 및 상기 배리어 패턴의 상면에 접촉하는 제2 금속 패턴을 포함하는 상부 콘택 플러그; 및

상기 상부 콘택 플러그 상에 형성된 커패시터를 포함하며,
 상기 배리어 패턴의 상면은 일정한 높이를 갖는 반도체 장치.

청구항 10

기판 상에 형성된 액티브 패턴;

상기 기판의 상면에 평행한 제1 방향으로 연장되어 상기 액티브 패턴의 상부에 매립된 게이트 구조물;

상기 기판 상면에 평행하고 상기 제1 방향과 수직한 제2 방향으로 연장되어 상기 액티브 패턴의 중앙부 상에 형성된 비트 라인 구조물;

상기 비트 라인 구조물의 측벽에 형성된 스페이서 구조물;

상기 액티브 패턴의 각 양단들 상에 형성된 콘택 플러그 구조물; 및

상기 콘택 플러그 구조물 상에 형성된 커패시터를 포함하며,

상기 콘택 플러그 구조물은,

하부 콘택 플러그;

상기 하부 콘택 플러그 상에 형성된 금속 실리사이드 패턴;

상기 금속 실리사이드 패턴 상에 형성된 배리어 패턴;

상기 배리어 패턴에 의해 저면 및 하부 측벽이 커버된 제1 금속 패턴; 및

상기 제1 금속 패턴의 상면 및 상부 측벽, 및 상기 비트 라인 구조물 및 상기 스페이서 구조물의 상면에 접촉하는 제2 금속 패턴을 포함하며,

상기 제1 금속 패턴의 상면은 상기 비트 라인 구조물의 상면보다 높은 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 자세하게는 디램(DRAM) 장치에 관한 것이다.

배경 기술

[0002] DRAM 장치의 제조 방법에서, 비트 라인 구조물들 사이에 하부 콘택 플러그를 형성하고, 상기 하부 콘택 플러그 상에 상부 콘택 플러그 막을 형성한 후, 상기 상부 콘택 플러그 막의 상부를 부분적으로 식각함으로써, 커패시터들에 대해 랜딩 패드에 역할을 수행하는 상부 콘택 플러그들을 형성한다.

[0003] DRAM 장치의 소자의 집적도가 증가함에 따라 상기 비트 라인 구조물들 사이의 간격이 작아지므로, 상기 상부 콘택 플러그 막을 식각하여 상기 상부 콘택 플러그들을 형성하는 공정 마진이 감소한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 과제는 개선된 전기적 특성을 갖는 반도체 장치를 제공하는 데 있다.

과제의 해결 수단

[0005] 상기한 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 장치는, 기판 상에 형성된 비트 라인 구조물; 상기 비트 라인 구조물에 인접한 상기 기판 상에 형성된 하부 콘택 플러그; 상기 하부 콘택 플러그 상에 형성된 제1 금속 패턴, 및 상기 제1 금속 패턴의 상면 및 상부 측벽에 접촉하는 제2 금속 패턴을 포함하는 상부 콘택 플러그; 및 상기 상부 콘택 플러그 상에 형성된 커패시터를 포함할 수 있으며, 상기 제1 금속 패턴의 상면은 상기 비트 라인 구조물의 상면보다 높을 수 있다.

[0006] 상기한 과제를 달성하기 위한 다른 실시예들에 따른 반도체 장치는, 기판 상에 형성된 비트 라인 구조물; 상기

비트 라인 구조물에 인접한 상기 기판 상에 형성된 하부 콘택 플러그; 상기 하부 콘택 플러그 상에 형성된 제1 금속 패턴, 상기 제1 금속 패턴의 저면 및 하부 측벽을 커버하는 배리어 패턴, 및 상기 제1 금속 패턴의 상면 및 상부 측벽, 및 상기 배리어 패턴의 상면에 접촉하는 제2 금속 패턴을 포함하는 상부 콘택 플러그; 및 기 상부 콘택 플러그 상에 형성된 커패시터를 포함할 수 있으며, 상기 배리어 패턴의 상면은 일정한 높이를 가질 수 있다.

[0007] 상기한 과제를 달성하기 위한 또 다른 실시예들에 따른 반도체 장치는, 기판 상에 형성된 액티브 패턴; 상기 기판의 상면에 평행한 제1 방향으로 연장되어 상기 액티브 패턴의 상부에 매립된 게이트 구조물; 상기 기판 상면에 평행하고 상기 제1 방향과 수직한 제2 방향으로 연장되어 상기 액티브 패턴의 중앙부 상에 형성된 비트 라인 구조물; 상기 비트 라인 구조물의 측벽에 형성된 스페이서 구조물; 상기 액티브 패턴의 각 양단들 상에 형성된 콘택 플러그 구조물; 및 상기 콘택 플러그 구조물 상에 형성된 커패시터를 포함할 수 있다. 상기 콘택 플러그 구조물은, 하부 콘택 플러그; 상기 하부 콘택 플러그 상에 형성된 금속 실리사이드 패턴; 상기 금속 실리사이드 패턴 상에 형성된 배리어 패턴; 상기 배리어 패턴에 의해 저면 및 하부 측벽이 커버된 제1 금속 패턴; 및 상기 제1 금속 패턴의 상면 및 상부 측벽, 및 상기 비트 라인 구조물 및 상기 스페이서 구조물의 상면에 접촉하는 제2 금속 패턴을 포함할 수 있으며, 상기 제1 금속 패턴의 상면은 상기 비트 라인 구조물의 상면보다 높을 수 있다.

발명의 효과

[0008] 예시적인 실시예들에 따른 반도체 장치의 제조 방법에서, 비트 라인 구조물들 사이에 형성되어 커패시터들에 각각 전기적으로 연결되는 복수의 상부 콘택 플러그들은, 하부 콘택 플러그 상에 하부 금속 패턴을 먼저 형성하고, 다마신 공정을 통해 상기 하부 금속 패턴의 상면 및 상부 측벽에 접촉하도록 상부 금속 패턴을 형성하므로, 상기 각 커패시터들과 접촉하여 랜딩 패드의 역할을 수행하는 상기 상부 금속 패턴과 소스/드레인 영역과 전기적으로 연결되는 상기 하부 콘택 플러그 상에 형성된 상기 하부 금속 패턴이 서로 분리되지 않고 연결되도록 형성될 수 있다.

도면의 간단한 설명

[0009] 도 1 내지 도 18은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들 및 단면도들이다.

도 19 및 20은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 반도체 장치 및 그 제조 방법에 대하여 상세하게 설명한다. 본 명세서에서 물질, 층(막), 영역, 패드, 전극, 패턴, 구조물 또는 공정들이 "제1", "제2" 및/또는 "제3"으로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 물질, 층(막), 영역, 전극, 패드, 패턴, 구조물 및 공정들을 구분하기 위한 것이다. 따라서 "제1", "제2" 및/또는 "제3"은 각 물질, 층(막), 영역, 전극, 패드, 패턴, 구조물 및 공정들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.

[0011] [실시예]

[0012] 도 1 내지 도 18은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들 및 단면도들이다. 구체적으로, 도 1, 3, 6, 10 및 16은 평면도들이고, 도 2, 4-5, 7-9, 11-15 및 17-18은 대응하는 평면도들을 A-A'선 및 B-B'선으로 각각 절단한 단면도들을 포함한다.

[0013] 이하에서는, 기판 상면에 평행하며 서로 직교하는 두 개의 방향들을 각각 제1 및 제2 방향들(D1, D2)로 정의하며, 또한 상기 기판 상면에 평행하고 각 제1 및 제2 방향들(D1, D2)과 예각을 이루는 방향을 제3 방향(D3)으로 정의하기로 한다.

[0014] 도 1 및 2를 참조하면, 기판(300)의 상부를 제거하여 제1 리세스를 형성한 후, 상기 제1 리세스를 채우는 소자 분리 패턴(310)을 형성할 수 있다.

[0015] 기판(300)은 예를 들어, 실리콘, 게르마늄, 실리콘-게르마늄 등과 같은 반도체 물질, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기판(300)은 실리콘-온-인슐레이터

(Silicon On Insulator: SOI) 기판 또는 게르마늄-온-인슐레이터(Germanium On Insulator: GOI) 기판일 수 있다.

- [0016] 기판(300) 상에 소자 분리 패턴(310)이 형성됨에 따라서, 소자 분리 패턴(310)에 의해 측벽이 커버되는 액티브 패턴(305)이 정의될 수 있다. 액티브 패턴(305)은 각각이 제3 방향(D3)으로 연장되며 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있다. 소자 분리 패턴(310)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0017] 이후, 기판(300) 상에 형성된 액티브 패턴(305) 및 소자 분리 패턴(310)을 부분적으로 식각하여 제1 방향(D1)으로 연장되는 제2 리세스를 형성한 후, 상기 제2 리세스 내부에 게이트 구조물(360)을 형성할 수 있다. 게이트 구조물(360)은 상기 제2 리세스의 저면 및 측벽에 형성된 게이트 절연 패턴(330), 상기 제2 리세스의 저면 및 하부 측벽에 형성된 게이트 절연 패턴(330) 부분 상에 형성된 게이트 전극(340), 및 게이트 전극(340) 상에 형성되어 상기 제2 리세스의 상부를 채우는 게이트 마스크(350)를 포함할 수 있다.
- [0018] 게이트 절연 패턴(330)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있고, 게이트 전극(340)은 금속, 금속 질화물, 금속 실리사이드, 불순물이 도핑된 폴리실리콘 등을 포함할 수 있으며, 게이트 마스크(350)는 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0019] 예시적인 실시예들에 있어서, 게이트 구조물(360)은 제1 방향(D1)을 따라 연장될 수 있으며, 제2 방향(D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있다.
- [0020] 도 3 및 4를 참조하면, 액티브 패턴(305), 소자 분리 패턴(310) 및 게이트 구조물(360) 상에 절연막 구조물(430)을 형성할 수 있다. 절연막 구조물(430)은 순차적으로 적층된 제1 내지 제3 절연막들(400, 410, 420)을 포함할 수 있으며, 제1 및 제3 절연막들(400, 420)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있고, 제2 절연막(410)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0021] 이후, 절연막 구조물(430)을 패터닝하고, 이를 식각 마스크로 사용하여 하부의 액티브 패턴(305), 소자 분리 패턴(310), 및 게이트 구조물(360)에 포함된 게이트 마스크(350)를 부분적으로 식각함으로써 제1 개구(440)를 형성할 수 있다. 예시적인 실시예들에 있어서, 상기 식각 공정 후 잔류하는 절연막 구조물(430)은 상부에서 보았을 때, 원 형상 혹은 타원 형상을 가질 수 있으며, 기판(300) 상에서 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있다. 이때, 각 절연막 구조물들(430)은 서로 인접하는 액티브 패턴들(305)의 서로 대향하는 제3 방향(D3)으로의 말단들과 기판(300) 상면에 수직인 수직 방향으로 오버랩될 수 있다.
- [0022] 도 5를 참조하면, 절연막 구조물(430), 제1 개구(440)에 의해 노출된 액티브 패턴(305), 소자 분리 패턴(310) 및 게이트 구조물(360) 상에 제1 도전막(450), 제1 배리어 막(460), 제2 도전막(470) 및 제1 마스크 막(480)을 순차적으로 적층할 수 있으며, 이들은 함께 도전 구조물 막을 형성할 수 있다. 이때, 제1 도전막(450)은 제1 개구(440)를 채울 수 있다.
- [0023] 제1 도전막(450)은 예를 들어, 불순물이 도핑된 폴리실리콘을 포함할 수 있고, 제1 배리어 막(460)은 예를 들어, 티타늄 실리콘 질화물(TiSiN)과 같은 금속 실리콘 질화물을 포함할 수 있으며, 제2 도전막(470)은 예를 들어, 텅스텐과 같은 금속을 포함할 수 있고, 제1 마스크 막(480)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0024] 도 6 및 7을 참조하면, 상기 도전 구조물 막의 제1 마스크 막(480) 상에 제1 식각 저지막 및 제1 캐핑막을 순차적으로 적층한 후, 상기 제1 캐핑막을 식각하여 제1 캐핑 패턴(585)을 형성할 수 있으며, 이를 식각 마스크로 사용하여 상기 제1 식각 저지막, 제1 마스크 막(480), 제2 도전막(470), 제1 배리어 막(460) 및 제1 도전막(450)을 순차적으로 식각할 수 있다.
- [0025] 예시적인 실시예들에 있어서, 제1 캐핑 패턴(585)은 제2 방향(D2)으로 각각 연장되고 제1 방향(D1)을 따라 서로 이격되도록 복수 개로 형성될 수 있다.
- [0026] 상기 식각 공정을 수행함에 따라서, 제1 개구(440) 상에는 순차적으로 적층된 제1 도전 패턴(455), 제1 배리어 패턴(465), 제2 도전 패턴(475), 제1 마스크(485), 제1 식각 저지 패턴(565) 및 제1 캐핑 패턴(585)이 형성될 수 있으며, 제1 개구(440) 바깥의 절연막 구조물(430)의 제2 절연막(410) 상에는 순차적으로 적층된 제3 절연 패턴(425), 제1 도전 패턴(455), 제1 배리어 패턴(465), 제2 도전 패턴(475), 제1 마스크(485), 제1 식각 저지 패턴(565) 및 제1 캐핑 패턴(585)이 형성될 수 있다.
- [0027] 이하에서는, 순차적으로 적층된 제1 도전 패턴(455), 제1 배리어 패턴(465), 제2 도전 패턴(475), 제1 마스크

(485), 제1 식각 저지 패턴(565) 및 제1 캐핑 패턴(585)을 함께 비트 라인 구조물(595)로 지칭하기로 한다. 이때, 제1 도진 패턴(455), 제1 배리어 패턴(465) 및 제2 도진 패턴(475)은 함께 도진 구조물을 형성할 수 있으며, 제1 마스크(485), 제1 식각 저지 패턴(565) 및 제1 캐핑 패턴(585)은 함께 절연 구조물을 형성할 수 있다. 예시적인 실시예들에 있어서, 비트 라인 구조물(595)은 기관(300)의 상에서 제2 방향(D2)으로 연장될 수 있으며, 제1 방향(D1)을 따라 서로 이격되도록 복수 개로 형성될 수 있다.

- [0028] 도 8을 참조하면, 비트 라인 구조물(595)이 형성된 기관(300) 상에 제1 스페이서 막을 형성한 후, 상기 제1 스페이서 막 상에 제4 및 제5 절연막들을 순차적으로 형성할 수 있다.
- [0029] 상기 제1 스페이서 막은 제2 절연막(410) 상에 형성된 비트 라인 구조물(595) 부분 아래의 제3 절연 패턴(425)의 측벽도 커버할 수 있으며, 상기 제5 절연막은 제1 개구(440)의 나머지 부분을 모두 채울 수 있다.
- [0030] 상기 제1 스페이서 막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있고, 상기 제4 절연막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있으며, 상기 제5 절연막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0031] 이후, 식각 공정을 수행하여, 상기 제4 및 제5 절연막들을 식각할 수 있다. 예시적인 실시예들에 있어서, 상기 식각 공정은 예를 들어, 인산(H_2PO_3), SC1 및 불산(HF)을 식각액으로 사용하는 습식 식각 공정에 의해 수행될 수 있으며, 상기 제4 및 제5 절연막들 중에서 제1 개구(440) 내에 형성된 부분을 제외한 나머지 부분은 모두 제거될 수 있다. 이에 따라, 상기 제1 스페이서 막의 표면 대부분, 즉 제1 개구(440) 내에 형성된 부분 이외의 상기 제1 스페이서 막 부분이 모두 노출될 수 있으며, 제1 개구(440) 내에 잔류하는 상기 제4 및 제5 절연막들 부분은 각각 제4 및 제5 절연 패턴들(610, 620)을 형성할 수 있다.
- [0032] 이후, 상기 노출된 제1 스페이서 막 표면 및 제1 개구(440) 내에 형성된 제4 및 제5 절연 패턴들(610, 620) 상에 제2 스페이서 막을 형성한 후, 이를 이방성 식각하여 비트 라인 구조물(595)의 측벽을 커버하는 제2 스페이서(630)를 상기 제1 스페이서 막 표면, 및 제4 및 제5 절연 패턴들(610, 620) 상에 형성할 수 있다. 상기 제2 스페이서 막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0033] 이후, 제1 캐핑 패턴(585) 및 제2 스페이서(630)를 식각 마스크로 사용하는 건식 식각 공정을 수행하여, 액티브 패턴(305) 상면을 노출시키는 제2 개구(640)를 형성할 수 있으며, 제2 개구(640)에 의해 소자 분리 패턴(310)의 상면 및 게이트 마스크(350)의 상면도 노출될 수 있다.
- [0034] 상기 건식 식각 공정에 의해서, 제1 캐핑 패턴(585)의 상면 및 제2 절연막(410)의 상면에 형성된 상기 제1 스페이서 막 부분이 제거될 수 있으며, 이에 따라 비트 라인 구조물(595)의 측벽을 커버하는 제1 스페이서(600)가 형성될 수 있다. 또한, 상기 건식 식각 공정에서, 제1 및 제2 절연막들(400, 410)도 부분적으로 제거되어 비트 라인 구조물(595) 하부에 각각 제1 및 제2 절연 패턴들(405, 415)로 잔류할 수 있다. 비트 라인 구조물(595) 하부에 순차적으로 적층된 제1 내지 제3 절연 패턴들(405, 415, 425)은 함께 절연 패턴 구조물을 형성할 수 있다.
- [0035] 도 9를 참조하면, 제1 캐핑 패턴(585) 상면, 제2 스페이서(630)의 외측벽, 제4 및 제5 절연 패턴들(610, 620) 상면 일부, 및 제2 개구(640)에 의해 노출된 액티브 패턴(305), 소자 분리 패턴(310) 및 게이트 마스크(350)의 상면에 제3 스페이서 막을 형성한 후, 상기 제3 스페이서 막을 이방성 식각하여 비트 라인 구조물(595)의 측벽을 커버하는 제3 스페이서(650)를 형성할 수 있다. 상기 제3 스페이서 막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0036] 비트 라인 구조물(595)의 측벽에 기관(300) 상면에 평행한 수평 방향을 따라 순차적으로 적층된 제1 내지 제3 스페이서들(600, 630, 650)은 함께 스페이서 구조물(660)로 지칭될 수 있다.
- [0037] 이후, 제2 개구(640)를 채우는 제1 희생막(도시되지 않음)을 기관(300) 상에 충분한 높이로 형성한 후, 제1 캐핑 패턴(585)의 상면이 노출될 때까지 그 상부를 평탄화하여 제1 희생 패턴(680)을 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 희생 패턴(680)은 제2 방향(D2)으로 연장될 수 있으며, 제1 방향(D1)을 따라 비트 라인 구조물들(595)에 의해 서로 이격되도록 복수 개로 형성될 수 있다. 제1 희생 패턴(680)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0038] 도 10 및 11을 참조하면, 제1 방향(D1)으로 각각 연장되며 제2 방향(D2)으로 서로 이격된 복수의 제3 개구들을 포함하는 제2 마스크(도시되지 않음)를 제1 캐핑 패턴(585), 제1 희생 패턴(680) 및 스페이서 구조물(660) 상에 형성하고 이를 식각 마스크로 사용하는 식각 공정을 수행하여 제1 희생 패턴(680)을 식각할 수 있으며, 이에 따라 게이트 구조물(360)의 게이트 마스크(350) 상면을 노출시키는 제4 개구가 형성될 수 있다.

- [0039] 예시적인 실시예들에 있어서, 상기 각 제3 개구들은 상기 수직 방향으로 게이트 구조물(360)에 오버랩될 수 있으며, 상기 제4 개구는 제1 방향(D1)으로 서로 인접한 비트 라인 구조물들(595) 사이에서 제2 방향(D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있다.
- [0040] 상기 제2 마스크를 제거한 후, 상기 각 제4 개구들을 채우는 제2 캐핑 패턴(685)을 형성할 수 있다. 상기 제4 개구들의 레이아웃에 따라서, 제2 캐핑 패턴(685)은 제1 방향(D1)으로 서로 인접한 비트 라인 구조물들(595) 사이에서 제2 방향(D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있다. 제2 캐핑 패턴(685)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0041] 한편, 제1 희생 패턴(680)은 비트 라인 구조물들(595) 사이에서 제2 방향(D2)으로 서로 이격되도록 복수 개로 분리되어 잔류할 수 있다.
- [0042] 이후, 잔류하는 제2 희생 패턴들(680)을 제거하여 액티브 패턴(305) 및 소자 분리 패턴(310)의 상면을 노출시키는 제5 개구들을 형성할 수 있다. 이때, 상기 제5 개구들은 제1 방향(D1)으로 서로 인접한 비트 라인 구조물들(595) 사이에서 제2 방향(D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있다.
- [0043] 이후, 상기 제5 개구들을 채우는 하부 콘택 플러그 막을 충분한 높이로 형성하고, 제1 및 제2 캐핑 패턴들(585, 685) 및 스페이서 구조물(660)의 상면이 노출될 때까지 그 상부를 평탄화할 수 있다. 이에 따라, 상기 하부 콘택 플러그 막은 비트 라인 구조물들(595) 사이에서 제2 방향(D2)을 따라 제2 캐핑 패턴들(685)에 의해 서로 이격된 복수의 하부 콘택 플러그들(675)로 변환될 수 있다.
- [0044] 하부 콘택 플러그(675)는 예를 들어, 불순물이 도핑된 폴리실리콘을 포함할 수 있다.
- [0045] 도 12를 참조하면, 하부 콘택 플러그(675)의 상부를 제거하여 비트 라인 구조물(595)의 측벽에 형성된 스페이서 구조물(660)의 상부를 노출시킬 수 있다.
- [0046] 이후, 하부 콘택 플러그(675)의 상면에 금속 실리사이드 패턴(700)을 형성할 수 있다. 예시적인 실시예들에 있어서, 금속 실리사이드 패턴(700)은 비트 라인 구조물(595), 스페이서 구조물(660), 제2 캐핑 패턴(685) 및 하부 콘택 플러그(675) 상에 제1 금속막을 형성하고 열처리한 후, 상기 제1 금속막 중에서 미반응 부분을 제거함으로써 형성될 수 있다. 금속 실리사이드 패턴(700)은 예를 들어, 코발트 실리사이드, 니켈 실리사이드, 티타늄 실리사이드 등을 포함할 수 있다.
- [0047] 도 13을 참조하면, 기판(300) 상에 형성된 비트 라인 구조물(595), 스페이서 구조물(660), 제2 캐핑 패턴(685) 및 금속 실리사이드 패턴(700) 상에 제2 배리어 막(730)을 형성한 후, 제2 배리어 막(730) 상에 비트 라인 구조물들(595) 사이의 공간을 채우는 제2 금속막(740)을 형성할 수 있다.
- [0048] 제2 배리어 막(730)은 예를 들어, 티타늄 질화물(TiN)과 같은 금속 질화물을 포함할 수 있으며, 제2 금속막(740)은 예를 들어, 텅스텐과 같은 금속을 포함할 수 있다.
- [0049] 도 14를 참조하면, 비트 라인 구조물(595), 스페이서 구조물(660) 및 제2 캐핑 패턴(685)의 상면이 노출될 때까지 제2 금속막(740) 및 제2 배리어 막(730) 상부에 대한 평탄화 공정을 수행할 수 있다. 상기 평탄화 공정은 예를 들어, 화학 기계적 연마(CMP) 공정 및/또는 에치 백 공정을 포함할 수 있다.
- [0050] 상기 평탄화 공정을 수행함에 따라, 제2 금속막(740) 및 제2 배리어 막(730)은 각각 제2 금속 패턴(745) 및 제2 배리어 패턴(735)으로 변환될 수 있다. 예시적인 실시예들에 있어서, 제2 금속 패턴(745)은 각 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있다.
- [0051] 이후, 제1 및 제2 캐핑 패턴들(585, 685) 및 스페이서 구조물(660)의 상부, 및 이에 인접한 제2 배리어 패턴(735)의 상부를 예를 들어, 건식 식각 공정을 통해 제거할 수 있으며, 이에 따라 제2 금속 패턴(745)의 상부 측벽이 노출될 수 있다.
- [0052] 예시적인 실시예들에 있어서, 제2 금속 패턴(745)의 상면은 제2 배리어 패턴(735), 제1 캐핑 패턴(585) 및 스페이서 구조물(660)의 상면보다 높을 수 있으며, 제2 배리어 패턴(735)의 상면은 제1 캐핑 패턴(585) 및 스페이서 구조물(660)의 상면과 실질적으로 동일한 높이에 형성될 수 있다.
- [0053] 한편, 일 실시예에 있어서, 스페이서 구조물(660)에 포함된 제2 스페이서(630)를 제거하여 에어 갭을 형성할 수도 있다.
- [0054] 도 15를 참조하면, 비트 라인 구조물(595), 스페이서 구조물(660), 제2 캐핑 패턴(685), 제2 배리어 패턴(735)

및 제2 금속 패턴(745) 상에 제1 및 제2 층간 절연막들 및 제3 마스크 막을 순차적으로 형성할 수 있다.

- [0055] 예시적인 실시예들에 있어서, 상기 제1 층간 절연막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있고, 상기 제2 층간 절연막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있으며, 상기 제3 마스크 막은 포토레지스트 막을 포함하거나, 혹은 이에 더하여 예를 들어, 스핀-온-하드 마스크(SOH) 혹은 비정질 탄소막(ACL)을 더 포함할 수도 있다.
- [0056] 이후, 상기 제3 마스크 막을 패터닝 하여 제3 마스크(930)를 형성할 수 있으며, 이를 식각 마스크로 사용하여 상기 제1 및 제2 층간 절연막들을 식각함으로써, 각각 제1 및 제2 층간 절연 패턴들(910, 920)을 형성할 수 있다.
- [0057] 제1 및 제2 층간 절연 패턴들(910, 920)에는 이를 관통하며 제2 금속 패턴(745)의 상면 및 상부 측벽과, 제2 배리어 패턴(735), 스페이서 구조물(660) 및 제1 캐핑 패턴(585)의 상면을 노출시키는 제6 개구(940)가 형성될 수 있다. 예시적인 실시예들에 있어서, 제6 개구(940)는 각 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 상부에서 보았을 때 벌집 모양으로 배열될 수 있다. 이때, 각 제6 개구들(940)은 상면에서 보았을 때 원형, 타원형 혹은 다각형 모양을 가질 수 있다.
- [0058] 도 16 및 17을 참조하면, 제6 개구(940)를 채우는 제3 금속 패턴(950)을 형성할 수 있다.
- [0059] 제3 금속 패턴(950)은 제6 개구(940)를 채우는 제3 금속막을 제2 금속 패턴(745)의 상면 및 상부 측벽과, 제2 배리어 패턴(735), 스페이서 구조물(660) 및 제1 캐핑 패턴(585)의 상면, 및 제2 층간 절연 패턴(920) 상에 형성하고, 제2 층간 절연 패턴(920)의 상면이 노출될 때까지 상기 제3 금속막을 평탄화함으로써 형성될 수 있다. 제3 금속 패턴(950)은 예를 들어, 텅스텐과 같은 금속을 포함할 수 있다.
- [0060] 제3 금속 패턴(950)은 제6 개구(940) 내에 형성되므로, 제6 개구(940)의 형상 및 배열에 따라 형성될 수 있다. 즉, 제3 금속 패턴(950)은 각 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 상부에서 보았을 때 벌집 모양으로 배열될 수 있다. 이때, 각 제3 금속 패턴들(950)은 상면에서 보았을 때 원형, 타원형 혹은 다각형 모양을 가질 수 있다.
- [0061] 예시적인 실시예들에 있어서, 제3 금속 패턴(950)과 제2 금속 패턴(745)은 상면에서 보았을 때 혹은 수직 단면도 상에서 서로 오프셋될 수 있다. 예시적인 실시예들에 있어서, 제3 금속 패턴(950)의 저면은 제2 금속 패턴(745)의 상면 및 상부 측벽, 제2 배리어 패턴(735)의 상면, 스페이서 구조물(660)의 상면 및 제1 캐핑 패턴(585)의 상면과 접촉할 수 있다.
- [0062] 제2 금속 패턴(745), 제2 배리어 패턴(735) 및 제3 금속 패턴(950)은 함께 상부 콘택 플러그(960)를 형성할 수 있으며, 또한 기판(300)의 상에서 순차적으로 적층된 하부 콘택 플러그(675), 금속 실리사이드 패턴(700), 및 상부 콘택 플러그(960)는 함께 콘택 플러그 구조물을 형성할 수 있다.
- [0063] 예시적인 실시예들에 있어서, 제2 및 제3 금속 패턴들(745, 950)은 서로 동일한 금속을 포함하여 병합될 수 있다. 이와는 달리, 제2 및 제3 금속 패턴들(745, 950)은 서로 다른 금속을 포함하거나, 혹은 서로 동일한 금속을 포함하더라도 제2 금속 패턴(745) 상에 자연 산화막이 형성되어 서로 구별될 수도 있다.
- [0064] 한편, 제2 스페이서(630)를 제거하여 상기 에어 갭이 형성된 경우, 그 상단이 제1 층간 절연 패턴(910) 및/또는 제3 금속 패턴(950)에 의해 커버되어 에어 스페이서가 형성될 수도 있다. 이때, 비트 라인 구조물(595)의 제1 측벽에 형성된 상기 에어 스페이서는 제1 층간 절연 패턴(910)과 접촉할 수 있으며, 비트 라인 구조물(595)의 제2 측벽에 형성된 상기 에어 스페이서는 제3 금속 패턴(950)과 접촉할 수 있다.
- [0065] 도 18을 참조하면, 상부 콘택 플러그(960)의 상면과 접촉하는 커패시터(865)를 형성할 수 있다.
- [0066] 즉, 상부 콘택 플러그(960) 및 제2 층간 절연 패턴(920) 상에 제2 식각 저지막(830) 및 몰드막(도시하지 않음)을 순차적으로 형성하고, 이들을 부분적으로 식각하여 상부 콘택 플러그(960)의 상면을 부분적으로 노출시키는 제7 개구를 형성할 수 있다. 제2 식각 저지막(830)은 예를 들어, 실리콘 붕질화물(SiBN), 실리콘 탄질화물(SiCN) 등과 같은 질화물을 포함할 수 있다.
- [0067] 상기 제7 개구의 측벽, 노출된 상부 콘택 플러그(960)의 상면 및 상기 몰드막 상에 하부 전극막(도시하지 않음)을 형성하고, 상기 제7 개구의 나머지 부분을 충분히 채우는 희생막(도시하지 않음)을 상기 하부 전극막 상에 형성한 후, 상기 몰드막 상면이 노출될 때까지 상기 하부 전극막 및 상기 희생막의 상부를 평탄화함으로써 상기 하부 전극막을 노드 분리할 수 있다. 잔류하는 상기 희생막 및 상기 몰드막은 예를 들어, LAL을 식각액으

로 사용하는 습식 식각 공정을 수행함으로써 제거할 수 있고, 이에 따라 상기 노출된 상부 콘택 플러그(960)의 상면에는 실린더형(cylindrical) 하부 전극(840)이 형성될 수 있다. 이와는 달리, 상기 제7 개구를 전부 채우는 필라형(pillar) 하부 전극(840)이 형성될 수도 있다. 하부 전극(840)은 금속, 예를 들어, 티타늄 질화물과 같은 금속 질화물, 금속 실리사이드, 불순물이 도핑된 폴리실리콘 등을 포함할 수 있다.

- [0068] 일 실시예에 있어서, 하부 전극(840)과 유전막(850) 사이에는 제1 계면막이 더 형성될 수도 있다. 이때 상기 제1 계면막은 니오븀, 실리콘, 티타늄 중에서 적어도 하나를 포함할 수 있다.
- [0069] 이후, 하부 전극(840)의 표면 및 제2 식각 저지막(830) 상에 유전막(850)을 형성하고, 유전막(850) 상에 상부 전극(860)을 형성함으로써, 하부 전극(840), 유전막(850) 및 상부 전극(860)을 각각 포함하는 커패시터(865)를 형성할 수 있다.
- [0070] 유전막(850)은 예를 들어, 하프늄 질화물, 지르코늄 질화물, 알루미늄 질화물 등과 같은 금속 산화물을 포함할 수 있으며, 상부 전극(860)은 금속, 예를 들어, 티타늄 질화물과 같은 금속 질화물, 금속 실리사이드, 불순물이 도핑된 실리콘-게르마늄(SiGe) 등을 포함할 수 있다.
- [0071] 일 실시예에 있어서, 유전막(850)과 상부 전극(860) 사이에는 제2 계면막이 더 형성될 수 있다. 상기 제2 계면막은 예를 들어, 니오븀 및 티타늄 중에서 적어도 하나를 포함할 수 있다.
- [0072] 이후, 커패시터(865) 상에 상부 층간 절연막, 상부 배선 등을 형성함으로써, 상기 반도체 장치를 제조할 수 있다.
- [0073] 전술한 바와 같이, 상부 콘택 플러그(960)는 비트 라인 구조물(595), 스페이서 구조물(660) 및 금속 실리사이드 패턴(700) 상에 제2 배리어 막(730) 및 제2 금속막(740)을 형성하고, 비트 라인 구조물(595) 및 스페이서 구조물(660)의 상면이 노출될 때까지 제2 배리어 막(730) 및 제2 금속막(740)을 평탄화하여 각각 제2 배리어 패턴(735) 및 제2 금속 패턴(745)을 형성한 후, 비트 라인 구조물(595), 스페이서 구조물(660) 및 제2 배리어 패턴(735)의 상부를 제거하여 제2 금속 패턴(745)의 상부 측벽을 노출시키고, 다마신(damascene) 공정을 통해 상기 노출된 제2 금속 패턴(745)의 상면 및 상부 측벽에 접촉하도록 제3 금속 패턴(950)을 형성함으로써 형성될 수 있다.
- [0074] 제3 금속 패턴(950)은 제1 및 제2 층간 절연막들(910, 920)을 형성하고, 이를 관통하여 제2 금속 패턴(745)의 상면 및 상부 측벽을 노출시키는 제6 개구(940)를 형성한 후 이를 채우도록 형성되므로, 제3 금속 패턴(950)은 제2 금속 패턴(745)의 상면뿐만 아니라 상부 측벽에도 접촉하도록 형성될 수 있다. 이에 따라, 하부의 제2 금속 패턴(745)과 상부의 제3 금속 패턴(950)이 서로 접촉하는 면적이 증가할 수 있다.
- [0075] 예를 들어, 복수의 상부 콘택 플러그들이 제2 배리어 막(730) 및 제2 금속막(740)을 형성하고 이를 부분적으로 식각하여, 비트 라인 구조물(595) 및 이의 측벽에 형성된 스페이서 구조물(660)을 포함하는 필라 구조물들 상에 커패시터(865)와 접촉하기 위한 랜딩 패드를 포함하도록 형성되는 경우라면, 상기 필라 구조물들 사이의 간격이 좁아서 상기 식각 공정을 통해 상기 상부 콘택 플러그들이 서로 이격되도록 형성하기가 어려울 수 있다. 즉, 상기 상부 콘택 플러그들이 서로 연결되지 않고 충분히 이격되도록 형성하기 위해서는 제2 배리어 막(730) 및 제2 금속막(740)을 충분히 식각해야 하지만, 이 경우 이웃하는 상기 필라 구조물들 사이에 형성된 제2 배리어 막(730) 및 제2 금속막(740) 부분이 국소적으로 모두 제거되어, 상기 랜딩 패드가 형성되는 상부와 하부 콘택 플러그(675) 상에 형성되는 하부가 서로 연결되지 못할 수 있다.
- [0076] 하지만 예시적인 실시예들에 있어서, 복수의 상부 콘택 플러그들(960)은 제2 금속 패턴(745)을 먼저 형성하고, 다마신 공정을 통해 제2 금속 패턴(745)의 상면 및 상부 측벽에 접촉하도록 제3 금속 패턴(950)을 형성하므로, 랜딩 패드의 역할을 수행하는 제3 금속 패턴(950)과 하부 콘택 플러그(675) 상에 형성된 제2 금속 패턴(745)이 서로 분리되지 않고 연결되도록 형성될 수 있다.
- [0077] 한편, 상기 반도체 장치는 다음과 같은 구조적 특징을 포함할 수 있다.
- [0078] 즉, 상기 반도체 장치는 기판(300) 상에 형성된 액티브 패턴(305); 제1 방향(D1)으로 연장되어 액티브 패턴(305)의 상부에 매립된 게이트 구조물(360); 제2 방향(D2)으로 연장되어 액티브 패턴(305)의 중앙부 상에 형성된 비트 라인 구조물(595); 비트 라인 구조물(595)의 측벽에 형성된 스페이서 구조물(660); 액티브 패턴(305)의 각 양단들 상에 형성된 상기 콘택 플러그 구조물; 및 상기 콘택 플러그 구조물 상에 형성된 커패시터(865)를 포함할 수 있다.
- [0079] 예시적인 실시예들에 있어서, 상기 콘택 플러그 구조물은 하부 콘택 플러그(675); 하부 콘택 플러그(675) 상에

형성된 금속 실리사이드 패턴(700); 금속 실리사이드 패턴(700) 상에 형성된 배리어 패턴(735); 배리어 패턴(735)에 의해 저면 및 하부 측벽이 커버된 제2 금속 패턴(745); 및 제2 금속 패턴(745)의 상면 및 상부 측벽, 및 비트 라인 구조물(595) 및 스페이서 구조물(660)의 상면에 접촉하는 제3 금속 패턴(950)을 포함할 수 있다.

- [0080] 예시적인 실시예들에 있어서, 제2 금속 패턴(745)의 상면은 비트 라인 구조물(595)의 상면보다 높을 수 있다.
- [0081] 예시적인 실시예들에 있어서, 액티브 패턴(305)은 제3 방향(D3)으로 연장될 수 있고, 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 게이트 구조물(360)은 제2 방향(D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있고, 비트 라인 구조물(595)은 제1 방향(D1)을 따라 서로 이격되도록 복수 개로 형성될 수 있다.
- [0082] 예시적인 실시예들에 있어서, 상기 콘택 플러그 구조물은 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 상부에서 보았을 때 벌집 모양으로 배열될 수 있다.
- [0083] 예시적인 실시예들에 있어서, 제2 금속 패턴(745)의 상면은 편평할 수 있다.
- [0084] 예시적인 실시예들에 있어서, 배리어 패턴(735)의 상면은 일정한 높이를 가질 수 있다.
- [0085] 예시적인 실시예들에 있어서, 비트 라인 구조물(595)은 기판(100) 상에 적층된 상기 도전 구조물 및 상기 절연 구조물을 포함할 수 있다. 이때, 상기 도전 구조물은 제1 도전 패턴(455), 제1 배리어 패턴(465) 및 제2 도전 패턴(475)을 포함할 수 있으며, 상기 절연 구조물은 제1 마스크(485), 제1 식각 저지 패턴(565) 및 제1 캐핑 패턴(585)을 포함할 수 있다.
- [0086] 도 19 및 20은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 상기 반도체 장치의 제조 방법은 도 1 내지 도 18을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 포함하므로, 이들에 대한 중복적인 설명은 생략한다.
- [0087] 도 19를 참조하면, 도 1 내지 도 15를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한 후, 제1 층간 절연 패턴(910)의 측부를 부분적으로 제거하여, 제6 개구(940)의 하부를 확장함으로써, 이에 연통하는 제3 리세스(945)를 형성할 수 있다.
- [0088] 제3 리세스(945)는 예를 들어, 건식 식각 공정 혹은 습식 식각 공정을 통해 형성될 수 있다.
- [0089] 제3 리세스(945)가 형성되어 제6 개구(940) 하부가 확장됨에 따라서, 제6 개구(940)에 의해 노출되는 제2 금속 패턴(745) 상면의 면적이 더 커질 수 있으며, 또한 제6 개구(940)에 의해 노출되는 제2 금속 패턴(745)에 인접한 스페이서 구조물(660) 및 제1 캐핑 패턴(585)의 상면의 면적도 더 커질 수 있다.
- [0090] 도 20을 참조하면, 도 16 내지 도 18을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행함으로써, 상기 반도체 장치를 제조할 수 있다.
- [0091] 도 16 및 17을 참조로 설명한 공정들을 수행하여 제3 금속 패턴(950)을 형성할 때, 제6 개구(940)에 의해 노출된 제2 금속 패턴(745)의 상면의 면적이 더 커졌으므로, 제3 금속 패턴(950)과 제2 금속 패턴(745)의 서로 접촉하는 면적이 더 커질 수 있다.
- [0092] 또한, 제6 개구(940)에 의해 노출된 제2 금속 패턴(745)에 인접한 스페이서 구조물(660) 및 제1 캐핑 패턴(585)의 상면의 면적이 더 커졌으므로, 미스얼라인 등에 의해서 제3 금속 패턴(950)의 하부가 제2 금속 패턴(745)의 상부 측벽에 접촉하지 못하는 불량이 발생할 가능성이 방지될 수 있다.
- [0093] 상기 반도체 장치에서, 상기 상부 콘택 플러그에 포함된 제3 금속 패턴(950)은 제1 폭을 갖는 상부, 및 상기 제1 폭보다 큰 제2 폭을 갖는 하부를 포함할 수 있다. 이에 따라, 제3 금속 패턴(950)은 하부의 제2 금속 패턴(745)과 접촉하는 면적이 증가할 수 있으며, 형성 공정 시 미스얼라인 등이 발생하더라도 서로 분리되지 않고 보다 잘 연결될 수 있다.

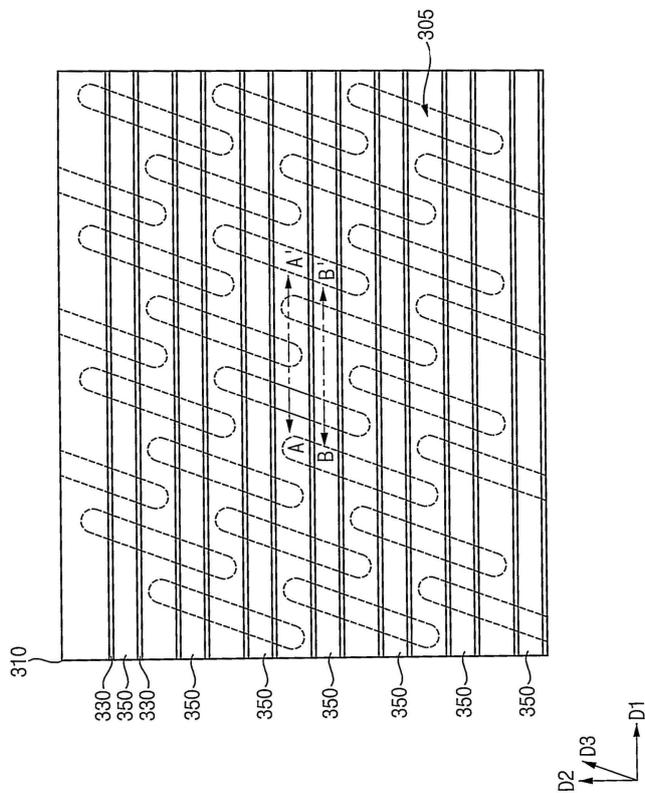
부호의 설명

- [0094] 300: 기판 305: 액티브 패턴
- 310: 소자 분리 패턴 330: 게이트 절연 패턴
- 340: 게이트 전극 350: 게이트 마스크

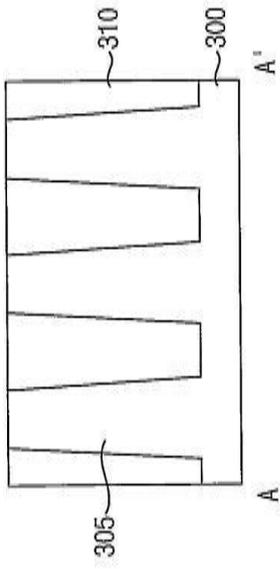
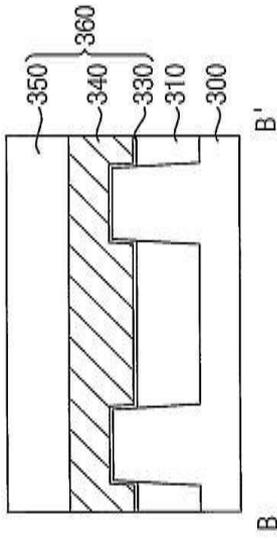
- 360: 게이트 구조물
- 400, 410, 420: 제1 내지 제3 절연막
- 405, 415, 425, 610, 620: 제1 내지 제5 절연 패턴
- 430: 절연막 구조물 440, 640, 940: 제1, 제2, 제6 개구
- 450, 470: 제1, 제2 도전막 455, 475: 제1, 제2 도전 패턴
- 460, 730: 제2, 제2 배리어 막 465, 735: 제1, 제2 배리어 패턴
- 480: 제1 마스크 막 485, 930: 제1, 제3 마스크
- 565: 제1 식각 저지 패턴 585, 685: 제1, 제2 캐핑 패턴
- 595: 비트 라인 구조물 600, 630, 650: 제1 내지 제3 스페이서
- 660: 스페이서 구조물 675: 하부 콘택 플러그
- 700: 금속 실리사이드 패턴 740: 제2 금속막
- 745, 950: 제2, 제3 금속 패턴 830: 제2 식각 저지막
- 840, 860: 하부, 상부 전극 850: 유전막
- 865: 커패시터 910, 920: 제1, 제2 층간 절연 패턴
- 945: 제3 리세스 960: 상부 콘택 플러그

도면

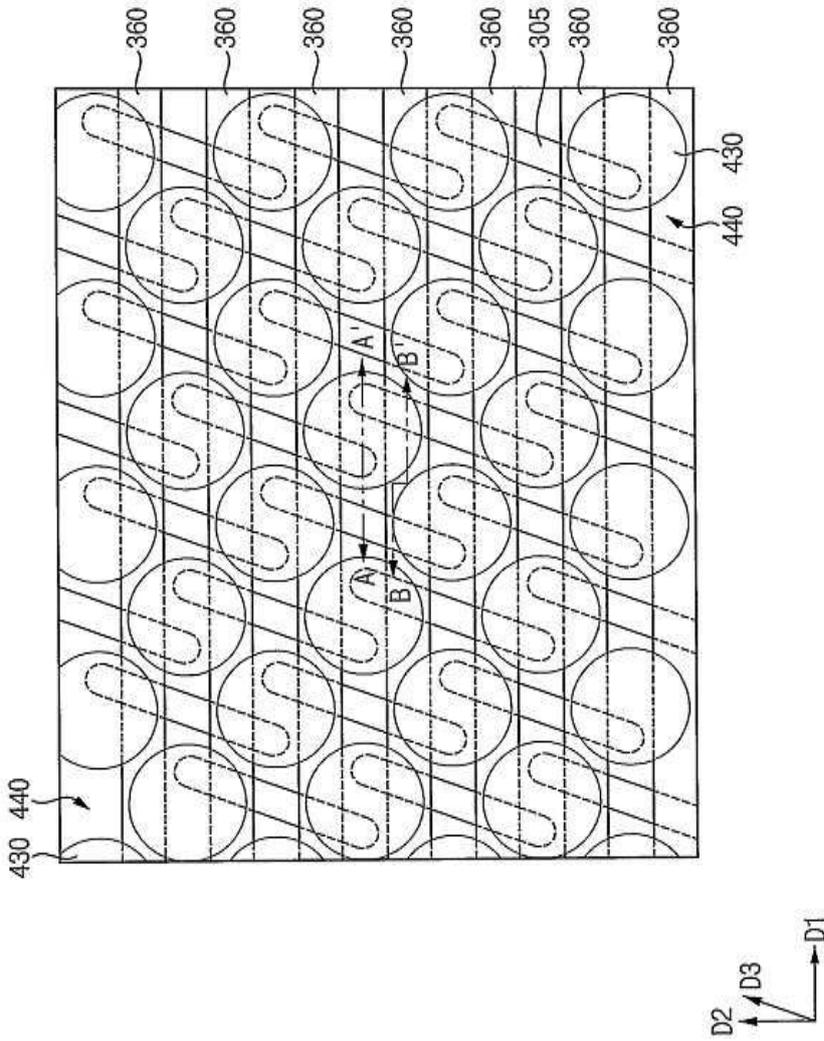
도면1



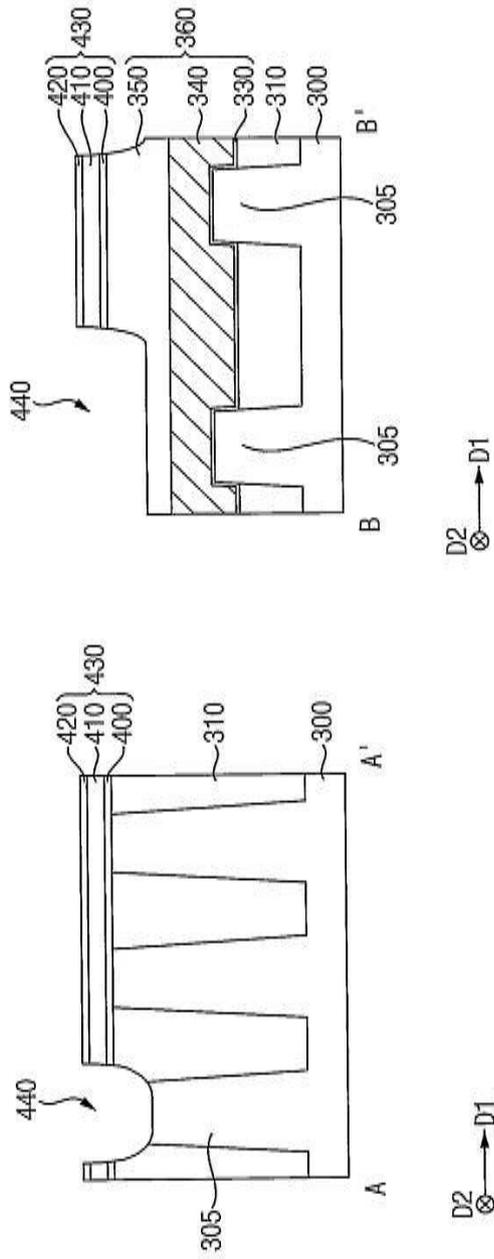
도면2



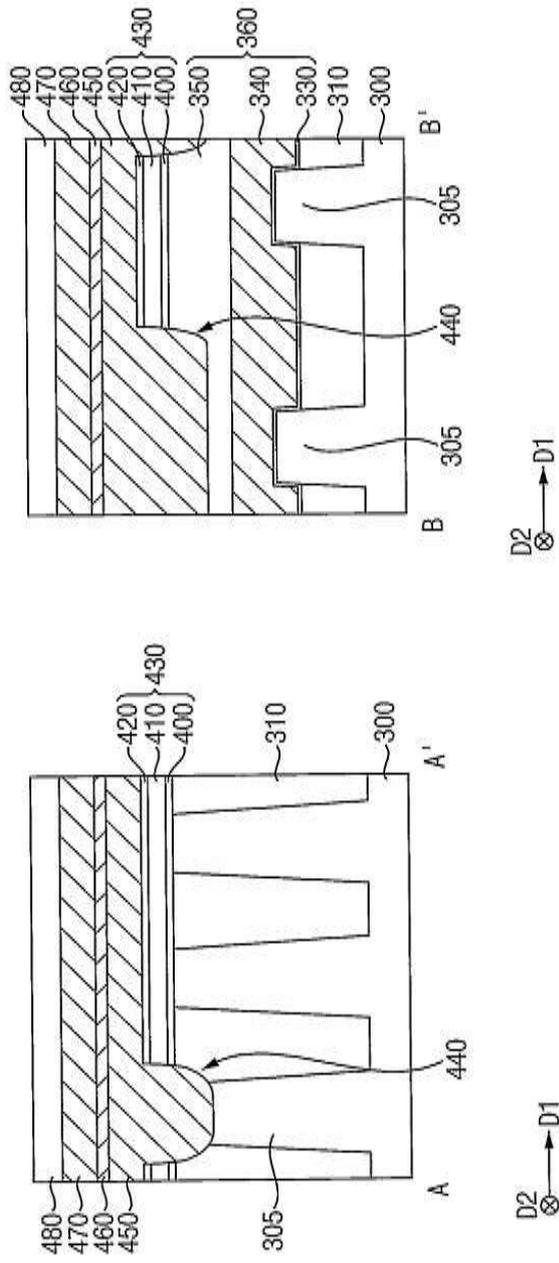
도면3



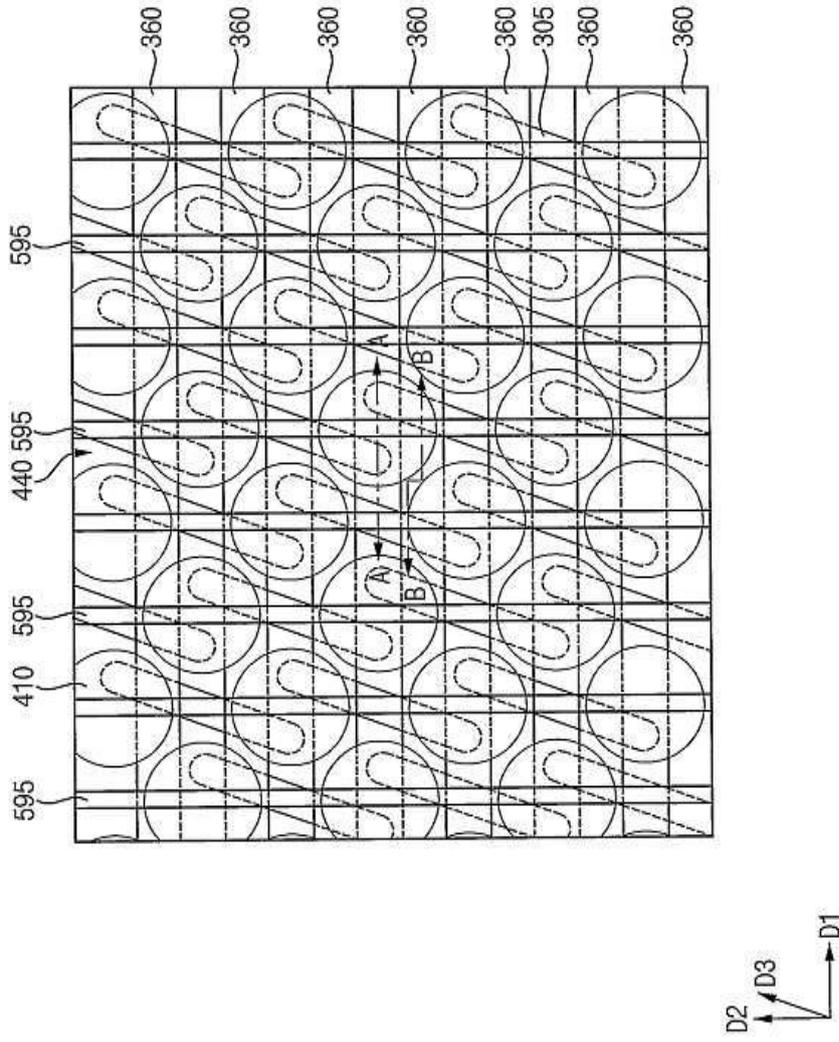
도면4



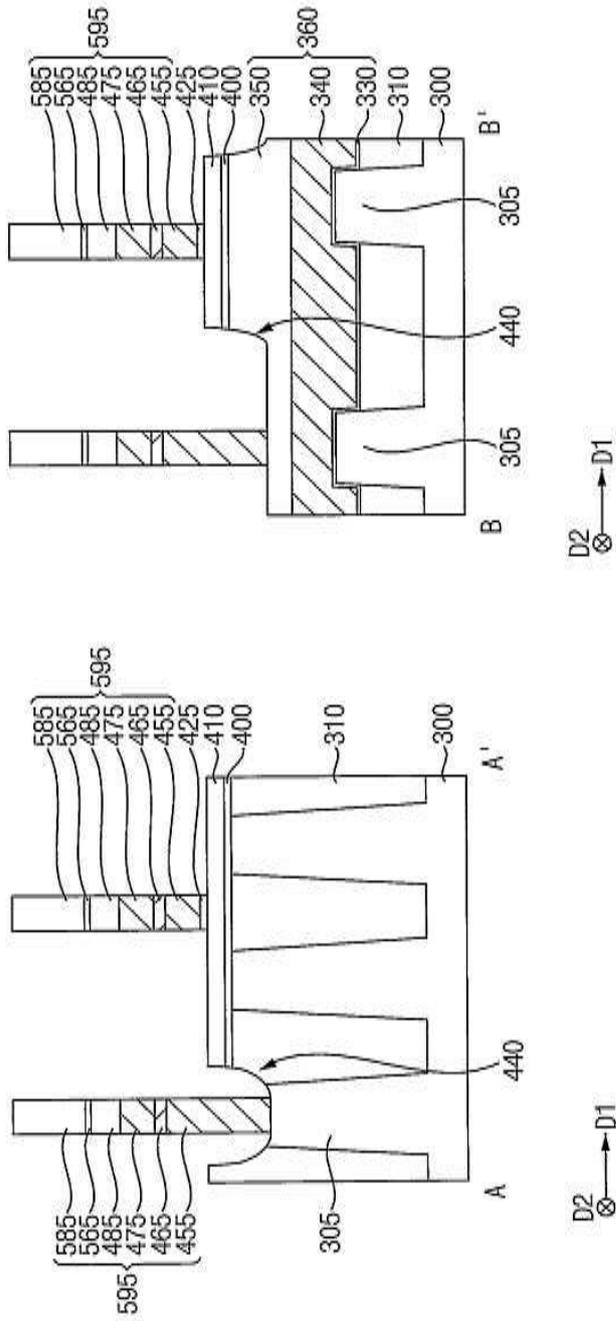
도면5



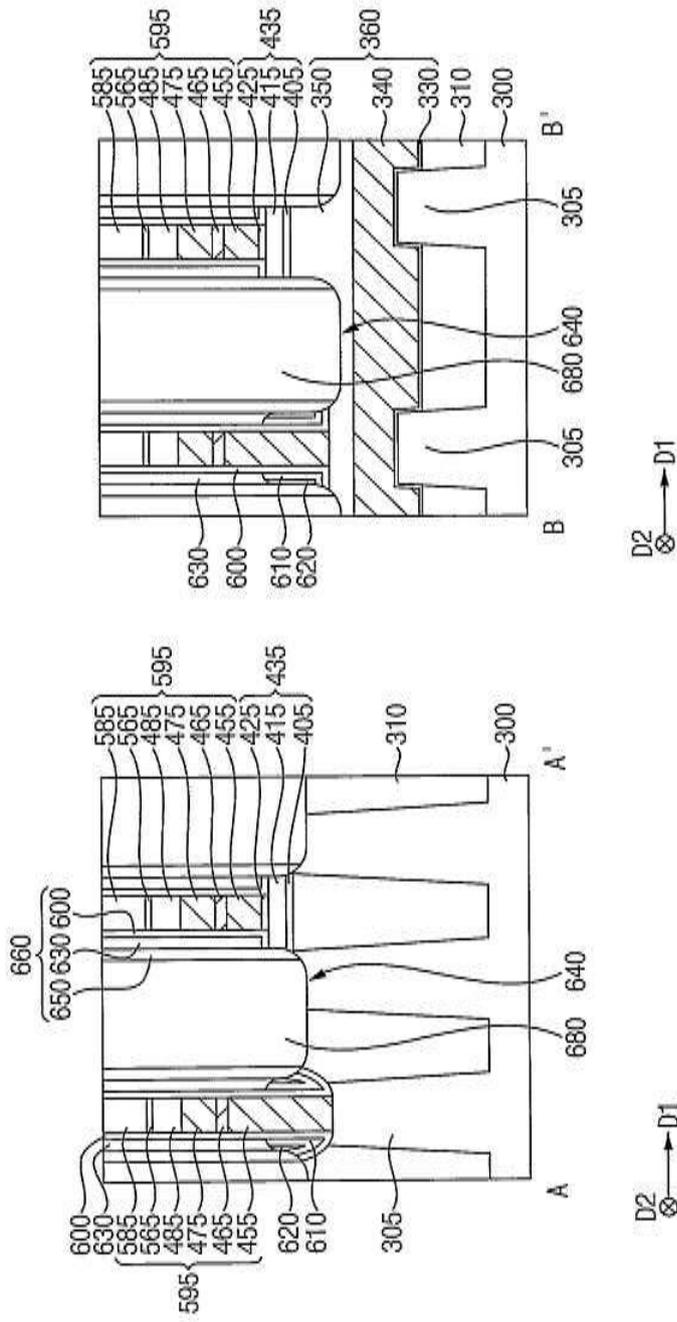
도면6



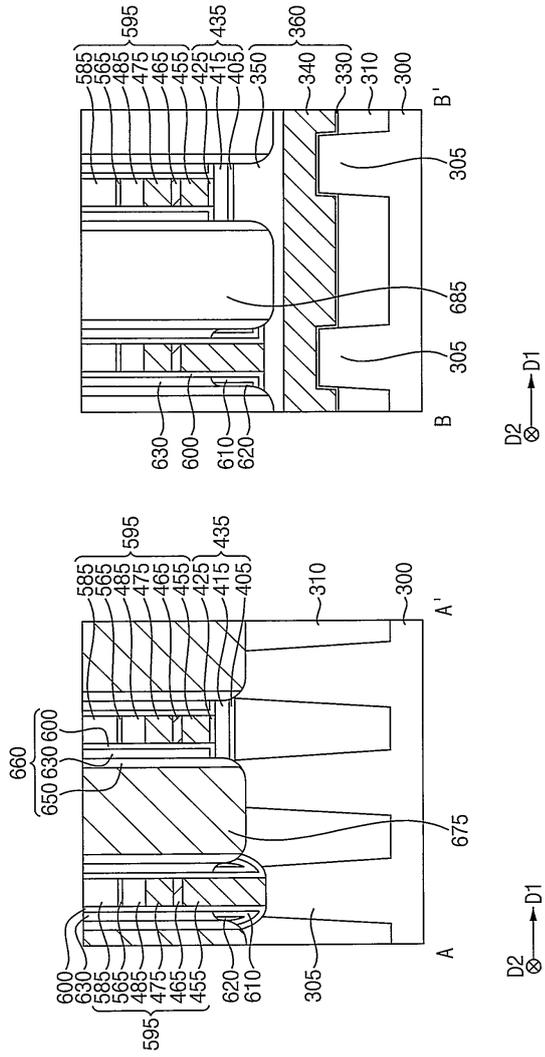
도면7



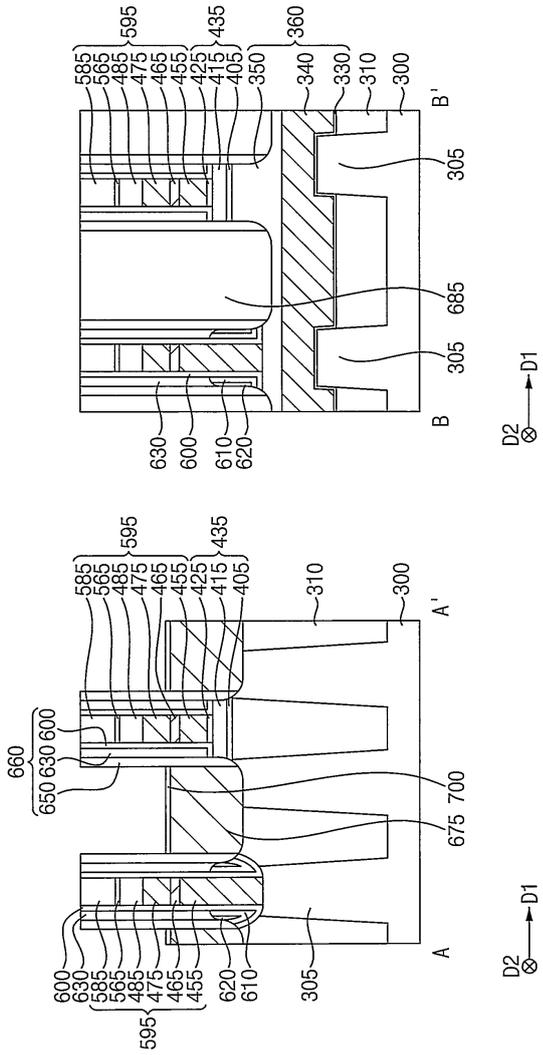
도면9



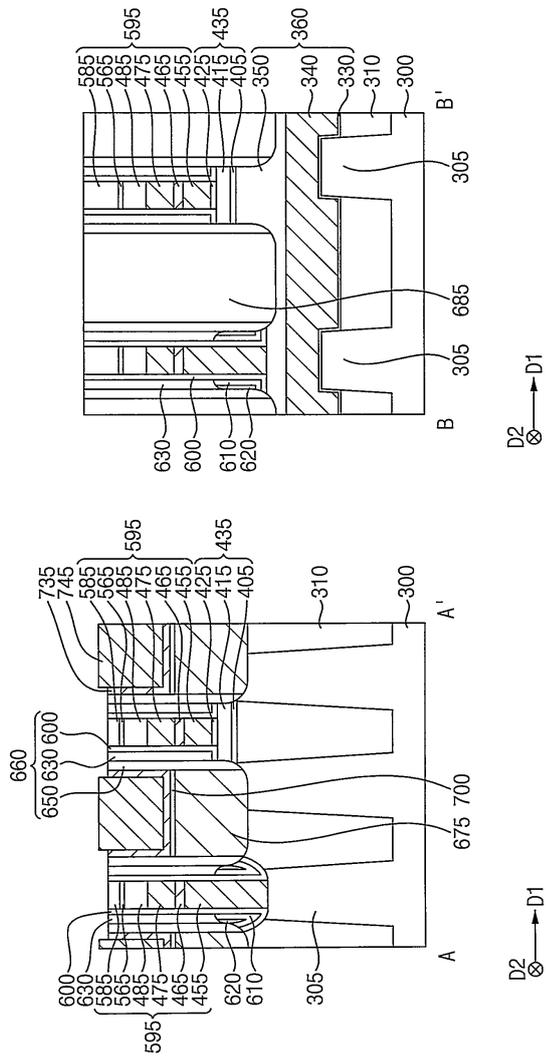
도면11



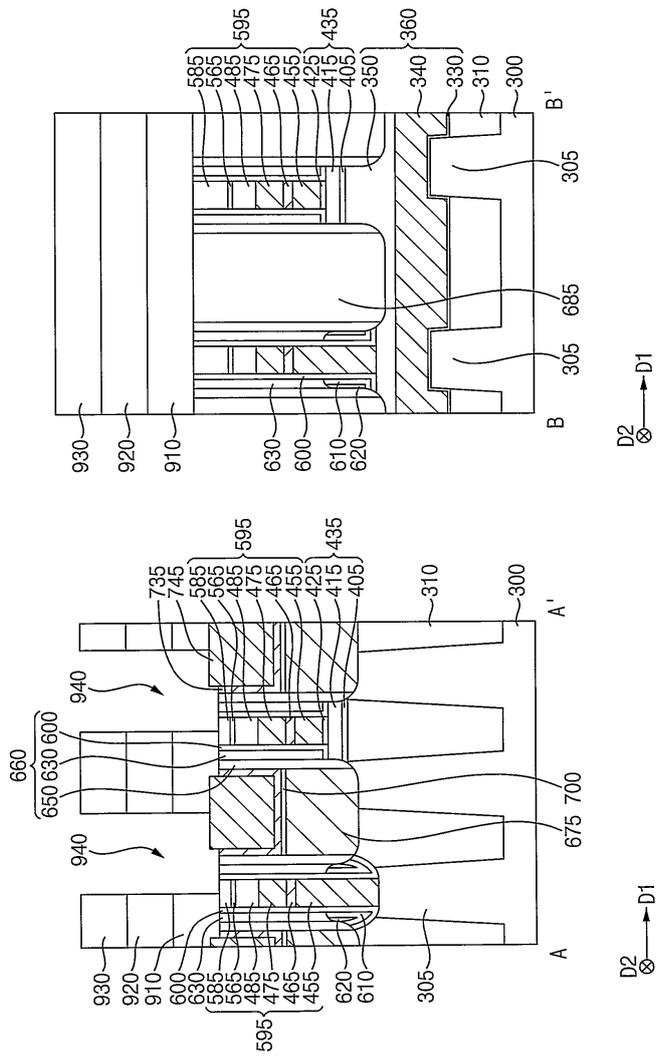
도면12



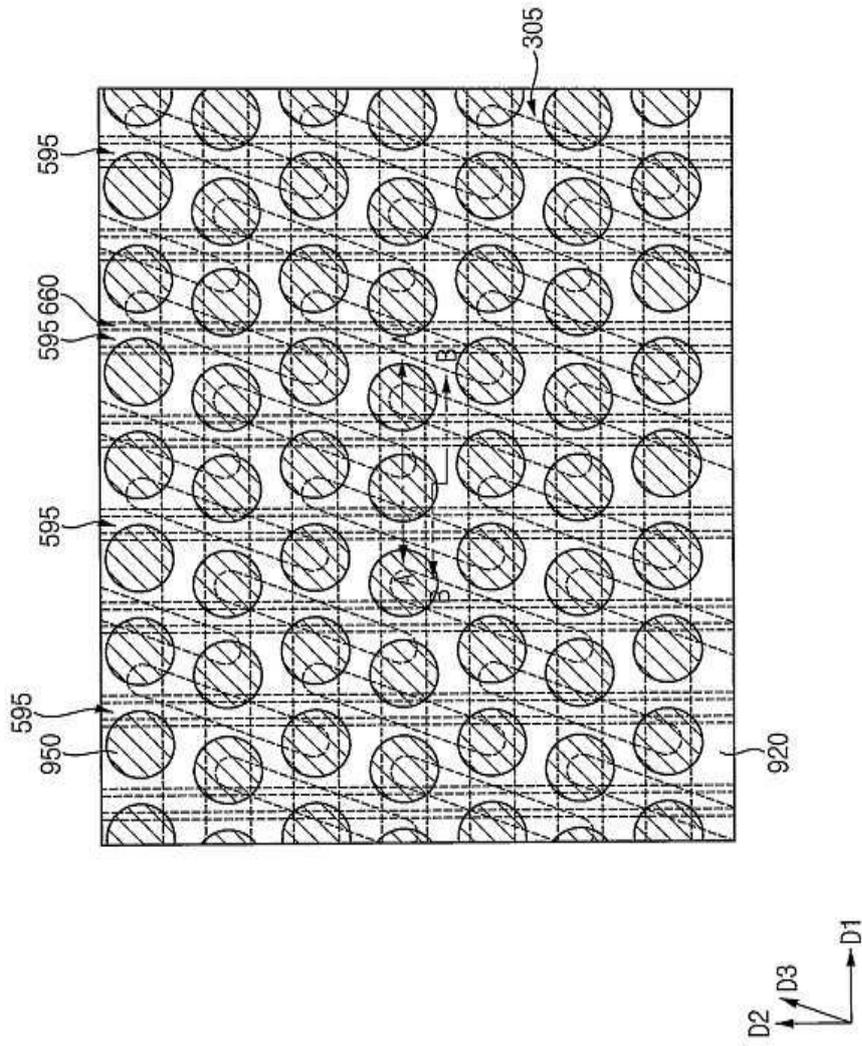
도면14



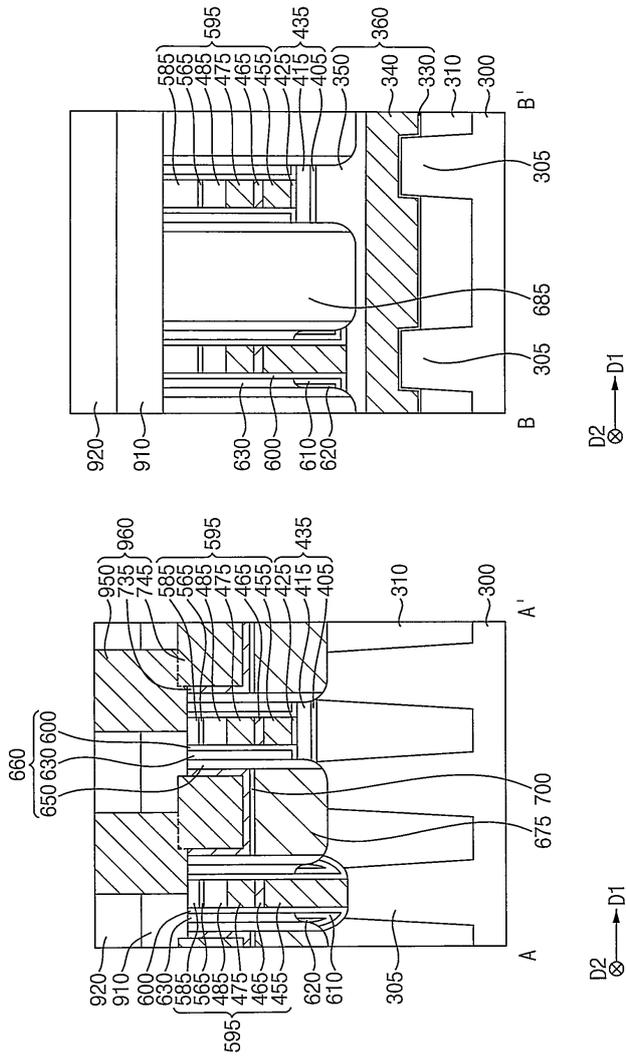
도면15



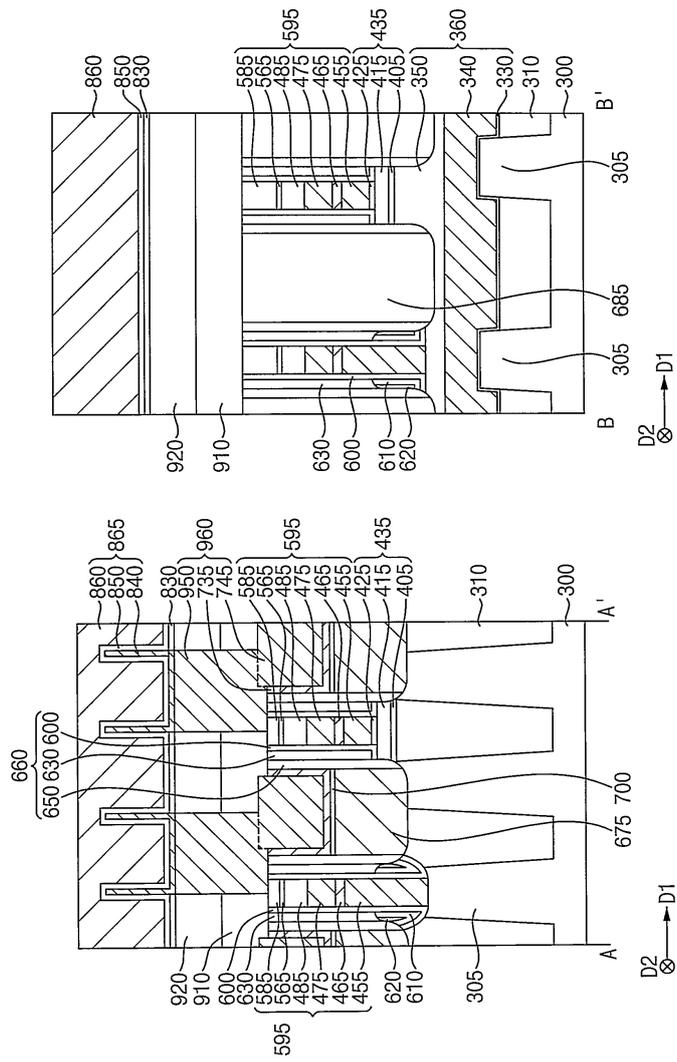
도면16



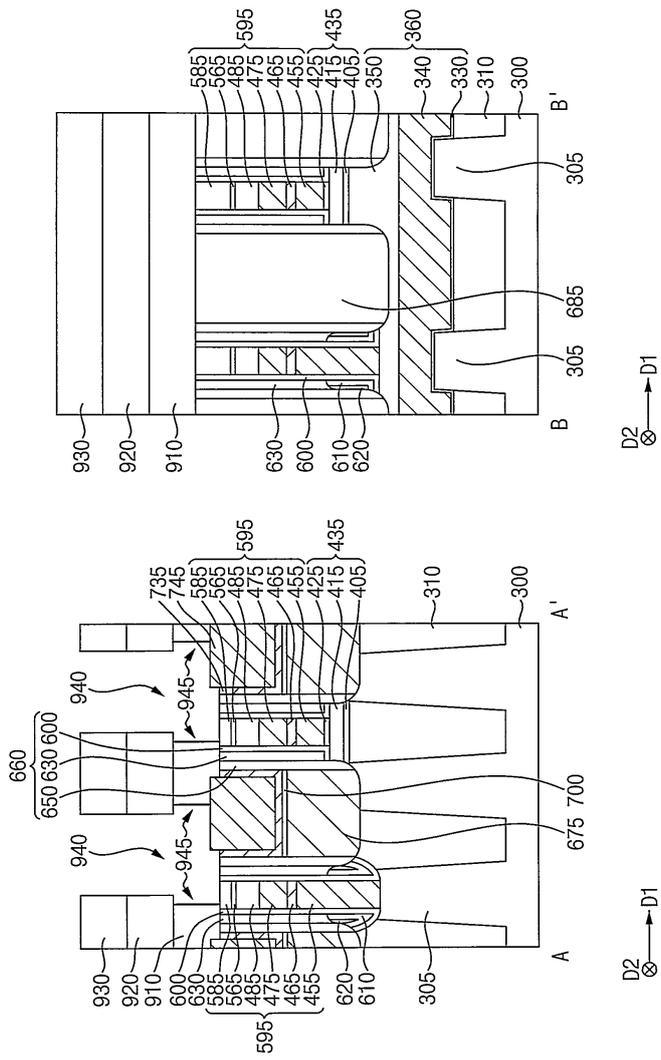
도면17



도면18



도면19



도면20

