

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4209033号
(P4209033)

(45) 発行日 平成21年1月14日(2009.1.14)

(24) 登録日 平成20年10月31日(2008.10.31)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 T
HO 1 L 23/52 (2006.01)	HO 1 L 21/60 3 O 1 N
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3 O 1 P
	HO 1 L 21/60 3 1 1 Q

請求項の数 4 (全 9 頁)

(21) 出願番号 特願平11-141037
 (22) 出願日 平成11年5月21日(1999.5.21)
 (65) 公開番号 特開2000-332017(P2000-332017A)
 (43) 公開日 平成12年11月30日(2000.11.30)
 審査請求日 平成18年3月13日(2006.3.13)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100076174
 弁理士 官井 暎夫
 (72) 発明者 白樫 衛吾
 大阪府高槻市幸町1番1号
 松下電子工業株式会社内
 審査官 長谷山 健

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に金属配線を形成する工程と、前記金属配線を覆うようにパッシベーション膜を形成する工程と、前記金属配線上で前記パッシベーション膜の所定の位置に複数個のバイアホールを形成する工程と、選択CVD法によって前記バイアホール内を充填しかつ前記パッシベーション膜の表面より上に突起するプラグを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】

半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に金属配線を形成する工程と、前記金属配線を覆うようにパッシベーション膜を形成する工程と、前記金属配線上で前記パッシベーション膜の所定の位置に複数個のバイアホールを形成する工程と、前記バイアホール内を充填するとともに前記パッシベーション膜上を覆うように金属電極層を形成する工程と、前記金属電極層より前記パッシベーション膜の方がエッチングレートの速いケミカルメカニカルポリッシング法によって前記金属電極層および前記パッシベーション膜をエッチングすることにより前記バイアホール内の前記金属電極層からなり前記エッチング後の前記パッシベーション膜の表面より上に突起したプラグを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】

前記金属配線はアルミニウム合金、銅合金、銀のいずれかからなるものであって、前記プラグは、アルミニウム合金、タングステン、銅、チタンのいずれかからなるものである

ことを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】

前記バイアホール形成後、前記金属配線の形成前に、密着層を形成することを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

従来の VLSI 等の半導体装置においては、トランジスタ等の半導体素子上に層間絶縁膜および金属配線が形成され、この金属配線の上に、水分、重金属又はアルカリ金属などの不純物が侵入することを防止するためにパッシベーション膜が形成される。

【0003】

以下、従来の半導体装置について、図 4 を参照しながら説明する。図 4 (a) は従来の半導体装置の要部断面図である。図 4 (a) に示すように、半導体基板 101 の上に酸化シリコン、窒化シリコン等からなる層間絶縁膜 102 が形成され、この層間絶縁膜 102 の上にアルミニウムもしくはアルミニウムを主成分とするアルミニウム合金よりなる金属配線 103 およびアルミニウム合金よりなる金属電極 104 がそれぞれ形成されている。尚、層間絶縁膜 102 の下にはトランジスタ等の半導体素子が形成されているが、半導体素子については図示の都合上省略している。金属配線 103 および金属電極 104 の上には、例えば CVD 法によりパッシベーション膜 105 が形成されている。尚、金属電極 104 上面のパッシベーション膜 105 におけるワイヤボンディングを行う領域には開口部 106 が形成され、金属電極 104 とボンディングワイヤ 107 のネールヘッド 108 が超音波併用熱圧着法によって接続されている。

【0004】

【発明が解決しようとする課題】

ところで、従来の VLSI 等の半導体装置においては、VLSI 等の微細化とチップの小型化・多機能化に伴って、金属配線 103 が微細化すると共に電気信号を入出力する金属電極 104 の数は増加の一途である。それに伴って、金属配線 103 と金属電極 104 および、金属電極 104 と金属電極 104 との間隔が小さくなることによって以下のような問題が発生する。

【0005】

図 4 (b) は半導体チップ 109 表面の一部分を示す平面図である。図 4 (b) に示されるように、半導体チップ 109 の周縁に並ぶ金属電極 104 の数が増えると、前述したように金属電極 104 と金属電極 104 とを並べる間隔が非常に狭くなる。さらに半導体チップ 109 の多機能化・小型化が進行し、より金属電極 104 の数が増加すると、金属電極 104 の間に間隔が設けられなくなり、各金属電極 104 に対応したパッシベーション膜 105 の開口も困難となる。これに対して従来は、金属電極 104 の形状を縮小化して多数の金属電極 104 を並べる工夫がなされてきた。

【0006】

しかしながら、図 4 (a) に示したように、ボンディングワイヤ 107 のネールヘッド 108 と金属電極 104 とを超音波を併用した熱圧着で接続するワイヤボンディングはその接着面の接着状態や接着面積で接着強度が決定する。金属電極 104 を縮小化すると、それにあわせて金属電極 104 の外側にはみ出さないように、また、隣接するネールヘッド 108 同士が接触しないように、ネールヘッド 108 も縮小化する必要性が生じる。その結果、ネールヘッド 108 と金属電極 104 との接着面積が小さくなるため、しばしばネールヘッド 108 と金属電極 104 との接着不良などが発生する。

【0007】

また、金属電極 104 の数の増加によって、金属電極 104 を縮小化すると同時に、パッ

10

20

30

40

50

シベーション膜 105 の開口部 106 もできるだけ縮小化する必要が生じる。開口部 106 が縮小化すると、ワイヤボンディング装置の精度には限界があるので、ネールヘッド 108 とパッシベーション膜 105 の金属電極 104 より上方にある部分とが接触する可能性が大きくなる。この接触が発生した場合、ネールヘッド 108 と金属電極 104 との不着や、さらには、パッシベーション膜 105 にクラックが発生し、半導体チップが耐湿性不良を起こすような致命的なワイヤボンディング不良が発生して半導体装置の信頼性が低下することになる。

【0008】

また、ボンディングワイヤ 107 の代わりに、半田パンプを用いる場合にも同様の問題がある。すなわち、金属電極 104 の数の増加に伴い、金属電極 104 を縮小化すると、
10
接着面積が小さくなることにより半田パンプと金属電極 104 との接着不良が発生したり、半田パンプとパッシベーション膜 105 との接触により半田パンプと金属電極 104 との接着不良やパッシベーション膜 105 にクラックが発生して半導体装置の信頼性が低下することになる。

【0009】

本発明の目的は、外部との間で電気信号が入出力される金属電極が縮小化されても、金属電極へのボンディングワイヤのネールヘッドや半田パンプの接続を良好にでき、パッシベーション膜のクラック等を防止して信頼性の高い半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】

本発明の請求項 1 に記載の半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、層間絶縁膜上に金属配線を形成する工程と、金属配線を覆うようにパッシベーション膜を形成する工程と、金属配線上でパッシベーション膜の所定の位置に複数のバイアホールを形成する工程と、選択 CVD 法によってバイアホール内を充填しかつパッシベーション膜の表面より上に突起するプラグを形成する工程とを含むことを特徴とする
。

【0011】

この製造方法によれば、製造される半導体装置において、電気信号の入出力部となる金属電極の面積が縮小化されても、金属電極がパッシベーション膜の表面より上に突起した
30
複数のプラグからなるため、ボンディングワイヤ等との接続を容易かつ強固にできる。また、金属電極の面積の縮小化がより可能となり、より多くの金属電極をチップ周縁部に形成できる。また、金属電極を構成するプラグがパッシベーション膜の表面より上に突起しているため、ボンディングワイヤ等の接続の際にそのボンディングワイヤ等の位置がずれても、ボンディングワイヤ等とプラグの良好な接続が得られるとともに、パッシベーション膜のクラックも防止でき、高信頼性の半導体装置を得ることができる。

【0018】

本発明の請求項 2 に記載の半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、層間絶縁膜上に金属配線を形成する工程と、金属配線を覆うようにパッシベーション膜を形成する工程と、金属配線上でパッシベーション膜の所定の位置に複数の
40
バイアホールを形成する工程と、バイアホール内を充填するとともにパッシベーション膜上を覆うように金属電極層を形成する工程と、金属電極層よりパッシベーション膜の方がエッチングレートの高いケミカルメカニカルポリッシング法によって金属電極層およびパッシベーション膜をエッチングすることによりバイアホール内の金属電極層からなりエッチング後のパッシベーション膜の表面より上に突起したプラグを形成する工程とを含むことを特徴とする。

【0019】

この製造方法により、請求項 1 に記載の半導体装置の製造方法と同様の効果を奏する。

本発明の請求項 3 に記載の半導体装置の製造方法は、請求項 1 または 2 に記載の半導体装置の製造方法において、金属配線はアルミニウム合金、銅合金、銀のいずれかからなるも
50

のであって、プラグは、アルミニウム合金、タングステン、銅、チタンのいずれかからなるものであることを特徴とする。

本発明の請求項4に記載の半導体装置の製造方法は、請求項1または2記載の半導体装置の製造方法において、パイアホール形成後、前記金属配線の形成前に、密着層を形成することを特徴とする。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態における半導体装置およびその製造方法について、図面を参照しながら説明する。

【0021】

〔第1の実施の形態〕

図1(a)は本発明の第1の実施の形態における半導体装置の要部断面図、図1(b)は同半導体装置の一部分の平面図である。

【0022】

図1(a)に示すように、半導体基板1の上には全面に亘って酸化シリコンよりなる層間絶縁膜2が形成されている。半導体基板1上には、例えばMOSトランジスタやMOSダイオード等の半導体素子が形成されており、層間絶縁膜2には半導体素子と層間絶縁膜2上に形成される金属配線3との電氣的接続をとるための開口部が形成されているが、半導体素子および開口部は省略して示している。

【0023】

層間絶縁膜2の上には、アルミニウム合金からなり、半導体基板1に形成された半導体素子と電氣的に接続される金属配線3が形成され、金属配線3上には全面に亘って窒化シリコンからなるパッシベーション膜4が形成されている。なお、ここではパッシベーション膜4を窒化シリコン単層としているが、酸化シリコンと窒化シリコンを積層して構成してもよい。

【0024】

本実施の形態における半導体装置の特徴は、ワイヤボンディングを行うべき部分に、金属配線3と接続された複数個のプラグ5がパッシベーション膜4を貫通して形成され、そのプラグ5はパッシベーション膜4の表面より上に突起していることである。

【0025】

図1(b)に示すように、半導体チップ6周縁のパッシベーション膜4上にプラグ5を突起させて形成し、ドットが密集した状態に整列した複数個のプラグ5により一つの金属電極を構成し、その金属電極と若干の隙間を空けて順次隣り合う同様の金属電極が形成されている。個々のプラグ5は、パッシベーション膜4の表面から100nm以上突起している。また、一つの金属電極は、直径200~5000nmのプラグ5をできるだけ密になるように、1200~8000 μm^2 程度の範囲に形成されている。このプラグ5の突起量(パッシベーション膜4表面からの高さ)、直径はボンディングワイヤ7のボンディングの際の衝撃がパッシベーション膜4を傷つけないように設定する必要がある。また、本実施の形態では、一つの金属電極を構成する複数のプラグ5を形成した範囲は2800 μm^2 のほぼ円状であるが、その範囲はボンディングワイヤ7のネールヘッド8の直径に合わせて調節設定する。

【0026】

プラグ5の材質は、金属配線3と同じアルミニウム合金にしたが、ボンディングワイヤ7の材質との接着整合性を考慮して決定する必要がある。また、ボンディングワイヤ7の代わりに半田パンブなどを使用する場合には、半田および金属配線3の材質との接着整合性を考慮して決定する必要がある。

【0027】

今回は、金属配線3、プラグ5の材質としてアルミニウム合金を使用した。他に、金属配線3には銅合金や銀等を用いることができ、プラグ5にはタングステンや銅、チタン等を用いることができる。

10

20

30

40

50

【 0 0 2 8 】

このように、ボンディングワイヤ7のネールヘッド8の大きさに合わせて、パッシベーション膜4上にプラグ5を突起させて金属電極を形成することで、ボンディングワイヤ7のネールヘッド8にプラグ5が食込む形となる。従って、個々のプラグ5についてその突起量が大きいほどプラグ5とネールヘッド8との接触面積が大きくなり、プラグ5の突起量に応じて複数のプラグ5からなる一つの金属電極の形成領域の面積を調整できる。そのため、複数のプラグ5からなる金属電極とネールヘッド8との接続を強固にしながら、一つの金属電極の形成領域の面積の縮小化（金属電極の縮小化）が可能となり、半導体チップ6周縁の限られた範囲でより多くの電気信号の入出力が可能となる。また、プラグ5がパッシベーション膜4の表面から突起しているため、ネールヘッド8の位置ずれが生じても、ネールヘッド8とプラグ5の良好な接続が得られるとともに、パッシベーション膜4のクラックも防止でき、高信頼性の半導体装置を得ることができる。

10

【 0 0 2 9 】

なお、本実施の形態では、プラグ5とプラグ5の隙間などでネールヘッド8がパッシベーション膜4と接触していても、接触していなくても、前述の効果が得られるものである。図4に示された従来例では、ネールヘッド108の位置ずれにより、金属電極104表面より上の部分のパッシベーション膜104にネールヘッド108が接触することにより、接続不良やパッシベーション膜104にクラックが発生していたが、本実施の形態では、ネールヘッド8の位置ずれの有無に関わらず、ネールヘッド8がパッシベーション膜4と接触しても、面接触状態となりパッシベーション膜104にクラックは発生せず、また、

20

【 0 0 3 0 】

なお、前述のようにボンディングワイヤ7の代わりに半田バンプを用いても同様の効果を得ることができる。

【 0 0 3 1 】

〔 第 2 の 実 施 の 形 態 〕

第2の実施の形態では、第1の実施の形態の半導体装置についてその製造方法の一例を説明する。図2はその製造方法を示す工程断面図である。

【 0 0 3 2 】

まず、図2(a)に示すように、例えばMOSトランジスタやMOSダイオードなどの半導体素子が形成されている半導体基板1の上に全面に亘ってCVD法などにより酸化シリコン膜よりなる層間絶縁膜2を堆積した後、図示は省略するが、層間絶縁膜2に半導体素子と層間絶縁膜2の上に形成される金属配線3との電気的接続をとるための開口部を周知のリソグラフィ技術およびドライエッチング技術により形成する。その後、層間絶縁膜2の上にアルミニウム合金よりなる金属配線3を周知のスパッタリング技術、リソグラフィ技術およびドライエッチング技術により形成する。次に、金属配線3の上にCVD法により窒化シリコンからなるパッシベーション膜4を全面に亘って堆積形成する。

30

【 0 0 3 3 】

次に、図2(b)に示すように、リソグラフィ技術、ドライエッチング技術を用いて、パッシベーション膜4の特定個所に金属配線3に到達するバイアホール9を複数個形成する。バイアホール9を形成する位置や直径、個数は第1の実施の形態におけるプラグ5形成条件の範囲で、用途に合わせて設定する。

40

【 0 0 3 4 】

次に、図2(c)に示すように、選択CVD法により、アルミニウム合金をバイアホール9内およびパッシベーション膜4上に突起するまで堆積してプラグ5を形成する。選択CVD法によるプラグ5の形成条件としては、例えば、アルゴンガスによるスパッタでバイアホール9内の表面の自然酸化膜を除去した後に、大気に暴露すること無くアルゴンガスをキャリアガスとしてジメチルアルミハイドライドを圧力30トールで、500sccm流してプラグ5を成長させた。その時の基板温度は250である。これにより、パッシベーション膜4上に突起した複数個のプラグ5を得ることができた。

50

【 0 0 3 5 】

このようにして、図 1 と同様の半導体装置を製造することができる。

【 0 0 3 6 】

〔 第 3 の実施の形態 〕

第 3 の実施の形態では、第 1 の実施の形態の半導体装置についてその製造方法の第 2 の実施の形態とは異なる例を説明する。図 3 はその製造方法を示す工程断面図である。

【 0 0 3 7 】

まず、図 3 (a) に示すように、例えば MOS トランジスタや MOS ダイオードなどの半導体素子が形成されている半導体基板 1 の上に全面に亘って C V D 法などにより酸化シリコン膜よりなる層間絶縁膜 2 を堆積した後、図示は省略するが、層間絶縁膜 2 に半導体素子と層間絶縁膜 2 の上に形成される金属配線 3 との電気的接続をとるための開口部を周知のリソグラフィー技術およびドライエッチング技術により形成する。その後、層間絶縁膜 2 の上にアルミニウム合金よりなる金属配線 3 を周知のスパッタリング技術、リソグラフィー技術およびドライエッチング技術により形成する。次に、金属配線 3 の上に C V D 法により窒化シリコンからなるパッシベーション膜 4 を全面に亘って堆積形成する。

10

【 0 0 3 8 】

次に、図 3 (b) に示すように、リソグラフィー技術、ドライエッチング技術を用いて、パッシベーション膜 4 の特定個所に金属配線 3 に到達するバイアホール 9 を複数個形成する。バイアホール 9 を形成する位置や直径、個数は第 1 の実施の形態におけるプラグ 5 形成条件の範囲で、用途に合わせて設定する。

20

【 0 0 3 9 】

次に、図 3 (c) に示すように、パッシベーション膜 4 上およびバイアホール 9 内壁を覆うように、チタン合金からなる密着層 1 0 を、スパッタリング技術を用いて形成する。次に、その上に、アルミニウム合金からなる金属電極層 1 1 を C V D 技術を用いて形成する。この金属電極層 1 1 はバイアホール 9 内を充填し、かつ密着層 1 0 を介してパッシベーション膜 4 上に形成する。また、この金属電極層 1 1 の形成の際、非常に小さく深いバイアホール 9 に金属配線材料を充填する必要がある場合は、高圧 P V D 法、または、リフロー法を用いれば効率よく充填することができる。

【 0 0 4 0 】

次に、図 3 (d) に示すように、塩素系のガスを用いたドライエッチング技術で、金属電極層 1 1 と密着層 1 0 をパッシベーション膜 4 が露出するまでエッチングし、バイアホール 9 内にプラグ 5 を形成する。

30

【 0 0 4 1 】

次に、図 3 (e) に示すように、ドライエッチング技術を用いてパッシベーション膜 4 をエッチングする。この時に、今回金属電極層 1 1 に用いているアルミニウム合金をエッチングせず、窒化シリコンからなるパッシベーション膜 4 のみをエッチングする条件、例えば、フロロカーボンと酸素の混合ガスなどでプラズマエッチングを行う。これによって、パッシベーション膜 4 上に突起したプラグ 5 を得ることができた。

【 0 0 4 2 】

このようにして、図 1 と同様の半導体装置を製造することができる。なお、図 3 の製造方法の場合、バイアホール 9 内に充填された金属電極層 1 1 からなるプラグ 5 の周り、すなわちバイアホール 9 の内壁に密着層 1 0 が形成されているが、金属電極層 1 1 がバイアホール 9 内に充填され金属配線 3 およびパッシベーション膜 4 との密着性が得られれば、密着層 1 0 は必ずしも必要ない。

40

【 0 0 4 3 】

なお、上記の図 3 (d) から図 3 (e) に示した工程は、ドライエッチングの代わりにウエットエッチングの技術を用いてもよいし、ドライエッチングおよびウエットエッチングの技術を組み合わせてもよい。

【 0 0 4 4 】

また、図 3 (c) の金属電極層 1 1 を形成した後、近年、平坦化に用いられるケミカルメ

50

カニカルポリッシングの技術、例えば、金属電極層 1 1 のアルミニウム合金よりもパッシベーション膜 4 の方がエッチングレートが速くなる研磨剤および研磨布等の条件を使用した、ケミカルメカニカルポリッシングを行うことにより、図 3 (e) と同様のパッシベーション膜 4 の表面から突起しているプラグ 5 を形成することができる。

【 0 0 4 5 】

【発明の効果】

本発明の半導体装置の製造方法によると、製造される半導体装置において、電気信号の入出力部となる金属電極の面積が縮小化されても、金属電極がパッシベーション膜の表面より上に突起した複数個のプラグからなるため、ボンディングワイヤ等との接続を容易かつ強固にできる。また、金属電極の面積の縮小化がより可能となり、より多くの金属電極をチップ周縁部に形成できる。また、金属電極を構成するプラグがパッシベーション膜の表面より上に突起しているため、ボンディングワイヤ等の接続の際にそのボンディングワイヤ等の位置がずれても、ボンディングワイヤ等とプラグの良好な接続が得られるとともに、パッシベーション膜のクラックも防止でき、高信頼性の半導体装置を得ることができる。

10

【 0 0 4 6 】

又、本発明に係る半導体装置の製造方法によると、従来のプラグを形成した後にワイヤボンディング用の金属電極を形成する工程が不必要となり、工程数削減と容易で安価な半導体装置の製造が可能となる。

【図面の簡単な説明】

20

【図 1】本発明の第 1 の実施形態における半導体装置の要部断面図および平面図。

【図 2】本発明の第 2 の実施形態における半導体装置の製造方法を示す工程断面図。

【図 3】本発明の第 3 の実施形態における半導体装置の製造方法を示す工程断面図。

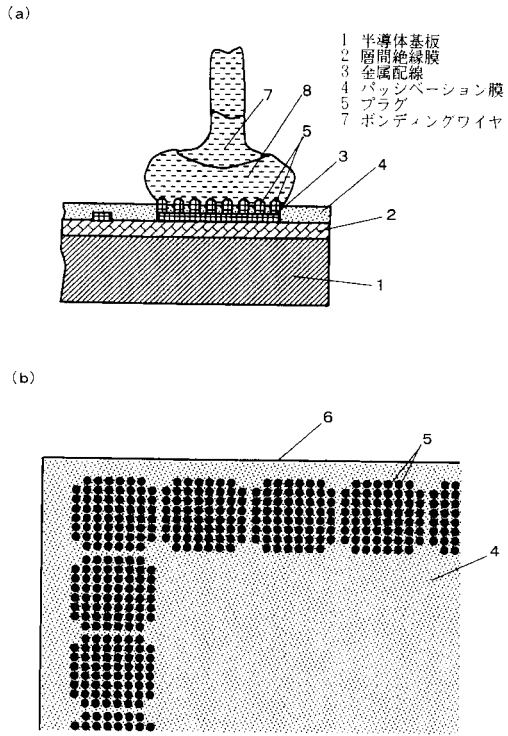
【図 4】従来の半導体装置の要部断面図および平面図。

【符号の説明】

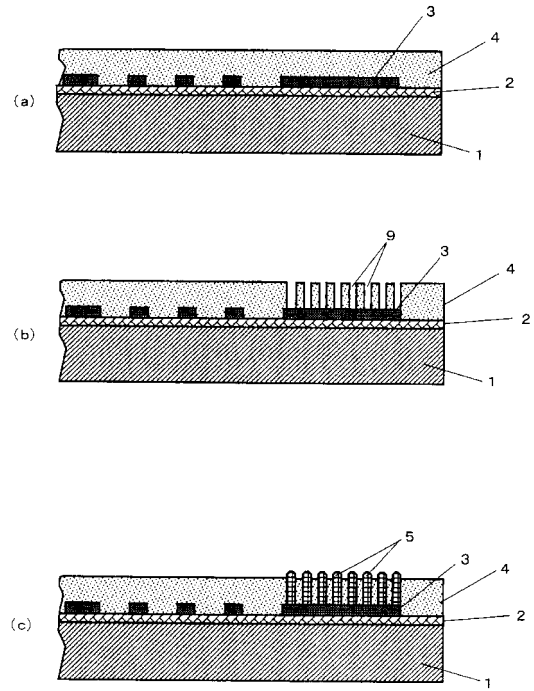
- 1 半導体基板
- 2 層間絶縁膜
- 3 金属配線
- 4 パッシベーション膜
- 5 プラグ
- 6 半導体チップ
- 7 ボンディングワイヤ
- 8 ネールヘッド
- 9 バイアホール
- 1 0 密着層
- 1 1 金属電極層

30

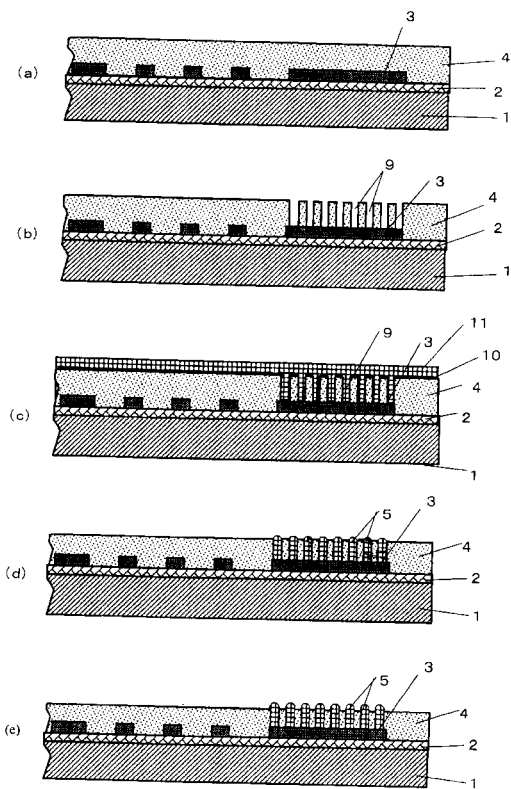
【図1】



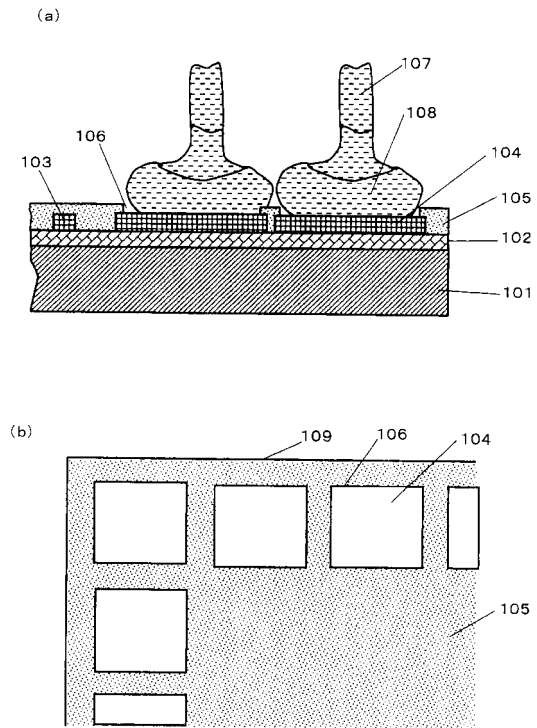
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開平06-318590(JP,A)
特開平10-284491(JP,A)
特開平03-029333(JP,A)
実開昭53-060765(JP,U)
特開平11-008264(JP,A)
特開平08-045933(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/60
H01L 23/52