



Patent dodatkowy
do patentu nr _____

Zgłoszono: 13.09.71 (P. 150487)

Pierwszeństwo: 14.09.70 Stany Zjednoczone
Ameryki

Zgłoszenie ogłoszono: 30.05.73

Opis patentowy opublikowano: 31.03.1978

MKP G06f 9/00

Int. Cl.² G06F 9/00

CZYTELNIA

Urzedu Patentowego

Twórca wynalazku: _____

Uprawniony z patentu: The National Cash Register Company, Dayton
(Stany Zjednoczone Ameryki)

Procesor cyfrowy z układem taktującym

1

Przedmiotem wynalazku jest procesor cyfrowy z układem taktującym, przystosowanym do wytwarzania impulsów taktujących w odpowiednich fazach na odpowiednich przewodach wyjściowych, które sterują kolejne cykle maszynowe, a ponadto posiada pamięć, licznik programu wraz z rejestrem adresowym, służącym do adresowania pamięci oraz dużą ilość obwodów logicznych połączonych z odpowiednimi jednostkami procesora cyfrowego.

W znanym procesorze cyfrowym powyższego typu rejestr adresowy pamięci zwiększa normalnie swoją zawartość o jedność, lecz sterowany innym określonym rozkazem może być przystosowany do zmiany swojej zawartości o inną wielkość, niż jedność. Pojemność pamięci wykorzystywana jest dla wprowadzania specjalnych rozkazów, aby wyspecyfikować sterowanie rejestru adresowego, aby zmienił swoją zawartość od innej wielkości, niż jedność. Niedogodność polega na tym, że zajmuje się pojemność pamięci magazynowaniem takich specjalnych rozkazów.

Celem niniejszego wynalazku jest opracowanie procesora cyfrowego opisanego typu, w którym pojemność pamięci zostaje zachowana.

Procesor cyfrowy według wynalazku charakteryzuje się tym, że obwody logiczne, przystosowane do przetwarzania sygnałów sterujących na sygnały

2

kontrolne kolejności logicznej, są również przystosowane do wytwarzania taktowanych sygnałów odpowiedzi, które poprzez pamięciową szynę odpowiedzi są doprowadzone do każdego z logicznych obwodów, są przekazywane do dalszego obwodu logicznego w liczniku programu, połączonego z układem taktującym i są przystosowane do sterowania funkcji licznika programu w sposób zależny od chwili taktu w cyklu maszynowym, przy czym sygnały odpowiedzi otrzymywane są za pomocą dalszego obwodu logicznego.

Logiczny obwód wykonawczy przystosowany jest do odezwu na pierwszy sygnał odpowiedzi w pierwszej chwili taktu w cyklu maszynowym powodując, że adres w rejestrze adresowym jest modyfikowany niesekwencyjnie zgodnie z liczbą modyfikującą rejestrowaną przez część sygnału wyjściowego pamięci nadanego na szynę pamięciową.

Logiczny obwód wykonawczy przystosowany jest do odezwu na drugi z sygnałów odpowiedzi drugiej chwili taktu w cyklu maszynowym, powoduje odczytanie z pamięci i powoduje nadanie sygnału wskaźnikowego do wszystkich obwodów logicznych, wskazującego tym obwodem logicznym, że pojawiający się wówczas sygnał wyjściowy na szynie pamięciowej ma nie być traktowany jako rozkaz. Logiczny obwód wykonawczy przystosowany jest do odezwu na trzeci z sygnałów odpowiedzi trzeciej chwili taktu w cyklu maszynowym, po-

wodując wyczytanie słowa z pamięci i nadanie go do rejestru adresowego jako nowego adresu.

Pamięć procesora zawiera pamięć stałą przystosowaną do wprowadzania rozkazów i informacji.

W procesorze cyfrowym według niniejszego wynalazku sterowania adresowego rejestru pamięci dokonuje się poprzez wykorzystanie sygnałów taktujących odpowiedzi na szynie pamięciowej zamiast wprowadzanych do pamięci specjalnych rozkazów. W ten sposób zostaje osiągnięta oszczędność pojemności pamięci.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy procesora, fig. 2 — przebiegi czasowe cztero-fazowego sterowania poszczególnych układów procesora, a fig. 3—7 przedstawiają różne formaty rozkazów procesora.

Nawiązując do fig. 1 procesor 10 pełni rolę jednostki sterującej dla końcówki abonenckiej przekazującej wraz z innymi podobnymi końcówkami informacje do centralnej maszyny cyfrowej zbierającej te dane. Cykl maszynowy procesora 10 składa się z 16 taktów, a układ taktujący 12 generuje 16 odrębnych sygnałów taktujących, TP1 do TP16. Pomiedzy każdymi kolejnymi impulsami taktującymi, na przykład TP1 i PT2, generowane są cztery niezależne, sygnały czasowe, dające cztery fazy działania.

W procesorze 10 wykorzystano czterofazowe układy scalone MOS wielkiej skali integracji. Ich cztery czasowe fazy działania przedstawione są na fig. 2 i oznaczone odpowiednio $\Phi 1$, $\Phi 2$, $\Phi 3$ i $\Phi 4$. Fazy $\Phi 1$ i $\Phi 3$ są podawane do każdego układu scalonego, w których niezależnie są z nich generowane fazy $\Phi 2$ i $\Phi 4$.

Z fig. 2, w szczególności z przebiegu A wynika że impuls z fazy $\Phi 1$ jest stosunkowo wąskim impulsem, podczas gdy impuls z fazy $\Phi 2$ jest impulsem o dłuższym czasie trwania. Drugim wąskim impulsem jest impuls z fazy $\Phi 3$ podczas gdy impuls z fazy $\Phi 4$ jest dłuższy. Przednie zbocza impulsów faz $\Phi 1$ i $\Phi 2$ pojawiają się jednocześnie, podobnie jak przednie zbocze impulsów faz $\Phi 3$ i $\Phi 4$. Jednakże, tylne zbocza impulsów faz $\Phi 1$, $\Phi 2$, $\Phi 3$ i $\Phi 4$ występują w różnych momentach czasowych, stąd powstał termin cztero-fazowe sterowanie.

Powracając do fig. 1 należy stwierdzić, że podstawowym elementem procesora jest pamięć stała 14. Pamięć ta ma pojemność 4.096 słów dwunastobitowych, z których każde jest rozkazem lub częścią rozkazu sterującego procesorem. Pamięć stała 14 jest zbudowana całkowicie z elementów półprzewodnikowych typu MOS, a jej zawartość jest ustalana w czasie wytwarzania. Tak więc pamięć 14 zawiera stały program obejmujący różne rozkazy sterujące obwodami logicznymi procesora.

Pamięć stała 14 pod wpływem sygnałów sterujących podawanych z licznika programu, wysyła równolegle zbiór sygnałów będących logicznymi „jedynkami” lub „zerami” do konwertera równoległo-szeregowego 18. Konwerter równoległo-szeregowy zamienia informację z pamięci wydaną równolegle, na sygnał szeregowy podawa-

ny na linię 20, a z niej na szynę pamięciową 22. Szeregowy sygnał z szyny pamięciowej 22 jest przesyłany do pozostałych bloków procesora, co jest opisane niżej.

Adres każdego rozkazu, który ma być pobrany z pamięci stałej 14, określa licznik programu 16, w skład którego wchodzi rejestr adresowy 24 oraz układ sterujący 26. Rejestr adresowy jest zbudowany jako licznik, a jego zawartość może być równa dowolnej liczbie z przedziału 0 do 4095. Aktualny stan licznika rejestru adresowego 24 określa miejsce w pamięci stałej 14, z którego wybierany jest rozkaz podawany do konwertera równoległo-szeregowego. Przykładowo, jeśli stan licznika rejestru adresowego wynosi 1029, wówczas na wyjściu pamięci stałej 14 pojawia się rozkaz umieszczony pod adresem 1029. Licznik w rejestrze adresowym 24 zwiększa swój stan o 1 po każdym cyklu maszynowym, chyba że jest wysterowany inaczej. To znaczy, że normalnie po szesnastu sygnałach taktujących TP wytworzonych przez układ taktujący w każdym cyklu maszynowym, licznik rejestru adresowego 24 zwiększy swój stan o jeden.

Ponadto licznik rejestru adresowego 24 pod wpływem sygnałów sterujących układu sterującego 26, zwiększa swój stan w sposób niesekwencyjny, to znaczy o wartość różną od jedności, która to własność jest niezbędna dla wykonywania skoków do programów umieszczonych w pamięci stałej 14. Oznacza to, że w celu wykonania określonych czynności, można wyjść z głównego programu do podprogramu, a następnie powrócić do programu głównego, co robi się w celu ograniczenia wielkości pamięci stałej. Ponadto licznik w rejestrze adresowym 24 ma możliwość zachowania stanu bez zmian na czas dłuższy niż jeden cykl maszynowy, jeśli rozkaz trwa dłużej niż jeden cykl.

Przed omówieniem pozostałych bloków procesora 10 korzystniejszym jest opisanie rodzajów rozkazów przechowywanych w pamięci stałej, na podstawie fig. 3—7, które przedstawiają 5 formatów słów rozkazowych pamiętanych w pamięci stałej 14.

Na fig. 3 pokazano format rozkazu typu DOOP. Słowo rozkazowe na 12 bitów z czego bity b1—b4 zawierają czterobitowy kod operacji OP określający szczegółową treść rozkazu. Na bitach b5—b8 podawany jest 4-bitowy adres argumentu O, wskazujący na jeden z rejestrów jako rejestr argumentu, a na bitach b9—b12 4-bitowy adres wyniku D, wskazujący na jeden z rejestrów jako rejestr wyniku.

Na fig. 4 pokazano format rozkazu typu COP. Bity b1—b4 zawierają 4-bitowy kod operacji OP określający szczegółową treść rozkazu typu COP, a bity b5—b12 tworzą 8-bitową stałą C, będącą argumentem rozkazu.

Na fig. 5 pokazano format rozkazu typu FPOP. Bity b1—b4 zawierają 4-bitowy kod operacji OP określający szczegółową treść rozkazu typu FPOP. Bity b5—b8 zawierają adres jednego z szesnastu kanałów, do którego należy wysłać 4-bitowy kod

Tabela

Instrukcji F zapisany na bitach b9—b12. Pod nazwą kanał rozumie się układ, do którego można dołączyć jedną z peryferyjnych jednostek (nie pokazanych na rysunku).

Na fig. 6 pokazano format rozkazu typu RAOP. Bity b1—b4 zawierają 4-bitowy kod operacji OP określający szczegółową treść rozkazu typu RAOP. Bity b5 i b6 tworzą 2-bitową stałą AB, która służy do dalszego precyzowania rozkazu określonego 4-bitowym kodem operacji. Na bitach b7—b12 zapisana jest 6-cio bitowa stała RA będąca liczbą z przedziału ± 31 . Jeśli bit b12 stałej RA jest logicznym zerem, wówczas liczba jest dodatnia i jej wartość wyznaczają bity b7—b11. Jeśli bit 12 stałej RA jest logiczną jednością — wówczas bity b7—b11 zawierają uzupełnienie do 1 ujemnej stałej RA.

Wreszcie fig. 7 przedstawia format rozkazu typu SPOP. Słowo rozkazowe dla tego formatu ma podwójną długość. Bity b1—b4 pierwszego słowa zawierają kod operacji OP określający szczegółową treść rozkazu typu SPOP. Na bitach b5—b8 znajduje się adres P jednego z szesnastu kanałów procesora 10. Bity b9—b12 zawierają kod statusu S określający rodzaj statusu, jaki przesłany jest do procesora 10 przez kanał wybrany bitami b5—b8. W drugim słowie na bitach b1—b4 zapisany jest kod instrukcji F, którą należy przesłać do kanału o numerze zadanym na bitach b5—b8 pierwszego słowa. Dwubitowe pole b5 i b6 IT drugiego słowa służy do dalszego sprecyzowania rozkazu określonego kodem operacji OP w pierwszym słowie. Bity b7—b12 drugiego słowa tworzą stałą RA z przedziału ± 31 i mają podobną interpretację jak bity b7—b12 w rozkazie typu RAOP.

Rozkazy typu COP i RAOP, których budowę pokazano na fig. 4 i 6 mają również podwójną długość. Drugie słowo jest wówczas 12-bitowym adresem miejsca, do którego należy skoczyć wychodząc z programu.

Ponieważ kod operacji OP dla wszystkich typów formatów rozkazów przedstawionych na fig. 3 do 7 ma długość 4 bitów, liczba podstawowych rozkazów wykonywanych w procesorze 10 wynosi 16. Oprócz tych szesnastu podstawowych rozkazów, dla formatów RAOP i SPOP można wyróżnić po cztery podrozkazy. W załączonej tabeli podane są wszystkie podstawowe rozkazy procesora 10 w liczbie 16, oraz związane z nimi podrozkazy. Należy zauważyć, że w przypadku rozkazów typu DOOP ich treść jest inna, gdy D i O są różne od zera, a inna gdy pola D i O są jednocześnie równe zeru. Znaczenie tego rozróżnienia będzie wyjaśnione poniżej.

Procesor 10 przedstawiony na fig. 1 zawiera szereg rejestrów, z których jest pobierana i do których jest wpisywana informacja w postaci 8-bitowych znaków. Rejestry te są wybierane przy pomocy sygnałów z bloku 28 wybierania rejestrów i sterowania przesłaniami, który zawiera układ wybierania rejestrów 30 i sumator 32. Blok 28 wybierania rejestrów i sterowania przesłaniami działa dla rozkazów MOV, ADD, SUB, i SFT, które mają format DOOP przedstawiony na fig. 3.

Rozkaz podstawowy	Podrozkaz	Kod operacji	Format
1. PAC	PAL	0000	COP
	PAR	C=1 C=0	
2. CIB		0001	COP
3. MOV		0010	DOOP
	D,O≠0 D,O=0		
4. BAC		0011	COP
5. LAC		0100	COP
6. SIB		0101	COP
7. ADD		0110	DOOP
	D,O≠0 D,O=0		
8. BAT		0111	COP
9. LOR		1000	COP
10. SFU		1001	FPOP
11. SUB		1010	DOOP
	D,O≠0 D,O=0		
12. BIT		1011	COP
13. LAN		1100	COP
14. UNC		1101	SPOP
15. SFT	FFB	IT=11	DOOP
	FTB	IT=10	
	BSF	IT=00	
	BST	IT=01	
16. BCR	SFT	D,O≠0	RAOP
	SFT	D,O=0	
	CLR	D=OO≠0	
	BUC	1111	
	BUC	AB=01	
	BSR	AB=11	
	BIR	AB=00	
	BIS	AB=10	

Układ wybierania rejestrów dokonuje kod operacji OP z bitów b1—b4 pobieranego rozkazu, w celu stwierdzenia czy rozkaz jest rozkazem MOV, ADD, SUB lub SFT.

Z chwilą zdekodowania rozkazu następuje analiza pól D i O rozkazu i podawane są sygnały na linie od RSDL1 do RSDH4 oraz RSOL1 do RSOH4. Linie te są dołączone do każdego z rejestrów procesora 10 wybranego przez rozkaz. Odpowiedni sygnał pojawia się na jednej z linii RSDL1 do RSDL4 i na jednej z linii RSDH1 do RSDH4, oraz na jednej z linii RSOL1 do RSOLA i na jednej z linii RSOH1 do RSOH4. Następnie są wykonywane rozkazy MOV, ADD, SUB bądź SFT.

Procesor 10 zawiera trzy rejestry specjalne oraz grupę rejestrów pamiętających 34 w ilości od 0—13, które są adresowane w rozkazie. Liczba rejestrów pamiętających 34 jest zależna od sposobu wykorzystania procesora. Każdy z rejestrów pamiętających 34 ma długość jednego lub więcej znaków, przy czym znak składa się z ośmiu bitów.

Każdy rejestr pamiętający 34 posiada dwa wyjścia, na które jest podawany szeregowo najbardziej znaczący znak, poczynając od najmniej znaczącej pozycji. Jedno z wyjść jest dołączone do szyny wejściowej 36, a drugie do szyny wejściowej 38. Jeśli układ wybierania rejestrów 30 wybierze rejestr 34 jako rejestr argumentu podając odpowiednie sygnały na liniach **RSOL** i **RSOH**, wówczas znak pobierany z tego rejestru jest podawany na szynę wejściową 36. Z drugiej strony jeśli układ wybierania rejestrów 30 wybierze rejestr 34 jako rejestr wyniku podając odpowiednie sygnały **RSDL** i **RSDH**, wówczas znak pobierany z tego rejestru jest podawany na szynę wejściową 38.

W rejestrach pamiętających 34 szyna wejściowa 36 jest doprowadzona również na jedno z wejść każdego rejestru. Tak więc, gdy rejestr 34 jest wybrany jako rejestr argumentu, sygnały wyjściowe podawane na szynę 36 są jednocześnie podawane na wejście tego rejestru. Po przesłaniu, znak najbardziej znaczący staje się znakiem najmniej znaczącym. W tym przypadku rejestry pamiętające 34 spełniają rolę rejestrów cyklicznych, przesuwanych. Oznacza to, że po przesłaniu na szynę wejściową 36, każdy pozostały znak przesuwa się na bardziej znaczącą pozycję, a znak podawany na szynę 36 zapamiętywany jest na najmniej znaczącej pozycji rejestru.

Drugie wejście każdego z rejestrów pamiętających 34 jest dołączone do szyny wyjściowej 40, do której jest również dołączone wejście sumatora 32. Jeśli jeden z rejestrów pamiętających jest wybrany jako rejestr wyniku, wówczas informacja pojawiająca się na szynie wyjściowej 40 zostanie w nim zapamiętana na pozycji odpowiadającej najmniej znaczącemu znakowi.

Szyny wejściowe 36 i 38 są dołączone do dwóch wejść sumatora 32. Sumator, pod wpływem sygnałów z układu wybierania rejestrów 30, realizuje dodawanie, odejmowanie bądź przesyłanie informacji pojawiającej się na szynach 36 i 38 i podaje wynik na szynę wyjściową 40.

Oprócz rejestrów pamiętających 34, w procesorze znajdują się jeszcze trzy rejestry specjalne. Należą do nich rejestr pomocniczy 42, rejestr akumulatora 44 i rejestr buforowy bloku wejścia/wyjścia 46. Każdy z tych rejestrów może być również wybrany jako rejestr argumentu, bądź wyniku, przez układ wybierania rejestrów 30.

Blok rejestru pomocniczego 42 składa się z szescio-znakowego **RAR**, **TA**, **RTC** rejestru 48 oraz układu przełączającego 49.

Rejestr **RAR**, **TA**, **RTC** — 48 składa się z dwuznakowego rejestru przesuwowego **RAR** (rejestr adresu powrotu) 50, dwuznakowego rejestru **TA** — 52, z którego można pobrać, przy pomocy odpowiedniego rozkazu, dwa znaki o stałej wartości, dwuznakowego rejestru przesuwowego **RTC** — 54. Pomiędzy rejestracjami **RAR** — 50, **TA** — 52 i **RTC** — 54 nie ma wzajemnych przesłań.

Jeśli ma być pobrana informacja z jednego z rejestrów **RAR**, **TA** lub **RTC** wówczas przełączający układ logiczny 49 wysyła odpowiednie syg-

nały, wskazujące, który znak i z którego rejestru ma być pobrany. Dwa znaki rejestru **RAR** są oznaczone jako szósty i piąty znak rejestru **RAR/TC/RTC**, dwa znaki rejestru **TA** są oznaczone jako czwarty i trzeci, dwa znaki rejestru **RTC** są numerowane jako drugi i pierwszy znak.

Linie wybierające 1—6 wiodące z układu przełączającego 49 do rejestru **RAR/TA/RTC**—48 odpowiadają kolejnym znakom rejestru. Jeśli na przykład, należy pobrać bardziej znaczący znak z rejestru **RAR**—50, wówczas sygnał pojawia się na linii 1 wybierając szósty znak rejestru **RAR/TA/RTC**, a pozostałe linie pozostaną niewybrane. Spowoduje to, że bardziej znaczący znak z rejestru **RAR** zostanie wysłany na szynę. Podobnie, jeśli należy pobrać mniej znaczący znak z rejestru **TA** — 52, wówczas pojawi się sygnał na linii wybierającej 4, a pozostałe linie nie będą wybrane, w ten sposób mniej znaczący znak z rejestru **TA** zostanie wysłany na szynę.

Pod wpływem sygnałów na liniach wybierających 1—6 zawartości odpowiednich części rejestrów są przesyłane do układu przełączania 49, a z niego są podawane na szynę 36, albo na szynę 38.

Dwuznakowy rejestr **RAR** — 50 jest wykorzystywany do zapamiętania 12-bitowego adresu dla pamięci stałej 14. Dwunastobitowe słowo jest pamiętane w sposób następujący: bity **b1**—**b8** są pamiętane w polu mniej znaczącego znaku rejestru **RAR**, a bity **b9**—**b12** są pamiętane na czterech najmniej znaczących pozycjach bardziej znaczącego rejestru **RAR**. Cztery najbardziej znaczące pozycje w polu bardziej znaczącego znaku rejestru **RAR** są wówczas niewykorzystane. Pod wpływem odpowiedniego rozkazu 12 bitów z rejestru **RAR** zostanie przesłanych linią 55 do bloku licznika programu 16 i wpisanych jako adres do rejestru adresowego 24. Rejestr **RAR** można również wykorzystać jako normalny, dwuznakowy rejestr pamiętający i wówczas jego zawartość jest przesyłana za pośrednictwem układu przełączającego 49 na szynę 36 lub 38, również informacja z szyny wyjściowej 40 jest wpisywana do rejestru **RAR** za pośrednictwem układu przełączającego 49.

Rejestr **TA** — 52 jest wykorzystywany jako rejestr adresowy pamiętający adres końcówki, której część stanowi procesor. Rejestr ten nie jest rejestrem przesuwnym a jedynie zbiorem przerzutników, z których można pobrać 16-bitową, nie zmienioną programowo informację. Informacja z rejestru **TA** — 52 jest przesłana za pośrednictwem układu przełączającego 49 na szynę wejściową 36 bądź 38 w zależności od tego, czy rejestr **RAR/TA/RTC** został wybrany jako rejestr argumentu bądź wyniku. Informacja z szyny wyjściowej 40 nie jest wpisywana do rejestru **TA**.

Rejestr **RTC** — 54 jest wykorzystany jako zegar czasu realnego, odmierzający określony odcinek czasu w przypadku, gdy należy zczekać na zakończenie jakiejś operacji. Jest on rejestrem dwuznakowym, czyli 16-bitowym, a zatem może zaliczać czas do 2^{16} — 1 cykli maszynowych procesora 10. Informacja z szyny wyjściowej 40 jest wpisywana do rejestru **RTC** za pośrednictwem

układu przełączenia 49. Raz na cykl, stan rejestru **RTC** — 54 jest zmniejszany o „1”, aż do osiągnięcia stanu zero. W celu stwierdzenia kiedy stan rejestru **RTC** staje się równy zero przeprowadza się okresowe badanie jego zawartości.

Blok akumulujący 44 składa się z rejestru akumulatora 56 i związanego z nim układu sterującego 58. Rejestr akumulatora 56 jest wybierany przez układ wybierania rejestrów 30 zarówno jako rejestr argumentu jak i rejestr wyniku, a więc ma charakter rejestru pamiętającego. Ponadto rejestr akumulatora jest zawsze wybrany jako rejestr wyniku, gdy na szynie pamięciowej 22 pojawi się kod operacji **MOV**, **ADD** lub **SUB** i zostanie rozpoznany przez układ wybierania rejestrów 30. Tak więc, jeśli na przykład informacja jest przesyłana z rejestrów pamiętających 34 do drugiego rejestru pamiętającego 34, to będzie ona również podawana do rejestru akumulatora 56. Zapamiętywanej przesyłanej informacji w przypadku gdy na szynie pamięciowej 22 pojawia się kod rozkazu **MOV**, **ADD** lub **SUB** pozwala zaoszczędzić wiele rozkazów w pamięci stałej 14. Bez tej możliwości, w przypadkach gdyby zachodziła potrzeba przesłania znaku z jednego rejestru pamiętającego 34 do drugiego, a następnie zbadania jego wartości w akumulatorze, należałoby wykonać szereg rozkazów — po pierwsze, przesłać znak do rejestru, następnie przesunąć zawartość rejestru o znak, następnie przesłać znak do akumulatora i wreszcie zbadać jego wartość.

W przyjętym rozwiązaniu wystarczy przesłać znak do rejestru pamiętającego aby automatycznie znalazł się on i w akumulatorze, przygotowany do zbadania.

Układ sterujący 58 bloku akumulującego 44 ma na celu dekodowanie kodów operacji rozkazów **BAC**, **BAT**, **LAC**, **LAN** i **LOR**. Jego działanie w przypadku zdekodowania tych rozkazów zostanie opisane później.

Ostatnim rejestrem, który jest wybierany przez układ wybierania rejestrów 30 jest bufor we/wy w bloku wejścia/wyjścia. Rejestr ten jest wykorzystywany do przechowywania informacji przesyłanej do procesora 10 z jednej z 16 jednostek peryferyjnych dołączonych do jednego z 16 kanałów procesora. W rejestrze buforowym pamiętane są dane bądź statusy podawane z wybranego kanału. Informacja do bufora jest wpisywana tylko w wyniku wykonania odpowiedniego rozkazu.

Układy sterujące bloku wejścia/wyjścia działają pod wpływem rozkazów **PAC**, **UNC** i **SFU**, gdy ich kody operacji pojawiają się na szynie pamięciowej 22. Wyjście rejestru buforowego jest dołączone do szyn wejściowych 36 i 38.

W bloku wejścia/wyjścia 46 jest generowane 16 sygnałów adresowych **TCS**, z których każdy jest doprowadzony do jednego z urządzeń zewnętrznych dołączonych do procesora 10. Jeśli na jednej z linii **TCS** pojawi się sygnał, wówczas procesor przechodzi do obsługi kanału związanego z tą linią. Do bloku wejścia/wyjścia 46 jest doprowadzonych 16 linii **UDS**, służących do przesyłania danych lub statusów z jednostek peryferyjnych do-

łączonych do kanałów, oraz 16 linii wskaźnikowych **UDF**. Normalnie na liniach **UDS** jest przesyłany zakodowany status urządzenia, chyba, że urządzenie przesyła jednocześnie sygnał wskaźnikowy **UDF**. W takim przypadku linia **UDS** są przesyłane do procesora dane. Oprócz tego, z bloku wejścia/wyjścia jest wysyłany w każdym kanale sygnał **TCDF**, którym jest przesyłany 8-bitowy znak, bądź kod instrukcji oraz sygnał wskaźnikowy **TCFFL**, którego pojawienie oznacza, że na linii **TCDF** podaje się kod instrukcji, a przy jego braku — dane. Wreszcie do każdej jednostki peryferyjnej jest przesyłany sygnał **TCTB8**. Sygnał **TCTB8** jest jedynie sygnałem strobojącym, który ma za zadanie synchronizować pracę procesora 10 z pracą jednostek peryferyjnych.

W procesorze 10 występuje jeszcze jeden rejestr, który jednak nie jest wybierany przez układ wybierania rejestrów 30. Rejestr ten znajduje się w bloku wskaźników 60. Blok wskaźników zawiera jednoznakowy rejestr wskaźników 62 i związany z nim układ sterujący 64. Blok wskaźników wykonuje rozkazy **BIT**, **SIB** i **CIB** pojawiające się na szynie pamięciowej 22. Rozkaz **SIB** jest wykorzystany do zapalenia jednego lub więcej bitów w rejestrze wskaźników 62, a rozkaz **CIB** jest wykorzystany do zgaszenia jednego lub więcej bitów w tym rejestrze. Rozkaz **BIT** służy do badania wartości wybranych bitów rejestru wskaźników 62, a następnie wykonania skoku warunkowego bądź przejścia do następnego rozkazu w zależności od wyniku badania.

W bloku licznika programu 16 wykonany rozkaz jest **BCR**, pojawiający się na szynie pamięciowej 22.

Do układu sterującego 26 w bloku licznika programu jest doprowadzona szyna odpowiedzi 66, na którą są podawane sygnały z bloku wskaźników 60, bloku wejścia/wyjścia 46, bloku akumulatora 44 i układu wybierania rejestrów 30. Sygnały na szynie odpowiedzi 66 są pojedynczymi impulsami, pojawiającymi się szeregowo w taktach **TP1** do **TP16** cyklu maszynowego. Odpowiedź bloku licznika programu 16 na sygnał pojawiający się na szynie odpowiedzi 66 zależy od taktu, w jakim sygnał ten się pojawi.

Nawiązując do tabeli i ogólnego opisu procesora 10 każdy z 16 rozkazów podstawowych w niej wymienionych oraz jego modyfikacja przebiega jak niżej.

Rozpatrując jako pierwsze rozkazy **MOV**, **ADD**, **SUB** i **SFT**, wykonane w bloku sterowania przesłaniami i wybierania rejestrów 28, które mają format **DOOP** (jak na fig. 3), to znaczy, że zawierają 4 bitowy adres **D** wskazujący na rejestr wyniku, 4 bitowy adres **O** wskazujący rejestr argumentu oraz 4 bitowy kod operacji **OP** mówiący, który z czterech rozkazów jest podawany na szynie pamięciowej 22 do układu wybierania rejestrów.

W układzie wybierania rejestrów sprawdza się zawsze, czy wszystkie cztery bity w polach **D** i **O** rozkazu są różne od zera. W przeciwnym przypadku osiem bitów pamiętanych w rejestrze aku-

mulatora 56 jest podawanych do układu wybierania rejestrów 30 jako pola D i O rozkazu. W takiej sytuacji 4 najmniej znaczące bity rejestru akumulatora 56 odpowiadają adresowi rejestru argumentu, a cztery najbardziej znaczące bity rejestru akumulatora 56 odpowiadają adresowi rejestru wyniku.

Działanie związane z wykonaniem rozkazów MOV, ADD, SUB i SFT przez blok sterowania przesłaniami i wybieraniem rejestrów 28 zakładając, że pola D i O rozkazu są różne od zera, bądź, że znak z rejestru akumulatora został przesłany do układu wybierania rejestrów 30 jest następujące: Rozkaz MOV służy do przesłania znaku z jednego z rejestrów pamiętających 34 do drugiego rejestru 34, znak przesyłany jest pobierany z najbardziej znaczącej pozycji rejestru argumentu i podawany na szynę wejściową 36. W tym samym czasie znak ten jest przesuwany na najmniej znaczącą pozycję w rejestrze argumentu. Przesyłany znak jest podawany z szyny 36 na wejście sumatora 32 i pojawia się bez zmian na szynie wyjściowej sumatora 40. Znak szyny 40 jest wpisywany do rejestru akumulatora 56 i na najmniej znaczącą pozycję rejestru wyniku. Pozostałe znaki w rejestrze wyniku są przesuwane o jedną pozycję w kierunku bardziej znaczącym, a najbardziej znaczący znak jest gubiony.

W przypadku wykonywania rozkazu ADD najbardziej znaczący znak z wybranego rejestru argumentu jest podawany na szynę 36 i jednocześnie na najmniej znaczącą pozycję tego rejestru, z przesunięciem pozostałych znaków o jedną pozycję w kierunku bardziej znaczących. Podobnie, najbardziej znaczący znak z rejestru wyniku zostaje przesłany na szynę wejściową 38 z jednoczesnym przesunięciem pozostałych znaków o jedną pozycję w kierunku bardziej znaczących. W sumatorze następuje dodanie bitów pojawiających się na szynach 36 i 38, a suma jest podawana na szynę wyjściową 40. Sygnały z szyny wyjściowej 40 są zapamiętywane w rejestrze akumulatora 56 i na najmniej znaczącej pozycji znaku w wybranym w rejestrze wyniku.

Dla rozkazu SUB najbardziej znaczące znaki z wybranych rejestrów argumentu i wyniku są podawane na szynę 36 i 38, a sumator 32 realizuje odejmowanie binarne liczby pojawiającej się na szynie 36 od liczby z szyny 38. Sygnał różnicy jest wysyłany na szynę wyjściową sumatora 40 i zapamiętywany w rejestrze akumulatora i na najmniej znaczącej pozycji znaku w wybranym rejestrze wyniku.

Rozkaz SFT powoduje przesunięcie cykliczne zawartości wybranego rejestru. W rozkazie SFT pole O zawiera adres wybranego rejestru, a pole D liczbę przesunięć o znak zawartości wybranego rejestru. Jeśli, dla przykładu, pole D rozkazu podawanego z szyny pamięciowej 22 do układu wybierania rejestrów 30 jest równe 0011, a pole O jest równe 0100, to oznacza, że zawartość czwartego rejestru pamiętającego ma być przesunięta cyklicznie o trzy znaki w kierunku bardziej znaczących, czyli, że trzy najbardziej znaczące znaki

zostaną przesunięte na trzy najmniej znaczące pozycje znakowe, a wszystkie pozostałe znaki zostaną przesunięte o trzy pozycje w kierunku bardziej znaczących.

Rozkaz SFT ma inną interpretację w przypadku, gdy pole D rozkazu jest równe zeru. Wówczas rozkaz SFT spowoduje wyzerowanie wszystkich pozycji rejestru wybranego w polu O. Tak więc, jest to podrozkaz rozkazu SFT oznaczony skrótem CLR. Po zdekodowaniu podrozkazu CLR układ wybierania rejestrów 30 wysyła sygnał CLR do wybranego rejestru.

Czas potrzebny do wykonania normalnych rozkazów MOV, ADD lub SUB jest równy jednemu cyklowi maszynowemu. Jeśli pola D i O rozkazu są jednocześnie równe 0000, wówczas jest potrzebny dodatkowy cykl maszynowy dla przesłania zawartości akumulatora 56 do układu wybierania rejestrów 30. Dla rozkazu SFT czas wykonywania rozkazu zależy od zawartości pola D rozkazu (liczba przesunięć o znak). Jeśli pole D jest równe 0000 (rozkaz CLR) lub 0001, wówczas jest potrzebny jeden cykl. Jeśli pole D jest równe 0010 lub 0011, są potrzebne dwa cykle, a jeśli pole D jest równe 0100 lub 0101, są potrzebne trzy cykle itd.

Po zakończeniu wykonywania rozkazu układ wybierania rejestrów 30 wysyła odpowiedź do bloku licznika programu 16 po szynie 66, by blok licznika programu mógł pobrać z pamięci stałej 14 następny rozkaz.

W bloku akumulatora jest wykonywanych 5 rozkazów, BAC, BAT, LAC, LAN i LOR. Wszystkie te rozkazy mają format COP, czyli składają się z 8-bitowego kodu stałej C i 4-bitowego kodu operacji OP określającego rodzaj rozkazu.

Wykonanie rozkazu LAC przez układ sterujący akumulatora 58 polega na przesłaniu stałej zawartej w polu C rozkazu do rejestru akumulatora 56. Rozkaz LAN powoduje wykonanie iloczynu logicznego stałej z pola C rozkazu, ze znakiem zawartym w rejestrze akumulatora 56 i wpisanie wyniku ponownie do rejestru akumulatora. Podobnie rozkaz LOR polega na wykonaniu sumy logicznej stałej z pola C rozkazu ze znakiem zawartym w rejestrze akumulatora 56 i wpisanie wyniku ponownie do rejestru akumulatora.

Czas wykonywania rozkazów LAC, LAN i LOR jest równy jednemu cyklowi maszynowemu, po którym układ sterujący 58 wysyła po szynie 66 odpowiedź do bloku licznika programu, aby pobrał następny z kolei rozkaz z pamięci stałej 14.

Rozkazy BAC i BAT powodują wykonanie w bloku licznika programu 16 skoku warunkowego. Dla rozkazu BAC skok następuje wówczas, gdy każdej jedyne w polu C rozkazu odpowiada jedynka w rejestrze akumulatora 56. Jeśli w wyniku wykonania jednego z tych rozkazów ma nastąpić skok, adres miejsca, do którego należy skoczyć znajduje się w następnej komórce pamięci stałej 14. Jeśli skok jest nieefektywny, wówczas następna komórka jest pomijana, a licznik programu pobrał rozkaz z drugiej z kolei komórki.

Jeśli skok jest nieefektywny, układ sterujący 58 wysyła na szynę odpowiedzi 66 sygnał informują-

cy o braku skoku. W bloku licznika programu następuje wówczas zwiększenie stanu licznika rejestru adresowego 24 dodatkowo o jeden, przed pobraniem następnego rozkazu z pamięci stałej 14. Jeśli skok jest efektywny, układ sterujący 58 wysyła na szynę odpowiedzi 66 sygnał informujący o skoku bezwzględnym. Wówczas blok licznika programu powoduje wyczytanie zawartości następnej komórki pamięci stałej i podanie jej na szynę pamięciową 22. Następnie sygnał z szyny pamięciowej 22 jest wprowadzany do rejestru adresowego 24 bloku licznika i jest wyczytywana nowa komórka z pamięci stałej. Czas wykonywania rozkazów BAC lub BAT wynosi dwa cykle maszynowe.

Układ sterujący bloku wejścia/wyjścia 46 (nie pokazany na rysunku) wykonuje rozkazy PAC, UNC i SFU. Jak wynika z tabeli rozkaz PAC ma przedstawiony na fig. 4 format COP i zawiera dwa podrozkazy PAL i PAR. Podrozkaz PAL ma w polu C jedynek przedstawioną w zapisie dziesiętnym kodowanym binarnie — 0000 0001, a podrozkaz PAR ma w polu C dwójkę — 0000 0010. Podrozkaz PAL powoduje przesłanie znaku z akumulatora do bloku wejścia/wyjścia 46 i związanie tego bloku na stałe z kanałem o numerze określonym przez cztery najmniej znaczące bity w znaku akumulatora. Związanie bloku wejścia/wyjścia z kanałem przejawia się tym, że w rozkazach wykonywanych po podrozkazie PAL, pola P rozkazów będą ignorowane, a treść rozkazów będzie się odnosić do kanału zwiazanego rozkazem PAL. Podrozkaz PAR powoduje odłączenie zwiazanego kanału, tak że dalsze rozkazy będą wykonywane normalnie.

Czas wykonywania rozkazu PAC wynosi jeden cykl maszynowy, a sygnał na szynie odpowiedzi 22 nakazuje pobranie następnego rozkazu.

Następnym rozkazem wykonywanym w bloku wejścia/wyjścia 46 jest rozkaz UNC, który ma pokazany na fig. 7 format SPOP. Rozkaz ten składa się z dwóch słów i w drugim słowie na bitach b5 i b6 znajduje się pole IT, pozwalające wyróżnić cztery podrozkazy tego rozkazu. Podrozkazami rozkazu UNC są podrozkazy FFB, FTB, BSF i BST.

Gdy blok wejścia/wyjścia 46 stwierdzi, że na szynie pamięciowej 22 znajduje się pierwsze słowo rozkazu UNC następuje porównanie statusu, podawanego z jednostki peryferyjnej do kanału o numerze podanym w polu P rozkazu, z polem S pierwszego słowa rozkazu. Jeśli kod pola S jest zgodny ze statusem w wybranym kanale, zostaje zapalony wskaźnik zgodności, w przeciwnym przypadku wskaźnik zgodności pozostaje zgaszony.

Następnie na szynie pamięciowej 22 pojawia się drugie słowo rozkazu, a operacje bloku wejścia/wyjścia 46 zależą od pola IT określającego podrozkaz rozkazu UNC. Jeśli pole IT jest równe 11, wówczas wykonany jest podrozkaz FFB polegający na tym, że jeśli status w wybranym kanale nie jest zgodny z kodem S, wówczas kod instrukcji z pola F drugiego słowa rozkazu jest przesyłany do jednostki peryferyjnej dołączonej do wybranego kanału. Gdy status jednostki i kod

S są zgodne, wówczas następuje skok relatywny o stałą RA. Jeśli IT jest równy 10, wykonywany jest podrozkaz FTB, w tym przypadku, jeśli status urządzenia i kod S są zgodne, do urządzenia w wybranym kanale jest wysyłany kod instrukcji F, w przeciwnym wypadku wykonywany jest skok relatywny o stałą RA. Gdy kod IT jest równy 00, wykonywany jest podrozkaz BSF polegający na tym, że jeśli status jednostki i kod S są niezgodne zostaje wykonany skok relatywny o stałą RA. W przeciwnym przypadku, stan licznika programu zwiększa się o jeden i przechodzi do pobrania następnego rozkazu. Wreszcie, dla kodu IT równego 01 mamy podrozkaz BST. Jeśli status jednostki i kod pola S są zgodne, następuje skok relatywny o stałą RA, w przeciwnym wypadku zwiększa się tylko stan licznika programu 16 o jeden.

Czas wykonywania każdego podrozkazu UNC wynosi dwa cykle maszynowe. Po pobraniu pierwszego słowa rozkazu UNC blok wejścia/wyjścia 46 wysyła na szynę odpowiedzi 66 sygnał, który informuje blok licznika rozkazu aby wysłał na szynę pamięciową 22 drugie słowo rozkazu z następnej komórki pamięci stałej i ostrzegł pozostałe bloki procesora 10, że pojawiające się na szynie pamięciowej słowo nie należy traktować jako nowy rozkaz. Po przesłaniu drugiego słowa rozkazu UNC, blok wejścia/wyjścia 46 wysyła na szynę odpowiedzi sygnał, który informuje blok licznika programu 16, że należy wykonać skok relatywny bądź pobrać następny rozkaz z pamięci stałej 14.

Trzecim rodzajem rozkazu wykonywanego w bloku wejścia/wyjścia 46 jest rozkaz SFU, który ma format FPOP, przedstawiony na fig. 5. Rozkaz ten po zdekodowaniu w bloku wejścia/wyjścia 46, powoduje przesłanie kodu instrukcji z pola F rozkazu do jednostki peryferyjnej w kanale o numerze podanym w polu P rozkazu. Przykładem wykorzystania tego rozkazu jest wydruk znaku na drukarce. Znak ten jest przesyłany po rozkazie SFU, ale drukarka wtedy już jest przystosowana na przyjęcie tego znaku i nastąpi wydruk symbolu określonego przez przesłany znak.

Czas wykonywania rozkazu SFU równy jest jednemu cyklowi maszynowemu, a sygnał odpowiedzi na szynie odpowiedzi 22 powoduje, że blok licznika programu 16 czyta z pamięci stałej następny rozkaz.

W bloku wskaźników 60 są wykonywane rozkazy SIB, CIB, BIT. Każdy z tych rozkazów ma format COP, to znaczy, że każdy z nich składa się z 4-bitowego kodu operacji OP określającego rodzaj rozkazu i 8-bitowego kodu stałej C.

W wyniku rozkazu SIB układ sterowania 64 bloku wskaźników 80 wykonuje operację sumy logicznej zawartości rejestru wskaźników 62 i 8 bitowego kodu z pola C rozkazu, a wynik jest pamiętany w rejestrze wskaźników 62. Rozkaz CIB powoduje wykonanie operacji iloczynu logicznego zawartości rejestru wskaźników z negacją ośmiu bitów stałej C rozkazu, a wynik jest pamiętany w rejestrze wskaźników 62.

Rozkaz SIB jest wykorzystywany do ustawiania

jednego lub więcej bitów rejestru wskaźników 62 ze stanu „0” do stanu „1”. Polega to na umieszczeniu w polu C jedynek na pozycjach odpowiadających zapalaniem bitom. Następnie operacja sumy logicznej spowoduje zapamiętanie jedynek na wymaganych pozycjach rejestru wskaźników 62. Rozkaz CIB jest zazwyczaj wykorzystywany do wyzerowania jednego lub więcej bitów w rejestrze wskaźników. W tym przypadku w polu C rozkazu, jedyneki są umieszczone na pozycjach odpowiadających zerowym bitom. W wyniku zanegowania pola C i zilocznowaniu ze stanem rejestru, następuje zamiana jedynek na zera.

Czas wykonania rozkazów SIB i CIB wynosi jeden cykl maszynowy, a sygnał odpowiedzi na szynie 66 wskazuje blokowi licznika programu, aby pobrał następny rozkaz z pamięci stałej 14.

Trzecim rozkazem wykonywanym w bloku wskaźników 60 jest rozkaz BIT. Układ sterujący bloku wskaźników 64 sprawdza, czy każdej jedyne logicznej z pola C rozkazu odpowiada bit równy „1” w rejestrze wskaźników. Jeśli wynik sprawdzenia jest pozytywny, następuje skok do miejsca wskazanego przez zawartość następnej komórki w pamięci stałej. Jeśli wynik sprawdzenia jest negatywny, następne słowo z pamięci stałej jest pomijane i dopiero drugie z kolei jest traktowane jako rozkaz.

Odpowiedzi wysyłane na szynie odpowiedzi 66 w przypadku rozkazu BIT są identyczne jak dla opisanych uprzednio rozkazów BAC i BAT. Czas potrzebny do wykonania rozkazu BIT wynosi dwa cykle maszynowe.

Ostatnim z szesnastu rozkazów wysyłanych z pamięci stałej 14 na szynę pamięciową 22 jest rozkaz skoku BCR. Rozkaz ten ma format RAOP, przedstawiony na fig. 6 i zawiera cztery podrozказы uzależnione od pola BA rozkazu.

Jeśli pole BA jest równe 10, wykonywany jest podrozkaz BUC, mówiący, że stan rejestru adresowego 24 ma być zmodyfikowany o liczbę zapisaną w polu RA. Jeśli pole BA jest równe 11, mamy do czynienia z podrozkazem BSR. Podrozkaz ten powoduje wykonanie skoku bezwzględne, to znaczy, że zawartość rejestru adresowego 24 zostaje zwiększona o 1 i jednocześnie zapamiętana w rejestrze RAR-50. Osiem najmniej znaczących bitów adresu jest zapamiętywanych na pozycji najmniej znaczącego znaku rejestru RAR, a cztery najbardziej znaczące bity adresu zapamiętywane są na czterech najmniej znaczących bitach najbardziej znaczącego znaku rejestru RAR. Następnie układ sterujący 26 spowoduje wpisanie kolejnego słowa z szyny pamięciowej 22 do rejestru adresowego 24, tak więc z pamięci stałej 14 będą pobierane dalej rozkazy z komórek wskazanych przez adres skoku.

Trzecim podrozkazem rozkazu BCR jest podrozkaz BIR, dla którego pole BA jest równe 00. Podrozkaz ten powoduje, że zawartość rejestru RAR-50, zmodyfikowana stałą RA, jest umieszczona w rejestrze adresowym 24 bloku licznika programu 16, jako nowy adres rozkazu. Rozkaz ten wykorzystywany jest jako rozkaz powrotu do pro-

gramu głównego, po wyjściu z niego podrozkazem BSR.

Ostatnim podrozkazem rozkazu BCR jest podrozkaz BIS, dla którego pole BA jest równe 01. Wykonanie tego podrozkazu polega na zwiększeniu zawartości rejestru adresowego 24 o jeden i zapamiętaniu w rejestrze RAR-50, a następnie zawartość rejestru RAR zmodyfikowana o stałą RA wpisywana jest do rejestru adresowego 24, jako nowy adres następnego rozkazu.

Czas potrzebny do wykonania rozkazu BCR wynosi dwa cykle maszynowe. Sygnał odpowiedzi na szynie odpowiedzi 66 w przypadku podrozkazu BSR informuje blok licznika programu aby wyczytał następną komórkę pamięci stałej i wysłał na szynę 22, lecz by pozostałe bloki nie traktowały jej jako kod nowego rozkazu. Odpowiedzi na szynie odpowiedzi 66 dla rozkazów BUC, BIR, BIS mówią, by blok licznika programu zwiększył stan licznika rejestru adresowego o stałą RA i dalsze rozkazy pobierał począwszy od nowego adresu.

Jakkolwiek nie jest to przedstawione na fig. 1, to jest oczywiste, że do każdego bloku procesora 10 jest doprowadzony sygnał wskaźnika rozkazu, związany z rozkazem pojawiającym się na szynie pamięciowej 22. Informuje on bloki procesora o tym, czy sygnały podawane na szynie pamięciowej 22 mają być traktowane jako słowa rozkazowe.

Po przedstawieniu ogólnych zasad działania procesora nie jest koniecznym omawianie szczegółowej budowy poszczególnych bloków. Jak wspomniano uprzednio, procesor jest zbudowany z 4-fazowych układów MOS, daje to tę korzyść, że pozwala na wykorzystanie układów o wielkiej skali integracji.

Szczegółowe omawiania natomiast wymagają sygnały podawane na szynę odpowiedzi 66. Chwila, w której pojawia się impuls na szynie odpowiedzi 66, wskazuje układowi 26 rodzaj działania, jakie należy przedsięwziąć w wyniku wykonania określonego rozkazu. Każdy z bloków wykonujących poszczególne rozkazy jest dołączony do szyny odpowiedzi 22 za pośrednictwem pojedynczego tranzystora, który normalnie jest w stanie odcięcia. Gdy blok wykonujący aktualny rozkaz ma zareagować w określony sposób podając sygnał na szynę odpowiedzi 66, właściwy tranzystor włącza się w określonym czasie. Tylko jeden z tranzystorów dołączonych do szyny 22 procesora może być w dowolnej chwili w stanie przewodzenia. Roboczy układ połączeń jest stosowany na szynach wejściowych 36 i 38 dla rejestrów.

Na szynę odpowiedzi 66 można podać pięć możliwych odpowiedzi. Ze względu na zasady działania układów typu MOS chwile podawania sygnałów nie mogą być dokładnie przestawione przy pomocy chwil taktów (TP1—TP16), a tylko przy pomocy chwil TP plus pół taktu.

Chwilami, w których mogą się pojawiać impulsy na szynie odpowiedzi 66, są chwile TP7 + 1/2, TP8 + 1/2, TP12 + 1/2, TP13 + 1/2 i TP14 + 1/2. Gdy na szynie odpowiedzi 66 pojawi się impuls w chwili TP7 + 1/2, oznacza on „skok relatywny”. Układ sterujący 26 ma wówczas potraktować sześć

ostatnich bitów aktualnego rozkazu, przesyłanych na szynie pamięciowej 22, jako adres skoku relatywnego, zmodyfikować stan rejestru adresowego 24 o stałą RA i wyczytać nowy rozkaz z tak obliczonego adresu. Rozkazami, mogącymi spowodować wysłanie impulsu na szynę odpowiedzi 66 w chwili TP7 + 1/2 są rozkaz UNC, drugie słowo i podrozказы BUC, BIR i BIS.

Następny rodzaj odpowiedzi, powodujący wysłanie impulsu na szynie 66 w chwili TP8 + 1/2, oznacza „pobierz następne słowo”. Układ sterujący 26 wysyła do pamięci stałej 14 sygnał MREAD w chwili TP16, powodując odczyt nowego słowa. Słowo to nie jest traktowane jako rozkaz, gdyż nie jest wysyłany sygnał wskaźnikowy IF. Przykładowo taką odpowiedź wysyła się po pierwszym słowie rozkazu UNC, gdyż pierwsze cztery bity drugiego słowa rozkazu UNC nie zawierają kodu operacji.

Kolejnym rodzajem odpowiedzi, powodującym wysłanie impulsu na szynie 66 w chwili TP12 + 1/2, jest odpowiedź „nie wykonuj skoku”. Układ sterujący 26 nie wysyła do pamięci sygnału MREAD w takcie TP16 i zezwala na zwiększenie stanu licznika programu ponownie o jeden. Sygnał MRED zostanie wysłany w następnym cyklu w takcie TP16 i słowo wyczytane z pamięci będzie traktowane jako rozkaz. Ten sygnał odpowiedzi wysyła się na szynę odpowiedzi 66 rozkazy BIT, BAC i BAT. Dla każdego z tych rozkazów adres skoku jest zawarty w następnym słowie pamięci stałej 14. Stąd, jeśli skok jest nieefektywny, słowo to jest zbędne i nie musi być podawane na szynę pamięciową 22.

Następnym rodzajem odpowiedzi, powodującym wysłanie impulsów na szynę odpowiedzi 66 w chwilach TP12 + 1/2 i TP13 + 1/2, jest odpowiedź „wykonaj skok bezwzględny”. Układ sterujący 26 wysyła do pamięci sygnał MREAD w chwili TP16, a odczytane słowo traktuje jako 12-bitowy adres skoku bezwzględnego, a nie rozkazu. Adres ten jest umieszczony w liczniku rejestru adresowego 24 i układ 26 wysyła kolejny sygnał MREAD w kolejnym takcie TP16, odczytane tym razem słowo jest już traktowane jako rozkaz. Przykładowo, tego rodzaju odpowiedzi wysyła się rozkazy BAC, BIT i BAT w przypadku skoku efektywnego oraz rozkaz BSR.

Ostatnim rodzajem odpowiedzi, powodujących wysłanie impulsu na szynę odpowiedzi 66 w chwili TP14 + 1/2, jest odpowiedź „czytaj następny rozkaz”, wysyłana przez pozostałe bloki procesora 10. Układ sterujący 26 wysyła wówczas do pamięci sygnał MREAD w chwili TP16 i traktuje odczytane słowo jako rozkaz, generując jednocześnie sygnał wskaźnikowy IF. Tego rodzaju odpowiedź wysyła rozkaz SFU, drugie słowo rozkazu UNC w przypadku skoku nieefektywnego, oraz rozkazy MOV, SFT, ADD, SUB, LAC, SIR, LAN i LOR. Z żadnych z tych rozkazów nie jest związany skok, a zatem następne słowo w pamięci

nie ma żadnego, specjalnego znaczenia i jest traktowane jako zwyczajny rozkaz.

Zastrzeżenia patentowe

1. Procesor cyfrowy z układem taktującym, działający w kolejnych cyklach maszynowych pod kontrolą cyklicznego układu taktującego przystosowanego do wytwarzania impulsów taktujących w odpowiednich fazach na odpowiednich przewodach wyjściowych, zawierający pamięć, licznik programu posiadający rejestr adresowy służący do adresowania pamięci, szynę pamięciową do przyjmowania sygnałów wyjściowych z pamięci i dużą ilość obwodów logicznych wykonawczych połączonych z odpowiednimi układami tego procesora cyfrowego, **znamienny tym**, że obwody logiczne (30, 46, 58, 64) przystosowane do przetwarzania sygnałów sterujących na sygnały kontrolne kolejności logicznej, są również przystosowane do wytwarzania taktowanych sygnałów odpowiedzi, które poprzez pamięciową szynę odpowiedzi (66) przyłączoną do każdego z obwodów logicznych (30, 46, 58, 64), są przekazywane do dalszego obwodu logicznego wykonawczego (26) w liczniku programu (16) przyłączonym do układu taktującego (12) i są przystosowane do sterowania działaniem licznika programu (16) zależnym od chwil taktów (TP7 + 1/2, TP8 + 1/2 itd.) w cyklu maszynowym, w którym dalszy obwód logiczny wykonawczy (26) otrzymuje sygnały odpowiedzi.

2. Procesor cyfrowy według zastrz. 1, **znamienny tym**, że logiczny obwód wykonawczy (26) przystosowany jest do odezwu na pierwszy sygnał odpowiedzi w pierwszej chwili taktu (TP7 + 1/2) w cyklu maszynowym, powodując, że adres w rejestrze adresowym (24) jest modyfikowany nie sekwencyjnie zgodnie z liczbą modyfikującą reprezentowaną przez część sygnału wyjściowego pamięci nadanego na szynę pamięciową (22).

3. Procesor cyfrowy według zastrz. 2, **znamienny tym**, że logiczny obwód wykonawczy (26) przystosowany jest do odezwu na drugi z sygnałów odpowiedzi drugiej chwili taktu (TP8 + 1/2) w cyklu maszynowym, powoduje odczytanie z pamięci i powoduje nadanie sygnału wskaźnikowego do wszystkich obwodów logicznych (30, 46, 58, 64), wskazującego tym obwodom logicznym, że pojawiający się wówczas sygnał wyjściowy na szynie pamięciowej (22) nie ma być traktowany jako rozkaz.

4. Procesor cyfrowy według zastrz. 3, **znamienny tym**, że logiczny obwód wykonawczy (26) przystosowany jest do odezwu na trzeci sygnał odpowiedzi trzeciej chwili taktu (TP12 + 1/2) w cyklu maszynowym, powodując wyczytanie słowa z pamięci i nadanie go do rejestru adresowego (24) jako nowego adresu.

5. Procesor cyfrowy według zastrz. 4, **znamienny tym**, że pamięć zawiera pamięć stałą (14) przystosowaną do wprowadzania rozkazów i informacji.

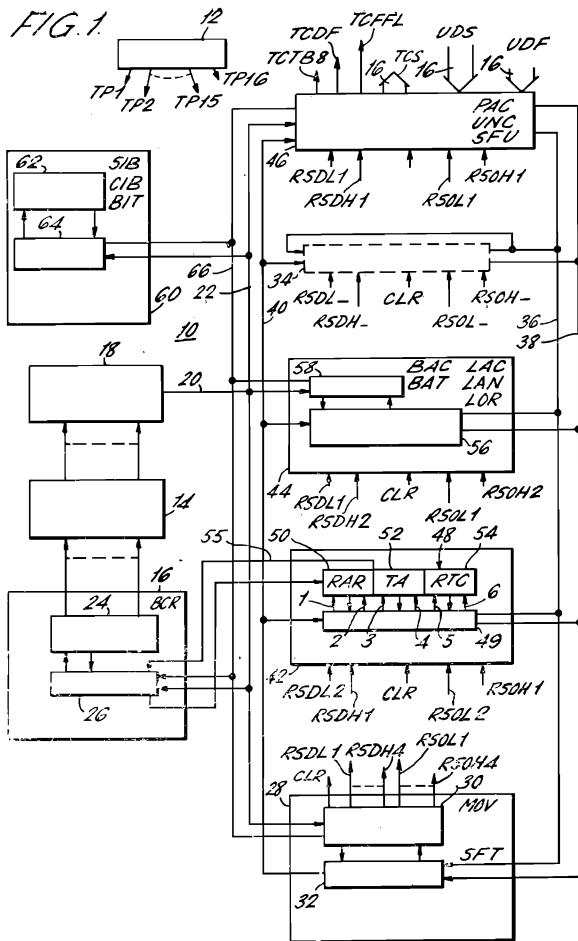


FIG. 2.

