

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/316

H01L 21/311

H01L 21/027

H01L 21/3105



[12] 发明专利申请公开说明书

[21] 申请号 03808568.2

[43] 公开日 2005 年 7 月 27 日

[11] 公开号 CN 1647258A

[22] 申请日 2003.4.15 [21] 申请号 03808568.2

[30] 优先权

[32] 2002. 4. 15 [33] DE [31] 20205830.1

[32] 2002. 5. 23 [33] DE [31] 10222958.9

[32] 2002. 5. 23 [33] DE [31] 10222964.3

[32] 2002. 5. 23 [33] DE [31] 10222609.1

[32] 2002. 11. 13 [33] DE [31] 10252787.3

[32] 2003. 1. 16 [33] DE [31] 10301559.0

[86] 国际申请 PCT/EP2003/003884 2003.4.15

[87] 国际公布 WO2003/088340 德 2003.10.23

[85] 进入国家阶段日期 2004.10.15

[71] 申请人 肖特格拉斯公司

地址 德国美因茨

[72] 发明人 于尔根·莱布 弗洛里安·比克

迪特里希·蒙德

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 付建军

权利要求书 6 页 说明书 20 页 附图 10 页

[54] 发明名称 在衬底上形成图案层的方法

[57] 摘要

本发明提供了一种用于具有至少一个待涂敷表面(2)的衬底(1)的图案化涂层的方法,所述方法适用于快速、低廉地形成精密的图案。为此,所述方法包含以下步骤:在至少一个表面(2)形成至少一层负图案的第一涂层(3, 31, 32),在设有第一涂层(3, 31, 32)的表面(2)上淀积至少一个包含具有玻璃结构的材料的第二层(7, 71, 72, 73),至少部分地去除第一涂层(3, 31, 32)。

I S S N 1 0 0 8 - 4 2 7 4

1. 一种用于具有至少一个待涂敷表面(2)的衬底(1)的图案化涂层的方法, 包含步骤:

—在所述至少一个表面(2)上形成至少一层负图案的第一涂层(3, 31, 32),

—在已经具有第一涂层(3, 31, 32)的表面(2)上淀积至少一个第二层(7, 71, 72, 73), 该第二层包含蒸发涂敷的玻璃,

—至少部分地去除第一涂层(3, 31, 32)。

2. 如权利要求1所述的方法, 其特征在于在所述至少一个表面(2)上形成负图案的第一涂层(3, 31, 32)的步骤包含露出所述至少一个待涂敷表面(2)的一些区域(6)的步骤。

3. 如权利要求1或2所述的方法, 其特征在于在所述衬底(1)是晶片的一部分, 且所述方法在所述衬底仍是晶片组件的一部分时实施。

4. 如权利要求1至3所述的方法, 其特征在于淀积包含蒸发涂敷的玻璃的第二层(7, 71, 72, 73)的步骤包含通过蒸发涂敷的淀积步骤。

5. 如权利要求4所述的方法, 其特征在于通过蒸发涂敷来淀积一层的步骤包含等离子体增强的蒸发涂敷步骤。

6. 如权利要求4或5所述的方法, 其特征在于所述蒸发涂敷包含电子束蒸发的步骤。

7. 如权利要求4至6之一所述的方法, 其特征在于包含蒸发涂敷的玻璃的层的蒸发涂敷步骤, 包含来自单一源的蒸发涂敷材料的蒸发步骤, 所述材料形成已经淀积在表面(2)上具有玻璃结构的材料。

8. 如权利要求4至7之一所述的方法, 其特征在于包含蒸发涂敷的玻璃的层的蒸发涂敷步骤包含来自至少两个源的共蒸发步骤。

9. 如权利要求1至8之一所述的方法, 其特征在于淀积包含蒸发涂敷的玻璃的第二层(7, 71, 72)的步骤, 包含淀积在垂直于所述表面的方向上成分变化的层的步骤。

10. 如权利要求1至9之一所述的方法,其特征在于淀积包含蒸发涂敷的玻璃的第二层(7, 71, 72, 73)的步骤包含在层(7, 71, 72, 73)上溅射的步骤。

11. 如权利要求1至10之一所述的方法,其特征在于淀积包含蒸发涂敷的玻璃的第二层(7, 71, 72, 73)的步骤包含通过CVD淀积层(7, 71, 72, 73)的步骤。

12. 如权利要求1至11之一所述的方法,其特征在于淀积包含蒸发涂敷的玻璃的第二层(7, 71, 72, 73)的步骤包含淀积包括至少二元材料系统的层(7, 71, 72, 73)的步骤。

13. 如权利要求1至12之一所述的方法,其特征在于淀积包含蒸发涂敷的玻璃的第二层(7, 71, 72, 73)的步骤包含共淀积有机材料的步骤。

14. 如权利要求1至13之一所述的方法,其特征在于形成负图案的第一涂层(3, 31, 32)的步骤包含涂覆抗蚀剂的步骤,尤其是通过旋涂和/或喷涂和/或第一涂层(3, 31, 32)的电极淀积涂覆抗蚀剂。

15. 如权利要求1至14之一所述的方法,其特征在于形成负图案的第一涂层(3, 31, 32)的步骤包含对第一层(3, 31, 32)压花的步骤。

16. 如权利要求1至15之一所述的方法,其特征在于形成负图案的第一涂层(3, 31, 32)的步骤包含施加光致抗蚀薄膜的步骤。

17. 如权利要求1至16之一所述的方法,其特征在于形成负图案的第一涂层(3, 31, 32)的步骤包含在第一涂层(3, 31, 32)上图案化印刷的步骤,尤其是通过丝网印刷进行图案化印刷的步骤。

18. 如权利要求1至17之一所述的方法,其特征在于形成负图案的第一涂层(3, 31, 32)的步骤包含第一涂层(3, 31, 32)的光刻图案化步骤和/或光刻灰度图案化步骤。

19. 如权利要求1至18之一所述的方法,其特征在于在所述至少一个表面(2)上形成负图案的第一涂层(3, 31, 32)的步骤包含施加可光致图案化的层(3, 31, 32)的步骤。

20. 如权利要求1至19之一所述的方法, 其特征在于施加光致图案化的层(3, 31, 32)的步骤包含施加光致抗蚀剂的步骤。

21. 如权利要求1至20之一所述的方法, 其特征在于至少部分地去除第一涂层(3, 31, 32)的步骤包含在溶剂中溶解所述涂层(3, 31, 32)的步骤。

22. 如权利要求1至21之一所述的方法, 其特征在于至少部分地去除第一涂层(3, 31, 32)的步骤包含湿式化学去除所述涂层的步骤。

23. 如权利要求1至22之一所述的方法, 其特征在于至少部分地去除第一涂层(3, 31, 32)的步骤包含干式化学去除所述涂层(3, 31, 32)的步骤, 尤其是在氧化性等离子体中燃烧所述第一涂层的步骤。

24. 如权利要求1至23之一所述的方法, 其特征在于至少部分地去除第一涂层(3, 31, 32)的步骤包含提升所述至少一个第二层(7, 71, 72, 73)的一些区域的步骤。

25. 如权利要求1至24之一所述的方法, 其特征在于包括至少部分地露出第一涂层(3, 31, 32)的步骤。

26. 如权利要求25所述的方法, 其特征在于所述至少部分地露出第一涂层(3, 31, 32)的步骤包含使所述涂敷表面平面化的步骤。

27. 如权利要求25或26所述的方法, 其特征在于所述至少部分地露出第一涂层(3, 31, 32)的步骤包含机械磨损步骤, 尤其是通过磨削和/或研磨和/或抛光。

28. 如权利要求1至27之一所述的方法, 其特征在于包括所述正图案化的第二层的后处理步骤, 尤其是通过湿式化学和/或干式化学和/或热回流和/或掺杂的方法。

29. 如权利要求1至28之一所述的方法, 其特征在于在所述至少一个表面(2)上形成负图案的第一涂层(3, 31, 32)、并淀积至少一个包含蒸发涂敷的玻璃的第二层(7, 71, 72, 73)的步骤重复执行。

30. 如权利要求1至29之一所述的方法, 其特征在于包括使所述衬底(1)连接于下一衬底(25), 尤其是半导体元件和/或光电元件

和/或微机电元件的步骤。

31. 如权利要求1至30之一所述的方法，其特征在于所述方法用于在包含蒸发涂敷的玻璃的第二层（7，71，72）中形成至少一个相位光栅和/或至少一个光学元件和/或至少一个沟道（40）和/或至少一个波导（93，94）。

32. 如权利要求1至31之一所述的方法，其特征在于包括至少部分地填充包含蒸发涂敷的玻璃的第二层的结构的步骤，尤其是在其中填充导电材料和/或透明材料（29）。

33. 如权利要求1至32之一所述的方法，其特征在于包括将至少一个导电区域、尤其是互连（19）施加到所述衬底的表面和/或至少一个第二层（7，71，72，73）的表面的步骤。

34. 如权利要求32或33所述的方法，其特征在于在所述第二层中填充结构的步骤和/或施加至少一个导电区域的步骤包含形成至少一个无源电子元件的步骤，尤其是电容和/或电阻和/或电感。

35. 如权利要求1至34之一所述的方法，其特征在于所述衬底具有至少两个待涂敷表面（2，4），尤其是位于基本上相对的两侧，其中在每一表面（2，4）上重复进行

- 在所述至少一个表面（2）上形成至少一个负图案的第一涂层（3，31，32）的步骤，

—在已经有第一涂层（3，31，32）的表面（2）上淀积至少一个包含蒸发涂敷的玻璃的第二层（7，71，72，73）的步骤，

—至少部分地去除第一涂层（3，31，32）的步骤。

36. 如权利要求1至35之一所述的方法，其特征在于包括为第二层（7，71，72，73）施加结合层的步骤，尤其是包含用于随后金属化的籽晶层和/或粘结层的结合层。

37. 一种用于具有至少一个待涂敷表面（2）的衬底（1）的图案化涂层的方法，尤其是如前述权利要求之一所述的，其特征在于所述衬底（1）通过掩模涂敷有蒸发涂敷的玻璃。

38. 如权利要求37所述的方法，其特征在于所述掩模接触衬底（1）

的待涂敷表面(2)。

39. 如权利要求37或38所述的方法,其特征在于所述掩模连接于待涂敷的所述表面。

40. 如权利要求37至39之一所述的方法,其特征在于所述掩模粘结于所述衬底。

41. 一种涂敷的衬底,该衬底尤其可以使用前述权利要求之一所述的方法涂敷,且在至少一个侧面(2)上具有包含蒸发涂敷的玻璃的图案化涂层(7, 71, 72, 73, 74)。

42. 如权利要求41所述的涂敷衬底,其特征在于所述涂层(7, 71, 72, 73, 74)淀积在所述至少一个侧面(2)上的负图案的第一涂层(3, 31, 32)上,且所述负图案的第一涂层(3, 31, 32)至少部分被去除。

43. 如权利要求41或42所述的涂敷衬底,其特征在于所述衬底(1)包括至少一个电路装置,尤其是集成电路装置和/或至少一个光电电路装置和/或至少一个微机电元件。

44. 如权利要求41至43之一所述的涂敷衬底,其特征在于所述衬底(1)连接于包括至少一个电路装置、尤其是集成电路装置和/或至少一个光电电路装置和/或至少一个微机电元件的元件(23, 25)。

45. 如权利要求41至44之一所述的涂敷衬底,其特征在于由所述衬底的图案化涂层形成至少一个沟道(40)。

46. 如权利要求41至45之一所述的涂敷衬底,其特征在于由所述图案化涂层形成至少一个凹腔(21)。

47. 如权利要求41至46之一所述的涂敷衬底,其特征在于由所述衬底的所述图案化涂层形成至少一切口(13)。

48. 如权利要求41至47之一所述的涂敷衬底,其特征在于所述图案化涂层(7, 71, 72, 73)包括至少一个互连(19)和/或至少一个无源电子元件,尤其是电容和/或电阻和/或电感。

49. 如权利要求41至48之一所述的涂敷衬底,其特征在于所述图案化涂层(7, 71, 72, 73)包括至少一个波导(93, 94),尤其是至

少两个互相耦合的波导（93，94）。

50. 如权利要求41至49之一所述的涂敷衬底，其特征在于包括多层的图案化涂层。

51. 如权利要求41至50之一所述的涂敷衬底，其特征在于所述衬底（1）包含包括玻璃和/或金属和/或陶瓷和/或塑料和/或半导体、尤其是硅和/或砷化镓的材料。

52. 如权利要求41至51之一所述的涂敷衬底，其特征在于所述衬底具有在两个尤其是基本上相对的侧面（2，4）上分别包含蒸发涂敷的玻璃的图案化涂层（7，71，72，73，74）。

53. 一种用于实现前述权利要求之一所述方法和/或用于生产所述涂敷衬底的装置。

在衬底上形成图案层的方法

本发明涉及一种在衬底上形成图案层的方法，尤其涉及一种形成衬底表面的具有玻璃结构的图案层的方法。

为了制造尤其是集成半导体元件、光电元件或其他传感器或发射器元件，必须或有益的是生产精确图案的钝化层。例如，为了使封装元件形成电触点，必须在封装的某些位置形成开口。玻璃受到高度关注，且广泛用于各种应用，尤其是由于其优良的钝化性能。例如来自空气的气体分子的渗透性比例如用于半导体封装和包装的塑料低几个数量级，因此，具有玻璃结构的材料，比如玻璃，可对元件的使用寿命有良好的作用。而且，玻璃还有优良的防水性、防水蒸气性，尤其是防侵蚀性物质，比如酸和碱。

然而，玻璃层的精确加工存在问题。例如，已知使用可光致图案化的玻璃，比如FOTURAN。然而，这种类型的玻璃极其昂贵。而且，可以湿式化学或干式化学蚀刻玻璃。然而，尤其是在玻璃的情况下，仅能实现较低的蚀刻率，因此，这种类型的方法也很慢，而使大规模生产过于昂贵。而且，随后的蚀刻还可能损坏或毁坏封装部分。也可以通过激光加工在玻璃上形成精确的图案，但这种技术也非常慢，大规模生产也过于昂贵。而且，还有多种已知的机械处理工艺，但通常这些方法不可能实现其他方法所能实现的精度等级。

因此，本发明基于提供精确图案的涂层的目的，所述涂层包括玻璃或具有玻璃结构的材料，可以快速、低成本地实现，然而仍然可以生产出精确定位的结构。

令人惊讶的是，该目的是通过在独立权利要求中描述的方法和涂敷的衬底实现的。有利的改进构成了相应从属权利要求的主题。

本发明的用于具有至少一个待涂敷表面的衬底图案化涂层的方法包含步骤：

- 在所述至少一个表面形成至少一层负图案的第一涂层，
- 在已经具有所述第一涂层的所述表面上淀积一第二层，该第二层包括具有玻璃结构的材料，
- 至少部分地去除所述第一涂层。

因此，所述方法基于以图案化的第一涂层的形式，采用待形成的负结构。然后，通过在已经涂敷了第一图案化涂层的表面上淀积所述第二层，在所述第二层中形成正层，所述第二层包括具有玻璃结构的材料。然后，在下一步骤中，所述第一涂层至少部分去除，从而保留由第二层形成的正结构。在所述方法的上下文中，术语正、负结构通常指至少部分互补的结构。它们还尤其指所述至少一个第二涂层可以具有凸起和凹陷的结构。所述第二涂层，包括具有玻璃结构的材料，尤其优选的是包含玻璃，尤其是蒸发涂敷的玻璃。

具有玻璃结构的层已知具有非常好的阻挡作用。在本文中，具有玻璃结构的层被理解为是一种不含有构成所述具有玻璃结构的材料的近程有序元素和/或物质，同时含有长程有序元素和/或物质的材料。与非玻璃、即基本上是微晶、多晶或晶体层相比，通过本发明的方法施加的层由于非晶结构，区别在于基本上没有晶界。有利的是，包括具有玻璃结构的材料的所述层的成分可以与所述衬底表面的材料相匹配的方式进行选择。

关于元件和其他衬底封装的蒸发涂敷玻璃的阻挡性，参考以同一申请人的名义申请的下述申请

DE 20205830.1, 2002年4月15日提交;

DE 10222964.3, 2002年5月23日提交;

DE 10222609.1, 2002年5月23日提交;

DE 10222958.9, 2002年5月23日提交;

DE 10252787.3, 2003年11月13日提交;

DE 10301559.0, 2003年1月16日提交;

在此通过引用而包含其公开内容。

关于元件和其他衬底封装的蒸发涂敷玻璃的阻挡性，测试表明当

蒸发涂敷玻璃的厚度在 $8\mu\text{m}$ 至 $18\mu\text{m}$ 时,可靠地实现了低于 $10^{-7}\text{mbar/s}^{-1}$ 至 10^{-8}mbar/s 的氩泄漏率。对于层厚为 $8\mu\text{m}$ 至 $18\mu\text{m}$ 的层,测试结果甚至给出了介于0和 $2\times 10^{-9}\text{mbar/s}^{-1}$ 的氩泄漏率,且这些上限值已经受到进行测试的测量误差的很大影响。

例如,用于所述方法的衬底可以是元件本身或随后连接于元件的衬底。

有利的是,在衬底的所述表面上形成负图案的第一涂层的步骤可以包含露出所述至少一个待涂敷表面的一些区域的步骤。这样,所述第二层,包括具有玻璃结构的材料,在淀积过程中直接接触待涂敷的元件表面,且在所述表面和所述层之间形成紧密的直接结合。

可取的是,在所述衬底是晶片组件的静止部分时执行所述方法,所述衬底是晶片或晶片的一部分。当所述衬底是晶片组件的静止部分时执行所述方法可以较低的成本生产这种类型的涂敷衬底。尤其是,本发明的方法这样还可以用于在所述元件仍连接于所述晶片组件时封装元件,或者可以成为“晶片级封装”工序的一部分。在这种情况下,元件可以是衬底或晶片的芯片。衬底也可以与带有作为晶片组件一部分的芯片的晶片组合。

多种方法适于淀积包括具有玻璃结构的材料的所述第二层。根据所述方法的优选改进,淀积包括具有玻璃结构的材料的第二层的步骤包含通过蒸发涂敷淀积层的步骤。

在这方面,尤其推荐通过电子束蒸发的蒸发材料。电子束蒸发的一个优点是通过聚焦电子束,电子束传输的能量可以集中在较小的区域。结果,可以在蒸发器的目标上局部达到较高的温度,而可以较低的能量获得较高的速度。同时,这也减小了由于吸收衬底暴露的热辐射的热负荷。

有利的是,所述包括具有玻璃结构的材料的层的蒸发步骤包含来自一个源的蒸发涂敷材料的蒸发步骤,所述材料淀积在所述表面上时形成具有玻璃结构的材料。由于所述材料从一个源淀积,可以使所述层实现较高的再现性。这样可以避免由于多个源之间的功率波动引起

所述层的化学计量的波动。

所述层也可以通过共蒸发从至少两个源进行淀积。这是有利的，例如，以便使所述层的成分在垂直于所述表面的方向上变化。这样，所述材料的性能，比如，折射系数或温度系数，可以在垂直于所述表面的方向上变化。所述层的成分变化当然也可以采用其他淀积方法实现，即使使用一个蒸发涂敷源，例如通过改变加热功率。所以，有利的是，淀积包括具有玻璃结构的材料的第二层的步骤通常包括在淀积过程中改变淀积材料成分的步骤，或淀积其成分在垂直于所述表面的方向上变化的层的步骤。

有利的是，通过蒸发涂敷进行所述层的淀积还可包括等离子增强的蒸发涂敷。在这种情况下，离子束又照射在待涂敷的所述衬底上。所述离子束可以通过等离子源产生，例如通过适当气体的离子化产生。所述等离子又使所述层致密，且从所述衬底表面去除了松散连接的颗粒。这导致产生特别致密、无缺陷的淀积层。

除了蒸发涂敷外，也可以使用其他方法涂敷具有玻璃结构的层。例如，淀积具有玻璃结构的层的步骤可包含在具有玻璃结构的层上溅射的步骤。通过溅射，可以形成具有玻璃结构的层，该结构包含仅在高温下熔化且因而不适合蒸发的材料。

而且，有利的是，淀积具有玻璃结构的层的步骤包含通过化学气相淀积（CVD）淀积具有玻璃结构的层的步骤。例如，这样也可以淀积对于蒸发来说蒸汽压过低或熔点太高的材料。因为在CVD中，尤其是等离子诱发的化学气相淀积（PICVD），淀积材料的合成仅发生在表面上，这样例如可能难以形成仅蒸发涂敷或溅射的层。例如，这些可以是具有较高分子量的分子的物质，它们在从靶蒸发或溅射的过程中会被破坏。

本发明的方法的具体优点是，通过淀积施加具有玻璃结构的层，通常所述衬底受到非常轻的加热，例如，与该种类型的层的熔化淀积相比。通过蒸发和通过溅射淀积时是这样的。使用CVD时，所述加热可以保持较低的程度，例如在脉冲等离子激发或PICVD的情况下也是

这样。因此，淀积后的温度应力也很低。所以，这样例如也可以将具有玻璃结构的层直接与热膨胀系数与所述层有很大差异的衬底连接起来。

具有包含至少二元材料系统的玻璃结构的层非常适于生产所述元件的图案化涂层。该种类型的层通常区别在于较低的渗透率，因为它们与石英玻璃不同，例如，几乎没有任何形成结晶区的趋势。至少该种类型的二元材料系统，例如，可由至少两种金属氧化物构成或二氧化硅和一种或多种金属氧化物构成。

而且，在所述方法的有利配置中，所述具有玻璃结构的层的淀积还可包含共淀积有机材料的步骤。所述共淀积，例如所述有机材料和所述形成具有玻璃结构的层的材料的同时淀积可能会受到残余气氛的共蒸发或淀积的影响。在这种情况下，所述有机材料的分子结合在具有玻璃结构的所述层中。所述有机材料将以多种方式对所述层的性能产生正面的影响。在这一方面可以提及的示例是相对于机械负载的所述层的高挠性，光学和机械性能的匹配，所述层结合情况的改进，例如由于所述层淀积为梯度层，其中在有机成分上发生变化，封装密度和所述层的微观结构以及所述层的化学性能改变，尤其是添加憎水性材料或吸气材料。

有利的是，形成负图案的第一涂层的步骤包含涂覆抗蚀剂的步骤，尤其是通过旋涂和/或喷涂和/或电极淀积第一涂层涂覆抗蚀剂。这些技术以及其他技术可以生产具有均匀厚度的涂层。而且，为了形成特定的图案，所述涂覆抗蚀剂也可以在多个步骤中执行。

形成负图案的第一涂层的步骤还可以包含施加光致抗蚀薄膜的步骤，尤其是在所述元件的膜上随后进行光致图案化。例如，所述薄膜的施加并不需要较长的干燥时间，因此可以快速继续加工。

尤其有利的是，本发明的方法可以通过形成负图案的第一涂层的步骤而改进，所述步骤包含在第一涂层上印刷图案的步骤。印刷技术可以以非常低的成本使用，同时结合较好的精度，而形成结构化的抗蚀涂层。例如，所述涂层可以通过丝网印刷或喷墨印刷形成。当然，

这种类型的印刷技术还可以结合其他方法。所述第一涂层还可以通过压花进行图案化。结构的压花，与图案化抗蚀涂层类似，构成了图案化所述涂层的快速、低廉的方法。

形成负图案的第一涂层的步骤还可包含在所述第一涂层上光刻图案化的步骤。例如，在半导体生产中，光刻图案化以多种方式使用。这种图案化技术得到广泛的使用，从而得到较好的发展，因此对于所述结构来说可以实现较高的精度，同时结合较高的生产能力。这种方法尤其可以结合丝网印刷。这样，对于较粗糙的结构，比如晶片上的元件轮廓，可以通过在光致抗蚀剂上印刷而图案化，对于精细结构，可以通过光刻生产。本发明的方法的这种改进组合了光刻和玻璃图案化的优点。

而且，所述光刻图案化也可包含光刻灰度图案化的步骤。在所述第一涂层中，具有相对于所述表面的垂线倾斜的侧壁的结构可以通过灰度图案化形成。因此，所述第二层具有有外伸侧壁的结构。

一般来说，可光致图案化材料，比如尤其是光致抗蚀剂，可用于所述第一图案化涂层，因为通过所述层的曝光和显影可以形成非常精细和精确定位的结构。

根据所述涂层的材料，有多种方法也适于至少部分去除所述第一涂层。例如，所述涂层可以在适当的溶剂中溶解。

也可以通过湿式化学和/或干式化学方式进行所述第一涂层的去除，尤其是通过在氧化性等离子中将所述第一涂层燃烧掉。一般来说，化学反应，比如第一涂层的所述材料的蚀刻或燃烧掉，对于待消除的涂层，即使位于所述元件表面上相对不可达的区域也是非常有利的，例如在使用本发明的方法可能形成的沟槽或沟道中。

为了形成所述正图案的第二涂层，有利的是，所述至少部分去除所述第一涂层的步骤可以包含露出所述至少一层第二层的一些区域的步骤。在这种情况下，覆盖所述第一涂层的所述第二层的区域露出，且在去除第一涂层的过程中去除。如果所述第二层没有完全覆盖所述第一层，所述方法的这种变体尤其有利。

尤其是如果第二层没有完全覆盖第一涂层,本发明的方法的变体尤其有利。

即使当所述第一涂层完全被所述第二涂层覆盖时,也可以使用所述方法的优选变体,作为附加的方法步骤,该变体提供了所述第一涂层的至少部分去除,从而所述第一层不再被所述第二层密封地覆盖。这可以在所述第一涂层上进行外部侵蚀。

为了产生所述第一涂层随后去除的通路,如果所述第一涂层的至少部分去除的步骤包含使所述涂敷表面平面化的步骤是很有利的。在这种情况下,所述元件的涂敷表面平面化,直到在第一图案化涂层的结构所在的位置,具有玻璃结构的所述层被去除。

通过机械磨损,尤其是通过研磨和/或抛光,可以有利地实现具有玻璃结构的所述层的部分磨损或所述第一涂层的至少部分去除。

所述方法还可包含所述正图案的第二层的后处理步骤。所述后处理例如可用于使所述结构的边缘倒角。在这方面,适当的后处理步骤尤其是湿式化学和/或干式化学和/或热回流。例如,所述结构也可以通过掺杂进行后处理,以便例如改变所述结构的光学或电学性能。

在本发明的所述方法中,在至少一个平面上形成负图案的第一涂层的步骤,以及在所述设有所述第一涂层的表面上淀积至少另一层具有玻璃结构的层的步骤也可以尤其有利地反复执行。这样尤其可以施加具有玻璃结构的多层图案化层。在这种情况下所述第一涂层的去除步骤可以在所述第一涂层的至少部分去除之后的情况下发生。然而,该步骤也可以并非每次都执行,而仅在已经施加了具有玻璃结构的最后层之后进行。以这种方式,所述第一涂层在每种情况下也可以用作后续涂层的衬底。这可以在所述衬底上形成具有无支撑区域的具有玻璃结构的层,比如,桥或管道。

所述基座本身可用于覆盖元件。在这种情况下,有利的是,所述方法也可以包含将所述衬底与下一衬底连接的步骤,尤其是半导体元件和/或光电元件和/或微机电元件。

本发明的所述方法可用于在具有玻璃结构的所述图案化层形成

一个相位光栅和/或至少一个光学元件和/或至少一个沟道和/或至少一个波导。而且，所述层的所述结构可以至少部分填充。尤其是，所述结构可以采用导电材料和/或透明材料填充。使用导电材料填充可以在垂直于所述衬底表面的方向和平行于所述衬底表面的方向上产生电连接。而且，使用透明材料填充可以形成波导或其他光学元件，比如相位光栅。

而且，如果所述方法还包含向所述衬底的所述表面和/或具有玻璃结构的所述层施加至少一个导电区，尤其是互连的步骤，通称为“电镀”，可以有利地形成电连接。这可以通过将金属材料蒸发涂敷在所述表面的预定区域上而实现。

而且，可以通过填充结构或施加导电区在衬底上形成无源元件，比如电容，电阻或电感。

尤其是在多层涂层的情况下，这些方法步骤的组合可以生产多层电路板，包含触点的重新分布、布线和贯穿单层或衬底的电接头的再接线或贯穿接触。使用玻璃作为绝缘材料的多层电路板尤其令人关注，因为它们优良的射频性能。例如，该种类型的电路板区别在于具有非常低的电损耗系数。而且，这些电路板在尺寸上高度稳定。

根据所述方法的改进，所述衬底至少具有两个待涂敷的表面，尤其是位于基本上相对的两侧，在这种情况下，在至少一个表面上形成至少一个负图案的第一涂层的步骤，在所述已经淀积有所述第一涂层的表面上淀积至少一个包括具有玻璃结构的材料的第二涂层的步骤，以及部分去除所述第一涂层的步骤可以在每个所述表面上进行。这样，可以提供在两个侧面上有图案化涂层的衬底。例如，这样可以在所述衬底的相对两侧形成光学元件，比如光栅。

而且，对于已经具有图案化涂层的衬底的继续加工，如果所述方法还包含向所述第二层施加结合层的步骤，则可能有益。这种类型的结合层可例如包含用于随后金属化的籽晶层和/或粘结层。然后所述衬底通过所述结合层连接于所述涂敷侧的基座上。该种类型的籽晶层也可用于形成以图案化的形式金属化的区域。

根据本发明施加并在第二层淀积完成后至少部分去除的所述第一涂层，用作所述第二层图案化的掩模。因此，提供使图案化的蒸发涂敷的玻璃层淀积在所述衬底的待涂敷表面上的方法的另一实施例，也落在本发明的范围内，其中所述衬底通过掩模涂敷有蒸发涂敷的玻璃。在这种情况下，掩模位于所述待涂敷表面和所述源之间，并且具有与待施加的玻璃层上的预计结构匹配的开口或切口。

为了获得轮廓分明的结构，掩模尽可能地靠近所述待涂敷表面是有利的。为此，根据所述方法的改进，所述掩模接触所述衬底的待涂敷表面。

所述掩模还可以例如连接到所述衬底上，以保证掩模和衬底之间的密切接触。根据本发明的所述方法的另一改进，所述掩模将粘接于所述衬底。然后，所述掩模可以在涂敷完成后去除。

所述方法也可以重复，以获得多层的涂层，在这种情况下，例如所述单层也可以通过不同图案的掩模形成，从而所述单层因此具有不同的结构。

提供一种使用本发明的方法形成的涂敷衬底也在本发明的保护范围内。因此，这种类型的涂敷衬底，在至少一个侧面上，具有图案化的、具有玻璃结构的涂层。根据本发明的方法，所述涂层可以淀积在所述至少一侧上的负图案的第一涂层上，且所述负图案的涂层可以至少部分去除。具有玻璃结构的适当材料的一个示例是蒸发涂敷的玻璃，但是也可以例如使用淀积形成的其他玻璃，例如通过溅射或CVD。

所述衬底可以包括至少一个电子电路装置，尤其是集成电路装置和/或光电电路装置和/或至少一个微机电元件。所述衬底还可以连接包括集成电路装置和/或光电电路装置和/或至少一个微机电元件的元件上。在这种情况下，所述图案化涂层构成用于这些元件的切口或完整的或部分的盖。

根据预计应用场合，所述衬底的图案化涂层可以具有不同的功能结构。例如，所述涂层可以包括至少一条沟道或沟槽。沟道例如可用于容纳光纤。所述沟道还可以填充导电材料，从而可以形成电触点。

在这种情况下，所述沟道可以平行于和垂直于所述衬底的涂敷表面延伸。

对于某些光学应用，如果所述衬底包括至少一个波导则非常有益。而且，在所述图案化涂层中可以确定至少两个互相耦合的波导。对于这种类型的涂敷衬底来说有很多可能的应用，例如用作集成光学倍增器或倍减器。一般来说，多个波导的耦合也可用于光学再布线。

而且，所述涂层至少可以限定一个凹腔。所述凹腔可以用于接纳元件，比如微电子和/或微机电元件或例如流体。

除凹腔外，还可以在所述涂层上有一个或多个切口。与切口一起，所述涂层可以例如用作另一衬底或光学元件的间隔件。

而且，在所述图案化涂层上可有互连，以便连接多个电气或电子元件。所述互连可以例如通过填充所述图案化涂层的沟道或沟槽，或者例如通过蒸发施加金属层而形成。同样，也可以在所述涂层中形成无源电子元件，比如电容、电阻或电感。

尤其是，所述衬底可以具有多层的涂层。在这一方面，对于每层来说不必都包含玻璃材料。而是，在这种情况下，可以将多种材料和多种图案化方法互相组合。

根据预计应用场合，所述衬底可包含一种包括玻璃和/或金属和/或塑料和/或陶瓷和/或半导体，尤其是硅和/或砷化镓的材料。例如，玻璃或塑料衬底可以用作集成电子、光电或微机电元件的覆盖物。另一方面，涂敷的半导体衬底例如本身可以包括这类元件。

当然，所述图案化涂层不必仅出现在所述衬底的一侧。而是，涂敷的衬底在其两侧，尤其是基本上相对的两侧上可具有玻璃结构的图案化涂层是有利的。

提供一种用于实施本发明的方法的装置和/或用于形成具有图案化涂层的衬底也在本发明的保护范围内。因此，这种类型的装置，除了其他用于加工衬底的装置外，还包含用于淀积包含玻璃材料的层的装置。

下面将在优选实施例的基础上并参照附图详细地阐述本发明，其

中在所有附图中相同的附图标记指示相同或类似的零件，在附图中：

图1A至1E使用截面图示出了用于衬底的图案化涂层的方法步骤；

图2A和2B示出了参照图1C至1E所示的方法步骤的变体，

图3A至3F使用截面图示出了用于衬底的多层图案化涂层的方法步骤；

图4A至4C 使用截面图示出了本发明另一实施例的用于衬底的多层图案化涂层的方法步骤；

图5A至5C 示出了用于形成贯穿触点的所述方法的有益改进，

图6 示出了具有多层涂层的衬底的实施例，

图7 示出了连接于另一衬底的涂敷衬底的实施例，

图8 示出了已经涂敷了两相对侧面的衬底的实施例，

图9和10 使用截面图示出了用于衬底的图案化涂层的方法的另一实施例；

图11 示出了根据本发明的方法涂敷的衬底表面一部分的电子显微镜图像。

下文中首先参照图1A至1E，所述图使用截面图示出了根据本发明第一实施例的包括在图案化衬底形成过程中的方法步骤。为了形成图案化涂层，首先在待涂敷表面2上给衬底1施加第一涂层3，如图1A所示。可取的是，衬底1连接于晶片组件的另一衬底。在图1A至1E所示的实施例中，所述衬底示为例如可用作有源衬底，比如集成电子元件，光电子元件或微机电元件的覆盖物的无源衬底。然而，当然也可以使用本发明的方法直接在这种类型的元件上施加图案化涂层，这样所述元件相应地用作衬底1。尤其是，在下文中解释的本发明的所有实施例都可以在所述衬底仍是所述晶片组件的一部分时有利地进行。

图1B示出了另一方法步骤后的穿过所述衬底的截面图。在该步骤中，结构5已经进入所述第一涂层。当在平面图中观察时，这些结构形成了与最终的图案化涂层互补的负图案。所述图案化过程已经以除去衬底1的待涂敷表面2的区域6的方式执行。

所述图案化过程可以通过光刻法进行，为此，涂层3包含例如光致抗蚀剂，这样所述结构5通过曝光和显影植入其中。

根据所述方法的一个变体，涂层3不是在施加所述层后图案化的，而是在施加所述层的过程中直接图案化的。这可以由通过适当的印刷工艺印刷到衬底1上的层来实现，例如，通过丝网印刷。在所述方法的这一变体中，跳过了图1A所示的衬底1的加工状态。当然，该变体还可以与随后的图案化过程组合，例如通过以图案形式印刷在衬底1的表面2上的光致抗蚀剂和随后继续图案化的印刷结构实现的图案化过程，例如以便形成附加的、更精细的结构。一旦达到了图1B所示的所述衬底的状态，形成负图案化涂层的步骤就结束了。

图1C示出了在已经有第一涂层3的衬底1的表面2上淀积具有玻璃结构的层7的步骤之后的衬底。在这种情况下，可取的是，层7包含蒸发涂敷的玻璃，所述玻璃通过电子束蒸发淀积在已经涂敷了所述第一图案化涂层3的衬底1上。层7覆盖所述的未覆盖区域6和层3。

根据本发明的改进，所述第二层7也可以通过等离子体增强的蒸发涂敷工艺淀积，以获得更致密和无缺陷的层。

已经证明，具有下述重量百分比成份的蒸发涂敷的玻璃尤其适合：

成分	%重量
SiO ₂	75-85
B ₂ O ₃	10-15
Na ₂ O	1-5
Li ₂ O	0.1-1
K ₂ O	0.1-1
Al ₂ O ₃	1-5

该种类型的优选蒸发涂敷的玻璃是Schott生产的玻璃8329，具有以下成分：

SiO ₂	84.1 %
B ₂ O ₃	11 %

$\text{Na}_2\text{O} \approx$	2.0 % }	
$\text{Li}_2\text{O} \approx$	0.3 % }	(在所述层中 \Rightarrow 3.3 %)
$\text{K}_2\text{O} \approx$	0.3 % }	
$\text{Al}_2\text{O}_3 \approx$	2.6 %	(在所述层中 $<$ 0.5 %)

所述电阻约为 $10^{10} \Omega/\text{cm}$ (在 100°C 时)。

而且, 纯形式的这种玻璃具有约 1.470 的折射率。

所述介电常数 ϵ 约 4.7 (25°C , 1MHz), $\tan\delta$ 约 45×10^{-4} (25°C , 1MHz)。所述蒸发涂敷工艺和该系统的所述成分的不同挥发性易于在所述靶和通过蒸发涂敷施加的所述层之间产生不同的化学计量。在通过蒸发涂敷施加的所述层中的偏差在圆括号中给出。另一组适当的蒸发涂敷玻璃具有下述的重量百分比成分:

成分	% 重量
SiO_2	65-75
B_2O_3	20-30
Na_2O	0.1-1
Li_2O	0.1-1
K_2O	0.5-5
Al_2O_3	0.5-5

这一组优选的蒸发涂敷玻璃是 Schott 生产的玻璃 G018 - 189, 具有以下成分:

成分	% 重量
SiO_2	71
B_2O_3	26
Na_2O	0.5
Li_2O	0.5
K_2O	1.0
Al_2O_3	1.0

优选使用的所述玻璃尤其具有下表列出的性能:

性能	8329	G018 - 189
$\alpha_{20-300}[10^{-6}K^{-1}]$	2.75	3.2
密度 (g/cm ³)	2.201	2.12
转变点{°C}	562	742
折射率 nd	1.469	1.465
根据ISO719的抗水解等级	1	2
根据DIN12 116的抗酸等级	1	2
根据DIN52322的抗碱等级	2	3
介电常数 ϵ (25°C)	4.7 (1MHz)	3.9 (40GHz)
$\tan\delta$ (25°C)	$45 \cdot 10^{-4}$ (1MHz)	$26 \cdot 10^{-4}$ (40GHz)

图1D示出露出第一涂层3的后续步骤之后的衬底。在所述方法的这种变体中，所述涂层是通过所述涂敷表面平面化而露出的。为此，所述涂敷表面进行表面研磨，直至所述第一涂层上的层7去除，而使下面的第一涂层3再次露出而可以接近。

图1E示出了后一方法步骤，其中已经去除了第一涂层。最后，正图案的第二层7保留在所述衬底上，这是由于层7蒸发涂敷在所述负图案化涂层3上，以及在已经露出之后去除了所述第一涂层。在这种情况下，所述正图案的第二层7的结构9覆盖了露出的或未被第一涂层3覆盖的区域6。

所述第一负图案化的涂层可以去除，例如通过在适当的溶剂中溶解或通过湿式化学或干式化学蚀刻。有利的是，在氧化性等离子体中燃烧或氧化也可用于去除所述涂层。

参照图2A和2B的下文，解释了图1D和1E中示出的方法步骤的优选变体。在所述方法的这种变体中，首先，通过施加如图1A和1B所示的图案化的第一涂层3制备衬底1。再次，涂层3具有留下第一表面2的清洁区域6的负结构5。再次，第二层7淀积于已经以这种方式制备的衬底表面上，例如通过蒸发涂敷的玻璃进行蒸发涂敷。然而，在这种情况下，层7的厚度不选择太大而使层7连续。这是通过选择使层7的层厚低于第一涂层3的层厚实现的。所述方法的这一阶段在图2A中示出。

然后可以直接去除第一涂层3，而无需任何露出操作，例如通过图1C所示的平面化，因为第二层7不连续意味着保留了接近第一层3的通路。在这种情况下，位于第一层3上的层7的区域提升，从而在第一涂层3的去除过程中被去除。结果，如图2B所示，保留下来的是图案化的、具有正结构9的第二涂层7。

在附加步骤中，结合层也可以，该结合层覆盖远离所述衬底表面的、结构9的顶侧，所述衬底表面将施加图1E或2B所示实施例的图案化的第二层7的结构9。这种类型的结合层可以例如包含用于随后金属化的籽晶层，或粘结层。

图3A至3F示出了本发明的所述方法的另一实施例，该实施例用于生产多层的图案化涂层。

为了清楚起见，在图3A至3F中没有详细示出已经参照图1A至1E和/或图2A和2B阐述的某些方法步骤。

图3A示出了其上已经形成图案化的第一涂层31的衬底1。因此，衬底1的加工状态基本上对应于图1B示出的状态。

图3B示出了在已经有第一涂层31的所述表面上淀积包括具有玻璃结构的材料的第二层71的后一步骤的结果。然后，层71在涂敷有层31的区域通过衬底1的涂敷表面的研磨和平面化而磨损，并去除露出的层31，从而保留的是具有结构91的正图案化的第二层71。这一加工状态在图3C中示出。

为了施加多层涂层的后续层，在已经以这种方式涂敷的所述表面上形成另一第一图案化涂层32。这一涂层包含在图案化的第二层71的结构91上的另一第一涂层32的负结构52，如图3E所示。然后，再次施加包括具有玻璃结构的材料的层72，此后，通过研磨层72而露出层32，然后去除层32。

如果适当，这些方法步骤可以重复多次。图3F示出在施加了具有结构92的另一层73后的衬底。在这种情况下，多层71，72和73作为一个整体形成图案化的、包含玻璃材料、并包括结构9A和9B的涂层7。如果需要，这些结构也可以以单个结构不包括所述单层71，72，73的

每一涂层的材料的方式形成。而且，所述层也可以包括不同的材料，具有不同的层厚。这样，可以将包含玻璃材料的层与包括其他材料，比如金属，陶瓷，塑料或半导体材料的层组合。

尤其是，这种类型的多层涂层的所述单层71，72，73也可以通过图2A和2B所示方法的变体形成，其中包括所述被提升的层。

而且，在多层图案化涂层的形成过程中，所述负涂层不必在每次层的施加之后去除。图4A至4C通过两层图案化涂层的示例，示出了这种类型的方法变体。图4A在这一方面示出了已经在待涂敷的侧面2上设有负图案的第一涂层31的衬底视图。例如，涂层31包括作为负结构的沟槽。再次，包括具有玻璃结构的材料的层71已经淀积在已经以这种方式涂敷的所述表面上，然后通过研磨所述表面，再次露出层31。层71具有升高的肋或条形式的结构93，与所述沟槽互补。图4A因此对应于图1D示出的加工状态。这种类型的肋可以例如用作波导，或规则排列用作光栅。

如图4B所示，在施加具有肋或条状结构94的另一层72的过程中可以使用相同的工序，所述结构94为正结构或与沟另一层32上的沟槽互补的结构。在这种情况下，所述衬底表面2上的结构93和94例如互相垂直地排布。

然而，在这种情况下，与已经参照图3A至3F描述的本发明所述方法的变体不同，第一图案化涂层31没有在施加下一层72之前去除。尽管如此，两种变体的共同特征是在衬底1的至少一个表面上形成负结构的第一涂层的步骤以及在所述已有第一涂层的表面上淀积包括具有玻璃结构的材料的第二层的步骤重复执行。

图4C示出了具有包含层71和72的完成的两层图案化涂层7的衬底1。在已经施加了最末层71，且下一个第一涂层32通过所述衬底的涂敷表面平面化而露出之后，去除第一涂层31和下一个第一涂层32。

第一图案化涂层31没有在淀积具有玻璃结构的层72前去除意味着所述多层涂层的一层或多层结构可以具有无支撑的区域。因为层71和72的条状结构93和94分别互相垂直排布，所以结构94具有桥形式的

无支撑区域11，因此，所述无支撑区域没有被其下的基座或层支撑。因此，在这里描述的所述方法的变体可以生产互相层叠的多层光栅。这种类型的结构也可用作波导。尤其是，使用根据本发明的方法，可以在一层或多层上形成耦合的波导。

下文将参照图5A至5C，其中在穿过衬底1的截面图的基础上，示出了用于形成贯穿封装的贯穿触点的方法的有益改进。在这种情况下，衬底1具有例如在一侧2的有源层15。该层可包括集成电路装置或例如光电子电路装置。用于与有源层15的元件形成接触的接触表面或焊盘14电连接于有源层15。表面2还具有广泛应用于半导体制造中的扩散阻挡层8，以保护所述有源层的集成电路。这种类型的扩散阻挡层8在淀积作为图案化层的蒸发涂敷的玻璃过程中也是非常有益的，因为蒸发涂敷的玻璃可能会释放出对于有源层15的电路有害的钠离子。如图5A所示，图案化的第一涂层3已经施加于表面2。涂层3以这样的方式施加，即其结构12部分或完全覆盖接触表面14上，但是表面2待涂敷的其他部分保持露出。

然后，再次淀积包含玻璃材料的层7。所述衬底的涂敷侧然后再次研磨、平面化，直至第一涂层3的结构12已经露出，从而去除露出的第一涂层。作为选择，参照图2A和2B所示的提升技术也可用于在该实施例中图案化。这样，如图5B所示，在第二涂层7中形成切口13，该切口呈现出正或与负结构12补偿的结构。

在下一步骤中，第二层7上的切口用导电材料填充，从而如图5C所示，在所述切口中形成导电的贯穿触点17。这样，在衬底1的侧面2上形成了密封的封装。另外，也可以在图案化的第二层7上施加连接于在贯穿触点17外侧形成的所述接触表面的互连19。例如，这可以用于重新分布所述触点。所述互连可以通过蒸发涂敷金属层而有利地形成。

下文参照图6，例如，示出了已经根据本发明涂敷有多层7的衬底1的实施例。在这一示例性实施例中，层7包含单层71，72，73，和74。在这种情况下，单层71至73包含具有玻璃结构的材料。在单层73和单层74中形成的切口用作覆盖物，形成多层7中的凹腔21。通过贯穿触点

17和互连连接于有源层15和位于另一切口13中的贯穿触点17的元件23容纳在所述凹腔中。所述元件可以例如包含微机电致动器或压电元件或其他传感器。除了有源元件外，在这种类型的凹腔中也可以容纳无源元件，比如无源滤波器元件。

例如，图6中所示的装置仅为示例。然而，它的确示出了通过组合所述层中的贯穿触点、互连、凹腔和切口，可以简单地生产用于电子或光电子应用的复杂的多层涂层。而且，通过对包括玻璃材料的所述层进行适当的图案化可以生产光学器件。在这一方面，图7示出了一个示例，其中已经通过根据本发明的图案化过程形成了相位光栅。

在这种情况下，首先，如参照图1A至1E和图2A和2B所述，第二涂层71在衬底1的侧面2上形成。为了形成相位光栅，有利的是，这些结构包含在图案化的、包含玻璃材料的层71内沿表面2的直线或曲线延伸的沟槽40。具有沿衬底1的表面曲线延伸的沟槽可以例如实现聚焦作用。为了形成相位光栅，层7中的沟槽40使用透明材料29填充，所述材料优选具有不同于层71的折射率。下一层72，用作间隔，施加于已经以这种方式在层72上形成的相位光栅上。

在该示例性实施例中这样形成的所述涂层衬底1本身用作下一衬底25的覆盖物。为此，在所述图案化涂层7已经形成后，所述涂层衬底1通过连接层27连接于下一层衬底25。在该实施例中，衬底25包括有源层15。例如，所述衬底可以是光电元件或微机电元件，其功能与图案化涂层7的相位光栅相互作用。

图8示出了涂层衬底1的实施例，在两相对侧面2, 4上分别具有图案化的层71和72。在这种情况下所述图案化层71和72以与参照图7所示相同的方式形成为相位光栅。在所述相对侧面上的所述相位光栅还具有不同的周期。这种类型的涂层衬底例如可以用作具有较高分辨率的光学滤波器。当然，也可以在已经涂敷了一个以上的侧面的这种类型的衬底的一或两个侧面上，施加其他的图案化涂层，比如，参照图6所示的多层图案化层7。

下文参照图9和图10，其中使用截面图示出用于在衬底上形成图

案化的玻璃层的方法的另两个实施例。

如图9所示，为了形成这种类型的层，掩模42位于衬底1的待涂敷表面2的前面，从而使所述掩模位于表面2和所述涂敷源（未示出）之间。所使用的涂敷源优选仍为蒸发器，尤其是用于蒸发涂敷玻璃的电子束蒸发器。掩模42在待施加的所述结构的预计位置具有所述形状的开口和/或切口44。在掩模42已经位于表面2的前面之后，淀积所述层7，这样该层具有对应于开口44的结构9。与图9所示的相反，掩模42也可以直接接触表面2放置，以便在离表面2的最小可能距离处。尤其是，掩模42还可连接于衬底1，而使所述掩模或衬底的任何变形都不会导致所述掩模和表面2之间的距离增加。这种类型的方法的改进在图10示出。在图10所示的实施例中，衬底在蒸发涂敷之前通过粘结剂46连接于掩模42。所述掩模可以在淀积了蒸发涂敷的玻璃层后再次分离，从而仍以类似于上述发明实施例的方式，在所述衬底的表面2上获得了具有图案化的蒸发涂敷的玻璃层的产品。

当然，所述衬底也可以涂敷在一个以上的侧面上。而且，也可以以类似于已经参照图3A至3F和/或4A至4C描述的本发明的方法实施例的方式，将多层的图案化涂层施加于多个侧面上，尤其是相对的两侧面。

图11示出了已经根据本发明涂敷的衬底表面的一部分的电子显微镜图像。所使用的衬底是硅，所使用的蒸发涂敷的玻璃是上述玻璃8329。根据本发明，在蒸发涂敷的玻璃层中的结构是通过在图案化的第一涂层上蒸发涂敷，然后通过溶解所述第一层，提升所述第一涂层上的玻璃层的区域形成的。该图像表明，使用本发明的方法，可以在衬底上形成轮廓非常分明的玻璃结构。

附图标记清单

1	衬底
2	衬底的待涂敷的第一表面
3, 31, 32	第一涂层
4	衬底的相对的第二表面
5, 12	第一涂层3的负结构
6	表面2的未覆盖区域
7	图案化层
8	扩散阻挡层
9, 9A, 9B	层7的正结构
94	第二层7的条状结构
71, 72, 73, 74	多图案化层7的单层
91, 92, 93	单层71, 72, 73的结构
11	无支撑区域
13	层7上的切口
14	接触表面
15	有源层
17	贯穿触点
19	互连
21	凹腔
23	元件
25	下一衬底
27	连接层
29	透明填充物
40	层7的沟槽
42	掩模
44	42中的开口
46	粘结剂

图 1A

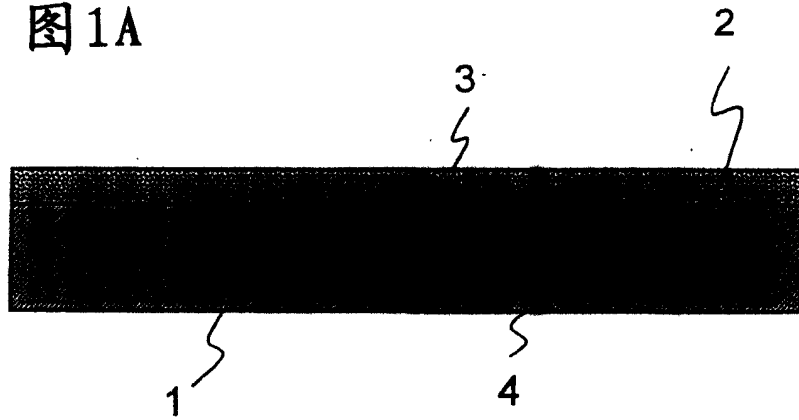


图 1B

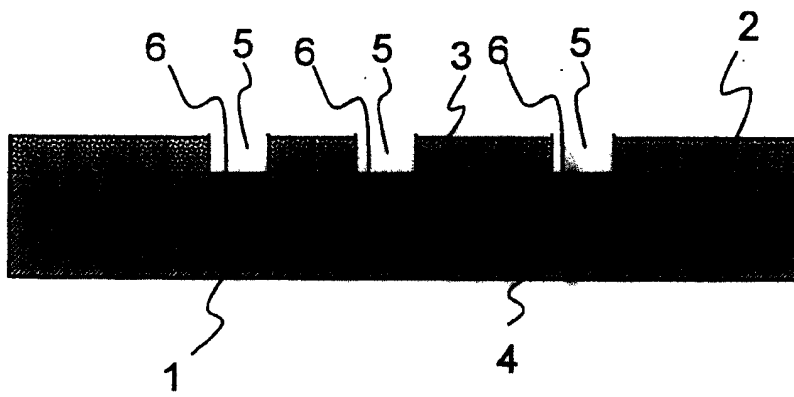


图 1C

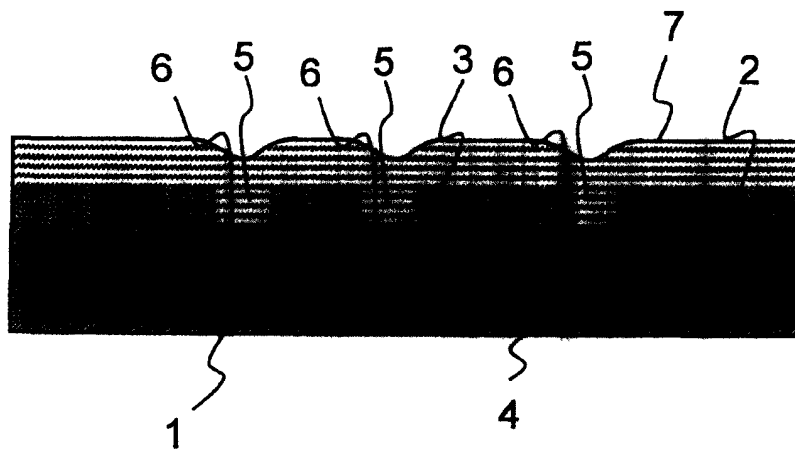


图 1D

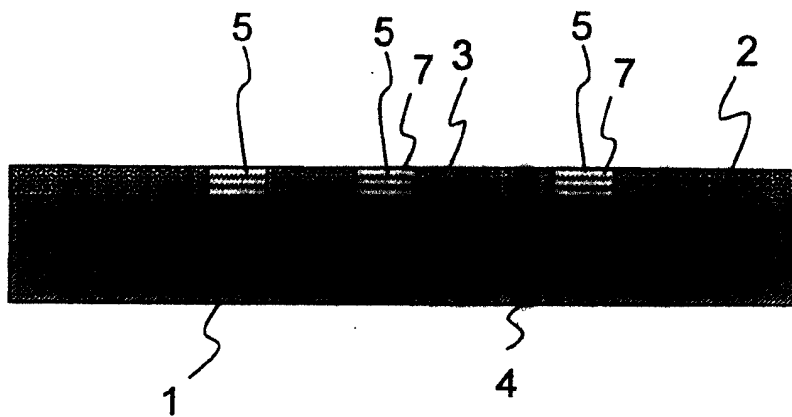


图 1E

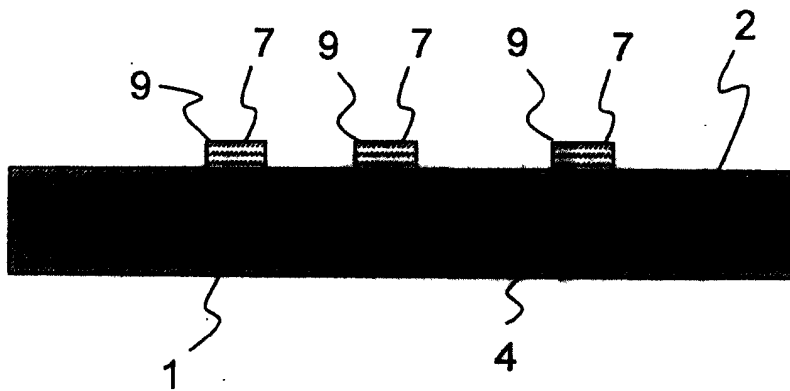


图 2A

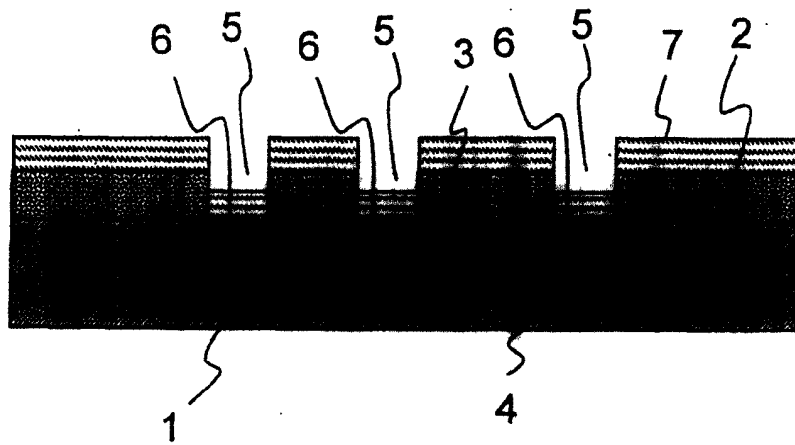


图 2B

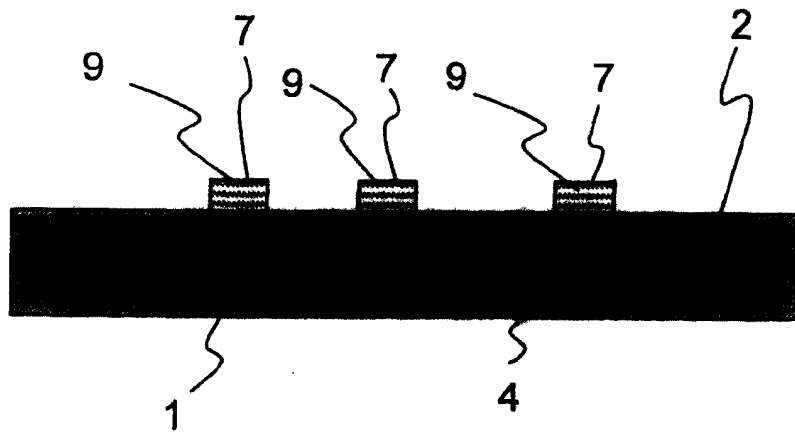


图 3A

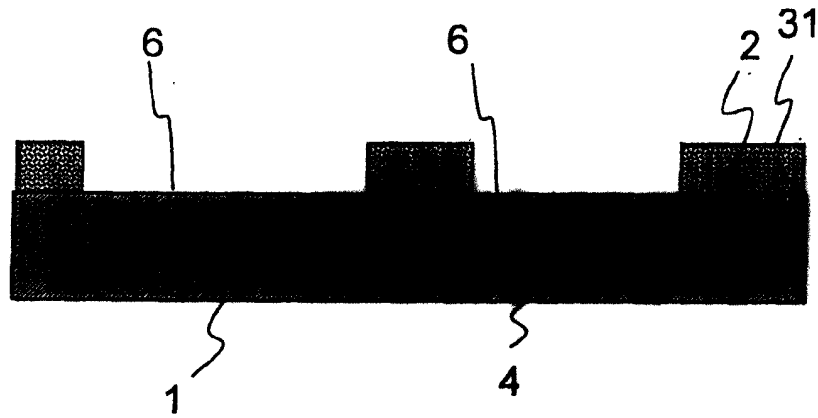


图 3B

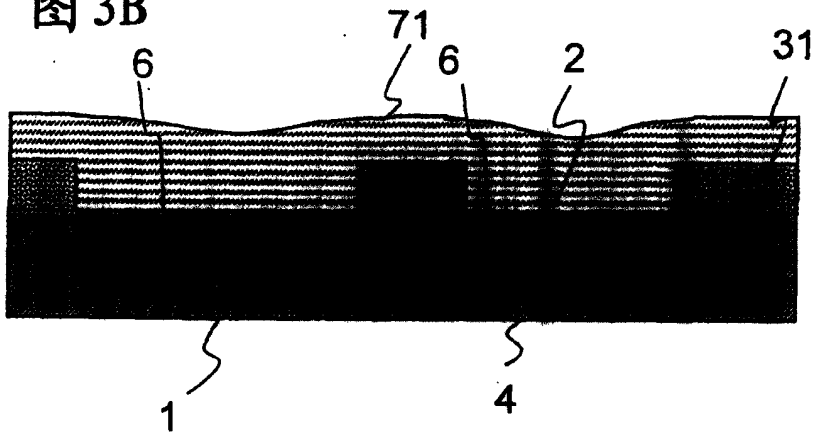


图 3C

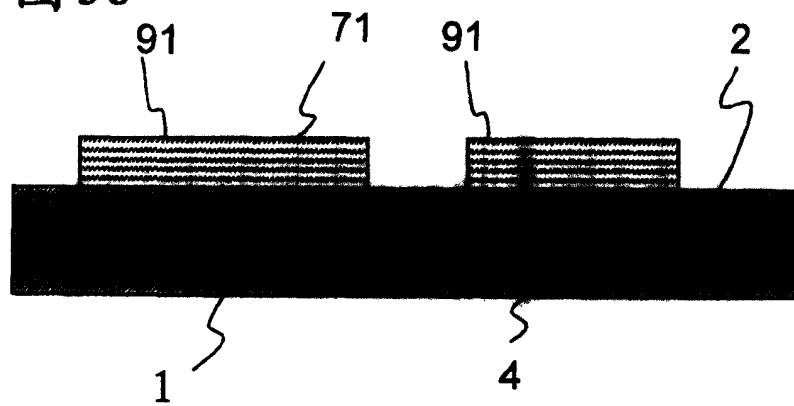


图 3D

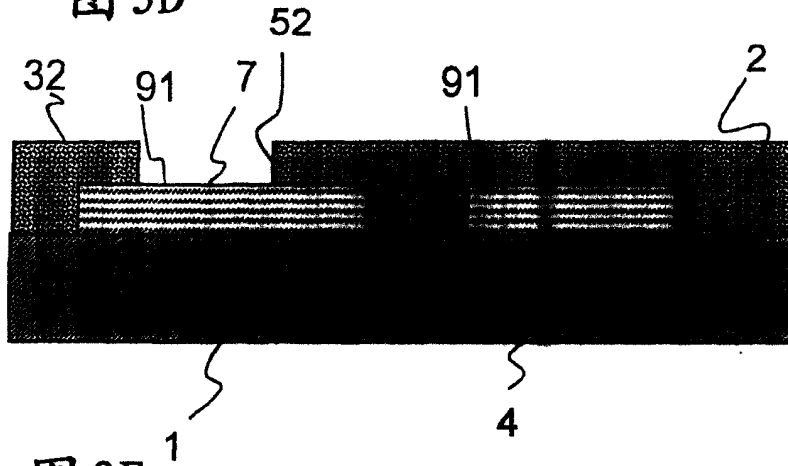


图 3E

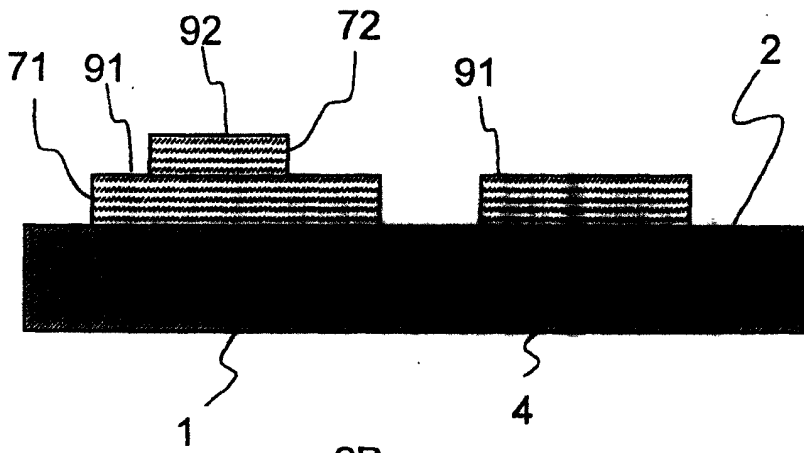


图 3F

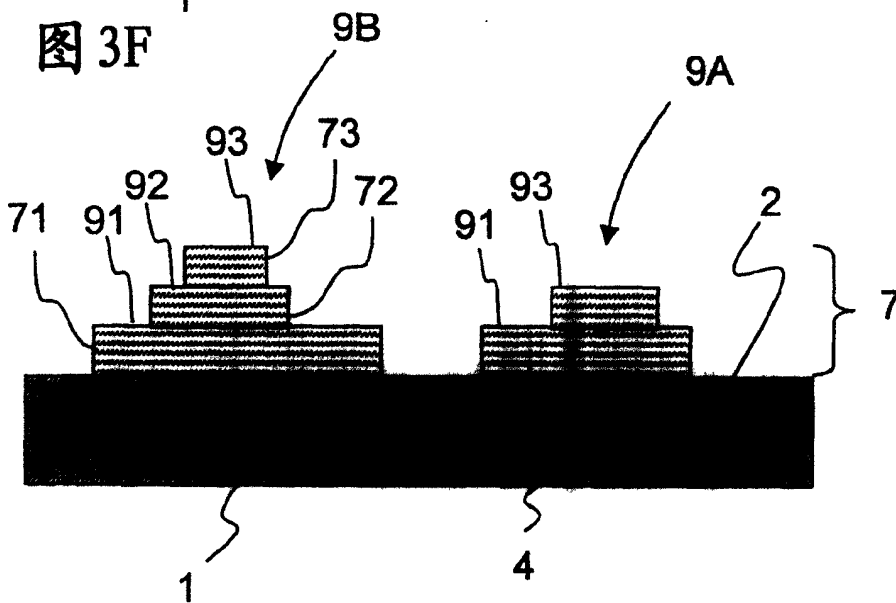


图 4A

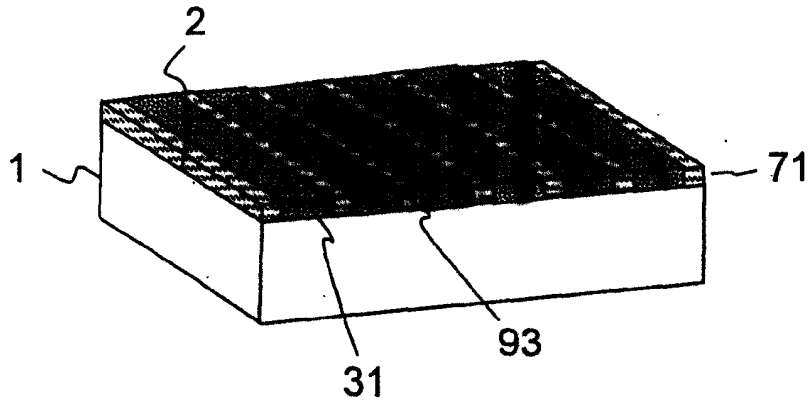


图 4B

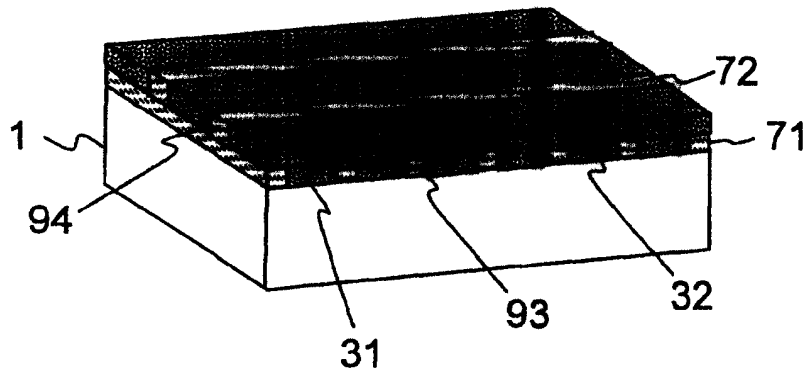


图 4C

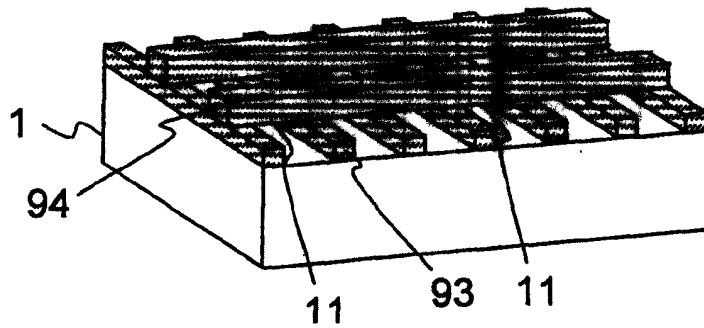


图 5A

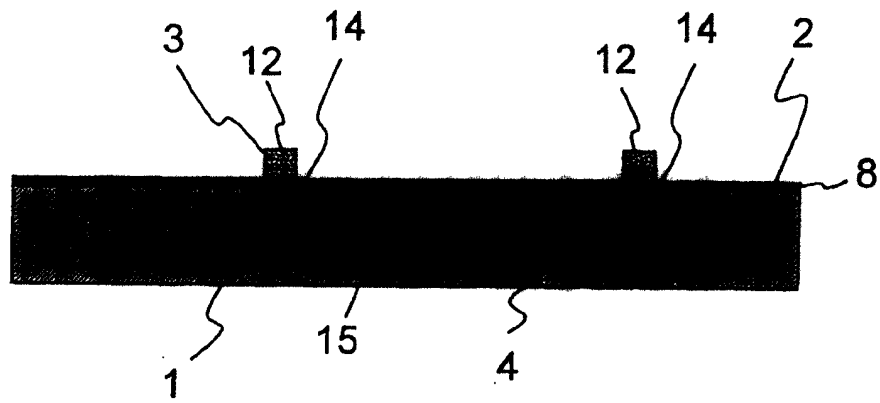


图 5B

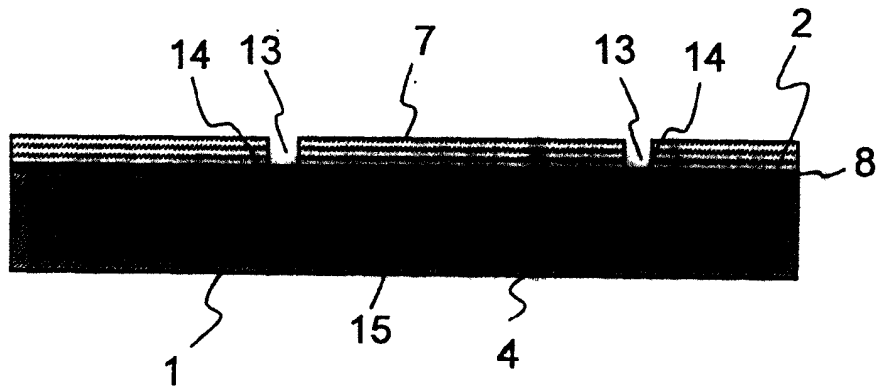


图 5C

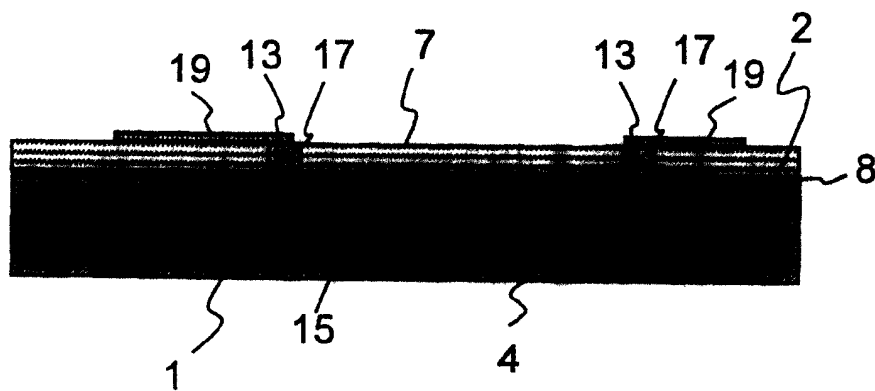


图6

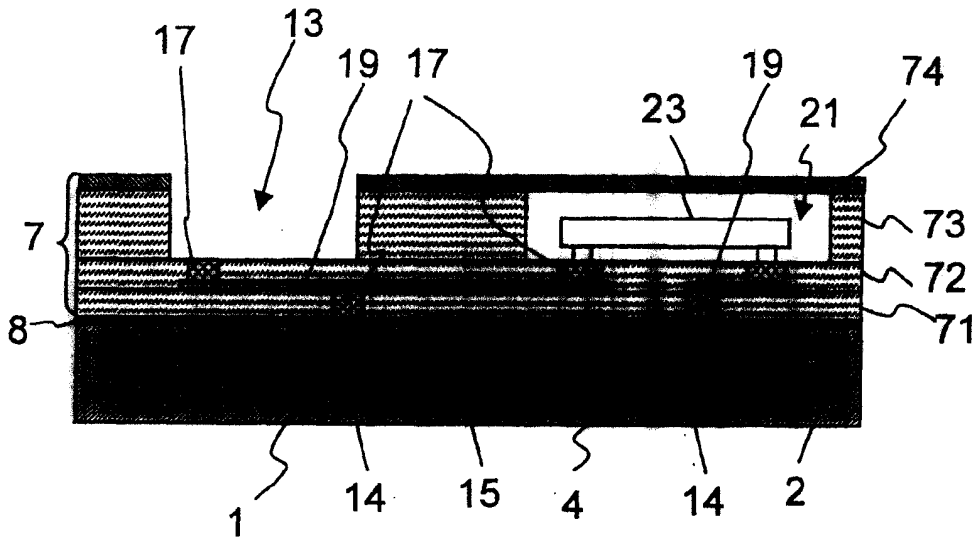


图7

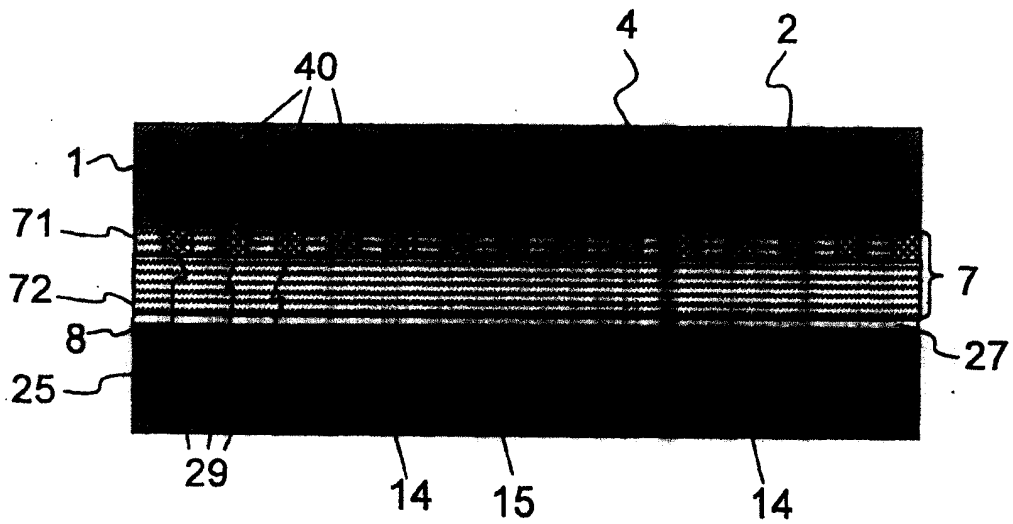


图8

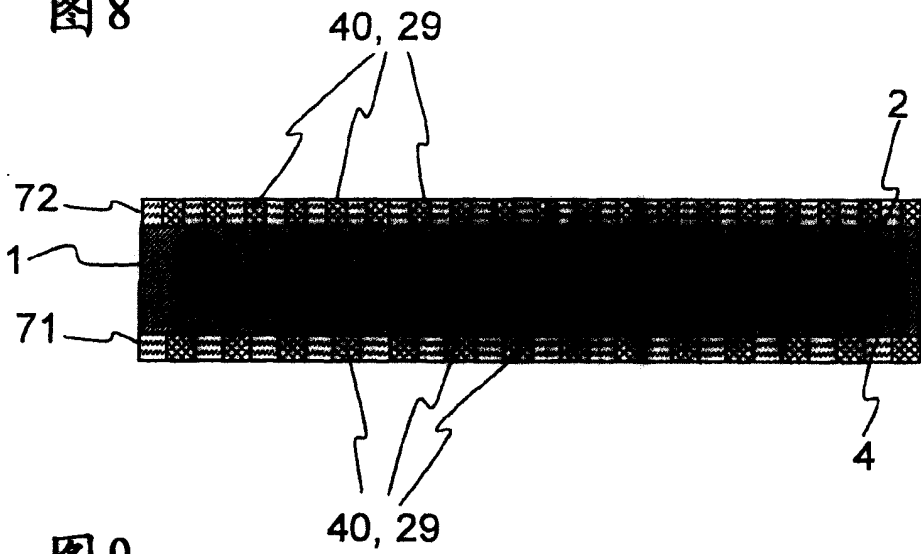


图9

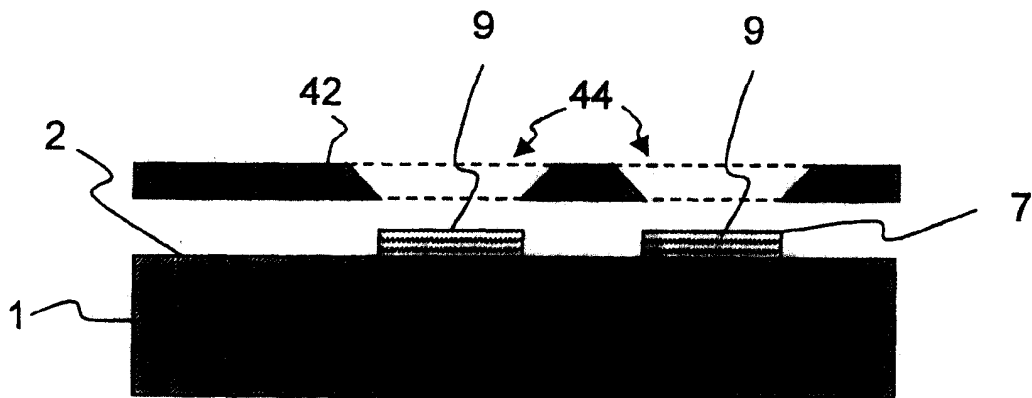


图10

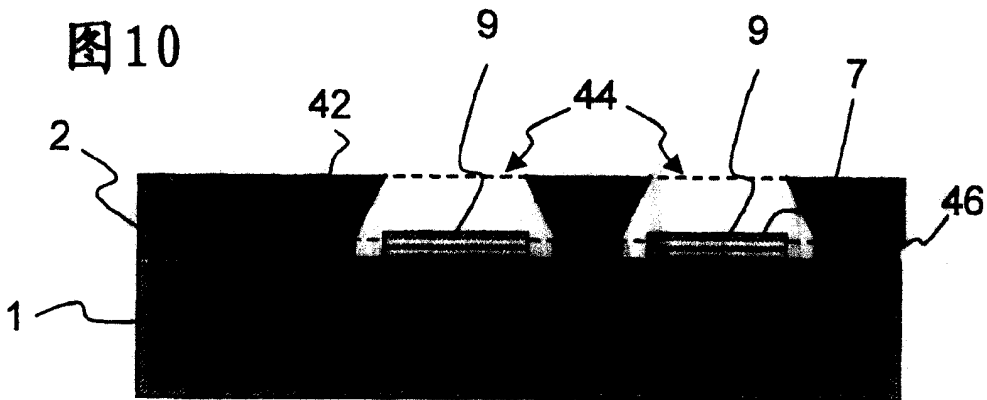


图 11

