



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월04일
 (11) 등록번호 10-1380784
 (24) 등록일자 2014년03월27일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1343 (2006.01) G02F 1/136 (2006.01)
 (21) 출원번호 10-2007-0102153
 (22) 출원일자 2007년10월10일
 심사청구일자 2012년10월09일
 (65) 공개번호 10-2009-0036867
 (43) 공개일자 2009년04월15일
 (56) 선행기술조사문헌
 KR1020060110141 A*
 KR1020070002758 A
 KR1020060087725 A
 KR1020050121401 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 양준영
 경기도 부천시 원미구 상동로 57, 2407동 1303호
 (상동, 행복한마을)
 (74) 대리인
 박장원

전체 청구항 수 : 총 6 항

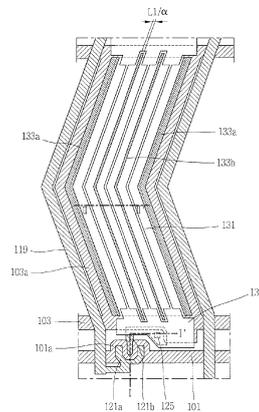
심사관 : 이준석

(54) 발명의 명칭 액정표시장치의 제조방법

(57) 요약

본 발명은 액정표시장치의 단위화소영역 내에 형성되는 공통전극과 화소전극을 모두 ITO(Indium Tin Oxide)로 형성하는 경우, 그 전극 선폴을 줄여 고개구율을 구현하려는 액정표시장치의 제조방법에 관련된 것으로서, TFT부와 화소부로 구분되는 유리기판상에 투명전극을 증착하는 단계와; 상기 투명전극이 증착된 유리기판상에 PR(photo resist)을 도포하는 단계와; 상기 PR이 도포된 유리기판의 화소부상에 제1마스크를 적용하여 광이 차단되어 제1선폴(W1)을 이루는 광 차단영역과, 광에 노출되어 소정 간격(d)을 갖는 광 노광영역이 슬릿 형태로 변갈아 형성되도록 1차 노광하는 단계와; 상기 PR이 도포된 유리기판의 화소부상에서 제2마스크를 적용하여 제1선폴(W1)을 이루는 차단영역상에 소정 간격(d)을 갖는 노광영역을 형성하도록 2차 노광하는 단계와; 상기 유리기판상의 노광된 PR을 현상하는 단계와; 상기 PR이 현상된 유리기판상의 투명전극을 식각하여 공통전극 및 화소전극을 형성하는 단계; 및 상기 유리기판상의 잔여 PR을 스트립하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

TFT부와 화소부로 구분되는 유리기관을 제공하는 단계와;

상기 유리기관상에 게이트 라인, 게이트 전극, 공통전극배선 및 단위 화소영역의 가장자리부위에 최외곽 공통전극을 형성하는 단계와;

상기 게이트 라인을 포함한 상기 유리기관상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막이 형성된 유리기관의 상기 게이트 전극 상측에 액티브 패턴을 형성하는 단계와;

상기 액티브 패턴이 형성된 상기 유리기관상에 상기 게이트 전극에 오버랩되는 소스전극 및 드레인 전극과 상기 게이트 전극에 교차하는 데이터 라인을 형성하는 단계와;

상기 소스전극, 드레인 전극 및 데이터 라인이 형성된 상기 유리기관상에 보호막을 형성하는 단계;

상기 보호막에 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계와;

상기 보호막을 포함한 상기 유리기관상에 투명전극을 증착하는 단계;

상기 투명전극이 증착된 유리기관상에 PR(photo resist)을 도포하는 단계;

상기 PR이 도포된 유리기관의 화소부상에 제1마스크를 적용하여 광이 차단되어 제1선폭(W1)을 이루는 광 차단영역과, 광에 노출되어 소정 간격(d)을 갖는 광 노광영역이 슬릿 형태로 번갈아 형성되도록 1차 노광하는 단계;

상기 PR이 도포된 유리기관의 화소부상에서 제2마스크를 적용하여 상기 폭(W1)을 이루는 상기 광 차단영역 상에 소정 간격(d)을 갖는 노광영역을 형성하도록 2차 노광하는 단계;

상기 유리기관상의 노광된 PR을 현상하는 단계;

상기 PR이 현상된 유리기관상의 투명전극을 식각하여 공통전극 및 화소전극을 형성하는 단계; 및

상기 유리기관상의 잔여 PR을 스트립하는 단계를 포함하여 이루어지는 액정표시장치의 제조방법.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 화소전극은 드레인 전극과 전기적으로 접속하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제1항에 있어서, 상기 유리기관상의 화소부는 유리기관상에 게이트 절연막을 증착하는 단계와; 상기 게이트 절연막상에 보호막을 증착하는 단계; 및 상기 보호막이 형성된 공통전극배선 및 최외곽 공통전극상에 콘택홀을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제1항에 있어서, 상기 공통전극은 공통전극배선 및 최외곽 공통전극과 전기적으로 접속하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제1항에 있어서, 2차 노광시 상기 PR이 도포된 유리기관의 화소부상에서 제1선폭(W1)을 이루는 차단영역상에 형성된 소정 간격(d)을 갖는 노광영역은 그 양측으로 광이 차단되어 제2선폭(W2)를 갖는 차단영역을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제6항에 있어서, 상기 제1선폭(W1)이 8 μ m이고 간격(d)이 4 μ m인 경우, 양측의 제2선폭(W2)은 각각 2 μ m로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치의 제조방법에 관한 것으로서, 더 자세하게는 액정표시장치의 단위화소영역 내에서 전계를 생성하는 공통전극과 화소전극을 ITO(Indium Tin Oxide)로 형성하는 경우, 그 전극 선폭을 줄여 고개구율을 구현하려는 액정표시장치의 제조방법에 관련된다.

배경기술

[0002] 정보화 사회가 급진전함에 따라 대량의 정보를 처리하고 이를 표시하는 디스플레이(display) 분야가 나날이 발전해 가고 있다. 최근 들어서는 특히 박형화, 경량화, 저소비전력화 등의 시대상에 부응하기 위하여 평판표시장치(Flat Panel Display Device)의 필요성이 대두되었고, 이에 따라 색 재현성이 우수하고 박형인 박막트랜지스터 액정표시장치에 초점이 맞추어져 있다.

[0003] 이러한 액정표시장치의 디스플레이 방법은 액정분자의 광학적 이방성과 분극성질을 이용하는데, 이는 액정분자의 구조가 가늘고 길며 그 배열에 있어서 방향성을 띠는 선경사각(pretilt angle)을 갖고 있기 때문에 액정에 전압을 인가하면 액정분자가 갖는 선경사각을 변화시켜 액정분자의 배열 방향을 제어할 수 있다.

[0004] 따라서, 액정표시장치는 액정층에 적절한 전압을 인가함으로써 그 액정분자의 배열 방향을 임의로 조절하여 액정의 분자배열을 변화시키고, 이러한 액정이 가지고 있는 광학적 이방성에 의하여 편광된 빛을 임의로 변조함으로써 원하는 화상정보를 표현한다.

[0005] 예컨대 TN 방식의 액정표시장치는 상부기판에 형성된 공통전극과, 하부기판에 형성된 화소전극 사이에 전계를 형성하여, 기판 사이에 개재되어 있는 액정을 트위스트(twist) 시킴으로써 화상을 디스플레이하게 된다.

[0006] 그러나, 최근 들어서는 상기 TN 방식의 시야각 문제를 개선한 IPS(In-Plane Switching) 또는 OCB(Optically compensated birefringence) 방식이 개발되어 이 분야에서도 기술 발전에 박차가 가해지고 있다.

[0007] 그 가운데 IPS 방식의 액정표시장치는 2개의 전극, 즉 공통전극과 화소전극을 박막트랜지스터 어레이기판상에 형성한 후 두 전극 사이에 전압을 인가하여 기판상에 수평한 방향의 전계를 발생시키고, 그 결과 액정분자를 기판에 대하여 수평한 상태를 유지하도록 구동시키는 방식이다. 이는 시야각 방향에 대한 액정의 복굴절율의 변화가 작아 TN 방식의 액정표시장치에 비하여 우수한 시야각 특성을 띠고 있다.

[0008] 이하, 첨부된 도면을 참조하여 일반적인 IPS 방식의 액정표시장치에 대하여 구체적으로 살펴보고자 한다.

[0009] 도 1은 IPS 액정표시장치의 화소 구조를 도시한 평면도이다.

[0010] 도 1에 도시된 바와 같이, 박막트랜지스터 어레이기판상에는 구동신호를 인가하는 게이트 배선(11)과 데이터 신호를 인가하는 데이터 배선(14)이 서로 교차하여 단위화소영역이 정의되고, 상기 게이트 배선(11)과 데이터 배선(14)이 교차하는 영역에 스위칭 소자인 박막 트랜지스터(Thin Film Transistor: TFT)가 형성되어 있다.

[0011] 여기서, 상기 TFT는 게이트 배선(11)에 연결되어 형성되는 게이트 전극(11a), 상기 데이터 배선(14)에 연장·형성되어 상기 게이트 전극(11a)과 소정영역이 오버랩(overlap)되는 소스 전극(16) 및 상기 게이트 전극(11a)을 기준으로 소스 전극(16)과 대응하는 위치에 형성된 드레인 전극(17)으로 구성된다.

[0012] 그리고 상기 화소전극(19)은 TFT의 드레인 전극(17)상에 형성된 콘택홀(18)을 통하여 드레인 전극(17)과 전기적으로 접속한다.

[0013] 또한, 단위화소영역 내에는 게이트 배선(11)에 수평하게 형성된 공통배선(13)에 연장되어 단위화소 방향으로 공통전극(13a)이 슬릿(slit) 형태로 분기되어 형성되어 있고, 또한 상기 슬릿 형태로 분기되는 공통전극(13a)의

사이사이에는 슬릿 형태의 화소전극(19)이 형성되어 TFT에 전기적으로 접속(contact)되어 있다.

- [0014] 또한, 단위화소영역 내에서 게이트 배선(11)에 수평하게 형성되는 공통 배선(13)은 절연막(미도시)을 사이에 두고 화소전극(15)과 오버랩되어 스토리지 커패시터(21)를 형성하고, 상기 스토리지 커패시터(21)는 데이터 배선(14)으로부터 인가된 화소 신호를 일정시간 동안 유지하게 된다.
- [0015] 최근 들어서는 시장 다변화에 따라 액정표시장치가 점점더 대형화되어가면서 그 규모가 증가하는 만큼 단위화소영역 내에 형성되는 슬릿 형태의 공통전극 및 화소전극의 개수도 함께 증가하고 있는데, 가령 42인치 모델의 경우 공통전극 및 화소전극은 총 12개 정도의 블록(block)을 이룰 수 있다.
- [0016] 이와 같이 단위화소영역 내에 형성되는 공통전극 및 화소전극의 개수가 증가하면 증가할수록 그만큼 액정표시장치의 개구율은 감소하게 된다. 다시 말해 단위화소영역 내에서 전극이 위치하는 부위에서는 액정 구동이 원활하게 이루어지지 않게 되므로 액정표시장치의 개구율은 감소하게 되고, 이는 액정표시장치의 구동시 휘도를 저하시켜 화면의 전체적인 화질을 떨어뜨리게 된다.
- [0017] 이를 해결하기 위하여 현재에는 공통전극 및 화소전극의 선폭(L1)을 줄이려는 노력이 강구(講究)되고 있지만, 포토리소그래피 공정시 노광장비의 해상도 등의 한계로 인해 공통전극 및 화소전극의 선폭(L1)을 4 μ m 이하로 형성하기에는 많은 제약이 뒤따르고 있기도 하다.

발명의 내용

해결 하고자하는 과제

- [0018] 본 발명은 상기의 문제점을 개선하기 위하여 안출된 것으로서, 더 자세하게는 제조공정에서 2번의 마스크 공정을 연이어 수행하여 액정표시장치의 단위화소영역 내에 형성되는 화소전극 및 공통전극간 전극 간격을 동일하게 유지하면서 전극 선폭을 4 μ m 이하로 줄일 수 있는 액정표시장치의 제조방법을 제공함에 있다.

과제 해결수단

- [0019] 상기의 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은 TFT부와 화소부로 구분되는 유리기판상에 투명전극을 증착하는 단계와; 상기 투명전극이 증착된 유리기판상에 PR(photo resist)을 도포하는 단계와; 상기 PR이 도포된 유리기판의 화소부상에 제1마스크를 적용하여 광이 차단되어 제1선폭(W1)을 이루는 광 차단영역과, 광에 노출되어 소정 간격(d)을 갖는 광 노광영역이 슬릿 형태로 번갈아 형성되도록 1차 노광하는 단계와; 상기 PR이 도포된 유리기판의 화소부상에서 제2마스크를 적용하여 제1선폭(W1)을 이루는 차단영역상에 소정 간격(d)을 갖는 노광영역을 형성하도록 2차 노광하는 단계와; 상기 유리기판상의 노광된 PR을 현상하는 단계와; 상기 PR이 현상된 유리기판상의 투명전극을 식각하여 공통전극 및 화소전극을 형성하는 단계; 및 상기 유리기판상의 잔여 PR을 스트립하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

효과

- [0020] 상기의 구성 결과, 본 발명에 따른 액정표시장치는 단위화소영역에 형성된 공통전극 및 화소전극의 전극 선폭을 줄일 수 있게 됨으로써 고개구율 구현이 가능하고, 그 결과 휘도 상승에 따른 화질 개선이 있을 것이다.

발명의 실시를 위한 구체적인 내용

- [0021] 이하, 상기의 구성과 관련해 좀더 구체적으로 살펴보고자 한다.
- [0022] 본 발명에 따른 IPS 방식의 액정표시장치는 크게 상부의 컬러필터기판(미도시)과 하부의 박막트랜지스터 어레이기판(미도시)이 서로 대향하여 소정의 간격을 두고 합착되어 있고, 이러한 두 기판 사이에 액정분자를 포함하는 액정이 충전되어 있는 구조로 구성되어 있다.
- [0023] 이때, 박막트랜지스터 어레이기판은 다수개의 게이트 배선과 데이터 배선이 교차되어 다수개의 화소영역이 정의되고, 어레이기판의 가장자리영역에는 상기 게이트 배선과 데이터 배선에 각각 전기적으로 접속하여 외부의 구동회로부터의 주사 신호 및 데이터 신호를 게이트 배선과 데이터 배선에 전달하는 게이트 패드와 데이터 패드가 형성되어 있다. 물론 주사 신호는 게이트 구동 IC에 의해 생성되어 전달되며, 데이터 신호는 데이터 구동 IC에 의해 생성되어 전달된다.
- [0024] 도 2는 본 발명에 따른 액정표시장치의 단위화소 구조를 나타내는 평면도이다.

- [0025] 도 2를 참조하면, 본 발명의 액정표시장치는 박막트랜지스터 어레이기판(혹은 제1기판)상에 구동신호를 인가하는 게이트 배선(101)과 데이터 신호를 인가하는 데이터 배선(119)이 서로 교차하여 단위화소영역이 정의되어 있고, 상기 게이트 배선(101)과 데이터 배선(119)이 교차하는 영역에 스위칭 소자인 TFT가 형성되어 있다.
- [0026] 여기서, 상기 TFT는 게이트 배선(101)에 연결되어 형성되는 게이트 전극(101a), 상기 데이터 배선(119)에 연결·형성되어 게이트 전극(101a)과 일부 영역이 오버랩되는 소스 전극(121a), 그리고 상기 게이트 전극(101a)에 일부 영역이 오버랩되어 소스 전극(121a)과 대응하는 위치에 형성된 드레인 전극(121b)을 포함하여 구성된다.
- [0027] 그리고, 상기 단위화소영역 내에는 게이트 배선(101)에 나란하게 형성된 공통배선(103)과, 그 공통배선(103)에 연장되어 단위화소의 가장자리영역에 최외곽 공통전극(103a)이 형성되어 있다.
- [0028] 또한, 상기 공통배선(103) 및 최외곽 공통전극(103a)에 전기적으로 접속하여 데이터 배선(119)과 수평한 방향으로 최외곽 공통전극(103a)에 일부 영역이 오버랩되어 형성되는 제1공통전극(133a)과 그 제1공통전극(133a)의 가운데 영역에서 소정의 선폭(L1/α)을 갖는 복수 개의 제2공통전극(133b)이 슬릿 형태로 분기되어 형성되어 있으며, 상기 슬릿 형태로 분기되는 제1공통전극(133a) 및 제2공통전극(133b)의 사이사이에는 제2공통전극(133b)과 동일 선폭(L1/α)을 갖는 슬릿 형태의 화소전극(131)이 위치하여 TFT에 접속되어 있다.
- [0029] 여기에서 소정의 선폭(L1/α)은 L1이 4μm일 때, α는 1보다 큰 정수이므로 소정 선폭(L1/α)의 값은 4μm보다 작게 된다. 따라서, 본 발명에서의 단위화소영역 내에 형성된 제2공통전극(133b) 및 화소전극(131)의 전극 선폭(L1/α)은 4μm 미만이며, 바람직하게는 2μm 이하로 형성되는 것이 요구된다.
- [0030] 물론 제1 및 제2공통전극(133a, 133b)과 화소전극(131)간 간격은 초기 설계시 결정되어 전체 단위화소영역 내에서 서로 일정한 간격을 유지하도록 형성될 것인데, 이때 제1 및 제2공통전극(133a, 133b)과 화소전극(131)간 간격은 액정의 트위스트되는 정도를 조절하기 위한 전계의 세기 등에 관계되므로 제조사(製造社)의 요구되는 전극의 설계패턴에 따라 조금씩 달라질 수 있다.
- [0031] 상기 단위화소영역 내에서 소정의 선폭(L1/α)을 갖는 슬릿 형태의 화소전극(131)은 TFT의 드레인 전극(121b)상에 위치하는 콘택홀(125)을 통하여 드레인 전극(121b)과 접속한다.
- [0032] 또한, 상기 단위화소영역 내에는 게이트 배선(101)에 수평하게 형성되어 있는 최외곽 공통전극(103a)이 게이트 절연막과 보호막을 사이에 두고 화소전극(131)과 오버랩되어 스토리지 커패시터(130)를 형성하고, 상기 스토리지 커패시터(130)는 데이터 배선(119)으로부터 인가된 화소 신호를 일정시간 동안 유지하게 된다.
- [0033] 별도의 도면에 나타내지는 않았지만, 상기의 구성을 갖는 박막트랜지스터 어레이기판은 컬러필터기판과 소정거리를 유지하며 서로 대향하여 합착된다. 이때, 컬러필터기판은 박막트랜지스터 어레이기판의 단위화소영역에 각각 대응하여 적(R), 녹(G), 청(B)의 색상을 구현하는 다수의 서브 컬러필터로 구성되는 컬러필터와, 상기 서브 컬러필터를 서로 구분하고 액정층을 투과하는 광을 차단하는 블랙매트릭스, 그리고 상기 블랙매트릭스 사이에 형성된 컬러필터를 평탄화하기 위한 오버코트층이 추가적으로 형성될 수 있다.
- [0034] 또한, 상기 박막트랜지스터 어레이기판 및 컬러필터기판은 외부로부터 신호를 인가받아 영상이 구현되는 화상표시영역의 외곽에 형성된 실런트(sealant)에 의해 대향하도록 합착되어 액정표시장치를 구성하는데, 그 두 기판의 합착은 컬러필터기판 혹은 어레이기판의 가장자리에 형성된 합착키(미도시)를 통해 이루어지고 있다.
- [0035] 도 3a 및 도 3b는 도 2의 단위화소영역 내에 형성된 공통전극 및 화소전극의 패턴 형성방법을 개략적으로 나타낸 평면도이다.
- [0036] 가령, 단위화소영역 내에 증착된 투명전극을 포토리소그래피 공정을 통하여 1차 노광, 현상 및 식각을 통하여 패터닝하게 되면 도 3a에 도시된 바와 같이, 일측의 제1공통전극(133a)과 타측의 제1투명전극패턴(127a)이 형성되고 그 제1공통전극(133a) 및 제1투명전극패턴(127a)의 가운데 영역에는 복수 개의 제2투명전극패턴(127b)이 균일한 선폭(W1)을 갖도록 형성될 것이다. 여기에서 좌우측 가장자리에 위치하는 제1공통전극(133a) 및 제1투명전극패턴(127a)이 가운데 영역에 위치하는 제2투명전극패턴(127b)과 그 선폭에 있어 다소 차이를 보이는 것은 앞서 언급한 단위화소영역 내의 최외곽 공통전극과 일부 영역이 오버랩되는 것을 고려하였기 때문이다.
- [0037] 상기의 패턴 설계시 무엇보다 고려되어야 하는 것은 제1공통전극(133a), 제1투명전극패턴(127a) 및 제2투명전극패턴(127b)의 전극패턴(혹은 전극)간 간격(d)이며, 이때 가운데 영역에 위치하는 제2투명전극패턴(127b) 각각의 선폭(W1)은 전극패턴간 간격(d)보다 클 것이다. 예를 들어 설계시 고려되는 전극패턴간 간격(d)이 4μm라면 일측의 제1공통전극(133a)은 6μm, 타측의 제1투명전극패턴(127a)은 10μm, 그리고 제2투명전극패턴(127b)의 선폭(W

1)은 8 μ m가 될 수 있다.

- [0038] 이와 같이 1차 패터닝 후 형성된 일측의 제1공통전극(133a), 타측의 제1투명전극패턴(127a) 및 소정 선편(W1)의 제2투명전극패턴(127b)이 결정되면 도 3b에 도시된 바와 같이, 그 제1 및 제2투명전극패턴(127a, 127b)를 다시 2차 패터닝하여 제1투명전극패턴(127a)의 양측에서 각각 얻게 될 또 하나의 제1공통전극(133a) 및 화소전극(131)과, 제2투명전극패턴(127b)의 양측에서 각각 얻게 될 제2공통전극(133b) 및 화소전극(131)의 선편(W2)을 결정하게 된다. 이때 제1 및 제2투명전극패턴(127a, 127b)을 2차 패터닝하여 형성될 제1공통전극(133a), 제2공통전극(133b) 및 화소전극(131)의 전극간 간격(d)은 1차 패터닝 후 형성된 전극패턴(127a, 127b, 133a)간 간격(d)과 동일하다.
- [0039] 위의 과정들은 공통전극 및 화소전극의 형성을 위한 포토리소그래피 공정시 1차 노광이 이루어지는 노광장치와, 2차 노광이 이루어지는 노광장치를 별개로 설치하여 이루어질 수 있는데, 이때 노광장치에 구비되는 마스크는 단위화소영역 내에서 화소전극과 공통전극간 전극간격(d)을 동일하게 유지하기 위한 패턴이 형성된 마스크가 적합할 것이다.
- [0040] 따라서, 앞서서와 같이 1차 패터닝 후 얻게 된 제2투명전극패턴(127b)의 선편(W1)이 8 μ m이고 마스크의 노광 간격(d) 또한 4 μ m이었으므로 제2투명전극패턴(127b)을 2차 패터닝한 후 그 양측에서 얻게 되는 제2공통전극(133b)과 화소전극(131)의 선편(W2)은 각각 2 μ m가 되고, 이때 제2공통전극(133b)과 화소전극(131)간 전극간격(d)은 4 μ m를 그대로 유지하게 된다.
- [0041] 결국, 단위화소영역 내에서 제1 및 제2공통전극(133a, 133b)과 화소전극(131)은 그 전극간 간격(d)이 동일하게 유지되므로 두 전극간에 생성되는 전계의 세기가 균일하여 그 전계에 반응하는 액정의 뒤틀림이 일정하게 되고, 또 제2공통전극(133b) 및 화소전극(131)의 선편(L1/a)이 감소하는 만큼 그 전극 상측 부위에서의 액정이 원활히 구동하게 됨으로써 액정표시장치의 고개구율 구현이 가능하게 된다.
- [0042] 그러면, 상기의 내용들을 토대로 액정표시장치의 제조방법에 관하여 좀더 구체적으로 살펴볼 것이다.
- [0043] 도 4a 내지 도 4e는 도 2의 제조 과정을 나타내는 도면이다.
- [0044] 도 4a에 나타낸 바 있는 액정표시장치의 화소부는 TFT부에 의해 구동하게 되는데, 이때 TFT부의 유리기관(100) 상에는 게이트 전극(101a)이 형성되어 있고, 게이트 전극(101a)이 형성된 유리기관(100)상에는 다시 게이트 절연막(110)이 형성되어 있다. 이때 화소부에도 게이트 절연막(110)이 증착된다.
- [0045] 이와 같이, TFT부의 유리기관(100)상에 게이트 전극(101a)이 형성될 때 별도의 도면에 나타내지는 않았지만 게이트 배선, 공통전극배선, 공통전극 배선에 접속하여 단위화소영역의 최외곽으로 형성되는 최외곽 공통전극이 동시에 형성될 수 있다.
- [0046] 또한, 게이트 절연막(110)이 증착된 유리기관(100)상의 TFT부에는 비정질 실리콘으로 이루어진 반도체패턴(113)과, 인(P)이 고농도로 도핑된 n+ 비정질 실리콘으로 이루어진 오믹콘택패턴(115)이 증착된 액티브패턴이 형성되어 있다.
- [0047] 그리고, 게이트 전극(101a)이 위치하는 상기 액티브패턴의 상부에 소스 및 드레인 전극(121a, 121b)의 일부 영역이 각각 오버랩되도록 형성함으로써 게이트 전극(101a)과 함께 TFT를 이루게 되는데, 이때 소스 및 드레인 전극(121a, 121b)의 패턴 형성시 게이트 절연막(110)상에 데이터 배선도 함께 패터닝하게 된다.
- [0048] 상기 소스 전극(121a)과 드레인 전극(121b)이 형성된 유리기관(100)상에는 보호막(123)을 형성한다. 이때, 보호막(123)은 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등과 같은 무기 절연막이 사용될 수 있으며, 액정표시장치의 개구율을 향상시키기 위하여 유전율이 낮은 벤조싸이클로부텐(benzyocyclobuten: BCB), 스핀-온-글래스(spin on glass) 또는 아크릴 등의 유기절연막이 사용될 수도 있다.
- [0049] 상기 보호막(123)상에는 드레인 전극(121b)의 일부를 노출시키기 위한 콘택홀(125)을 형성하게 되는데, 이때 본 발명은 화소전극과 공통전극을 모두 ITO 전극으로 형성하는 경우, 단위화소영역에 형성될 공통전극과 최외곽 공통전극(103a) 및 공통전극과 공통전극배선을 전기적으로 접속시키기 위한 콘택홀(125)을 추가적으로 형성하게 된다.
- [0050] 이어, 도 4b에 도시된 바와 같이, 콘택홀(125)이 형성된 보호막(123)상에는 ITO(Indium Tin Oxide) 혹은 IZO(Indium Zinc Oxide) 등의 투명전극(127)을 증착하게 된다.
- [0051] 그 후, 도 4c에서와 같이 투명전극(127)이 증착된 유리기관(100)상에 포토레지스트를 도포하고 마스크(140)를

적용하여 포토레지스트상에 제1노광을 하여 1차 노광된 포토레지스트(129a)를 형성한다.

- [0052] 여기에서, 마스크(140)의 광 투과부는 이후의 공정에서 현상 및 식각을 통해 형성되는 투명전극패턴간 간격(d)을 결정짓는다. 이때 제1마스크(140)상의 광 투과부에 의해 1차 노광된 포토레지스트(129a)의 노광영역의 간격(d)은 제1마스크(140)의 차단부에 의해 광이 차단된 포토레지스트(129a)의 차단영역의 폭(W1)보다 작게 설계될 것이다.
- [0053] 또한, 도 4d에서와 같이 위의 1차 노광이 이루어진 포토레지스트(129a)의 차단영역상의 그 가운데 위치에 제2마스크(141)의 광 투과부를 위치시킨 후 제2노광을 수행함으로써 2차 노광된 포토레지스트(129b)를 형성한다.
- [0054] 이의 결과, 1차 노광 및 2차 노광이 이루어진 포토레지스트(129a, 129b)의 노광영역은 동일한 간격(d)으로 노광되며, 이때 1차 노광시에 광 차단부에 해당하던 1차 노광된 포토레지스트(129a)의 차단영역의 폭(W1)은 2차 노광시에 제2마스크(141)의 광 투과부에 의해 2차 노광된 포토레지스트(129b)의 노광 영역의 간격(d)과 그 양측에서 제2마스크(141)의 광 차단부에 의해 차단된 2차 노광에 의한 포토레지스트(129b) 차단영역의 폭(W2)의 합과 같게 된다.
- [0055] 이와 같이 유리기판(100)의 투명전극(127)상에 도포된 포토레지스트의 1차 노광을 통해서는 1차적으로 투명전극패턴의 선폭(W1) 및 투명전극패턴간 간격(d)을 결정하게 되며, 이후 1차 노광된 포토레지스트(129a)의 2차 노광을 통해서는 투명전극패턴으로부터 형성되는 공통전극 및 화소전극의 선폭(W2) 및 두 전극 사이에 형성된 전극간 간격(d)을 결정하게 된다.
- [0056] 이어, 도 4e에서와 같이 상기 1차 노광 및 2차 노광을 통하여 노광된 포토레지스트(129a, 129b)를 현상 및 식각하게 되면 단위화소영역 내에서 소정 간격(d)을 유지하여 형성된 일측 및 타측의 제1공통전극(133a)과 그 가운데 영역의 제2공통전극(133b) 및 화소전극(131)을 형성하게 된다.
- [0057] 또한, 도 4f에서와 같이 상기 제1 및 제2공통전극(133a, 133b) 및 화소전극(131)상의 잔여 포토레지스트(129c)를 스트립(strip)하게 된다.
- [0058] 그 결과, 화소전극(131)은 콘택홀(125)을 통하여 드레인 전극(121b)과 접속하게 되고, 또한 제1 및 제2공통전극(133a, 133b)은 공통전극배선 및 최외곽 공통전극(103a)상에 형성된 콘택홀(125)을 통하여 전기적으로 접속하게 되는데, 이때 두 전극은 인가되는 전압의 전위차에 의하여 전계를 생성하게 된다.
- [0059] 또한, 상기와 같이 제조되는 박막트랜지스터 어레이기판과 합착되는 컬러필터기판의 제조과정에 대하여도 간략하게 살펴볼 것이다.
- [0060] 상기 컬러필터기판상에는 박막트랜지스터 어레이기판상의 게이트 배선 및 데이터 배선과, 그 게이트 배선 및 데이터 배선의 교차하는 영역에 위치하는 박막트랜지스터를 투과하는 광을 차단하기 위한 블랙매트릭스를 격자형으로 형성하게 된다.
- [0061] 이어서는 상기 블랙매트릭스 사이의 컬러필터기판상에 적(R), 녹(G), 청(B)의 컬러필터를 순차적으로 반복하여 형성한다. 다시 말해, 컬러필터기판의 전면(全面)에 적(R)의 컬러필터를 증착한 후 포토리소그래피 공정을 통하여 적(R)의 컬러필터를 형성하고, 이와 같은 방식으로 녹(G) 및 청(B)의 컬러필터를 형성한다. 이때 하나의 수평라인을 기준으로 볼 때 컬러필터기판상에 "RGBRGBRGB……RGB"의 순으로 컬러필터를 형성하는 것이 바람직하지만 그것에 특별히 한정되지는 않는다.
- [0062] 이와 같이 적(R), 녹(G), 청(B)의 컬러필터가 형성되고 나면, 그 컬러필터의 보호와 평탄화를 위하여 오버코트층(overcoat layer)을 형성한다. 이때, 상기 오버코트층으로는 아크릴계와 폴리이미드계 수지를 사용한다.
- [0063] 이어서, 상기 박막트랜지스터 어레이기판 및 컬러필터기판상에는 배향막을 각각 형성하고 그 배향막 사이에 액정을 주입하여 액정층을 구성한다. 이때 여기에서 사용되는 액정은 보통 트위스트 네마틱(twisted nematic) 액정으로서 액정층의 액정분자는 기판에 대해 선경사각(pretilt angle)을 가지면서 일정하게 배열하게 되는 것이다.
- [0064] 한편, 본 발명에 따른 액정표시장치의 제조방법은 다른 방법으로도 변경 가능하다.
- [0065] 가령, 투명전극까지 증착된 유리기판상에 포토레지스트를 도포하고 마스크를 적용하여 포토레지스트상에 1차 노광을 하고, 이후 1차 현상을 통해 1차 현상된 포토레지스트를 형성한다.
- [0066] 이어, 1차 현상된 포토레지스트상에 다시 마스크를 적용하여 2차 노광을 하고, 이후 2차 현상을 통해 2차 현상

된 포토레지스트를 형성한다.

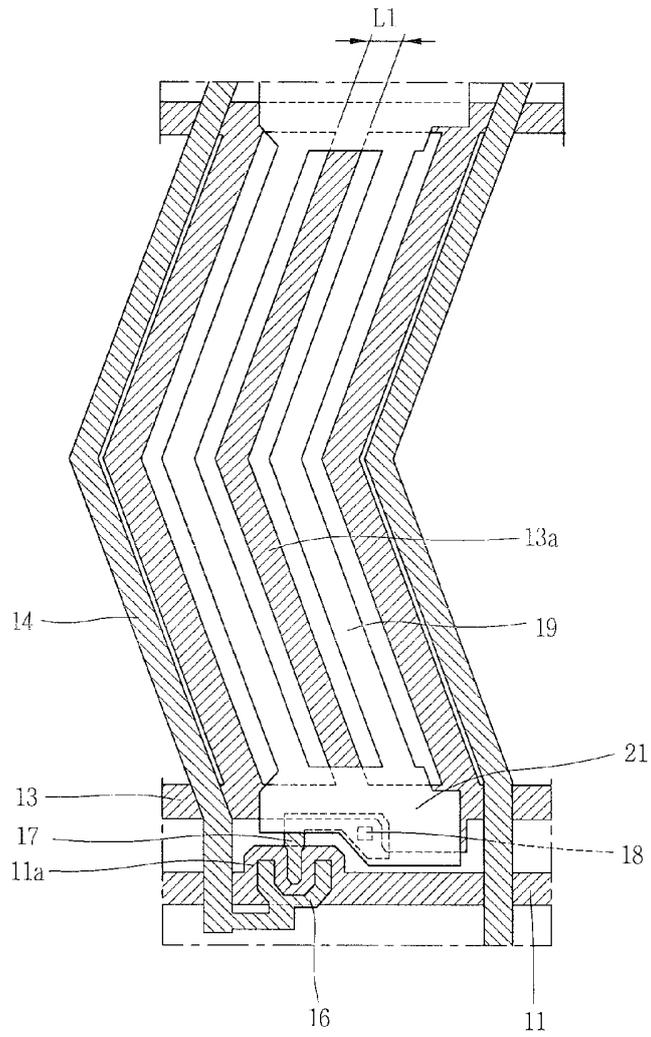
- [0067] 그 다음, 1차 및 2차 현상된 포토레지스트를 식각하여 공통전극 및 화소전극을 형성하는 것이다.
- [0068] 본 부분을 제외한 기타 자세한 내용들은 앞서의 내용들로 대신하고자 한다.

도면의 간단한 설명

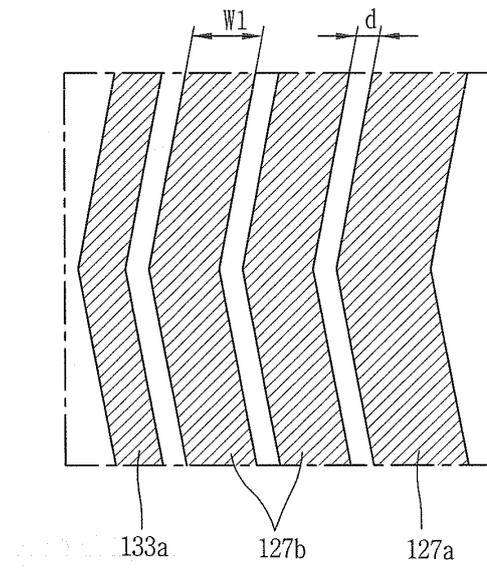
- [0069] 도 1은 IPS 액정표시장치의 화소 구조를 도시한 평면도
- [0070] 도 2는 본 발명에 따른 IPS 액정표시장치의 화소 구조를 나타내는 평면도
- [0071] 도 3a 및 도 3b는 도 2의 단위화소영역 내에 형성된 공통전극 및 화소전극의 패턴 형성방법을 개략적으로 나타낸 평면도
- [0072] 도 4a 내지 도 4f는 도 2의 제조 과정을 나타내는 도면
- [0073] * *도면의 주요부분에 대한 부호의 설명* *
- [0074] 101: 게이트 배선 101a: 게이트 전극
- [0075] 103: 공통전극배선 103a: 최외곽 공통전극
- [0076] 119: 데이터 배선 121a: 소스 전극
- [0077] 121b: 드레인 전극 125: 콘택홀
- [0078] 130: 스토리지 커패시터 131: 화소전극
- [0079] 133a: 제1공통전극 133b: 제2공통전극

도면

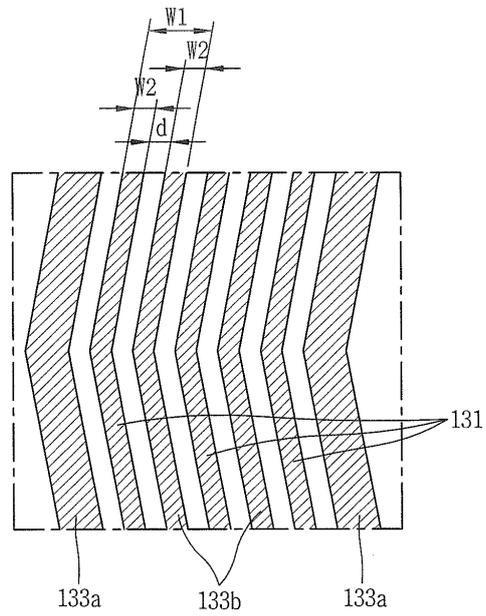
도면1



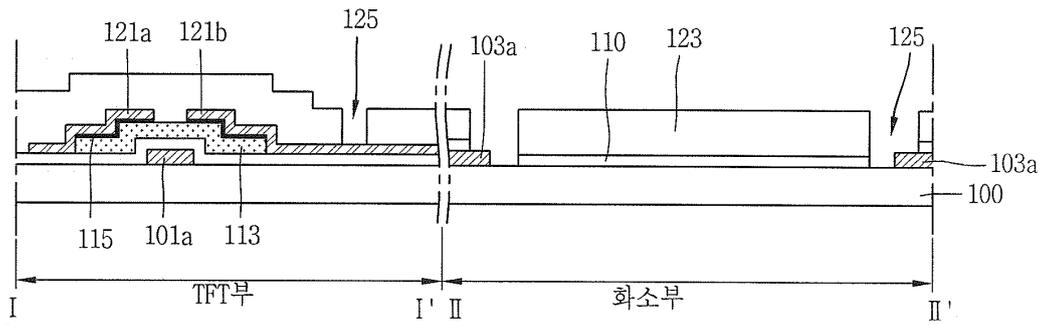
도면3a



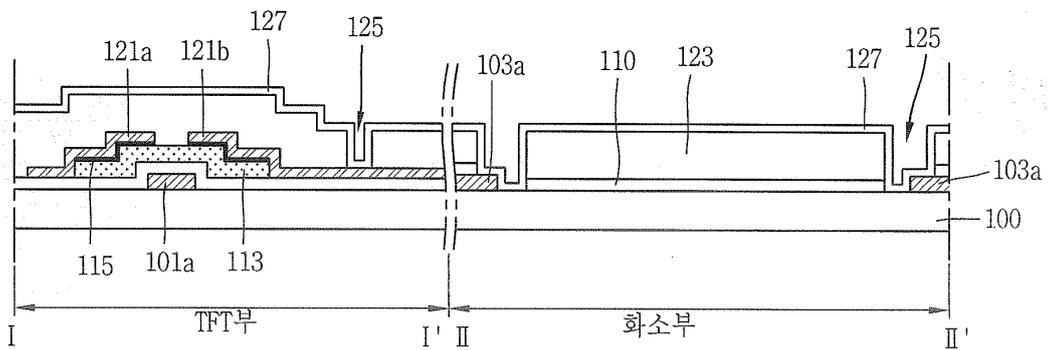
도면3b



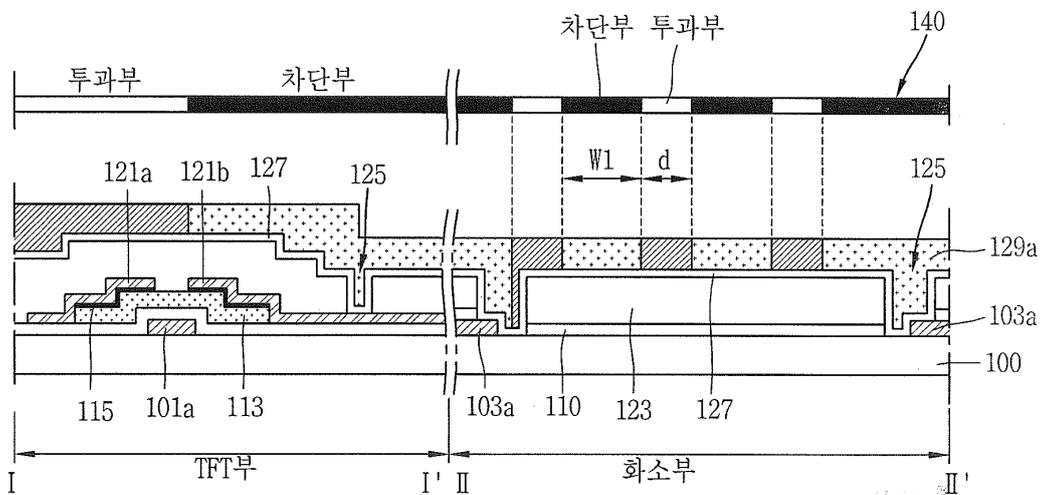
도면4a



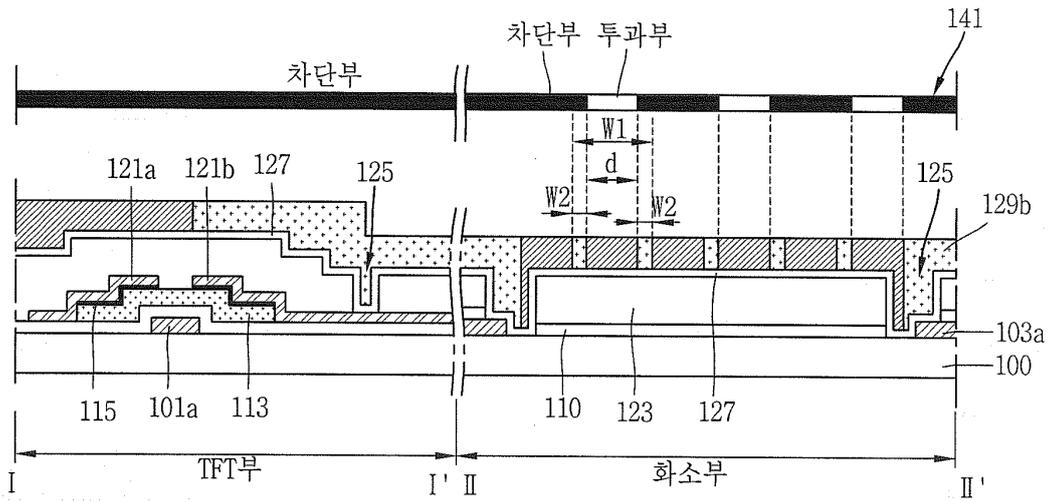
도면4b



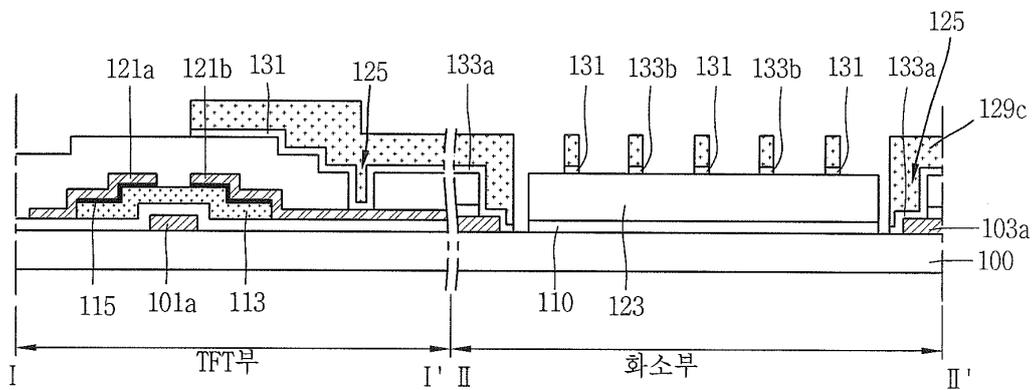
도면4c



도면4d



도면4e



도면4f

