



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I419169 B

(45)公告日：中華民國 102 (2013) 年 12 月 11 日

(21)申請案號：098112018

(22)申請日：中華民國 98 (2009) 年 04 月 10 日

(51)Int. Cl. : G11C29/06 (2006.01)

G11C29/42 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：朱健華 CHU, CHIEN HUA (TW) ; 鄭國義 CHENG, KUO YI (TW)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

TW I248617

US 5754567

US 6601211B1

US 6725321B1

US 2006/0036897A1

US 2009/0083476A1

審查人員：蕭明椿

申請專利範圍項數：25 項 圖式數：6 共 0 頁

(54)名稱

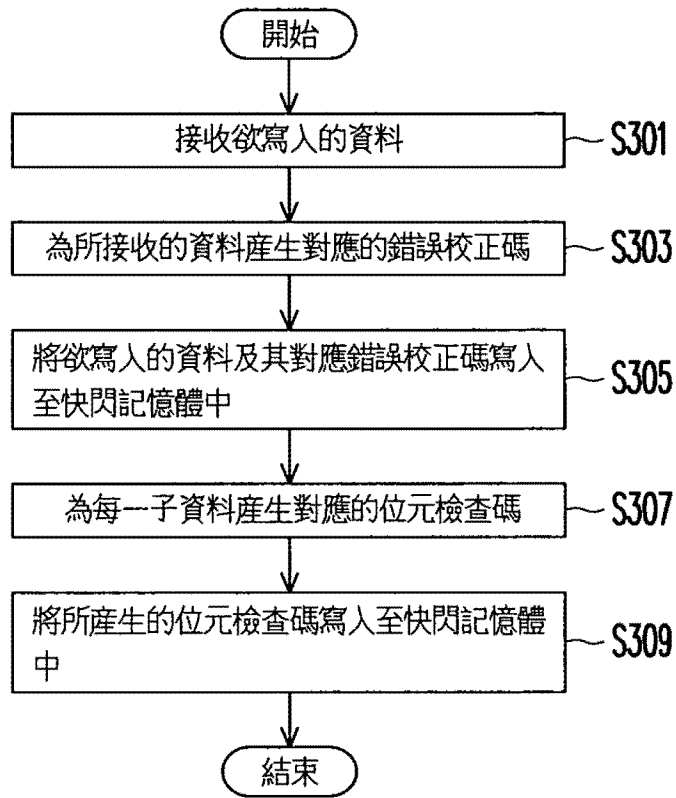
用於快閃記憶體之資料存取方法及其儲存系統與控制器

DATA ACCESS METHOD FOR A FLASH MEMORY AND STORAGE SYSTEM AND CONTROLLER THEREOF

(57)摘要

一種資料存取方法，用於在快閃記憶體中存取資料，此資料具有至少一子資料。此資料存取方法包括為欲寫入的資料產生錯誤校正碼，並且將欲寫入的資料和所產生的錯誤校正碼寫入至快閃記憶體中。此外，此資料存取方法亦包括此資料的每一子資料產生對應的位元檢查碼，並將所產生的位元檢查碼寫入至快閃記憶體中。基此，當欲從快閃記憶體中讀取子資料時，僅需依據所讀取之子資料對應的位元檢查單元來判斷所讀取之子資料是否存有錯誤位元，由此提升資料存取的速度。

A data access method for accessing data having at least one sub-data in a flash memory is provided. The data access method includes generating an error correcting code for the data and writing the data and the generated error correcting code into the flash memory. The data access method also includes generating a bit checking code for each sub-data, and writing the bit checking codes into the flash memory. Accordingly, when each the sub-data is read, whether there is any error in the read sub-data can be checked by the bit checking code corresponding to the read sub-data, thereby the speed of accessing data in the flash memory can effectively increase.



S301、S303、S305、  
S307、S309 . . . 資  
料寫入步驟

圖 3

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98112018

※申請日：98. 4. 10

※IPC 分類：

G11C 29/06 (2006.01)

G11C 29/42 (2006.01)

### 一、發明名稱：

用於快閃記憶體的資料存取方法及其儲存系統與控制器 / DATA ACCESS METHOD FOR A FLASH MEMORY AND STORAGE SYSTEM AND CONTROLLER THEREOF

### 二、中文發明摘要：

一種資料存取方法，用於在快閃記憶體中存取資料，此資料具有至少一子資料。此資料存取方法包括為欲寫入的資料產生錯誤校正碼，並且將欲寫入的資料和所產生的錯誤校正碼寫入至快閃記憶體中。此外，此資料存取方法亦包括此資料的每一子資料產生對應的位元檢查碼，並將所產生的位元檢查碼寫入至快閃記憶體中。基此，當欲從快閃記憶體中讀取子資料時，僅需依據所讀取之子資料對應的位元檢查單元來判斷所讀取之子資料是否存有錯誤位元，由此提升資料存取的速度。

### 三、英文發明摘要：

A data access method for accessing data having at least one sub-data in a flash memory is provided. The data

access method includes generating an error correcting code for the data and writing the data and the generated error correcting code into the flash memory. The data access method also includes generating a bit checking code for each sub-data, and writing the bit checking codes into the flash memory. Accordingly, when each the sub-data is read, whether there is any error in the read sub-data can be checked by the bit checking code corresponding to the read sub-data, thereby the speed of accessing data in the flash memory can effectively increase.

#### **四、指定代表圖：**

(一) 本案之指定代表圖：圖 3

(二) 本代表圖之元件符號簡單說明：

S301、S303、S305、S307、S309：資料寫入步驟

#### **五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種用於快閃記憶體的資料存取方法及使用此方法的快閃記憶體儲存系統與快閃記憶體控制器。

### 【先前技術】

數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對數位內容的儲存需求也急速增加。由於快閃記憶體(Flash Memory)具有資料非揮發性、省電、體積小與無機械結構等的特性，適合使用者隨身攜帶作為數位檔案傳遞與交換的儲存媒體。固態硬碟(Solid State Drive, SSD)就是以快閃記憶體作為儲存媒體的一個例子，並且已廣泛使用於電腦主機系統中作為主硬碟。

在使用快閃記憶體作為儲存媒體的快閃記憶體儲存系統中進行資料存取時，快閃記憶體儲存系統會藉由一錯誤校正電路來執行一錯誤校正程序來驗證所存取的資料是否正確。具體來說，當使用者欲寫入資料至快閃記憶體儲存系統時，系統會為此資料產生一錯誤校正碼並且將欲寫入的資料與所產生的錯誤校正碼寫入至快閃記憶體中。之後，當使用者欲讀取此資料時，系統會從快閃記憶體中讀取此資料及其錯誤校正碼並且依據所讀取的錯誤校正碼檢查與校正所讀取的資料，由此確保所讀取之資料的正確性。特別是，錯誤校正電路與錯誤校正碼會依據不同的校

正能力而有所不同。也就是說，較低階的錯誤校正電路與錯誤校正碼僅能檢查與校正較少的錯誤位元，而較高階的錯誤校正電路與錯誤校正碼可檢查與校正較多的錯誤位元，其中儲存較高階的錯誤校正碼所需的儲存空間會大於儲存較低階的錯誤校正碼所需的儲存空間。

在快閃記憶體儲存系統的設計上，一般來說，快閃記憶體儲存系統的快閃記憶體包括多個實體區塊(physical block)，並且每一實體區塊具有多個頁面(page)，而資料是以頁面為單位寫入至快閃記憶體中。每一頁面是由資料位元區與冗餘位元區所組成，資料位元區用以儲存欲寫入的資料，而冗餘位元區用以儲存此頁面相關的控制資訊與錯誤校正碼(Error Correction Code, ECC)。例如，當頁面是以 1 個扇區(即，512 位元組)來配置時，此頁面的資料位元區會以 512 個位元組來配置且冗餘位元區會以 16 個位元組來配置，其中在冗餘位元區中的 6 個位元組是用以儲存此頁面的控制資訊而 10 個位元組是用以儲存用於此頁面的錯誤校正碼，也就是說 10 個位元組即足夠儲存對應 512 個位元組之資料的錯誤校正碼。

隨著快閃記憶體技術的發展，每一頁面的容量不斷的增加。例如，目前已發展出 1 個頁面具有 4 個扇區(即，2048 位元組)的快閃記憶體。隨著 1 個頁面中可儲存之位元組的數目增加，因此用於此頁面之錯誤校正碼的校正能力亦需提升，方能有效的確保頁面中之資料的正確性。因此，在以 2048 位元組來配置資料位元區的頁面中，冗餘位元區會

以 61 位元組來配置，其中 8 位元組用以儲存控制資訊而 53 位元組用以儲存對應 2048 位元組之資料的錯誤校正碼。

一般來說，電腦系統是以扇區為單元來存取資料，因此在快閃記憶體的頁面是由 4 個扇區所組成的快閃記憶體儲存系統的例子中，由於頁面中的錯誤校正碼是依據 4 個扇區的資料來產生，所以即使電腦系統僅讀取此頁面中的 1 個扇區的資料時，快閃記憶體儲存系統仍須讀取此頁面中完整的資料(即，4 個扇區內的資料)並且以其對應的錯誤校正碼來執行錯誤校正程序。基此，在電腦系統讀取少量資料的例子中，此種存取方式將會嚴重影響快閃記憶體儲存系統的存取速度。

### 【發明內容】

本發明提供一種資料存取方法，其能夠有效地提升在快閃記憶體中讀取資料的速度。

本發明提供一種快閃記憶體控制器，其能夠有效地提升在快閃記憶體中讀取資料的速度。

本發明提供一種快閃記憶體儲存系統，其能夠有效地提升在快閃記憶體中讀取資料的速度。

本發明提出一種資料存取方法，用於在一快閃記憶體中存取一資料。此資料存取方法包括從一主機系統中接收資料，其中所接收的資料包括多個子資料。此資料存取方法也包括為所接收的資料產生一錯誤校正碼(Error Correction Code, ECC)，並且將所接收的資料和所產生的錯

誤校正碼寫入至快閃記憶體中。並且，此資料存取方法亦包括為每一子資料產生對應的一位元檢查碼，以及將所產生的位元檢查碼寫入至快閃記憶體中。

在本發明之一實施例中，上述之資料存取方法更包括建立一位元檢查碼表並且在此位元檢查碼表中記錄所產生的位元檢查碼，其中將所產生的位元檢查碼寫入快閃記憶體中的步驟包括將此位元檢查碼表寫入至快閃記憶體中。

在本發明之一實施例中，上述之資料存取方法更包括建立一位元檢查碼對映表以記錄位元檢查碼表中位元檢查碼和子資料之間的對映關係。

在本發明之一實施例中，上述之資料存取方法更包括從快閃記憶體中載入上述之位元檢查碼表至一緩衝記憶體中，並且從此緩衝記憶體中讀取對應子資料的位元檢查碼。

在本發明之一實施例中，上述之資料存取方法更包括從快閃記憶體中讀取子資料並且從快閃記憶體中讀取對應所讀取之子資料的位元檢查碼。此資料存取方法亦包括依據所讀取之子資料的位元檢查碼判斷所讀取之子資料是否存有錯誤，其中當所讀取之子資料無存有錯誤時將所讀取之子資料傳送給主機系統。

在本發明之一實施例中，當所讀取之子資料存有錯誤時，則此資料存取方法更包括：從快閃記憶體中讀取完整資料及其對應的錯誤校正碼，依據所讀取的錯誤校正碼來校正所讀取的資料，從所校正的資料之中擷取已校正的子資料以及將已校正的子資料傳送給主機系統。



在本發明之一實施例中，上述之每一位元檢查碼為一錯誤偵測碼(Error Detection Code, EDC)或一循環冗餘檢查碼(Cyclic Redundancy Check, CRC)。

在本發明之一實施例中，上述之每一子資料的大小為上述主機系統的一最小存取單位。

本發明提出一種快閃記憶體控制器，用以在一快閃記憶體中存取一資料，此快閃記憶體控制器包括微處理器單元以及耦接至此微處理器單元的主機介面單元、快閃記憶體介面單元、記憶體操作單元、錯誤校正單元與位元檢查單元。主機介面單元用以連接一主機系統並從主機系統中接收資料，其中所接收的資料包括多個子資料。快閃記憶體介面單元並且用以連接快閃記憶體。錯誤校正單元用以為所接收的資料產生一錯誤校正碼，其中記憶體操作單元會將所接收的資料和所產生的錯誤校正碼寫入至快閃記憶體中。位元檢查單元用以為每一子資料產生一位元檢查碼，其中記憶體操作單元會將所產生的位元檢查碼寫入至快閃記憶體中。

在本發明之一實施例中，上述之記憶體操作單元更用以建立一位元檢查碼表，其中上述位元檢查碼是記錄在此位元檢查碼表中。

在本發明之一實施例中，上述之記憶體操作單元更用以建立一位元檢查碼對映表以記錄位元檢查碼表中位元檢查碼和子資料之間的對映關係。

在本發明之一實施例中，上述之記憶體操作單元更用

以從快閃記憶體中載入位元檢查碼表至一緩衝記憶體中，並且從此緩衝記憶體中讀取對應子資料的位元檢查碼。

在本發明之一實施例中，上述之記憶體操作單元更用以從快閃記憶體中讀取上述子資料，並且從快閃記憶體中讀取對應所讀取之子資料的位元檢查碼，其中位元檢查單元會依據所讀取之子資料的位元檢查碼判斷所讀取之子資料是否存有錯誤，並且當所讀取之子資料無存有錯誤時，記憶體操作單元會將所讀取之子資料傳送給該主機系統。

在本發明之一實施例中，當所讀取之子資料存有錯誤時，則記憶體操作單元會從快閃記憶體中讀取完整資料與其對應的錯誤校正碼，並且錯誤校正單元會依據所讀取的錯誤校正碼來校正所讀取的完整資料，其中記憶體操作單元會從所校正的資料之中擷取已校正的子資料，並且將已校正的子資料傳送給主機系統。

在本發明之一實施例中，上述之位元檢查單元為一錯誤偵測電路並且每一位元檢查碼為一錯誤偵測碼。

在本發明之一實施例中，上述之位元檢查單元為一循環冗餘檢查電路並且每一位元檢查碼為一循環冗餘檢查碼。

本發明提出一種快閃記憶體儲存系統，其包括快閃記憶體與耦接至此快閃記憶體的快閃記憶體控制器。快閃記憶體控制器用以從一主機系統中接收具有多個子資料的一資料，快閃記憶體控制器會為所接收的資料產生一錯誤校正碼，並且將所接收的資料和所產生的錯誤校正碼寫入至

快閃記憶體中。此外，快閃記憶體控制器會為每一子資料產生一位元檢查碼，並且將所產生的位元檢查碼寫入至快閃記憶體中。

在本發明之一實施例中，上述之快閃記憶體更包括一位元檢查碼表，其中所產生的位元檢查碼是記錄在此位元檢查碼表中。

在本發明之一實施例中，上述之快閃記憶體更包括一位元檢查碼對映表以記錄位元檢查碼表中位元檢查碼和子資料之間的對映關係。

在本發明之一實施例中，上述之快閃記憶體儲存系統，更包括一緩衝記憶體，其中快閃記憶體控制器更用以從快閃記憶體中載入上述之位元檢查碼表至此緩衝記憶體中，並且從此緩衝記憶體中讀取對應子資料的位元檢查碼。

在本發明之一實施例中，上述之快閃記憶體控制器更用以從快閃記憶體中讀取上述子資料，並且從快閃記憶體中讀取對應所讀取之子資料的位元檢查碼，其中快閃記憶體控制器會依據所讀取的子資料的位元檢查碼判斷所讀取的子資料是否存有錯誤，並且當所讀取的子資料無存有錯誤時，則快閃記憶體控制器會將所讀取的子資料傳送給主機系統。

在本發明之一實施例中，當所讀取的子資料存有錯誤時，則快閃記憶體控制器會從快閃記憶體中讀取完整資料與其對應的錯誤校正碼，並且依據所讀取的錯誤校正碼來校正所讀取的資料，其中快閃記憶體控制器會從所校正的

資料之中擷取已校正的子資料，並且將已校正的子資料傳送給主機系統。

在本發明之一實施例中，上述之每一位元檢查碼為一錯誤偵測碼或一循環冗餘檢查碼。

基於上述，本發明能夠在主機系統所欲讀取少於一個頁面的小資料時，僅需針對欲讀取的小資料檢查是否存取錯誤位元而不需讀取整個頁面中的資料及其錯誤校正碼，由此提升資料存取的速度。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

圖 1 是根據本發明一範例實施例所繪示的快閃記憶體儲存系統的概要方塊圖。

請參照圖 1，通常快閃記憶體儲存系統 100 是與主機系統 200 一起使用，以使主機系統 200 可將資料寫入至快閃記憶體儲存系統 100 或從快閃記憶體儲存系統 100 中讀取資料。在本範例實施例中，快閃記憶體儲存系統 100 為固態硬碟(Solid State Drive, SSD)。但必須瞭解的是，在本發明另一實施例中快閃記憶體儲存系統 100 亦可以是記憶卡或隨身碟。

快閃記憶體儲存系統 100 包括快閃記憶體控制器 110 與快閃記憶體晶片 120。

快閃記憶體控制器 110 會執行以硬體型式或軟體型式

實作的多個邏輯閘或控制指令，並且根據主機系統 200 的指令在快閃記憶體晶片 120 中進行資料的寫入、讀取與抹除等運作。快閃記憶體控制器 110 包括微處理器單元 110a、記憶體操作單元 110b、快閃記憶體介面單元 110c、主機介面單元 110d、錯誤校正單元 110e 與位元檢查單元 110f。

微處理器單元 110a 用以控制快閃記憶體控制器 110 的整體運作。具體來說，微處理器單元 110a 是與記憶體操作單元 110b、快閃記憶體介面單元 110c、主機介面單元 110d、錯誤校正單元 110e 與位元檢查單元 110f 等一起運作以進行快閃記憶體儲存系統 100 的寫入、讀取、抹除等運作。

記憶體操作單元 110b 是耦接至微處理器單元 110a，並且用以執行區塊管理機制。特別是，記憶體操作單元 110b 是用以執行根據本範例實施例的資料存取機制。

在本實施例中，記憶體操作單元 110b 是以一韌體型式實作在控制器 110 中。例如，將包括多個控制指令燒錄至一程式記憶體(例如，唯讀記憶體(Read Only Memory, ROM))中並且將此程式記憶體嵌入在快閃記憶體控制器 110 中以實作出記憶體操作單元 110b，其中當快閃記憶體儲存系統 100 啟動時，記憶體操作單元 110b 的多個機器指令會由微處理器單元 110a 來執行以完成根據本發明實施例的區塊管理機制與資料寫入機制。

在本發明另一實施例中，記憶體操作單元 110b 的控制

指令亦可以軟體型式儲存於快閃記憶體晶片 120 的特定區域中。同樣的，當快閃記憶體儲存系統 100 啟動時，記憶體操作單元 110b 的控制指令會由微處理器單元 110a 來執行。此外，在本發明另一實施例中，記憶體操作單元 110b 亦可以一硬體型式實作在快閃記憶體控制器 110 中。

快閃記憶體介面單元 110c 是耦接至微處理器單元 110a 並且用以存取快閃記憶體晶片 120。也就是說，欲寫入至快閃記憶體晶片 120 的資料會經由快閃記憶體介面單元 110c 轉換為快閃記憶體晶片 120 所能接受的格式。

主機介面單元 110d 是耦接至微處理器單元 110a 並且用以接收與識別主機系統 200 所傳送的指令。也就是說，主機系統 200 所傳送的指令與資料會透過主機介面單元 110d 來傳送至微處理器單元 110a。在本範例實施例中，主機介面單元 110d 為 SATA 介面。然而，必須瞭解的是本發明不限於此，主機介面單元 110d 亦可以是 USB 介面、IEEE 1394 介面、PCI Express 介面、MS 介面、MMC 介面、SD 介面、CF 介面、IDE 介面或其他適合的資料傳輸介面。

錯誤校正單元 110e 是耦接至微處理器單元 110a 並且用以執行一錯誤校正程序。具體來說，當在錯誤校正單元 110e 中輸入一資料時，錯誤校正單元 110e 會依據此資料產生一錯誤校正碼，並且當在錯誤校正單元 110e 輸入一資料與一錯誤校正碼時，錯誤校正單元 110e 會依據所接收的錯誤校正碼來為所接收的資料進行錯誤檢查與校正。錯誤校正程序為資料儲存媒體中常見的技术，在此不詳細描

述。值得一提的是，錯誤校正單元 110e 的錯誤校正能力必須能夠支援快閃記憶體晶片 120 的規格。在本範例實施例中，錯誤校正單元 110e 具有檢查與校正 48 個錯誤位元的能力。然而，必須瞭解的是，本發明不限於此，只要能夠支援快閃記憶體晶片 120 之規格的錯誤校正單元皆可應用於本發明。

位元檢查單元 110f 是耦接至微處理器單元 110a 並且用以執行一錯誤偵測程序。具體來說，當在位元檢查單元 110f 中輸入一資料時，位元檢查單元 110f 會依據此資料產生一位元檢查碼，並且當在位元檢查單元 110f 輸入一資料與一位元檢查碼時，位元檢查單元 110f 會依據所接收的位元檢查碼來為所接收的資料進行錯誤檢查。例如，在本範例實施例中，位元檢查單元 110f 是以錯誤偵測電路(error detecting circuit)來實作，並且位元檢查單元 110f 會產生錯誤偵測碼(error detection code)作為位元檢查碼。然而，在本發明另一實施例中，位元檢查單元 110f 亦可以循環冗餘檢查電路(cyclic redundancy check circuit)來實作，並且位元檢查單元 110f 會產生循環冗餘檢查(cyclic redundancy check)碼作為位元檢查碼。或者，在本發明另一實施例中，位元檢查單元 110f 亦可以低階錯誤校正電路(error correcting circuit)來實作，並且位元檢查單元 110f 會產生低階錯誤校正碼作為位元檢查碼，在此低階錯誤校正電路與低階錯誤校正碼是指相對於錯誤校正單元 110e 與其錯誤校正碼而言具較低錯誤校正能力的錯誤校正電路與錯誤

校正碼。

此外，雖未繪示於本範例實施例，但快閃記憶體控制器 110 亦更包括緩衝記憶體、電源管理單元等用於控制快閃記憶體的一般功能模組。

快閃記憶體晶片 120 是耦接至快閃記憶體控制器 110 並且具有多個實體區塊 120-0~120-N 以儲存資料。在本範例實施例中，快閃記憶體晶片 120 為多層記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體。然而，必須瞭解的是，本發明不限於此。在本發明另一實施例中，單層記憶胞(Single Level Cell, SLC)NAND 快閃記憶體亦可應用於本發明。

圖 2 是根據本發明範例實施例所繪示實體區塊的概要方塊圖。在本範例實施例中每一實體區塊 120-1~120-N 的結構是相同的，圖 2 的概要方塊圖適用於每一實體區塊 120-0~120-N。

請參照圖 2，實體區塊包括 128 個頁面，並且每一頁面可儲存 4 個扇區的資料。具體來說，每一頁面的資料位元區 D 為 2048 位元組，且每一頁面的冗餘位元區 R 為 61 位元組，其中冗餘位元區 R 中 8 個位元組用於儲存與頁面相關的控制資訊並且 53 個位元組用於儲存用於頁面的錯誤校正碼。

圖 3 是根據本範例實施例所繪示的資料寫入步驟的流程圖。

請參照圖 3，當主機系統 200 欲寫入資料至快閃記憶



體儲存系統 100 時，在步驟 S301 中，快閃記憶體控制器 110 會從主機系統 200 接收欲寫入的資料。在本範例實施例中，所接收的資料具有至少一子資料，並且此些子資料的大小為主機系統 200 的最小存取單位(即，扇區)。例如，主機系統 200 的存取單位為 512 位元組時，子資料的大小亦為 512 位元組。具體來說，快閃記憶體控制器 110 會透過主機介面單元 110d 從主機系統 200 接收到寫入指令與對應此寫入指令的子資料。

接著，在步驟 S303 中，快閃記憶體控制器 110 會為所接收的資料產生對應的錯誤校正碼。具體來說，主機介面單元 110d 所接收到的資料會傳送至錯誤校正單元 110e，並且由錯誤校正單元 110e 產生對應的錯誤校正碼。

之後，在步驟 S305 中，快閃記憶體控制器 110 的記憶體操作單元 110b 會將欲寫入的資料及其對應錯誤校正碼透過快閃記憶體介面單元 110c 寫入至快閃記憶體晶片 120 的實體區塊 120-0~120-N 中。

然後，在步驟 S307 中，快閃記憶體控制器 110 會為每一子資料產生對應的位元檢查碼。具體來說，每一子資料會被傳送至位元檢查單元 110f，並且位元檢查單元 110f 會為每一子資料產生對應的位元檢查碼。

最後，在步驟 S309 中，記憶體操作單元 110b 會將所產生的位元檢查碼透過快閃記憶體介面單元 110c 寫入至快閃記憶體晶片 120 的實體區塊 120-0~120N 中。值得一提的是，由於在頁面中寫入資料時冗餘位元區僅足夠儲存

對應此資料的錯誤校正碼，因此在本範例實施例會中所產生對應子資料的位元檢查碼是儲存在另一實體區塊的資料位元區中。也就是說，記憶體操作單元 110b 是將這些位元檢查碼視為一般資料寫入至快閃記憶體晶片 120 中。值得一提的是，在本發明範例實施例中，記憶體操作單元 110b 會建立一位元檢查碼表 400 來記錄所產生的位元檢查碼。

圖 4 是根據本發明範例實施例所繪示的一寫入範例的資料流示意圖。

請參照圖 4，倘若快閃記憶體控制器 110 從主機系統 200 接收到資料量為 2048 位元組的資料 DATA，快閃記憶體控制器 110 會為資料 DATA 產生錯誤校正碼 ECC。此外，快閃記憶體控制器 110 會將資料 DATA 分割為子資料 DATA1、子資料 DATA2、子資料 DATA3 與子資料 DATA4 並且依序產生對應的位元檢查碼 BCC1、位元檢查碼 BCC2、位元檢查碼 BCC3 與位元檢查碼 BCC4。之後，由子資料 DATA1、子資料 DATA2、子資料 DATA3 與子資料 DATA4 所組成的資料 DATA 會與錯誤校正碼 ECC 寫入至實體區塊 120-0 的頁面 0 中。同時，快閃記憶體控制器 110 會將記錄位元檢查碼 BCC1、位元檢查碼 BCC2、位元檢查碼 BCC3 與位元檢查碼 BCC4 的位元檢查碼表 400 會被寫入至實體區塊 120-N 的頁面 0 中

圖 5 是根據本發明一範例實施例所繪示在實體區塊中儲存位元檢查碼表的範例。

請參照圖 5，例如，記錄實體區塊 120-0~120-127 之

位元檢查碼的位元檢查碼表 400 是儲存在實體區塊 120-N 中。在本範例實施例中，由於子資料為 512 位元組且每一子資料的位元檢查碼所需的儲存空間為 4 位元組，因此 1 個實體區塊可儲存對應 128 個實體區塊的位元檢查碼。特別是，由於記憶體操作單元 110b 是以儲存一般資料的方式來儲存位元檢查碼表 400，因此實體區塊的冗餘位元區中會存有對應位元檢查碼的錯誤校正碼。此外，在本發明另一範例實施例中，記憶體操作單元 110b 會建立一位元檢查碼對映表以記錄位元檢查碼表中位元檢查碼與子資料之間的對應關係，由此以利於從位元檢查碼表中讀取對應子資料的位元檢查碼。

值得一提的是，由於為快閃記憶體晶片 120 中所有實體區塊建立位元檢查碼表 400 會需要較大的儲存空間，因此在本發明另一範例實施例中，記憶體操作單元 110b 僅會針對經常以讀取小資料(即，小於一個頁面的資料量)方式進行存取的實體區塊建立位元檢查碼表 400。例如，主機系統 200 會經常在儲存檔案配置表(File Allocation Table, FAT)的實體區塊中讀取小資料，由此可減少儲存位元檢查碼表 400 所需的記憶體空間。

此外，由於在存取過程中位元檢查碼表 400 會不斷的被更新，因此在快閃記憶體儲存系統 100 的運作期間，位元檢查碼表 400 會從快閃記憶體晶片 120 中載入至緩衝記憶體(未繪示)中以利更新，並且當快閃記憶體儲存系統 100 關機時，位元檢查碼表 400 會被回寫至快閃記憶體晶片

120。

圖 6 是根據本範例實施例所繪示的資料讀取步驟的流程圖。

請參照圖 6，當主機系統 200 欲從快閃記憶體儲存系統 100 中讀取資料時，在步驟 S601 中，快閃記憶體控制器 110 會判斷主機系統 200 欲讀取的資料量是否小於 1 個頁面。具體來說，快閃記憶體控制器 110 會透過主機介面單元 110d 從主機系統 200 中接收到讀取指令，並且記憶體操作單元 110b 會依據讀取指令中欲讀取的位址來判斷主機系統 200 欲讀取的資料量是否小於 1 個頁面。

例如，在所述實體區塊 120-0 的頁面 0 儲存有以子資料 DATA1、子資料 DATA2、子資料 DATA3 與子資料 DATA4 所組成之資料 DATA 的例子中，倘若主機系統 200 僅欲讀取子資料 DATA1、子資料 DATA2、子資料 DATA3 與子資料 DATA4 的一部份而非整個資料 DATA 時，則表示主機系統 200 欲讀取的資料量是小於 1 個頁面。

倘若在步驟 S601 中判斷主機系統 200 欲讀取的資料量非小於 1 個頁面時，則在步驟 S603 中記憶體操作單元 110b 會透過快閃記憶體介面單元 110c 從快閃記憶體晶片 120 中讀取資料及其對應的錯誤校正碼，並且在步驟 S605 中錯誤校正單元 110e 會根據所讀取的資料與錯誤校正碼進行錯誤校正程序。之後，在步驟 S607 中，記憶體操作單元 110b 會透過主機介面單元 110d 將已執行錯誤校正程序的資料傳送給主機系統 200。例如，若主機系統 200 欲

讀取實體區塊 120-0 的頁面 0 的資料 DATA 時，快閃記憶體控制器 110 會讀取資料 DATA 及其錯誤校正碼 ECC，並且執行錯誤校正程序，然後再將已執行錯誤校正程序的資料 DATA 傳送至主機系統 200。

倘若在步驟 S601 中判斷主機系統 200 欲讀取的資料量小於 1 個頁面時，則在步驟 S609 中記憶體操作單元 110b 會透過快閃記憶體介面單元 110c 從快閃記憶體晶片 120 中讀取所欲讀取的子資料，並且在步驟 S611 中記憶體操作單元 110b 會從位元檢查碼表 400 中獲取對應的位元檢查碼，其中倘若位元檢查碼表 400 未載入至緩衝記憶體(未繪示)時，記憶體操作單元 110b 會從快閃記憶體晶片 120 中讀取位元檢查碼表 400。

之後，在步驟 S613 中位元檢查單元 110f 會依據所讀取的子資料及對應的位元檢查碼來判斷所讀取的子資料中是否存有錯誤位元。倘若所讀取的子資料無存有錯誤位元時，則在步驟 S615 中記憶體操作單元 110b 會將所讀取的子資料傳送至主機系統 200。

倘若所讀取的子資料存有錯誤位元時，則在步驟 S617 中會透過快閃記憶體介面單元 110c 從快閃記憶體晶片 120 中讀取完整的資料及其對應的錯誤校正碼，並且在步驟 S619 中錯誤校正單元 110e 會根據所讀取的資料與錯誤校正碼進行錯誤校正程序。最後，在步驟 S621 中記憶體操作單元 110b 會從已校正的資料中擷取主機系統 200 欲讀取的子資料並將所擷取的子資料傳送給主機系統 200。

例如，若主機系統 200 欲讀取實體區塊 120-0 的頁面 0 的子資料 DATA1 時，快閃記憶體控制器 110 會讀取子資料 DATA1 與位元檢查碼 BCC1，並且依據位元檢查碼 BCC1 判斷所讀取的子資料 DATA1 中是否存有錯誤位元。若所讀取的子資料 DATA1 中無存有錯誤位元時，則快閃記憶體控制器 110 會直接將所讀取的子資料 DATA1 傳送給主機系統 200。反之，若所讀取的子資料 DATA1 中存有錯誤位元時，則快閃記憶體控制器 110 會從快閃記憶體晶片 120 中重新讀取資料 DATA 及其錯誤校正碼 ECC，並且執行錯誤校正程序，然後再從已執行錯誤校正程序的資料 DATA 擷取子資料 DATA1 並且將所擷取的子資料 DATA1 傳送至主機系統 200。

必須瞭解的是，圖 3 與圖 6 所述的執行順序並非限制本發明，此領域技術人員可依據本發明的精神下以不同於圖 3 與圖 6 所述的順序執行上述步驟。

綜上所述，本發明是在對快閃記憶體的頁面中寫入資料時將資料對應主機系統的存取單位分割為數個子資料，並且為每一資料產生一位元檢查碼，由此當主機系統從快閃記憶體的頁面中讀取子資料時，可透過對應的位元檢查碼執行位元檢查，並且僅在發生位元錯誤時才從快閃記憶體中讀取整個頁面的資料進行錯誤校正，由此可提升快閃記憶體的讀取速度。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離

本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 是根據本發明一範例實施例所繪示的快閃記憶體儲存系統的概要方塊圖。

圖 2 是根據本發明範例實施例所繪示實體區塊的概要方塊圖。

圖 3 是根據本範例實施例所繪示的資料寫入步驟的流程圖。

圖 4 是根據本發明範例實施例所繪示的寫入範例的資料流示意圖。

圖 5 是根據本發明一範例實施例所繪示在實體區塊中儲存位元檢查碼表的範例。

圖 6 是根據本範例實施例所繪示的資料讀取步驟的流程圖。

### 【主要元件符號說明】

- 100：快閃記憶體儲存系統
- 110：快閃記憶體控制器
- 110a：微處理器單元
- 110b：記憶體操作單元
- 110c：快閃記憶體介面單元
- 110d：主機介面單元

110e：錯誤校正單元

110f：位元檢查單元

120：快閃記憶體晶片

120-0~120-N：實體區塊

D：資料位元區

R：冗餘位元區

400：位元檢查碼表

S301、S303、S305、S307、S309：資料寫入步驟

S601、S603、S605、S607、S609、S611、S613、S615、

S617、S619、S621：資料讀取步驟



## 七、申請專利範圍：

1. 一種資料存取方法，用於在一快閃記憶體中存取一資料，該資料存取方法包括：

從一主機系統接收該資料，其中該資料包括多個子資料；

為該資料產生一錯誤校正碼(Error Correction Code, ECC)；

將該資料和該錯誤校正碼寫入至該快閃記憶體中；

由一位元檢查單元為每一該些子資料產生對應的一位元檢查碼；以及

由一記憶體操作單元將該些位元檢查碼寫入至該快閃記憶體中。

2. 如申請專利範圍第1項所述之資料存取方法，更包括建立一位元檢查碼表並且在該位元檢查碼表中記錄該些位元檢查碼，其中將該些位元檢查碼寫入該快閃記憶體中的步驟包括將該位元檢查碼表寫入至該快閃記憶體中。

3. 如申請專利範圍第2項所述之資料存取方法，更包括建立一位元檢查碼對映表以記錄該位元檢查碼表中該些位元檢查碼和該些子資料之間的一對映關係。

4. 如申請專利範圍第2項所述之資料存取方法，更包括從該快閃記憶體中載入該位元檢查碼表至一緩衝記憶體中，並且從該緩衝記憶體中讀取對應該些子資料的該些位元檢查碼。

5. 如申請專利範圍第1項所述之資料存取方法，更包

括：

從該快閃記憶體中讀取該些子資料；

從該快閃記憶體中讀取對應所讀取之該些子資料的位元檢查碼；

依據所讀取的該些子資料的位元檢查碼判斷所讀取的該些子資料是否存有錯誤，

其中當所讀取的該些子資料無存有錯誤時將所讀取的該些子資料傳送給該主機系統。

6. 如申請專利範圍第 5 項所述之資料存取方法，其中當所讀取的該些子資料存有錯誤時，則該資料存取方法更包括：

從該快閃記憶體中讀取該資料與該錯誤校正碼；

依據所讀取的該錯誤校正碼來校正所讀取的該資料；

從所校正的該資料之中擷取已校正的該些子資料；以

及

將已校正的該些子資料傳送給該主機系統。

7. 如申請專利範圍第 1 項所述之資料存取方法，其中每一該些位元檢查碼為一錯誤偵測碼(Error Detection Code, EDC)或一循環冗餘檢查碼(Cyclic Redundancy Check, CRC)。

8. 如申請專利範圍第 1 項所述之資料存取方法，其中每一該些子資料的大小為該主機系統的一最小存取單位。

9. 一種快閃記憶體控制器，用以在一快閃記憶體中存取一資料，該快閃記憶體控制器包括：

一微處理器單元；

一主機介面單元，耦接至該微處理器單元，該主機介面單元用以連接一主機系統並從該主機系統中接收該資料，其中該資料包括多個子資料；

一快閃記憶體介面單元，耦接至該微處理器單元並且用以連接該快閃記憶體；

一記憶體操作單元，耦接至該微處理器單元；

一錯誤校正單元，耦接至該微處理器單元並且用以為該資料產生一錯誤校正碼，其中該記憶體操作單元會將該資料和該錯誤校正碼寫入至該快閃記憶體中；以及

一位元檢查單元，耦接至該微處理器單元並且用以為每一該些子資料產生一位元檢查碼，其中該記憶體操作單元會將該些位元檢查碼寫入至該快閃記憶體中。

10. 如申請專利範圍第 9 項所述之快閃記憶體控制器，其中該記憶體操作單元更用以建立一位元檢查碼表，其中該些位元檢查碼是記錄在該位元檢查碼表中。

11. 如申請專利範圍第 10 項所述之快閃記憶體控制器，其中該記憶體操作單元更用以建立一位元檢查碼對映表以記錄該位元檢查碼表中該些位元檢查碼和該些子資料之間的一對映關係。

12. 如申請專利範圍第 10 項所述之快閃記憶體控制器，其中該記憶體操作單元更用以從該快閃記憶體中載入該位元檢查碼表至一緩衝記憶體中，並且從該緩衝記憶體中讀取對應該些子資料的該些位元檢查碼。

13. 如申請專利範圍第 9 項所述之快閃記憶體控制器，其中該記憶體操作單元更用以從該快閃記憶體中讀取該些子資料，並且從該快閃記憶體中讀取對應所讀取之該些子資料的位元檢查碼，

其中該位元檢查單元會依據所讀取的該些子資料的位元檢查碼判斷所讀取的該些子資料是否存有錯誤，

其中當所讀取的該些子資料無存有錯誤時，該記憶體操作單元將所讀取的該些子資料傳送給該主機系統。

14. 如申請專利範圍第 13 項所述之快閃記憶體控制器，其中當所讀取的該些子資料存有錯誤時，則該記憶體操作單元會從該快閃記憶體中讀取該資料與該錯誤校正碼，並且該錯誤校正單元會依據所讀取的該錯誤校正碼來校正所讀取的該資料，

其中該記憶體操作單元會從所校正的該資料之中擷取已校正的該些子資料，並且將已校正的該些子資料傳送給該主機系統。

15. 如申請專利範圍第 9 項所述之快閃記憶體控制器，其中該位元檢查單元為一錯誤偵測電路並且每一該些位元檢查碼為一錯誤偵測碼。

16. 如申請專利範圍第 9 項所述之快閃記憶體控制器，其中該位元檢查單元為一循環冗餘檢查電路並且每一該些位元檢查碼為一循環冗餘檢查碼。

17. 如申請專利範圍第 9 項所述之快閃記憶體控制器，其中每一該些子資料的大小為該主機系統的一最小存

取單位。

18. 一種快閃記憶體儲存系統，包括：

一快閃記憶體；

一快閃記憶體控制器，耦接至該快閃記憶體，用以從一主機系統中接收一資料，其中該資料具有多個子資料，

其中該快閃記憶體控制器會為該資料產生一錯誤校正碼，並且將該資料和該錯誤校正碼寫入至該快閃記憶體中，

其中該快閃記憶體控制器包括一位元檢查單元與一記憶體操作單元，其中該位元檢查單元會為每一該些子資料產生一位元檢查碼，並且該記憶體操作單元將該些位元檢查碼寫入至該快閃記憶體中。

19. 如申請專利範圍第 18 項所述之快閃記憶體儲存系統，該快閃記憶體更包括一位元檢查碼表，其中該些位元檢查碼是記錄在該位元檢查碼表中。

20. 如申請專利範圍第 19 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器更用以建立一位元檢查碼對映表以記錄該位元檢查碼表中該些位元檢查碼和該些子資料之間的一對映關係。

21. 如申請專利範圍第 20 項所述之快閃記憶體儲存系統，更包括一緩衝記憶體，

其中該快閃記憶體控制器更用以從該快閃記憶體中載入該位元檢查碼表至該緩衝記憶體中，並且從該緩衝記憶體中讀取對應該些子資料的該些位元檢查碼。

22. 如申請專利範圍第 18 項所述之快閃記憶體儲存系統，其中該快閃記憶體控制器更用以從該快閃記憶體中讀取該些子資料，並且從該快閃記憶體中讀取對應所讀取之該些子資料的位元檢查碼，

其中該快閃記憶體控制器會依據所讀取的該些子資料的位元檢查碼判斷所讀取的該些子資料是否存有錯誤，

其中當所讀取的該些子資料無存有錯誤時，該快閃記憶體控制器會將所讀取的該些子資料傳送給該主機系統。

23. 如申請專利範圍第 22 項所述之快閃記憶體儲存系統，其中當所讀取的該些子資料存有錯誤時，則該快閃記憶體控制器會從該快閃記憶體中讀取該資料與該錯誤校正碼，並且依據所讀取的該錯誤校正碼來校正所讀取的該資料，

其中該快閃記憶體控制器會從所校正的該資料之中擷取已校正的該些子資料，並且將已校正的該些子資料傳送給該主機系統。

24. 如申請專利範圍第 18 項所述之快閃記憶體儲存系統，其中每一該些位元檢查碼為一錯誤偵測碼或一循環冗餘檢查碼。

25. 如申請專利範圍第 18 項所述之快閃記憶體儲存系統，其中每一該些子資料的大小為該主機系統的一最小存取單位。

八、圖式：

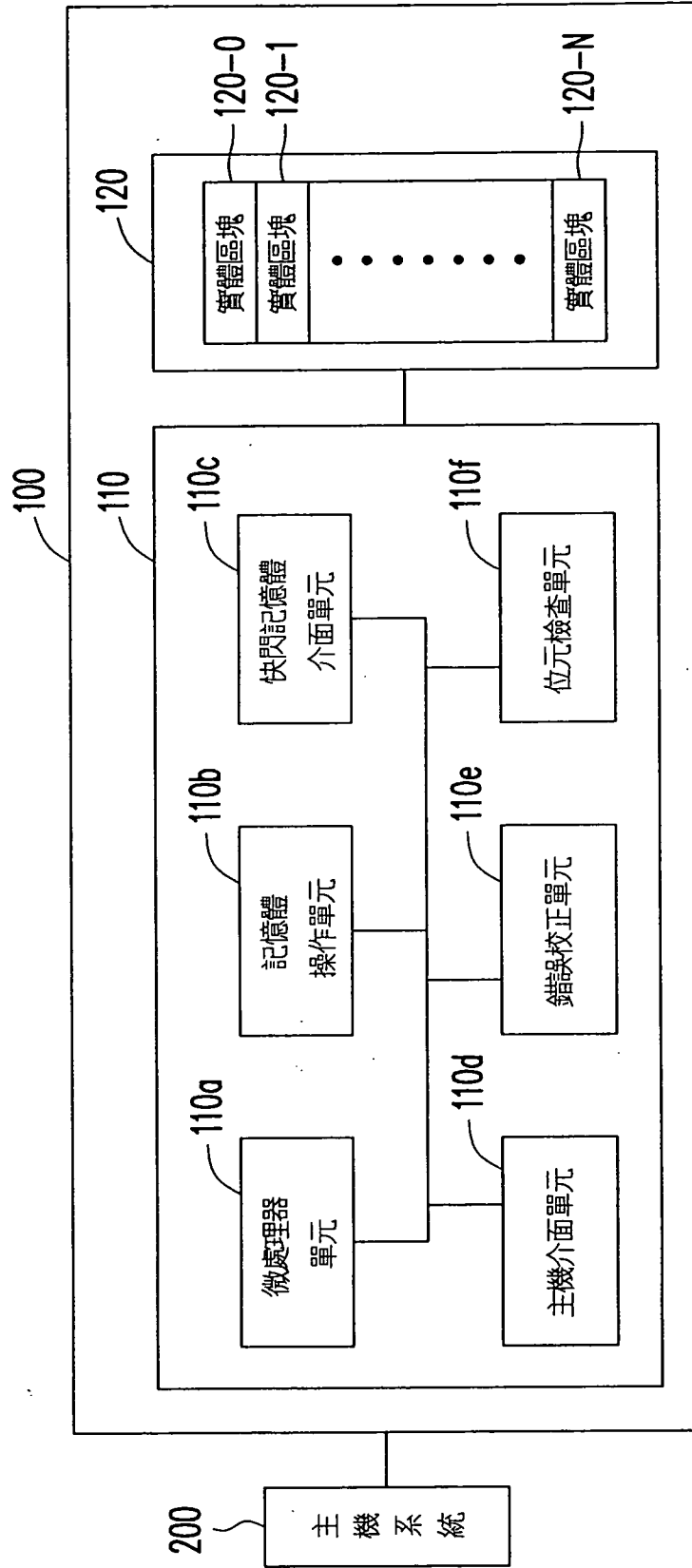


圖 1

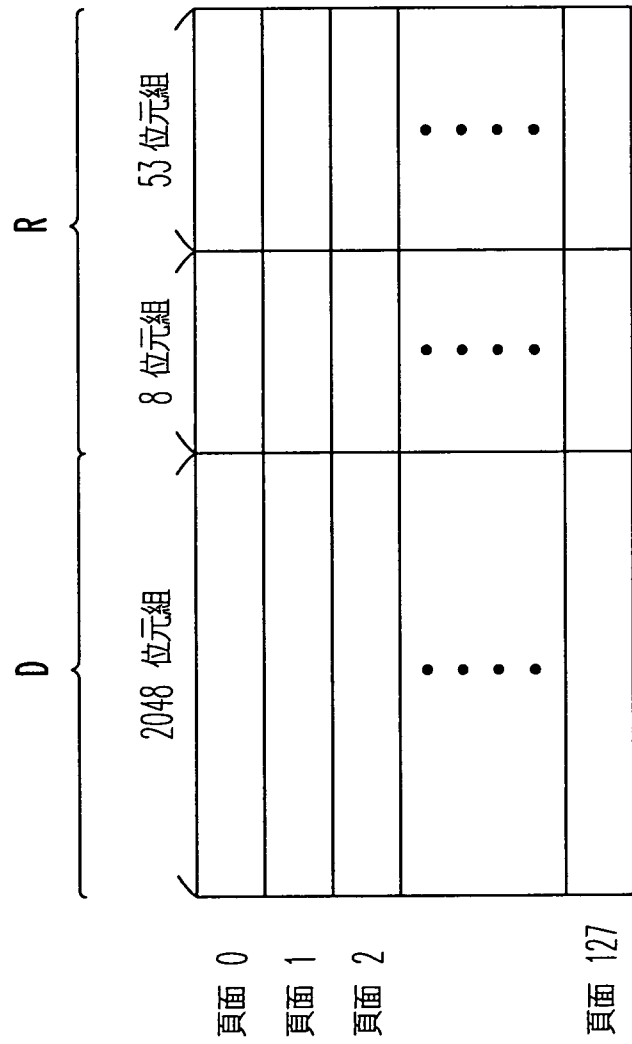


圖 2



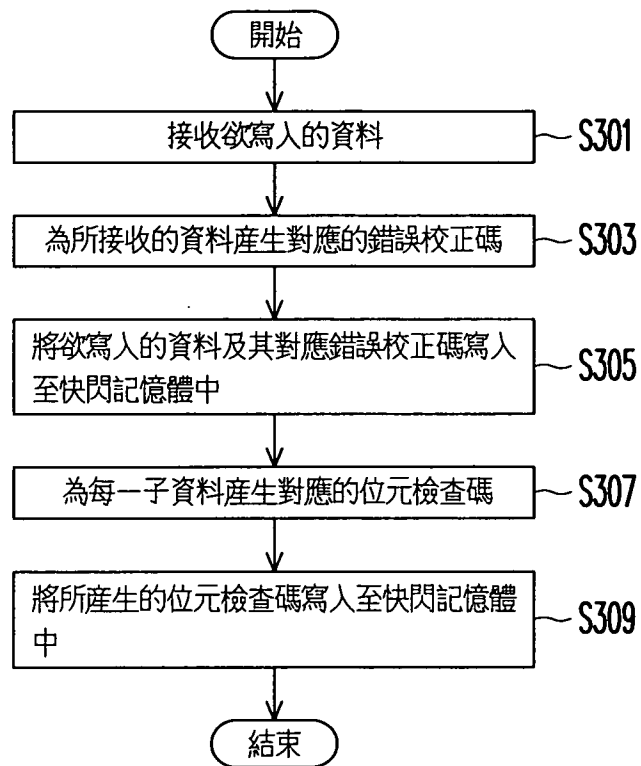


圖 3

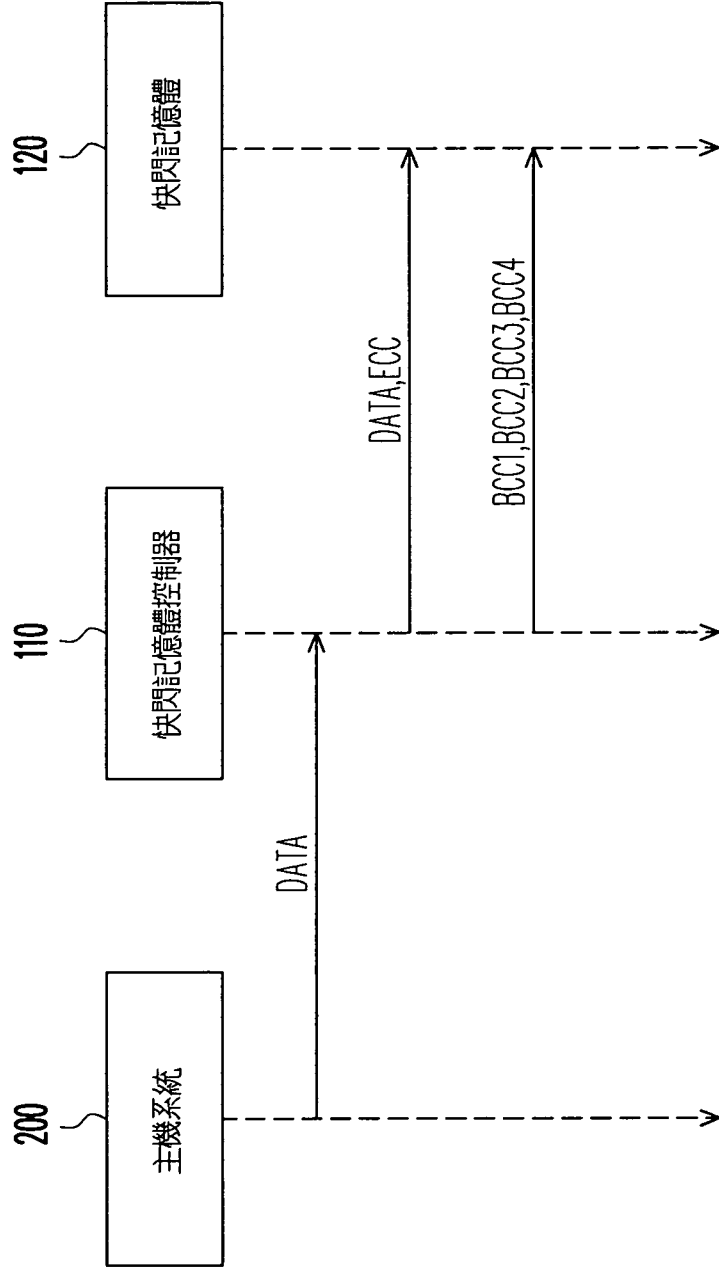


圖 4

2048 位元組

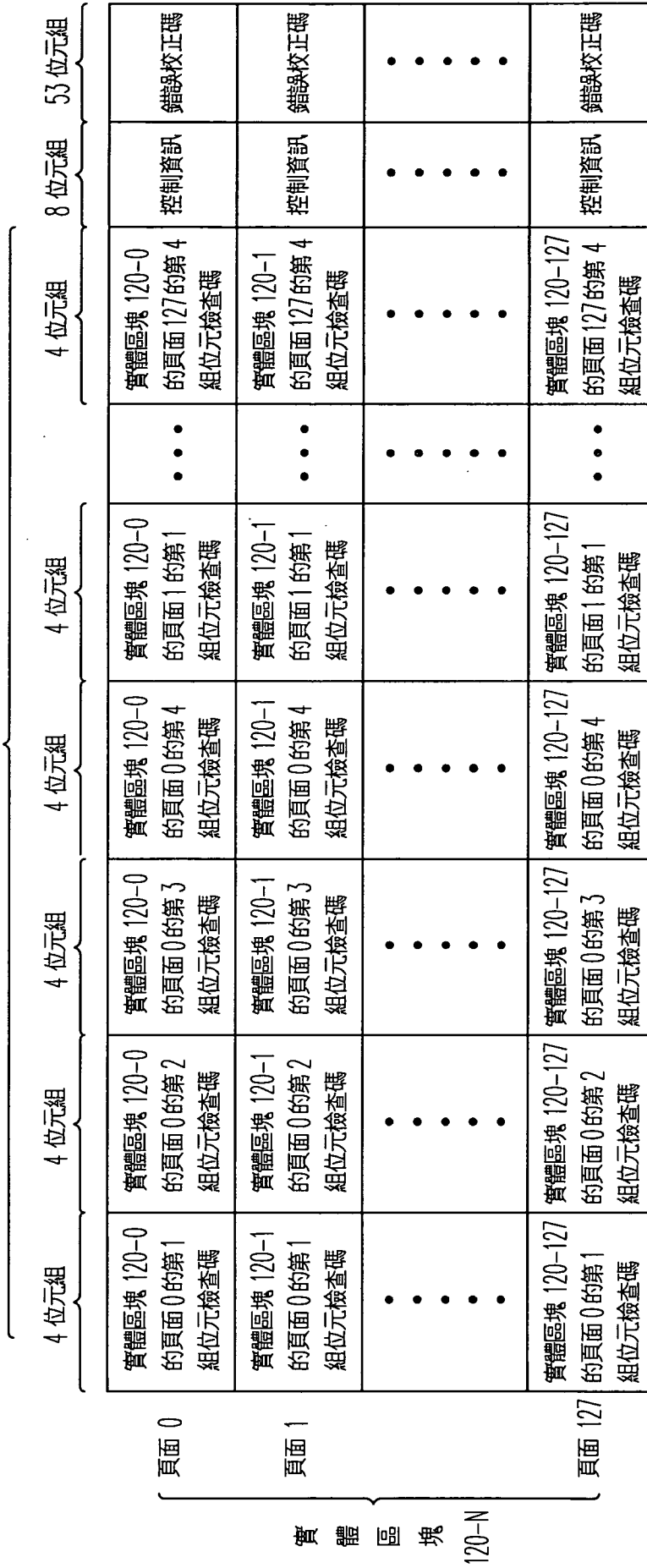


圖 5

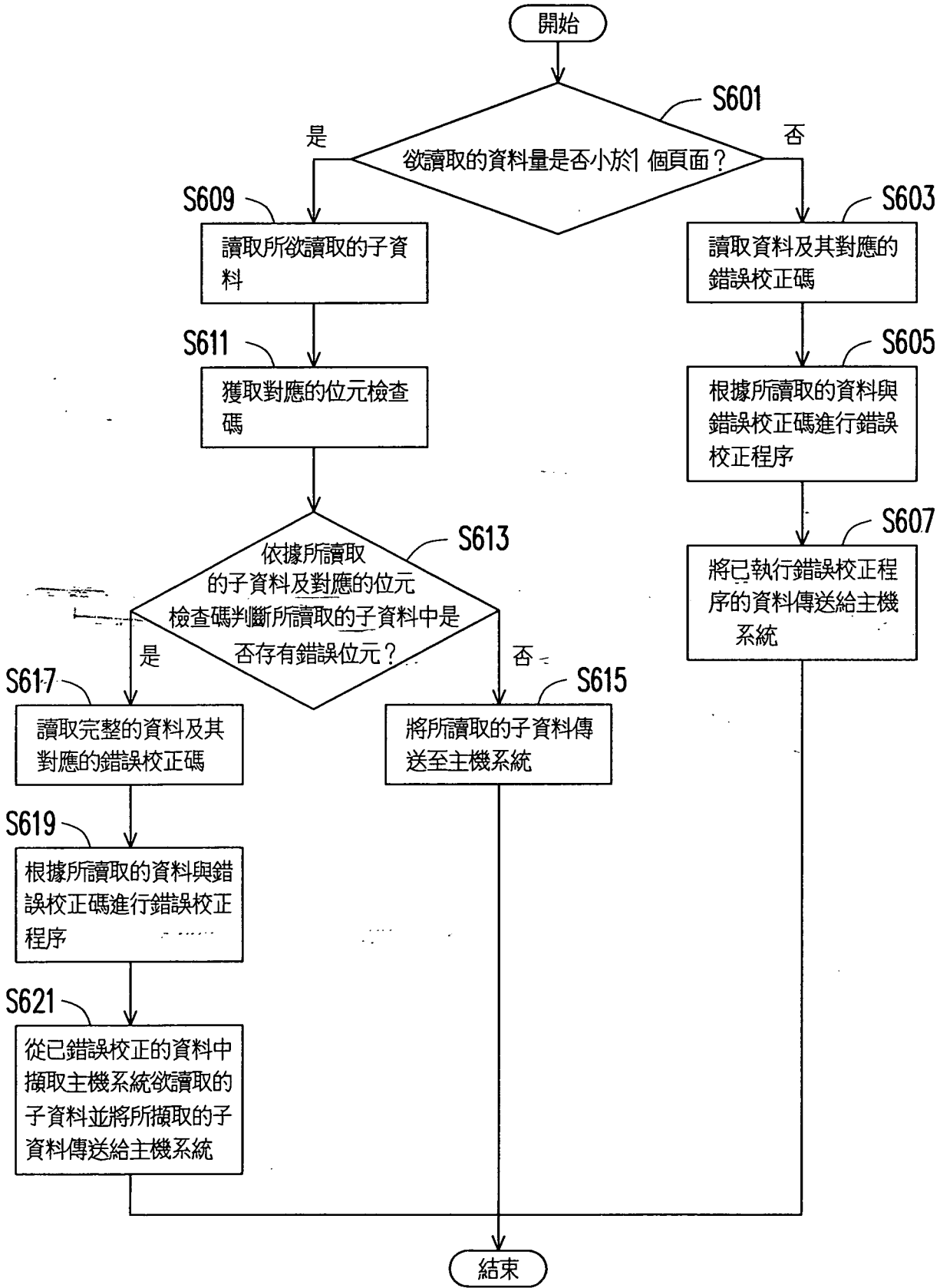


圖 6