

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5504032号
(P5504032)

(45) 発行日 平成26年5月28日 (2014.5.28)

(24) 登録日 平成26年3月20日 (2014.3.20)

(51) Int. Cl.	F I				
H03F 1/00 (2006.01)	H03F	1/00		Z	
H03F 3/183 (2006.01)	H03F	3/183			
H04R 3/00 (2006.01)	H04R	3/00	1 O 1 Z		

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2010-78285 (P2010-78285)	(73) 特許権者	000116024
(22) 出願日	平成22年3月30日 (2010.3.30)		ローム株式会社
(65) 公開番号	特開2011-139415 (P2011-139415A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成23年7月14日 (2011.7.14)	(74) 代理人	100105924
審査請求日	平成25年3月4日 (2013.3.4)		弁理士 森下 賢樹
(31) 優先権主張番号	特願2009-136562 (P2009-136562)	(74) 代理人	100133215
(32) 優先日	平成21年6月5日 (2009.6.5)		弁理士 真家 大樹
(33) 優先権主張国	日本国(JP)	(72) 発明者	小野 克幸
(31) 優先権主張番号	特願2009-191685 (P2009-191685)		京都府京都市右京区西院溝崎町2 1 番地
(32) 優先日	平成21年8月21日 (2009.8.21)		ローム株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	河村 明展
(31) 優先権主張番号	特願2009-275358 (P2009-275358)		京都府京都市右京区西院溝崎町2 1 番地
(32) 優先日	平成21年12月3日 (2009.12.3)		ローム株式会社内
(33) 優先権主張国	日本国(JP)	審査官	高橋 義昭

最終頁に続く

(54) 【発明の名称】 オーディオ信号増幅回路

(57) 【特許請求の範囲】

【請求項 1】

演算増幅器と、その第1端子に増幅対象のオーディオ信号を受け、その第2端子が前記演算増幅器の反転入力端子と接続された入力抵抗と、その第1端子が前記演算増幅器の反転入力端子と接続され、その第2端子が前記演算増幅器の出力端子と接続された帰還抵抗と、を含み、カップリングキャパシタを介して電気音響変換素子を駆動する反転アンプと、

バイアス電圧を生成し、前記演算増幅器の非反転入力端子に供給する基準電圧源と、前記基準電圧源の出力端子および前記演算増幅器の非反転入力端子を接続するラインと、固定電圧端子の間に直列に設けられた放電抵抗および第1スイッチを含む放電経路と、前記演算増幅器の出力端子と、前記放電経路上のノードであって前記放電抵抗よりも高電位側のノードとの間に設けられた第2スイッチと、を備えることを特徴とするオーディオ信号増幅回路。

【請求項 2】

前記反転アンプ、前記基準電圧源、前記第1スイッチおよび前記第2スイッチそれぞれのオンオフを制御する制御部をさらに備え、

前記制御部は、

オーディオ信号の再生中に、前記反転アンプ、前記基準電圧源をオン状態、前記第1スイッチ、前記第2スイッチをオフ状態とし、

再生停止が指示されると、前記反転アンプのオン状態を維持しつつ、前記基準電圧源に

対して前記バイアス電圧を低下させるように指示し、

その後、前記反転アンプをオフ状態、前記第1スイッチ、前記第2スイッチをオン状態とすることを特徴とする請求項1に記載のオーディオ信号増幅回路。

【請求項3】

前記第1スイッチは前記放電抵抗より低電位側に設けられ、前記第2スイッチは、前記演算増幅器の出力端子と前記基準電圧源の出力端子との間に設けられることを特徴とする請求項1 または2に記載のオーディオ信号増幅回路。

【請求項4】

それぞれが複数チャンネルごとに設けられた複数の前記反転アンプと、
それぞれが複数チャンネルごとに設けられた複数の前記第2スイッチと、
を備え、

各チャンネルの前記第2スイッチは、対応するチャンネルの前記演算増幅器の出力端子と、前記放電経路上のノードであって前記放電抵抗よりも高電位側のノードとの間に設けられることを特徴とする請求項1 または2に記載のオーディオ信号増幅回路。

【請求項5】

前記第1スイッチは前記放電抵抗より低電位側に設けられ、各チャンネルの前記第2スイッチは、対応するチャンネルの前記演算増幅器の出力端子と前記基準電圧源の出力端子との間に設けられることを特徴とする請求項 4に記載のオーディオ信号増幅回路。

【請求項6】

前記演算増幅器、前記第1スイッチ、前記第2スイッチ、前記放電抵抗は、ひとつの半導体基板上に集積化されることを特徴とする請求項1 または2に記載のオーディオ信号増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、オーディオ信号増幅回路に関する。

【背景技術】

【0002】

オーディオ機器あるいはオーディオ再生機能を備える電子機器は、微弱な電気信号を増幅して、スピーカやヘッドホン、イヤホンなどの電気音響変換素子（以下、スピーカと総称する）に出力するためのオーディオ信号増幅回路を備える。

【0003】

オーディオ信号増幅回路とスピーカの間には、直流電流の流れ込みを防止するためのカップリングキャパシタが設けられる場合がある。ヘッドホンやイヤホンが、機器に対して着脱可能である状況において、オーディオ再生中にユーザがヘッドホンを抜き挿しすると、カップリングキャパシタに対して予期しない充電もしくは放電が発生し、このときの電流がノイズとしてヘッドホンから聞こえる場合がある。この問題を回避するために、電気音響変換素子と並列な経路に放電用抵抗を設ける場合があった。放電用抵抗を設ければ、ヘッドホンの着脱状態にかかわらず、カップリングキャパシタに対する充放電経路が形成されているため、ノイズの発生を抑制できる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開昭60-085608号公報

【特許文献2】特開2002-185272号公報

【特許文献3】特開平3-104407号公報

【特許文献4】特開平8-237051号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

1. いま、演算増幅器および入力抵抗、帰還抵抗で構成される反転増幅アンプによってスピーカを駆動する状況について考察する。演算増幅器は、その非反転入力端子に基準バイアス電圧を受け、その反転入力端子には、入力抵抗を介して増幅対象の入力信号が入力されるとともに、帰還抵抗を介して増幅後の出力信号がフィードバックされている。

【0006】

反転増幅器がオフ状態からオン状態に切りかわる際に、演算増幅器の非反転入力端子の電圧と、その出力端子の電圧に差が生ずると、その差に応じたノイズが発生する。

【0007】

本発明のある態様はこうした課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、オーディオ信号増幅回路において、ノイズを抑制する技術の提供にある。

10

【0008】

2. 演算増幅器は、電子回路を構成する基本回路としてあらゆる用途において広く用いられている。たとえばオーディオ信号を増幅してスピーカやヘッドホンを駆動するアンプは、演算増幅器(差動増幅器)を利用した反転増幅器もしくは非反転増幅器として構成される場合が多い。

【0009】

図6(a)、(b)は、一般的な反転増幅器のオーディオアンプの構成を示す回路図およびその動作を示すタイムチャートである。オーディオアンプ201は、演算増幅器202、入力抵抗 R_i 、フィードバック抵抗 R_f 、バイアス電圧源204を備える。

20

【0010】

演算増幅器202の非反転入力端子には、バイアス電圧源204により生成されたバイアス電圧 V_{bias} が入力される。バイアス電圧 V_{bias} は、オーディオ信号 V_{in} を増幅する際には、電源電圧 V_{dd} の1/2程度に設定される。演算増幅器202の反転入力端子には、入力キャパシタ C_i 、入力抵抗 R_i を介して、オーディオ信号 V_{in} が入力される。フィードバック抵抗 R_f は、演算増幅器202の出力端子と反転入力端子の間に設けられる。

【0011】

入力キャパシタ C_i によって、入力電圧 V_{in} の直流成分が除去され、交流信号成分 $V_{in'}$ が抽出される。交流信号成分 $V_{in'}$ は、 $-(R_f/R_i)$ 倍に増幅され、直流のバイアス電圧 V_{bias} に重畳される。つまり出力電圧 V_{out} と入力電圧の信号成分 $V_{in'}$ には以下の関係が成り立つ。

30

$$V_{out} = -(R_f/R_i) \times V_{in'} + V_{bias} \quad \dots (1)$$

【0012】

オーディオアンプ201がシャットダウン状態から起動する際の動作を検討する。シャットダウン状態では、電源電圧 V_{dd} は0Vであり、バイアス電圧 V_{bias} も0Vとなっている。電源が投入されると、バイアス電圧源204は、バイアス電圧 V_{bias} を時間とともに、0Vから目標値 V_{bmax} まで緩やかに上昇させる。

【0013】

オーディオアンプ201を、電源電圧 V_{dd} が低い、たとえば0.9V程度の領域で動作させたい場合、 $V_{thn} < V_{thp}$ となる半導体プロセスでは、演算増幅器202の入力段の差動対をNチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)で構成する場合が多い。 V_{thn} はNチャンネルMOSFETのしきい値電圧、 V_{thp} はPチャンネルMOSFETのしきい値電圧である。

40

【0014】

しかしながら、入力差動対をNチャンネルMOSFETで構成した場合、 $V_b < V_{thn}$ の領域で、演算増幅器202が正常に動作せず、つまり式(1)が成り立たず、 V_{out} が V_{bias} に対して線形でなくなる。この非線形性によって、図6(b)に示すように、オーディオアンプ201の起動時に、バイアス電圧 V_{bias} を時間とともに上昇させても、出力電圧 V_{out} が急峻に立ち上がり、ノイズが発生するという問題が生ずる。

50

【0015】

上述の問題を解決するために、演算増幅器としてNチャンネルMOSFETの入力差動対とPチャンネルMOSFETの入力差動対を備えるレイル-レイル(Rail to Rail)アンプを用いる手段が有効である。しかしながらレイル-レイルアンプを用いると、回路面積が増大し、および/または、消費電流が増加するという問題が生ずる。

【0016】

同様の問題は、オーディオアンプ以外においても発生しうる。

【0017】

本発明はこうした課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、起動時の線形性が改善された非反転増幅器の提供にある。

10

【課題を解決するための手段】

【0018】

1. 本発明のある態様は、オーディオ信号増幅回路に関する。オーディオ信号増幅回路は、カップリングキャパシタを介して電気音響変換素子を駆動する反転アンプと、基準電圧源と、放電経路と、第2スイッチと、を備える。反転アンプは、演算増幅器と、その第1端子に増幅対象のオーディオ信号を受け、その第2端子が演算増幅器の反転入力端子と接続された入力抵抗と、その第1端子が演算増幅器の反転入力端子と接続され、その第2端子が演算増幅器の出力端子と接続された帰還抵抗と、を含む。基準電圧源は、バイアス電圧を生成し、演算増幅器の非反転入力端子に供給する。放電経路は、基準電圧源の出力端子と固定電圧端子の間に直列に設けられた放電抵抗および第1スイッチを含む。第2スイッチは、演算増幅器の出力端子と、放電経路上のノードであって放電抵抗よりも高電位側のノードとの間に設けられる。

20

【0019】

この態様によれば、反転アンプをオフ状態とする際に、第1スイッチと第2スイッチをオンとすることで、演算増幅器の出力端子と非反転入力端子はほぼ等電位となることが保証される。したがって次に反転アンプをオン状態にするタイミングで、演算増幅器の出力端子と非反転入力端子の電位にほとんど差が生じないため、ノイズの発生を抑制できる。

【0020】

第1スイッチは、放電抵抗より低電位側に設けられてもよい。第2スイッチは、演算増幅器の出力端子と基準電圧源の出力端子との間に設けられてもよい。

30

第1スイッチをNチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)もしくはNPN型バイポーラトランジスタで構成する場合に、その制御端子(ゲートもしくはベース)に対して、固定電圧(接地電圧)を基準とする制御信号(ゲート電圧もしくはベース電圧)を与えればよいため、回路構成を簡素化できる。

【0021】

ある態様のオーディオ信号増幅回路は、それぞれが複数チャンネルごとに設けられた複数の反転アンプと、それぞれが複数チャンネルごとに設けられた複数の第2スイッチと、を備えてもよい。各チャンネルの第2スイッチは、対応するチャンネルの演算増幅器の出力端子と、放電経路上のノードであって放電抵抗よりも高電位側のノードとの間に設けられてもよい。

40

この場合、複数のチャンネル間で、電気音響変換素子に印加される電圧レベルを揃えることができ、ノイズが発生したとしても、複数チャンネル間でその音量を揃えることができる。

【0022】

第1スイッチは放電抵抗より低電位側に設けられてもよい。各チャンネルの第2スイッチは、対応するチャンネルの演算増幅器の出力端子と基準電圧源の出力端子との間に設けられてもよい。

【0023】

ある態様において、演算増幅器、第1スイッチ、第2スイッチ、放電抵抗は、ひとつの半導体基板上に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべて

50

が半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。増幅回路を1つのIC(Integrated Circuit)として集積化することにより、回路面積を削減することができる。

【0024】

2. 本発明の別の態様は、入力信号を反転増幅する反転増幅器に関する。この反転増幅器は、第1導電型のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)を含む第1入力差動対と、第2導電型のMOSFETを含む第2入力差動対とを有する演算増幅器と、その一端が演算増幅器の反転入力端子に接続され、その他端に増幅対象の入力信号を受ける入力抵抗と、演算増幅器の反転入力端子と出力端子の間に設けられたフィードバック抵抗と、バイアス電圧を生成し、演算増幅器の非反転入力端子に供給するバイアス電圧源と、第2入力差動対のアクティブ、非アクティブを切りかえる制御部と、を備える。

10

【0025】

この態様によると、第2入力差動対をアクティブとした場合、演算増幅器が実質的にレイル-レイルアンプとして動作するため圧範囲を広げることができ、第2入力差動対を非アクティブとした場合、回路の消費電流を抑制することができる。

【0026】

制御部は、バイアス電圧に応じた電圧が所定のしきい値より低いときに第2入力差動対をアクティブに、しきい値より高いときに第2入力差動対を非アクティブにしてもよい。

20

ここでの「電圧Aに応じた電圧B」とは、電圧Bが電圧Aそのものである場合の他、電圧Bが電圧Aと同じレベルを有する場合、もしくは電圧Bが電圧Aに比例する場合、あるいは電圧Bが電圧Aに遅延して変化する場合、それらの組み合わせなどを含む。

【0027】

制御部は、反転増幅器の起動開始(電源投入)から所定時間経過前に第2入力差動対をアクティブに、経過後に第2入力差動対を非アクティブにしてもよい。

【0028】

制御部は、第2入力差動対に対するテイル電流の供給を制御することにより第2入力差動対のアクティブ、非アクティブを切りかえてもよい。

【0029】

30

反転増幅器は、第2入力差動対のテイル電流の経路上に設けられた遮断トランジスタをさらに備えてもよい。制御部は遮断トランジスタのオン、オフを切りかえてもよい。

【0030】

第1入力差動対はNチャンネルMOSFETで構成され、第2導電型はPチャンネルMOSFETで構成されてもよい。

【0031】

PチャンネルMOSFETのしきい値電圧は、NチャンネルMOSFETのしきい値電圧より大きくてもよい。

【0032】

第2入力差動対の電流能力は、第1入力差動対の電流能力よりも低くてもよい。この場合、回路面積を削減することができる。

40

【0033】

なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したのもまた、本発明の態様として有効である。

【発明の効果】

【0034】

本発明のある態様に係るオーディオ信号増幅回路によればノイズを抑制できる。

【図面の簡単な説明】

【0035】

【図1】第1の実施の形態に係るオーディオ信号増幅回路を備えるオーディオ再生装置の

50

構成を示すブロック図である。

【図2】図1のオーディオ信号増幅回路の動作を示すタイムチャートである。

【図3】比較技術に係るオーディオ信号増幅回路の構成を示す回路図である。

【図4】図3のオーディオ信号増幅回路のシャットダウンシーケンスを示すタイムチャートである。

【図5】図5(a)、(b)は、変形例に係るオーディオ信号増幅回路の構成の一部を示す回路図である。

【図6】図6(a)、(b)は、一般的な反転増幅器のオーディオアンプの構成を示す回路図およびその動作を示すタイムチャートである。

【図7】図7(a)、(b)は、第2の実施の形態に係る反転増幅器の構成を示す回路図である。

【図8】図7の反転増幅器の動作を示すタイムチャートである。

【図9】図7(b)の演算増幅器の詳細な構成例を示す回路図である。

【図10】変形例に係る反転増幅器の構成を示す回路図である。

【発明を実施するための形態】

【0036】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0037】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

【0038】

(第1の実施の形態)

図1は、第1の実施の形態に係るオーディオ信号増幅回路(ヘッドホンアンプ)100を備えるオーディオ再生装置2の構成を示すブロック図である。オーディオ再生装置2は、オーディオ信号(音声信号)を出力する機能を有し、携帯電話端末、ポータブルオーディオプレイヤー、ヘッドホンアンプ、据え置き型オーディオコンポなどさまざまな電子機器に搭載される。

【0039】

オーディオ再生装置2は、音源4、入力キャパシタC1、出力キャパシタC2、オーディオ信号増幅回路100、ヘッドホン6を備える。図1のオーディオ再生装置2は、ステレオ2チャンネル構成である。ただし本発明はこれに限定されず、モノラル構成であってもよいし、3チャンネル以上で構成されてもよい。なお、ステレオの2チャンネルを区別するために、各素子には、LおよびRの添え字を付すものとし、特に両者を区別する必要が無い場合は適宜省略する。

【0040】

音源4_L、4_Rはそれぞれ、LチャンネルとRチャンネルのオーディオ信号V_{IL}、V_{IR}を生成する。オーディオ信号増幅回路100は、入力キャパシタC1_L、C1_Rを介して、オーディオ信号V_{IL}、V_{IR}を受ける。オーディオ信号増幅回路100は、オーディオ信号V_{IL}、V_{IR}を増幅し、出力キャパシタC2_L、C2_Rを介してヘッドホン6_L、6_Rに出力する。

【0041】

以下、オーディオ信号増幅回路100の構成を説明する。

10

20

30

40

50

オーディオ信号増幅回路100は、チャンネルごとに設けられた反転アンプ10_L、10_R、基準電圧源20、キャパシタC3、放電経路12、チャンネルごとに設けられた第2スイッチSW2_L、SW2_R、制御部16を備える。

【0042】

反転アンプ10_Lおよび10_Rは同様に構成される。反転アンプ10は、演算増幅器14、入力抵抗R_i、帰還抵抗R_{f b}を含む。入力抵抗R_iは、その第1端子に増幅対象のオーディオ信号V_Iを受け、その第2端子が演算増幅器14の反転入力端子(-)と接続される。帰還抵抗R_{f b}は、その第1端子が演算増幅器14の反転入力端子(-)と接続され、その第2端子が演算増幅器14の出力端子と接続される。

【0043】

反転アンプ10は、対応する入力キャパシタC1を介して入力されたオーディオ信号V_Iを、バイアス電圧V_bを基準として、利得 $g (= -R_{fb} / R_i)$ にて反転増幅する。

【0044】

基準電圧源20は、バイアス電圧V_bを生成し、演算増幅器14の非反転入力端子(+)に供給する。基準電圧源20の出力端子P1には、バイアス電圧V_bを安定化させるためのキャパシタC3が接続されている。

【0045】

放電経路12は、基準電圧源20の出力端子P1と固定電圧端子(接地端子)の間に直列に設けられた放電抵抗R_{d i s}および第1スイッチSW1を含む。

【0046】

第2スイッチSW2は、演算増幅器14の出力端子と、放電経路12上のノードであって放電抵抗R_{d i s}よりも高電位側のノードとの間に設けられる。具体的には、図1において第1スイッチSW1は放電抵抗R_{d i s}よりも低電位側に設けられており、この場合、第2スイッチSW2は、対応する演算増幅器14の出力端子と基準電圧源20の出力端子P1との間に設けられる。

【0047】

第1スイッチSW1は、NチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)もしくはNPN型バイポーラトランジスタで構成できる。第1スイッチSW1を放電抵抗R_{d i s}より低電位側に設けることにより、その制御端子(ゲートもしくはベース)に対して、オフ時に固定電圧(接地電圧)を、オン時に接地電圧を基準とするハイレベルを印加すればよいため、回路構成を簡素化できる。

【0048】

制御部16は、第1スイッチSW1、第2スイッチSW2_L、SW2_R、演算増幅器14_L、14_Rおよび基準電圧源20のオン、オフ状態を制御するための制御信号S1~S4を生成する。制御信号S1は第1スイッチSW1に入力され、制御信号S2_L、S2_Rは第2スイッチSW2_L、SW2_Rに入力され、制御信号S3_L、S3_Rは第3スイッチSW3_L、SW3_Rに入力され、制御信号S3は基準電圧源20に入力される。以下では、制御信号のハイレベル(アサート状態)が、各部材のオンに対応するものとする。

【0049】

各チャンネルの演算増幅器14_L、14_R、第1スイッチSW1、放電抵抗R_{d i s}、第2スイッチSW2_L、SW2_R、制御部16は、ひとつの半導体基板上に集積化される。入力抵抗R_i、帰還抵抗R_{f b}を半導体基板の外部に設けることで、入力抵抗R_i、帰還抵抗R_{f b}の回路定数を変更することにより反転アンプ10の利得を変更できる。

なお、入力抵抗R_iおよび帰還抵抗R_{f b}を、演算増幅器14等とともに一体集積化してもよい。この場合、半導体パッケージの端子数を減らすことができる。

【0050】

以上がオーディオ信号増幅回路100の構成である。続いてその動作を説明する。

【0051】

図2は、図1のオーディオ信号増幅回路100の動作を示すタイムチャートである。最上段はバイアス電圧V_bおよび演算増幅器14_L、14_Rの出力電圧V_{O L}、V_{O R}の直

10

20

30

40

50

流成分を示す。

【 0 0 5 2 】

時刻 t_0 にオーディオ信号増幅回路 100 の起動が指示される。これを契機として制御部 16 は、制御信号 S_1 、 S_4 をハイレベルとして基準電圧源 20 をオンする。また制御部 16 は制御信号 S_1 、 S_2 をローレベルとして第 1 スイッチ SW_1 、第 2 スイッチ SW_2 をオフする。

【 0 0 5 3 】

時刻 t_0 以降、基準電圧源 20 によってキャパシタ C_3 が充電され、バイアス電圧 V_b が目標値に向かって時間とともに上昇していく。演算増幅器 14_L 、 14_R の出力電圧 V_{O_L} 、 V_{O_R} は、バイアス電圧 V_b に追従して上昇する。

10

バイアス電圧 V_b が目標値となる時刻 $t_1 \sim t_2$ が再生期間であり、入力されたオーディオ信号 V_{I_L} 、 V_{I_R} が増幅される。

【 0 0 5 4 】

時刻 t_2 に再生停止が指示される。これを契機として制御部 16 は、基準電圧源 20 に対して、バイアス電圧 V_b を低下させるように指示する。時刻 $t_2 \sim t_3$ の期間、バイアス電圧 V_b は目標値の 20% 程度まで低下する。この間、演算増幅器 14_L 、 14_R はオン状態であるから、その出力電圧 V_{O_L} 、 V_{O_R} はバイアス電圧 V_b に追従して低下する。

【 0 0 5 5 】

時刻 t_3 に、制御部 16 は基準電圧源 20 をオフするとともに、第 1 スイッチ SW_1 、第 2 スイッチ SW_2 をオンする。第 1 スイッチ SW_1 がオンすることで、キャパシタ C_3 が放電抵抗 R_{dis} 、第 1 スイッチ SW_1 を介して放電され、バイアス電圧 V_b は接地電圧 ($0V$) に向かって低下していく。出力キャパシタ C_{2_L} 、 C_{2_R} は、第 2 スイッチ SW_{2_L} 、 SW_{2_R} および放電抵抗 R_{dis} 、第 1 スイッチ SW_1 を介して放電され、接地電圧に向かって低下する。この間、出力電圧 V_{O_L} 、 V_{O_R} の電位はキャパシタ C_3 の一端のバイアス電圧 V_b と実質的に一致している。

20

【 0 0 5 6 】

時刻 t_4 に、再びオーディオ信号増幅回路 100 の起動が指示される。これを受け、基準電圧源 20 は第 1 スイッチ SW_1 、第 2 スイッチ SW_2 をオフするとともに、基準電圧源 20 および演算増幅器 14 をオンする。以降の処理は上述の通りである。

30

【 0 0 5 7 】

この実施の形態によれば、時刻 t_2 以降の一連のシャットダウンシーケンスにおいて、演算増幅器 14 の非反転入力端子 (+) の電位と、出力端子の電位 V_O が実質的に一致する。したがって、次にオーディオ信号増幅回路 100 を起動する際に、演算増幅器 14 をオンしたタイミングで、その非反転入力端子とその出力端子の電位は一致しているので、実質的にノイズが発生しないか、あるいは発生したとしても極めて微量であるという効果が得られる。

【 0 0 5 8 】

この効果は、図 3 に示す比較技術との対比によってさらに明確となる。図 3 は、比較技術に係るオーディオ信号増幅回路 200 の構成を示す回路図である。図 3 において、演算増幅器 14 の出力端子の放電経路 (R_{dis2} 、 SW_{12}) と、その非反転入力端子 (+) の放電経路 (R_{dis1} 、 SW_{11}) は独立している。図 4 は、図 3 のオーディオ信号増幅回路 200 のシャットダウンシーケンスを示すタイムチャートである。

40

【 0 0 5 9 】

時刻 t_2 に再生停止が指示される。これを契機として制御部 (不図示) は、基準電圧源 20 に対して、バイアス電圧 V_b を低下させるように指示する。時刻 $t_2 \sim t_3$ の期間、バイアス電圧 V_b は目標値の 20% 程度まで低下し、それに追従して出力電圧 V_{O_L} 、 V_{O_R} も低下する。

【 0 0 6 0 】

時刻 t_3 に、制御部 16 は基準電圧源 20 をオフするとともに、第 1 スイッチ SW_{11}

50

、第2スイッチSW12をオンする。第1スイッチSW11がオンすることで、キャパシタC3が放電抵抗Rdis1、第1スイッチSW11を介して放電され、バイアス電圧Vbは接地電圧(0V)に向かって低下していく。出力キャパシタC2Lは、第2スイッチSW12L、放電抵抗Rdis2Lを介して、出力キャパシタC2Rは第2スイッチSW12Rおよび放電抵抗Rdis2Rを介して放電される。各キャパシタC3、C2L、C2Rの放電速度は、それぞれの放電経路の時定数に応じて異なる。したがって図示のごとく電圧Vb、VOL、VORは異なる電位をとりうる。

【0061】

時刻t4に、再びオーディオ信号増幅回路200の起動が指示される。これを受け、基準電圧源20は第1スイッチSW11、第2スイッチSW12をオフするとともに、基準電圧源20および演算増幅器14をオンする。

10

【0062】

図3の回路では時刻t4のタイミングにおいて、演算増幅器14の出力端子と非反転入力端子(+)に電位差(VO-Vb)が生じている。時刻t4に演算増幅器14がオンすると、この電位差を解消するために、出力キャパシタC2に充電電流(もしくは放電電流)が流れ、それがノイズとなってヘッドホン6から出力される。

【0063】

このように図3の比較技術では、停止状態から再生状態の復帰に際し、ノイズが発生するおそれがあるところ、図1のオーディオ信号増幅回路100によれば、このノイズを抑制することができる。

20

【0064】

また図3のオーディオ信号増幅回路200では、チャンネルごとに異なる大きさのノイズが発生しうることから、聴感上好ましくない。これに対し、図1のオーディオ信号増幅回路100では各チャンネルの出力電圧VOL、VORが実質的に等しくなるため、ノイズが発生したとしても、その大きさが揃っているため、ユーザに与える不快感を軽減できる。

【0065】

また図3のオーディオ信号増幅回路200との対比において、図1のオーディオ信号増幅回路100を別の観点から見ると、基準電圧源20の出力端子P1、出力キャパシタC2L、C2Rは、共通の放電抵抗Rdisを介して放電されることが特徴として把握できる。放電抵抗Rdisを共通化することにより、各放電経路のCR時定数を揃えることができ、さらに回路面積を削減することができるという利点がある。

30

【0066】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、いくつかの変形例を説明する。

【0067】

図5(a)、(b)は、変形例に係るオーディオ信号増幅回路100の構成の一部を示す回路図である。

【0068】

40

図5(a)において、放電経路12aを形成する第1スイッチSW1aと放電抵抗Rdisaの配置が、図1のそれと反対となっている。つまり放電抵抗Rdisaの方が低電位側となっている。この変形例では、キャパシタC3は放電経路12aを介して放電され、出力キャパシタC2Lは第2スイッチSW2Lおよび放電経路12aを介して放電され、出力キャパシタC2Rは第2スイッチSW2Rおよび放電経路12aを介して放電される。

【0069】

図5(b)の変形例の放電経路12bは、図5(a)の放電経路12aと同様である。この変形例では、第2スイッチSW2Lの一端は、第1スイッチSW1bと放電抵抗Rdisbの接続点と接続される。第2スイッチSW2Rの一端も同様である。

50

【0070】

この変形例において、キャパシタ C_3 は図5(a)と同様に、放電経路12aを介して放電される。出力キャパシタ C_{2L} は、第2スイッチ SW_{2L} および放電抵抗 R_{disb} を介して、出力キャパシタ C_{2R} は、第2スイッチ SW_{2R} および放電抵抗 R_{disb} を介して放電される。

【0071】

図5(a)、(b)の変形例によっても、図1のオーディオ信号増幅回路100と同様の効果を得ることができる。

【0072】

なお、図1および図5(b)では、演算増幅器14の出力端子は、単一のスイッチ SW_2 を介して基準電圧源20と接続される。一方、図5(a)では演算増幅器14の出力端子は、2つのスイッチ SW_2 、 SW_{1a} を介して基準電圧源20と接続される。このことから図1や図5(a)の構成では、図5(b)と比較して演算増幅器14の非反転入力端子(+)と出力端子の電位差が小さくなるため、ノイズ抑制の観点から有利である。

【0073】

(第2の実施の形態)

図7(a)、(b)は、第2の実施の形態に係る反転増幅器101の構成を示す回路図である。図7(a)は、反転増幅器101の全体の構成を示す。

反転増幅器101は、オーディオ再生機能を備える電子機器1に搭載され、オーディオ信号(入力信号 V_{in})を増幅し、後段のスピーカやヘッドホンなどの電気音響変換素子3を駆動する。電気音響変換素子3と反転増幅器101の間は、出力抵抗 R_o および出力キャパシタ C_o でカップリングされる。

【0074】

反転増幅器101は、演算増幅器11、バイアス電圧源21、制御部22、入力抵抗 R_i 、フィードバック抵抗 R_f 、入力キャパシタ C_i を備える。

【0075】

演算増幅器11の非反転入力端子(+)には、バイアス電圧源21により生成されたバイアス電圧 V_{bias} が入力される。バイアス電圧 V_{bias} は、入力信号 V_{in} を増幅する際には、 $V_{bmax} = V_{dd} / 2$ 程度に設定される。演算増幅器11の反転入力端子(-)には、入力キャパシタ C_i 、入力抵抗 R_i を介して、オーディオ信号 V_{in} が入力される。フィードバック抵抗 R_f は、演算増幅器11の出力端子と反転入力端子(-)の間に設けられる。以上の構成は図6と共通である。

【0076】

図7(b)は、演算増幅器11の入力段の構成を示す回路図である。演算増幅器11は、一般的なレイル-レイルアンプと同様に、2つの入力差動対13、15を備えている。すなわち、第1入力差動対13は、第1導電型(Nチャンネル)のMOSトランジスタ M_1 、 M_2 を含み、第2入力差動対15は第2導電型(Pチャンネル)のMOSトランジスタ M_3 、 M_4 を含む。トランジスタ M_1 のゲートとトランジスタ M_3 のゲートは、演算増幅器11の非反転入力端子(+)と接続され、トランジスタ M_2 のゲートとトランジスタ M_4 のゲートは、演算増幅器11の反転入力端子(-)と接続される。またトランジスタ M_1 、 M_2 のソースは共通に接続され、テイル電流 I_{t1} を発生するテイル電流源17と接続される。トランジスタ M_3 、 M_4 のソースは共通に接続され、テイル電流 I_{t2} を発生するテイル電流源19と接続される。当業者であれば、トランジスタ $M_1 \sim M_4$ のドレインには、カレントミラー負荷もしくは抵抗負荷が接続され、差動増幅の結果が出力段へと供給されることが理解でき、本発明においてその構成は特に限定されない。

【0077】

演算増幅器11が一般的なレイル-レイルアンプと異なるのは、2つの入力差動対13、15のうち的一方(15)が、アクティブ状態(オン)、非アクティブ状態(オフ)を切り替え可能となっている点である。

【0078】

10

20

30

40

50

本実施の形態において演算増幅器 11 は、NチャンネルMOSFETのしきい値電圧 V_{thn} よりも、PチャンネルMOSFETのしきい値電圧 V_{thp} の方が大きいプロセスを用いて構成されることを前提としている。

PチャンネルMOSFETの第2入力差動対15が、アクティブ、非アクティブの切り替え対象であることは、この前提のもとで有効である。なぜなら、第2入力差動対15が非アクティブな状態では、第1入力差動対13によって入力信号 V_{in} が増幅されるところ、NチャンネルMOSFETのしきい値電圧 V_{thn} が低いことにより、増幅可能な入力信号 V_{in} の電圧範囲を広くとれるからである。

【0079】

テイル電流 I_{t2} が供給されるとき、第2入力差動対15がアクティブとなり、テイル電流 I_{t2} が遮断されるとき、第2入力差動対15は非アクティブとなる。第2入力差動対15のアクティブ、非アクティブを切り換えるため、遮断トランジスタ $SW5$ がテイル電流 I_{t2} の経路上に設けられている。遮断トランジスタ $SW5$ は、制御信号 CNT に応じてオン、オフが制御される。

【0080】

図7(a)に戻る。制御部22は制御信号 CNT を生成し、第2入力差動対15のアクティブ、非アクティブを制御する。具体的には、制御部22はバイアス電圧源21により生成されるバイアス電圧 V_{bias} に応じた電圧を監視する。図7(a)においてバイアス電圧 V_{bias} に応じた電圧は、バイアス電圧 V_{bias} そのものである。制御部22は、バイアス電圧 V_{bias} が所定のしきい値電圧 V_t より低いとき、第2入力差動対15をアクティブに、バイアス電圧 V_{bias} がしきい値電圧 V_t より高いとき、第2入力差動対15を非アクティブにする。しきい値電圧 V_t は、NチャンネルMOSFETのしきい値電圧 V_{thn} より高い値に設定することが望ましい。本実施の形態では、バイアス電圧 V_{bias} の目標値 V_{bmax} 付近に設定される。

【0081】

以上が反転増幅器101の構成である。続いてその動作を説明する。図8は、図7の反転増幅器101の動作を示すタイムチャートである。時刻 t_0 に回路が起動し、バイアス電圧源21は、バイアス電圧 V_{bias} を0Vから目標値 V_{bmax} に向けて増大させる。時刻 $t_0 \sim t_1$ の期間、 $V_{bias} < V_{bmax}$ であるため、遮断トランジスタ $SW5$ はオンしている。つまり、図7(b)の演算増幅器11はPチャンネルMOSFETとNチャンネルMOSFETの両方がアクティブなレイル-レイルアンプとして動作する。そのため演算増幅器11の非反転入力端子に入力されるバイアス電圧 V_{bias} が、 V_{thn} より低い領域(1)においても、出力電圧 V_{out} は、バイアス電圧 V_{bias} に良好に追従する。つまり高い線形性が実現されている。

【0082】

時刻 t_1 に、バイアス電圧 V_{bias} が V_{bmax} に達すると、遮断トランジスタ $SW5$ がオフする。その結果、演算増幅器11の第2入力差動対15が非アクティブとなり、回路の消費電流が低減される。この状態において、演算増幅器11が正常に動作する入力電圧範囲は、 V_{thn} から $(V_{dd} - V_{sat})$ となる。 V_{sat} は、演算増幅器11の電源端子に接続される電流源(PチャンネルMOSFET)の飽和電圧である。

【0083】

オーディオ信号を再生中の反転増幅器101において、つまり時刻 t_1 以降において、演算増幅器11の非反転入力端子の電位は $V_{dd}/2 (= V_{bmax})$ に固定され、反転入力端子の電位は、 $V_{dd}/2$ を中心として、 $\pm V_a$ の範囲で正負方向にスイングする。ここで V_a は、オーディオ信号 V_{in} の信号成分の半振幅 V_a である。したがって

$$V_a < (V_{dd}/2 - V_{thn})$$

$$V_a < (V_{dd}/2 - V_{sat})$$

を満たす限り、歪みを抑えて増幅することができる。

【0084】

以上が反転増幅器101の動作である。このように反転増幅器101によれば、高い線

10

20

30

40

50

形性を実現できる。また、オーディオ信号を増幅中の消費電流を、レイル - レイルアンプを用いた場合に比べて低減できる。

【0085】

また、図7(b)の第2入力差動対15は、バイアス電圧 V_{bias} の立ち上げ時のみ利用され、オーディオ信号の増幅には利用されない。一般的なレイル - レイルアンプでは、低歪みを実現するために、第1入力差動対13と第2入力差動対15の電流能力をバランスさせる必要があり、第2入力差動対15の面積が大きくなるという問題があった。これに対して、本実施の形態では、第2入力差動対15はオーディオ信号の増幅に利用されないため、歪みを考慮する必要がない。つまり第2入力差動対15の電流能力を第1入力差動対13の電流能力に比べて小さく設計できるため、第2入力差動対15のサイズを一般的なレイル - レイルアンプに比べて小さくできる。

10

【0086】

図9は、図7(b)の演算増幅器11のより詳細な構成例を示す回路図である。なお図9の構成は例示的に示すものであり、本発明を限定する趣旨ではない。第1入力差動対13および第2入力差動対15のドレインにはそれぞれ、負荷としてカスコードカレントミラー回路30、32が接続されている。また第1入力差動対13および第2入力差動対15のソースには、カスコードカレントミラー形式のテイル電流源17、19が接続されている。カスコードカレントミラー回路30、32の出力は、プッシュプル出力段34へと入力される。スイッチ $SW6 \sim SW8$ は、パワーダウン信号 PDB に応じて、演算増幅器11をシャットダウンするために設けられる。バイアス回路36は、基準電流 I_{ref} を受け、演算増幅器11の各トランジスタのバイアス状態(ゲート電圧)を調節する。

20

【0087】

続いて演算増幅器の好ましい設計手法を説明する。

近年、半導体集積回路の動作電圧(電源電圧)は低下の一途とたどっており、 $V_{dd} = 1.5V$ 程度での動作が要求される場合もある。このように低電圧動作可能な演算増幅器を設計するためには、それを構成する $MOSFET$ のしきい値電圧 V_{th} を下げる必要がある。しきい値電圧 V_{th} を下げるためには、

- (1) K パラメータを変更する
 - (2) キャリア濃度を増加させる
- といったアプローチが取り得る。

30

【0088】

前者はトランジスタのリーク電流を増加させることなくしきい値電圧を下げるができるというメリットがあるが、酸化膜厚等を変更する必要があり、実施のハードルが高い。 K パラメータとは、横軸にゲート電圧を、縦軸にドレイン電流の対数をとった電圧・電流特性の傾きを示す。

【0089】

一方後者のアプローチはプロセスにレイヤーを追加すれば実現できるが、しきい値電圧 V_{th} を下げたことによりリーク電流が増加する。リーク電流とはトランジスタがオフ状態においてトランジスタのチャンネルに流れる電流である。したがって、このアプローチで $MOSFET$ のしきい値電圧 V_{th} を下げ、演算増幅器を構成すると、シャットダウン時の電流が増加する。

40

【0090】

そこで、演算増幅器11を形成するトランジスタのうち、電源ライン(電源端子)と接地ライン(接地端子)の間の経路上に直列に接続される $MOSFET$ のうち、少なくともひとつを通常のしきい値電圧(たとえば $0.7V$)を有する $MOSFET$ とし、残りを低しきい値電圧(たとえば $0.4V$)を有する $MOSFET$ で構成する。

【0091】

図9の演算増幅器11を例に説明する。電源ライン V_{dd} と接地ライン V_{ss} の間の複数の電流パスそれぞれに、通常のしきい値電圧 V_{th} を有するトランジスタ $M11 \sim M16$ が設けられ、その他のトランジスタは低しきい値電圧 V_{thL} を有している。

50

【0092】

具体的には第1入力差動対13のテイル電流源の一部であるトランジスタM11と、第2入力差動対15の負荷であるカスコードカレントミラー回路30のトランジスタM12、M13と、プッシュプル出力段34のトランジスタM14、M15、M16が、通常しきい値電圧 V_{th} を有している。

【0093】

この設計手法によれば、演算増幅器11の入力電圧範囲を十分に確保しつつ、低電源電圧で動作可能となる。また、すべてのトランジスタを低しきい値電圧 V_{thL} のトランジスタとせず、各経路の少なくともひとつのトランジスタを通常のしきい値電圧 V_{th} で設計することにより、各トランジスタのリーク電流が大きなプロセスを用いた場合であって

10

【0094】

なお、すべての経路について通常しきい値電圧 V_{th} のトランジスタを設ける必要はなく、トランジスタサイズが大きな経路についてのみ、通常しきい値電圧 V_{th} のトランジスタを配置してもよい。この場合でも、リーク電流(シャットダウン電流)を低減することができる。

【0095】

ここでは、各経路の最も低電位側に配置されるNチャンネルMOSFETを通常しきい値電圧 V_{th} で形成する場合を説明したが、本発明はそれに限定されず、最も高電位側のPチャンネルMOSFETを通常しきい値電圧 V_{th} としてもよい。

20

【0096】

この設計手法の適用範囲は、図9の演算増幅器11にのみ限定されるものではなく、低電圧動作するべき、その他の形式の演算増幅器にも広く適用可能である。たとえば演算増幅器は必ずしもレイル-レイル(Rail to Rail)構成である必要はなく、差動対が単一の演算増幅器であってもよい。

【0097】

この設計手法は、本明細書においては、図1、図3の演算増幅器14_L、14_R、図6(a)の演算増幅器202、図7(a)の演算増幅器11、図9の演算増幅器11、図10の演算増幅器11などに適用可能である。

【0098】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

30

【0099】

実施の形態では、バイアス電圧 V_{bias} がしきい値 V_t (V_{bmax})に達したことを検出し、第2入力差動対15のアクティブ、非アクティブを切り換えていたが、本発明はそれに限定されない。たとえばしきい値 V_t は、NチャンネルMOSFETのしきい値電圧 V_{thn} より高い任意の電圧に設定してもよい。

【0100】

また電圧比較を行わずに、制御部22は、反転増幅器101の起動開始(電源投入)から所定時間経過前に第2入力差動対15をアクティブに、所定時間の経過後に第2入力差動対15を非アクティブにしてもよい。この場合、所定時間は、起動開始後、バイアス電圧 V_{bias} が、NチャンネルMOSFETのしきい値電圧 V_{thn} より高くなるのに要する時間より長く設定すればよい。

40

【0101】

図10は、変形例に係る反転増幅器の構成を示す回路図である。

図7(a)の制御部22に代えて、図10の反転増幅器101aは制御部22aを備える。制御部22aは、バイアス電圧 V_{bias} に応じた(比例する)電圧として、バイアス電圧 V_{bias} そのものではなく、入力抵抗 R_i とフィードバック抵抗 R_f の接続点の電圧 V_{in1} を監視する。

50

【0102】

あるいはバイアス電圧 V_{bias} に応じた電圧として、入力抵抗 R_i と入力キャパシタ C_i の接続点の電圧 V_{in_2} を監視してもよい。さらなる変形例として制御部は、バイアス電圧 V_{bias} に応じた電圧として、出力電圧 V_{out} を監視してもよい。

【0103】

そして制御部 22a は、電圧 V_{in_1} が所定のしきい値電圧 V_t より低いとき、第2入力差動対 15 をアクティブに、電圧 V_{in_1} がしきい値電圧 V_t より高いとき、第2入力差動対 15 を非アクティブにする。しきい値電圧 V_t は、NチャンネルMOSFETのしきい値電圧 V_{thn} より高い値に設定することが望ましく、たとえばバイアス電圧 V_{bias} の目標値 V_{bmax} よりわずかに低い値に設定される。

10

【0104】

具体的に制御部 22a は、コンパレータ 24 および遅延回路 26 を含む。コンパレータ 24 は電圧 V_{in_1} としきい値電圧 V_{th} を比較する。遅延回路 26 は、コンパレータ 24 の出力信号を遅延させて、演算増幅器 11 に対する制御信号 CNT を発生する。なお遅延回路 26 は省略してもよい。

【0105】

図10の反転増幅器 101a において、演算増幅器 11 にイマジナリショートが成り立つため、演算増幅器 11 の非反転入力端子と反転入力端子の電位は等しくなるようにフィードバックがかかる。つまり、回路の起動とともにバイアス電圧 V_{bias} が上昇すると、演算増幅器 11 の出力電圧 V_{out} および反転入力端子の電圧がバイアス電圧 V_{bias} に追従して上昇する。なお反転入力端子の電圧 V_{in_1} の変化は、バイアス電圧 V_{bias} に対して、抵抗 R_f 、 R_i および入力キャパシタ C_i によって定まる時定数だけ遅れる。つまり、入力端子の電圧 V_{in_1} は、バイアス電圧 V_{bias} に応じた電圧となっていることがわかる。

20

【0106】

したがって、入力電圧 V_{in_1} があるしきい値電圧 V_{th} に達したタイミングにおいては、バイアス電圧 V_{bias} がしきい値電圧 V_{th} に達していることが保証される。したがってこの変形例によれば、図7(a)の反転増幅器 101 と同様に、第2入力差動対 15 の状態を好適に制御することができる。

【0107】

図10の反転増幅器 101a はさらに、フィードバックスイッチ SW_f および入力スイッチ SW_i を備える。フィードバックスイッチ SW_f は演算増幅器 11 の出力端子と演算増幅器 11 の反転入力端子の間に設けられる。入力スイッチ SW_i は、入力抵抗 R_i とフィードバック抵抗 R_f との接続点と演算増幅器 11 の反転入力端子の間に設けられる。

30

【0108】

制御部 22a は、入力電圧 V_{in_1} がしきい値電圧 V_{th} に達する前にフィードバックスイッチ SW_f をオンしており、達した後にフィードバックスイッチ SW_f をオフする。また制御部 22a は、入力スイッチ SW_i をフィードバックスイッチ SW_f と相補的に切りかえる。

【0109】

フィードバックスイッチ SW_f を設け、入力電圧 V_{in_1} がしきい値電圧 V_{th} に達するまでの期間オンすると、この期間、演算増幅器 11 がボルテージフォロアとして機能する。つまり出力電圧 V_{out} をバイアス電圧 V_{bias} に従って緩やかに上昇させることができ、ノイズの発生が抑制しつつミュート状態を実現できる。またこの期間に、入力スイッチ SW_i をオフすることにより、入力電圧 V_{in} 、あるいは入力キャパシタ C_i を充電する際に発生するノイズが演算増幅器 11 に入力されないため、ノイズを抑制することができる。

40

【0110】

さらに入力スイッチ SW_i やフィードバックスイッチ SW_f の制御を、演算増幅器 11 の差動対の制御と同期して行うことにより、回路構成を簡略化することができる。

50

【0111】

なお、図10の回路から入力スイッチSWiを省略してもよい。さらにフィードバックスイッチSWfを省略してもよい。

【0112】

実施の形態では、オーディオ信号を増幅する反転増幅器101について説明したが、増幅対象はオーディオ信号に限定されず、その他のアプリケーションにも本発明は有効である。

【0113】

実施の形態にもとづき、具体的な語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が可能である。

10

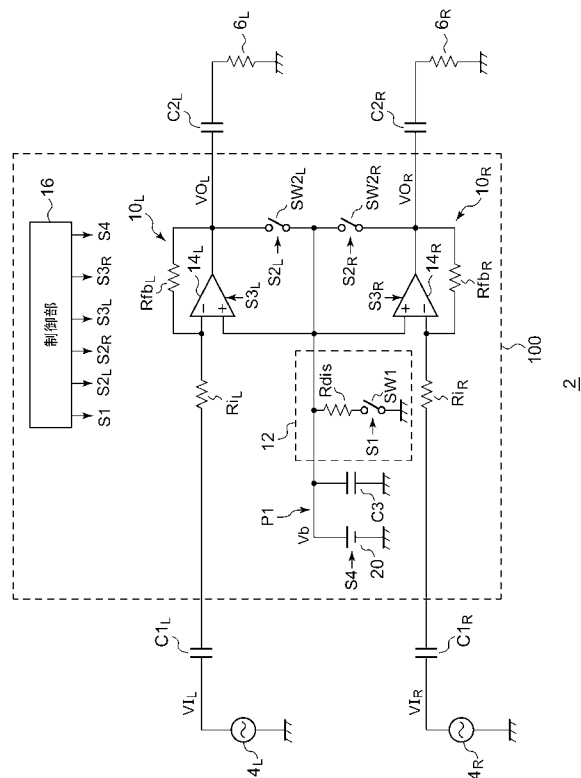
【符号の説明】

【0114】

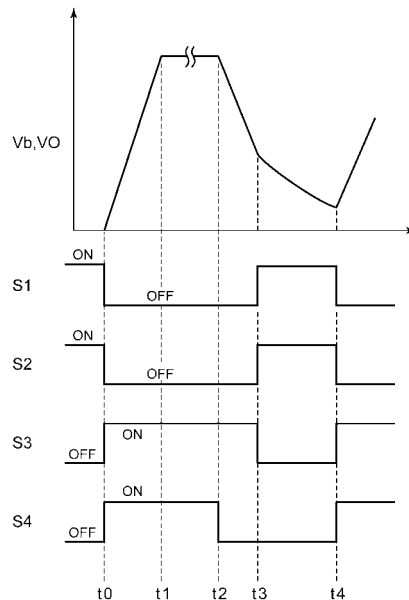
2...オーディオ再生装置、100...オーディオ信号増幅回路、SW1...第1スイッチ、SW2...第2スイッチ、C1...入力キャパシタ、C2...出力キャパシタ、Ri...入力抵抗、Rfb...帰還抵抗、4...音源、6...ヘッドホン、10...反転アンプ、12...放電経路、14...演算増幅器、16...制御部、20...基準電圧源、C3...キャパシタ、Rdis...放電抵抗、S1、S2、S3、S4...制御信号、Ci...入力キャパシタ、Co...出力キャパシタ、Ri...入力抵抗、Rf...フィードバック抵抗、Ro...出力抵抗、SW5...遮断トランジスタ、1...電子機器、3...電気音響変換素子、11...演算増幅器、13...第1入力差動対、15...第2入力差動対、21...バイアス電圧源、22...制御部、101...反転増幅器、SWf...フィードバックスイッチ、SWi...入力スイッチ。

20

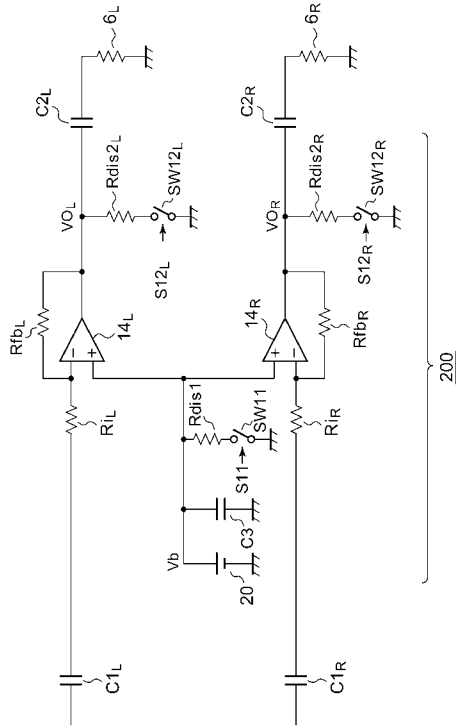
【図1】



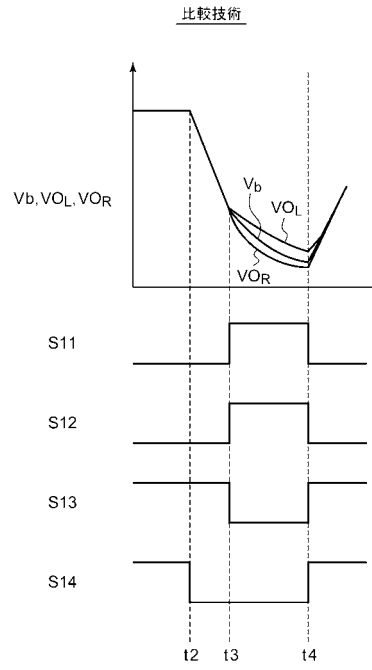
【図2】



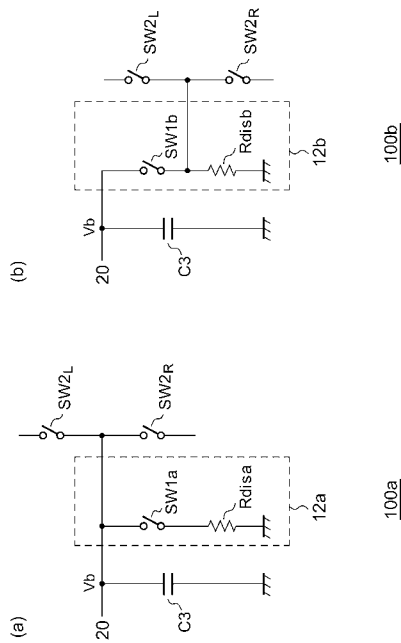
【 図 3 】



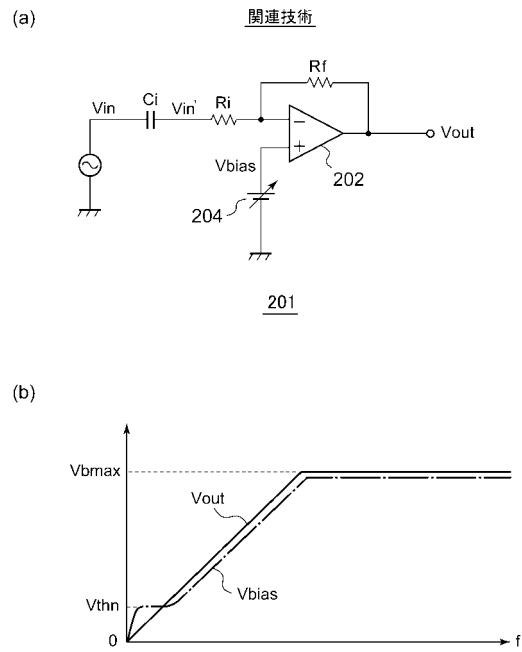
【 図 4 】



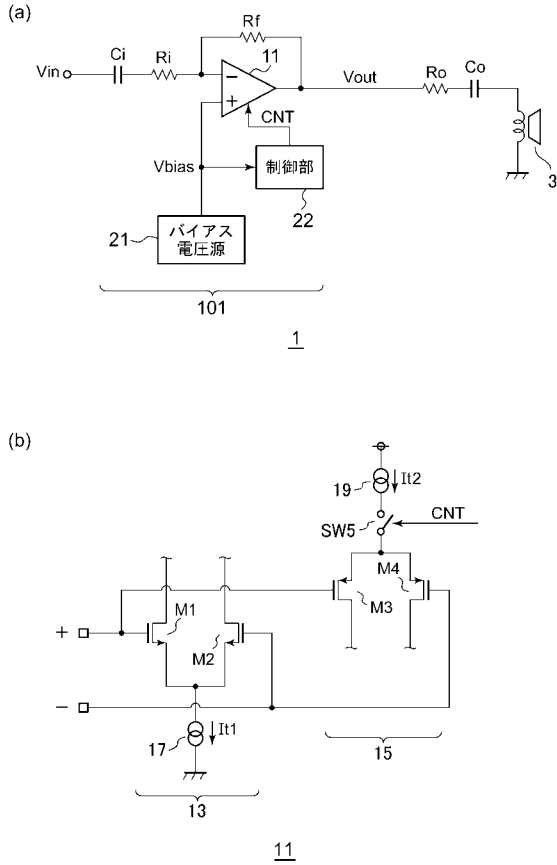
【 図 5 】



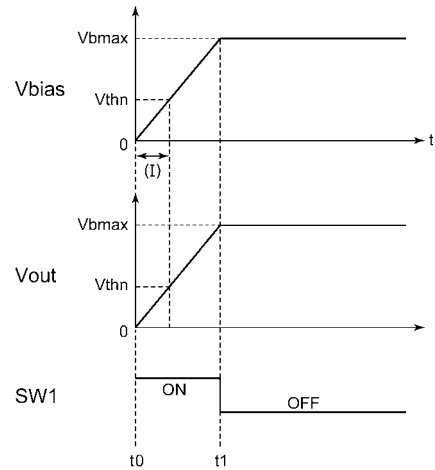
【 図 6 】



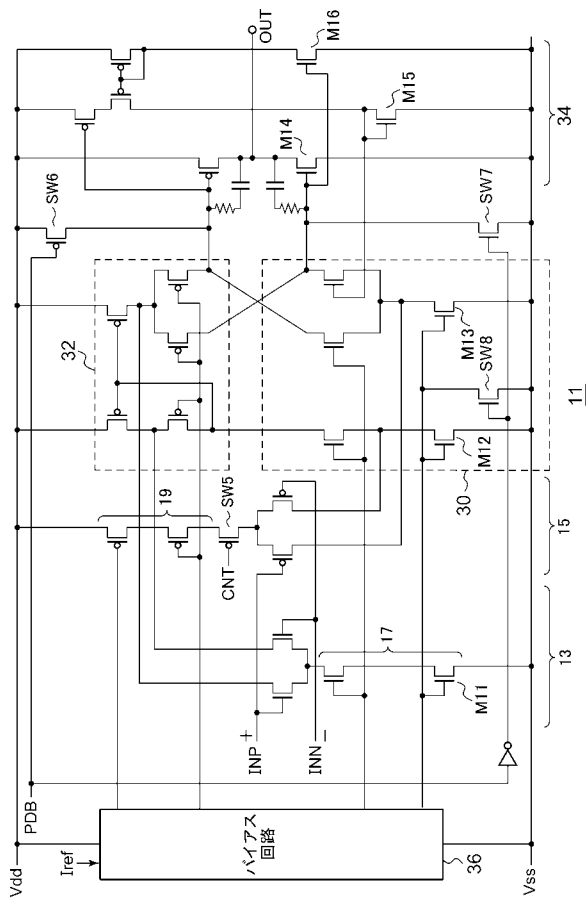
【図7】



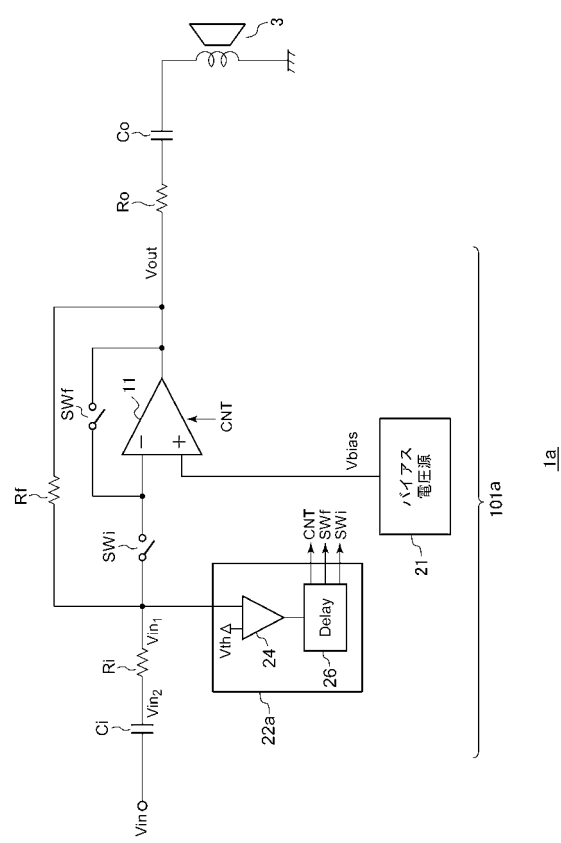
【図8】



【図9】



【図10】



フロントページの続き

- (56)参考文献 特開2006-332994(JP,A)
特公平02-021686(JP,B2)
特開2008-219294(JP,A)
特開平11-145731(JP,A)
特開平08-237051(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F	1/00
H03F	3/183
H04R	3/00