



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0047944
(43) 공개일자 2011년05월09일

- | | |
|--|--|
| <p>(51) Int. Cl.
<i>H03K 19/0175</i> (2006.01)</p> <p>(21) 출원번호 10-2010-0008644</p> <p>(22) 출원일자 2010년01월29일
심사청구일자 없음</p> <p>(30) 우선권주장
12/610,276 2009년10월31일 미국(US)</p> | <p>(71) 출원인
엘에스아이 코퍼레이션
미국 캘리포니아 밀피타스 바이버 레인 1621 (우:95035)</p> <p>(72) 발명자
판카즈 쿠마
시1 브리그톤 코트 아나스와미 무달리아 로드 울소, 방가로어, 카나타카 560042
프라모드 에라만누 파라메스와란
번호13, 에덴 가든 레이아웃, 셰이크리드 하트 로드 티.시.팔야.케이.알.푸람, 방가로어, 카나타카 560036, 인디아
(뒷면에 계속)</p> <p>(74) 대리인
정강원</p> |
|--|--|

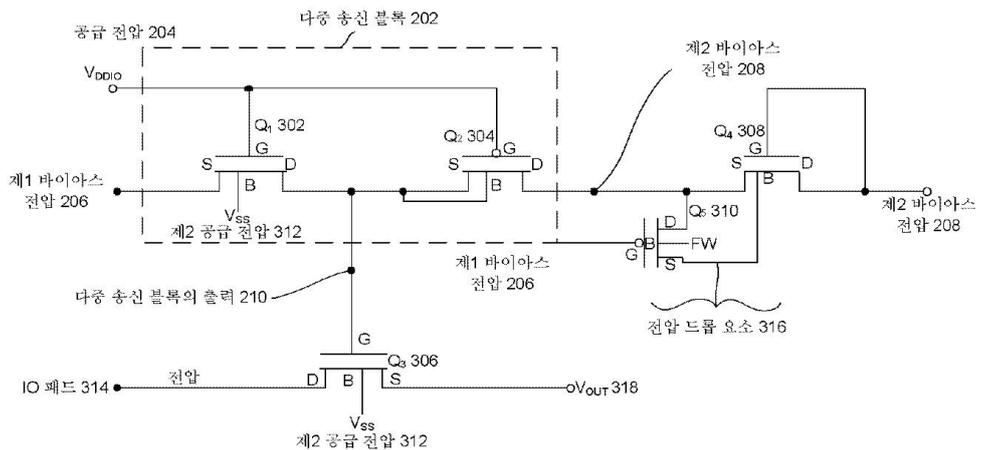
전체 청구항 수 : 총 20 항

(54) 집적회로 시스템에서 다양한 전압 레벨 요구 사이에서의 인터페이싱

(57) 요약

본 발명에 따른 방법은, 공급 전압으로부터 콘트롤 가능하게 제1 바이어스 전압을 IO 리시버의 작동 전압의 허용 상한값 이내에서 생성하는 단계, 및 IO 패드를 통해 인가된 외부 전압으로부터 제2 바이어스 전압을 상기 IO 리시버의 작동 전압의 허용 상한값 내에서 콘트롤 가능하게 생성하는 단계를 포함한다. 또한, 정상 상태 및 허용 상태 동안에는 상기 제1 바이어스 전압으로부터 출력 전압을 유도하는 단계 및 페일세이프 상태 동안에는 상기 제2 바이어스 전압으로부터 상기 출력 전압을 유도하는 단계도 포함한다. 상기 허용 상태는 상기 IO 패드를 통해 인가된 상기 외부 전압이 제로에서부터 상기 공급 전압보다 높은 전압까지 변화하는 작동 모드이며, 상기 페일세이프 상태는 상기 공급 전압이 제로인 작동 모드이다.

대표도



다중 송신 회로200의 트랜지스터 실링 300

(72) 발명자

마케쉬와 코산다라만

900 믹체이 로드 마파트 와이2-2, 화이트홀, 피에이 18052

바니 데쉬판데

에이치. 번호. 606비 란카 칼러니 반네그하타 로드, 방가로어, 카나타카 560076, 인디아

조안 크리즈

200 아이언우드 로드 팔머톤, 피에시 18071

특허청구의 범위

청구항 1

입력/출력(I/O) 리시버의 작동 전압 허용 상한값 내에서 공급 전압으로부터 제1 바이어스 전압을 콘트롤 가능하게 생성하는 단계;

I/O 패드를 통해 인가된 외부 전압으로부터, 상기 I/O 리시버의 작동 전압의 허용 상한값 내에서 제2 바이어스 전압을 콘트롤 가능하게 생성하는 단계;

상기 I/O 패드를 통해 인가된 상기 외부 전압이 제로에서부터 상기 공급 전압 이상의 값까지 변화하는 허용 상태 및 정상 상태 동안에는 상기 제1 바이어스 전압으로부터 출력 전압을 유도하는 단계; 및

상기 공급 전압이 제로가 되는 페일세이프 상태 동안에는 상기 제2 바이어스 전압으로부터 상기 출력 전압을 유도하는 단계

를 구비하는 방법.

청구항 2

청구항 1에 있어서, 상기 제1 바이어스 전압으로서, 상기 공급 전압의 부분을 콘트롤 가능하게 생성하는 단계를 구비하는 방법.

청구항 3

청구항 1에 있어서, 적어도 하나의 능동 소자의 임계 전압에 의해 상기 I/O 패드를 통해 인가된 상기 외부 전압을 감소시킴으로서 상기 제2 바이어스 전압을 콘트롤 가능하게 생성하는 단계를 구비하는 방법.

청구항 4

청구항 1에 있어서, 상기 공급 전압의 존재 유무에 기초하여 상기 제1 바이어스 전압 및 상기 제2 바이어스 전압 중 하나를 출력하도록 상기 제1 바이어스 전압 및 상기 제2 바이어스 전압을 다중화하는 단계를 구비하는 방법.

청구항 5

청구항 4에 있어서, 상기 제1 바이어스 전압 및 상기 제2 바이어스 전압을 다중화하는 방법은:

제1 MOS 트랜지스터의 소스 터미널 및 드레인 터미널 중 하나에서 상기 제1 바이어스 전압을 수신하는 단계;

제2 MOS 트랜지스터의 소스 터미널 및 드레인 터미널 중 하나에서 상기 제2 바이어스 전압을 수신하는 단계;

상기 제1 MOS 트랜지스터 및 상기 제2 MOS 트랜지스터 각각의 게이트 터미널에서 상기 공급 전압을 수신하는 단계; 및

상기 제1 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제1 바이어스 전압을 수신하지 않는 하나를 상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하지 않는 하나와 결합시키는 단계

를 더 구비하는 방법.

청구항 6

청구항 5에 있어서,

상기 제1 MOS 트랜지스터의 벌크 터미널에 제2 공급 전압을 결합시키는 단계;

상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하지 않는 하나를 상기 제2 바이어스 MOS 트랜지스터의 벌크 터미널과 결합시키는 단계; 및

상기 제1 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제1 바이어스 전압을 수신하지 않

는 하나를 상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하지 않는 하나와 결합시키는 경로를 통해서 상기 정상 상태 및 상기 허용 상태 동안의 상기 제1 바이어스 전압과 상기 페일세이프 상태 동안의 상기 제2 바이어스 전압 중 하나로부터 상기 다중화 단계의 출력을 유도하는 단계

를 더 구비하는 방법.

청구항 7

청구항 6에 있어서,

상기 다중화 단계의 출력을 패스 MOS 트랜지스터의 게이트 터미널에 인가하는 단계;

상기 패스 MOS 트랜지스터의 소스 터미널 및 드레인 터미널 중 하나를 상기 IO 패드를 통해 인가된 상기 외부 전압과 결합시키는 단계;

상기 패스 MOS 트랜지스터의 벌크 터미널을 상기 제2 공급 전압과 결합시키는 단계; 및

상기 IO 패드를 통해 인가된 상기 외부 전압과 연결되지 않은 상기 패스 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 하나로부터의 출력으로서 상기 다중화 단계의 출력으로부터 상기 출력 전압을 유도하는 단계

를 더 구비하는 방법.

청구항 8

청구항 7에 있어서,

상기 다중화 단계의 출력으로부터 유도된 상기 출력 전압을 상기 IO 리시버와 안정적으로 인터페이스 시키는 단계

를 더 구비하는 방법.

청구항 9

청구항 7에 있어서,

상기 제2 바이어스 전압을 위한 누설 경로를 제공하여 상기 다중화 단계의 출력으로부터 유도된 상기 출력 전압이 상기 IO 리시버의 상기 작동 전압의 허용 상한값 내에 있도록 하는 단계

를 더 구비하는 방법.

청구항 10

공급 전압으로부터 콘트롤 가능하게 생성된 제1 바이어스 전압 및 IO 패드를 통해 인가된 외부 전압으로부터 콘트롤 가능하게 생성된 제2 바이어스 전압을 수신하도록 구성되며, 상기 제1 바이어스 전압 및 상기 제2 바이어스 전압은 IO 리시버의 작동 전압의 허용 상한값 내에 있고,

정상 상태 및 허용 상태 동안의 상기 제1 바이어스 전압 및 상기 공급 전압의 존재 유무에 기초한 페일세이프 상태 동안의 상기 제2 바이어스 전압에 기초한 출력 중 하나를 출력하도록 구성된

멀티플렉서 블록을 구비하고,

상기 허용 상태는 상기 IO 패드를 통해 인가된 상기 외부 전압이 제로에서부터 상기 공급 전압 이상의 값까지 변화하는 작동 모드이며,

상기 페일세이프 상태는 상기 공급 전압이 제로인 작동 모드인 회로.

청구항 11

청구항 10에 있어서,

상기 제1 바이어스 전압은 상기 공급 전압의 일부이며, 그리고

상기 제2 바이어스 전압은 적어도 하나의 능동 소자의 임계 전압에 의해 감소된 상기 IO 패드를 통해 인가된 상기 외부 전압과 동일한 회로.

청구항 12

청구항 10에 있어서,

상기 멀티플렉서 블록은:

자신의 소스 터미널 및 드레인 터미널 중 하나에서 상기 제1 바이어스 전압을 수신하도록 구성된 제1 MOS 트랜지스터; 및

자신의 소스 터미널 및 드레인 터미널 중 하나에서 상기 제2 바이어스 전압을 수신하도록 구성된 제2 MOS 트랜지스터를 구비하고,

상기 제1 MOS 트랜지스터 및 상기 제2 MOS 트랜지스터 각각의 게이트 터미널은 상기 공급 전압을 수신하도록 구성되며, 그리고

상기 제1 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제1 바이어스 전압을 수신하도록 구성되지 않은 하나는 상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하도록 구성되지 않은 하나와 결합되도록 구성되는 회로.

청구항 13

청구항 12에 있어서,

상기 제1 MOS 트랜지스터의 벌크 터미널은 제2 공급 전압과 결합되도록 구성되고,

상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하도록 구성되지 않은 하나는 상기 제2 MOS 트랜지스터의 벌크 터미널과 결합되도록 구성되며, 그리고

상기 멀티플렉서 블록의 출력은, 상기 제1 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제1 바이어스 전압을 수신하도록 구성되지 않은 하나와 상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하도록 구성되지 않은 하나를 결합하도록 구성된 경로로부터 유도되는 회로.

청구항 14

청구항 13에 있어서, 자신의 게이트 터미널에서 상기 멀티플렉서 블록의 출력을 수신하도록 구성된 패스 MOS 트랜지스터를 더 구비하며,

상기 패스 MOS 트랜지스터의 소스 터미널 및 드레인 터미널은 상기 IO 패드를 통해 인가된 상기 외부 전압과 결합되도록 구성되고,

상기 패스 MOS 트랜지스터의 벌크 터미널은 상기 제2 공급 전압과 결합되도록 구성되며, 그리고

출력 전압은, 상기 IO 패드를 통해 인가된 상기 외부 전압과 연결되도록 구성되지 않은 상기 패스 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 하나로부터 유도되는 회로.

청구항 15

청구항 14에 있어서, 상기 패스 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 IO 패드를 통해 인가된 상기 외부 전압과 결합되도록 구성되지 않은 하나로부터 유도된 상기 출력 전압은 상기 IO 리시버와 인터페이스되는 회로.

청구항 16

청구항 14에 있어서, 상기 패스 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 IO 패드를 통해 인가된 상기 외부 전압과 연결되도록 구성되지 않은 하나로부터 유도된 상기 출력 전압이 상기 IO 리시버의 작동 전압의 허용 상한값 내에 있음을 보장하도록 상기 제2 바이어스 전압을 위한 누설 경로를 더 구비하는 회로.

청구항 17

집적회로의 IO 패드;

IO 리시버; 및

상기 집적회로의 상기 IO 패드가 상기 IO 리시버와 인터페이스 되도록 구성된 IO 인터페이스 회로를 구비하고,

상기 IO 인터페이스 회로는:

공급 전압으로부터 콘트롤 가능하게 생성된 제1 바이어스 전압 및 상기 집적회로의 IO 패드를 통해 인가된 외부 전압으로부터 콘트롤 가능하게 생성된 제2 바이어스 전압을 수신하도록 구성되며, 상기 제1 바이어스 전압 및 상기 제2 바이어스 전압은 상기 IO 리시버의 작동 전압의 허용 상한값 내에 있으며, 그리고

상기 공급 전압의 존재 유무에 기초하여, 정상 상태 및 허용 상태 동안의 상기 제1 바이어스 전압 및 페일세이프 상태 동안의 상기 바이어스 전압에 기초한 출력 중 하나를 출력하도록 구성되는 멀티플렉서 블록을 구비하며,

상기 페일세이프 상태는 상기 공급 전압이 제로인 작동 모드인 집적회로 시스템.

청구항 18

청구항 17에 있어서,

상기 제1 바이어스 전압은 상기 공급 전압의 일부이며, 그리고

상기 제2 바이어스 전압은 적어도 하나의 능동 소자의 임계 전압에 의해 감소된 상기 집적회로의 IO 패드를 통해 인가된 상기 외부 전압과 동일한 집적회로 시스템.

청구항 19

청구항 17에 있어서,

상기 멀티플렉서 블록은:

자신의 소스 터미널 및 드레인 터미널 중 하나에서 상기 제1 바이어스 전압을 수신하도록 구성된 제1 MOS 트랜지스터; 및

자신의 소스 터미널 및 드레인 터미널 중 하나에서 상기 제2 바이어스 전압을 수신하도록 구성된 제2 MOS 트랜지스터를 구비하고,

상기 제1 MOS 트랜지스터 및 상기 제2 MOS 트랜지스터의 게이트 터미널 각각은 상기 공급 전압을 수신하도록 구성되며, 그리고

상기 제1 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제1 바이어스 전압을 수신하도록 구성되지 않은 하나는 상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하도록 구성되지 않은 하나와 결합되도록 구성되는 집적회로 시스템.

청구항 20

청구항 19에 있어서,

상기 제1 MOS 트랜지스터의 벌크 터미널은 제2 공급 전압과 결합되도록 구성되고,

상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하도록 구성되지 않은 하나는 상기 제2 MOS 트랜지스터의 벌크 터미널과 연결되도록 구성되며, 그리고

상기 멀티플렉서 블록의 출력은, 상기 제1 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제1 바이어스 전압을 수신하도록 구성되지 않은 하나와 상기 제2 MOS 트랜지스터의 상기 소스 터미널 및 상기 드레인 터미널 중 상기 제2 바이어스 전압을 수신하도록 구성되지 않은 하나를 결합하도록 구성된 경로로부터 유도되는 집적회로 시스템.

명세서

기술분야

[0001] 본 발명은 전자 회로에 관한 것으로, 보다 특정하게는 다양한 전압 레벨 요구 사이에서 안정적인 인터페이스(interfacing)이 가능한 방법, 장치 및 시스템에 관한 것이다.

배경기술

[0002] 입력/출력(IO) 인터페이스 회로(104)는 **도면 1**에서 도시된 바와 같이, IO 리시버(106)와 집적회로(IC)의 IO 패드(102)를 인터페이스시킨다. IO 패드는 IC가 외장 기기에 부착되게 한다. **도면 1**의 IC 시스템(100)은 IO 리시버(106)와 IO 패드(102)에 다른 전압 레벨을 요구한다. **도면 1**의 IC 시스템 100은 IO 패드(102)와 IO 리시버(106)에 서로 다른 전압 레벨을 요구한다. 예를 들어, IO 패드(102)에서의 전압은 높고(예: 3.465, 5.5 V 또는 3.3 V, + 5% 허용오차, 5V + 10% 허용오차) IO 리시버의 작동 전압은 낮다(예: 2.5 V). 공급 전압에는 다양한 전압 레벨이 있게 된다.

[0003] IO 인터페이스 회로(104)와 IO 리시버(106)의 활동 능동 소자(예: 금속 산화막 반도체(MOS) 트랜지스터)는 자신의 작동 전압의 허용가능한 상한값(예: 1.98 V, 또는 1.8 V + 10% 허용오차)을 가지기도 한다. 리시버의 작동 전압보다 높은 전압(예: 2.5 V)이 리시버로 입력되면, IO 리시버(106)의 활동 능동 소자는 스트레스를 받게 되고, 이것은 IO 리시버(106)의 안전도에 영향을 준다. 비슷하게, IO 인터페이스 회로(104)의 활동 능동 소자 또한 스트레스를 받게 된다.

[0004] 능동 소자로서 MOS 트랜지스터를 고려하면, MOS 트랜지스터의 드레인(D) 터미널 및 게이트(G) 터미널에서의 전압이 허용 상한값을 넘어서면, 스트레스하의 MOS 트랜지스터의 게이트 (G) 산화물은 파손될 수도 있다.

발명의 내용

해결하려는 과제

[0005] 본 명세서에는, 다양한 전압 레벨 요구 사이에서의 입력/ 출력(IO) 인터페이스 회로를 실현하기 위한 방법, 장치 및 시스템에 관한 것이다.

과제의 해결 수단

[0006] 일 측면에서, 공급전압으로부터 IO 리시버의 공급전압이 허용 상한값 내에서 제1 바이어스 전압을 콘트롤 가능하게 생성하고, IO 리시버의 작동 전압의 허용 상한값 내에서 IO 패드를 통해서 공급된 외부 전압으로부터 콘트롤 가능하도록 제2 바이어스 전압을 생성하는 것이 포함된다. 또한, 정상 상태와, 허용 상태하에서 제1 바이어스 전압으로부터 출력 전압을 생성하고, 페일세이프(failsafe) 상태 동안 제2 바이어스 전압으로부터 출력 전압을 생성하는 것을 포함한다.

[0007] 허용 상태는 IO 패드를 통해 인가된 외부 전압이 제로에서부터 공급 전압보다 높은값까지 변화하는 작동 모드이고, 페일세이프 상태는 공급 전압이 제로인 작동 모드이다.

[0008] 더 다른 측면에서, 본 발명에 따른 회로는 멀티플렉서 블록을 포함한다. 멀티플렉서 블록은 공급 전압으로부터 콘트롤 가능하게 생성된 제1 바이어스 전압과 IO패드를 통해서 공급된 외부 전압으로부터 콘트롤 가능하게 생성된 제2 바이어스 전압을 수신하도록 구성된다. 제1 바이어스 전압과 제2 바이어스 전압은 모두 IO 리시버의 작동 전압의 허용 상한값 이내에 있다. 멀티플렉서 블록은 정상 상태와 허용 상태하에서 제1바이어스 전압을 출력하고, 공급전압이 없거나 현재의 상태에 대응하도록 되어 있는 페일세이프 상태하에서 제2 바이어스 전압을 출력하도록 구성되어 있다.

[0009] 허용 상태는 IO패드를 통해 인가된 외부 전압이 제로에서부터 공급 전압보다 더 높은값까지 변화하는 작동 모드이고, 페일세이프 상태는 공급 전압이 제로인 곳에서의 작동 모드이다.

[0010] 더 다른 측면에서, 집적 회로 시스템은 집적 회로의 IO패드를 포함하고 IO리시버와 집적 회로의 IO 패드가 인터페이스로 되도록 구성된 IO 인터페이스 회로를 포함한다. IO 인터페이스 회로는 멀티플렉서 블록을 포함한다. 멀티플렉서 블록은 공급 전압으로부터 콘트롤이 가능하게 생성된 제1 바이어스 전압과 집적회로의 IO 패드를 통해서 공급된 외부 전압으로부터 콘트롤이 가능하게 생성된 제2 바이어스 전압을 송신하도록 구성된다. 제1 바

이어스 전압과 제2 바이어스 전압은 모두 IO 리시버의 작동 전압의 허용 상한값 이내에 있다. 멀티플렉서 블록은 정상 상태하에서 제1 바이어스 전압을 출력하고 공급 전압이 없거나 현재 상태에 상응하는데 기초하는 안전 조건하에서 제2 바이어스 전압을 기초로 하여 출력하도록 구성한다.

[0011] 허용 조건은, 작동 모드가 외부 전압이 직접 회로의 IO 패드가 제로에서 공급 전압보다 높을 때이고, 안전 조건은 공급 전압이 제로일때 작동모드이다.

[0012] 본 명세서에 개시된 방법 및 시스템들은 다양한 측면을 충족하기 위해서 여러 방식으로 구현될 수 있고, 기계에 의해서 작동될 경우에 본 명세서에서 공개된 작동을 기계가 실행시키기 위해서, 기계 판독 가능한 설명서 형태 안에서 실행될 수 있다. 더 다른 특징들은 첨부된 도면 및 발명의 상세한 설명을 통해서 분명해질 것이다.

발명의 효과

[0013] 다양한 전압 레벨 요구 사이에서의 입력/ 출력(IO) 인터페이스 회로를 실현할 수 있다.

도면의 간단한 설명

[0014] 본 발명의 실시예들은 첨부한 도면을 참고하여 예의 방법으로 설명한 것으로, 이것으로 한정되는 것은 아니며 유사한 구성부분에는 같은 참조번호를 사용한다.

도면1은 입력/출력(IO) 인터페이스 회로를 포함하는 집적회로(IC) 시스템의 시스템도,

도면2는 하나 이상의 실시예에 따른 멀티플렉서 회로의 개략도,

도면3은 하나 이상의 실시예에 따른 **도면2**의 멀티플렉서 회로의 트랜지스터 구현을 보여주는 개략도,

도면4는 하나 이상의 실시예에 따른, 허용 작동 모드 동안 **도면3**의 멀티플렉서 회로의 트랜지스터 구현의 DC 특성도,

도면5는 하나 이상의 실시예에 따른, 페일세이프 작동 모드 동안 **도면3**의 멀티플렉서 회로의 트랜지스터 구현의 DC 특성도,

도면 6은 하나 이상의 실시예에 따른, 허용 작동 모드 동안 **도면3**의 멀티플렉서 회로의 트랜지스터 구현의 과도 전류의 특성도,

도면7은 하나 이상의 실시예에 따른, 페일세이프 작동 모드하에서 **도면3**의 멀티플렉서 회로의 트랜지스터 실행의 과도 전류의 특성도,

도면8은 하나 이상의 실시예에 따른, IO 리시버와 인터페이스 될 출력 전압을 유도하는 방법에 포함되는 작동을 상세히 보여주는 처리 흐름도,

도면 9는 하나 이상의 실시예에 따른, **도면2**의 멀티플렉서 회로를 포함하는 IC 시스템의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 다른 특징들은 첨부한 도면 및 이하 설명할 발명의 상세한 설명을 통해 분명해질 것이다.

[0016] 후술하는 실시예들은 다양한 전압 레벨 요구사이에서의 인터페이스가 가능한 입력/출력(IO) 인터페이스 회로를 실현하는데 사용될 수 있다. 비록 본 실시예들이 특정 실시예를 참고하여 설명되고 있으나, 다양한 실시예의 광의의 정신 및 범위를 벗어나지 않고 다양한 수정 및 변형이 있을 수 있음은 분명한 것이다.

[0017] **도면2**는, 하나 이상의 실시예에 따른 멀티플렉서 회로(200)를 보여주고 있다. 하나 이상의 실시예에서, 멀티플렉서 회로(200)는 제1 바이어스 전압(206)과 제2 바이어스 전압(208)을 입력으로서 수신하는 멀티플렉서 블록(202)을 포함한다. 하나 이상의 실시예에서, 제1 바이어스 전압(206)은 공급전압(204)으로부터 콘트롤 가능하게 생성되고, 제2 바이어스 전압(208)은 입력/출력(IO) 패드를 통해서 인가된 외부 전압에 의해서 콘트롤 가능하게 생성된다. 하나 이상의 실시예에서, 제1 바이어스 전압(206)과 제2 바이어스 전압 (208)은 IO 리시버의 작동 전압의 허용 상한값 이내에 있다.

[0018] 하나 이상의 실시예에서, 멀티플렉서 블록210의 출력은 정상 상태와 허용 상태하에서 제1 바이어스 전압 206 이고 페일세이프 상태하의 제2 바이어스 전압에 기초한 출력이다. 하나 이상의 실시예에서, 허용 상태는 IO 패드를 통해 인가된 외부 전압이 제로에서 공급 전압(204)보다 높은값 까지 변화한다. 하나 이상의 실시예에서, 페

일세이프 상태는 공급 전압(204)이 제로인 작동 모드이다.

- [0019] 다시 말하면, **도면 2**에 도시된 바와 같이, 멀티플렉서 블록(210)의 출력은 공급 전압(204)의 존재 유무에 기초한다. 예를 들어 공급 전압(204)이 존재하면, 여기에서 로직 "1"을 나타냄, 멀티플렉서 블록(210)의 출력은 제1 바이어스 전압(206)과 같다. 공급 전압(204)가 제로이면, 여기에서 로직 "0"을 나타냄, 멀티플렉서 블록(210)의 출력은 제2 바이어스 전압(208)에 기반을 둔다.
- [0020] 하나 이상의 실시예에서, 제1 바이어스 전압(206)은 공급전압(204)의 부분으로서 콘트롤이 가능하도록 생성된다. 하나 이상의 실시예에서, 제2 바이어스 전압(208)은 하나 이상의 능동 소자(예: 금속 산화막 반도체(MOS) 트랜지스터)의 임계 전압에 의해 감소된 IO 패드를 통해서 인가된 외부 전압으로서 콘트롤이 가능하게 생성된다.
- [0021] **도면 3**은 하나 이상의 실시예에 따라, **도면2**의 멀티플렉서 회로(200)의 트랜지스터 구현(300)을 보여준다. MOS 트랜지스터의 소스(S) 터미널과 드레인(D) 터미널은 교체할 수 있고, 그러므로 소스(S) 터미널과 드레인(D) 터미널의 다른 전압의 출력과 연결된 전압은 드레인(D) 터미널과 소스(S) 터미널로부터의 다른 전압의 출력에 연결된 전압과 같다는 것은 당해 기술 분야의 통상의 지식가운데 하나로 분명하다. 드레인-드레인(D-D) 경로는 또한 소스-드레인(S-D)경로와 같다.
- [0022] 하나 이상의 실시예에 따르면, 멀티플렉서 블록(202)은 자신의 소스(S) 터미널에서 제1 바이어스 전압(206)을 수신하도록 구성된 제1 MOS 트랜지스터 Q₁ 302 와 자신의 드레인(D) 터미널에서 제2 바이어스 전압(208)을 수신하도록 구성된 제2 MOS 트랜지스터 Q₂ 304를 포함한다. 하나 이상의 실시예에 따르면, 제2 바이어스 전압(208) 또한 **도면3**에서 도시된 바와 같이, 전압 드롭 소자(316)에 의해 더 감소된다. 하나 이상의 실시예에 따르면, 전압 드롭(316)은 저항성이 있다. 하나 이상의 실시예에 따르면, 전압 드롭 소자(316)는 **도면 3**에 도시된 바와 같이 연결된 능동 소자(예:MOS 트랜지스터)를 포함한다.
- [0023] 하나 이상의 실시예에 따른, Q₁ 302 와 Q₂ 304 의 게이트(G) 터미널은 공급 전압204 (V_{DD10} 204)를 수신하도록 구성되었다. 하나 이상의 실시예에 따른, Q₁ 302의 드레인(D) 터미널 은 Q₂ 304의 소스(S) 터미널에 연결되어 있다. 하나 이상의 실시예에서, Q₁ 302의 벌크(B)터미널은 제2 공급 전압312 (V_{SS} 312)에서 생기고, Q₂ 304의 벌크(B)터미널 은 그곳의 소스(S) 터미널에 연결된다. 하나 이상의 실시예에 따른, 멀티플렉서 블록 210의 출력은 Q₁ 302 와 Q₂ 304사이의 드레인-소스(D-S)경로로부터 획득된다.
- [0024] 하나 이상의구체화에서, 제1 바이어스 전압 206은 V_{DD10} 204 (e.g., 0.7V_{DD10})의 부분이다. 하나 이상의 실시예에 따른, 제2 바이어스 전압 208은 예시 방정식1에서 처럼 IO 패드(IO 패드 314 전압)를 통해서 공급된 외부 전압 으로부터 생긴다.

수학식 1

[0025]
$$V_{SB} = IO_{PAD} - 2V_{tn}$$

- [0026] 여기서, V_{SB} 는 제2 바이어스 전압(208)이고, IO_{PAD} 는 IO 패드(IO 패드(314) 전압)를 통해서 공급된 외부 전압 이고, V_{tn} 은 하나의 능동 소자(예: MOS트랜지스터)의 임계 전압 드롭이다. 여기에, 두 개의 NMOS 트랜지스터는 제2 바이어스 전압(208)을 감소시키는데 사용된다.
- [0027] 하나 이상의 실시예에서, 정상 상태는 V_{DD10} 204 가 존재하는 작동 모드이고, IO pad(314) 전압은 제로에서 V_{DD10} 204까지 변화한다. 하나 이상의 실시예에서, 허용 상태는 V_{DD10} 204가 존재하는 작동 모드이고, IO 패드 314 전압은 제로에서 V_{DD10} 204보다 높은 값까지 변화한다. 그러므로, 허용 상태하에서의 회로 작동을 얘기하는 것은 정상 상태하의 회로 작동과 관련지어 얘기하는 것을 포함한다.
- [0028] 하나 이상의 실시예에서, V_{DD10} 204 (예:2.75 V, 또는 2.5 V + 10% 상위 허용 한계)는 앞서 언급한 바와 같이 존재한다. 예를 들어서 제1 바이어스 전압 206은 1.925 V (0.7V_{DD10})과 같다. 하나 이상의 실시예에서, 제1 바이어

스 전압 206은 트랜지스터 실행 306의 트랜지스터 구성의 허용 상한값 내에 있도록 선택된다. 하나 이상의 실시예에서, Q_2 304는 허용 작동하에서 Q_2 304의 게이트(G)터미널이 V_{DD10} 204로 묶여 있을 때 멀티플렉서 블록 102를 사용할 수 없다. 따라서, 하나 이상의 실시예에서, 제2 바이어스 전압 208의 경로는 차단된다. 하나 이상의 실시예에서, Q_1 302는 켜진다.

[0029] 하나 이상의 실시예에서, IO 패드 314 전압의 증가에도 불구하고, 멀티플렉서 블록 210의 출력은 제1 바이어스 전압 206과 같다. 예를 들면, V_{DD10} 204가 2.75V일때, 멀티플렉서 블록210의 출력은 1.925 V ($0.7V_{DD10}$)와 같다.

[0030] 하나 이상의 실시예에서, 페일세이프 작동하에서 V_{DD10} 204 는 위에서 언급한 대로 제로가 된다. 하나 이상의 실시예에서, 제2 바이어스 전압 208은 IO 패드 314 전압으로부터 유도되는데 이 수치는 다양하다. 예를 들어 IO 패드314 전압이 제로에서부터 3.465 V ($3.3V + 5\%$ 허용오차)까지 변할 때, 제2 바이어스 전압 208의 최고값은 2.1V인데, IO 패드 314 전압의 값을 3.465 V(여기에서 V_{tm} V_{tm} 은 대략0.68 V로 가정한다)로 하는 방정식1로부터 만들어 진것이다.

[0031] 하나 이상의 실시예에서, IO 패드 314 전압이 낮을때, Q_2 304 는 꺼지고 더불어 Q_1 302 (제1 바이어스 전압 206 이 제로)는 멀티플렉서 블록 210이 낮은 출력을 초래한다. 하나 이상의 실시예에서, IO 패드 314 전압이 최고값으로 증가할때, 제2 바이어스 전압 208 또한 증가한다. 하나 이상의 실시예에 따르면, 제2 바이어스 전압 208은 멀티플렉서 블록 210의 출력이다. 하나 이상의 실시예에서, 멀티플렉서 블록(210)의 출력은 더 나아가서 전압 드롭 요소 316의 공급을 통해서 IO 리시버의 공급 전압의 허용 상한값 내에 분명히 있도록 한다. 그러므로, 멀티플렉서 블록 210의 출력은 전압 드롭 소자(316)에서의 드롭을 제2 바이어스 전압 208 에서 제한 것과 같다.

[0032] 하나 이상의 실시예에서, 트랜지스터 실행 300은 더 나아가 MOS 트랜지스터 Q_3 306의 경로를 포함한다.. 하나 이상의 실시예에서, 멀티플렉서 블록 210의 출력은 Q_3 306 의 게이트 (G) 터미널에 적용된다. 하나 이상의 실시예에서, Q_3 306 의 드레인(D) 터미널은 IO 패드314 전압 레벨에서 생기고, Q_3 306 의 벌크 (B) 터미널은 Q_3 306에서 생긴다.

[0033] 하나 이상의 실시예에서, 허용 작동 모드에서 IO 패드 전압 314가 낮을때, Q_3 306의 소스(S) 터미널에서의 Q_3 306의 출력, V_{OUT} 318, 은 낮다. 하나 이상의 실시예에서, IO 패드 전압 314가 증가할때, Q_3 306 은 Q_3 306의 임계 전압에 의해 증가하거나 감소한 제1 바이어스 전압 206과 같아진 V_{OUT} 318 에 의해서 켜진다. 예를 들어서, Q_3 306 의 임계 전압이 -0.5 V 라고 가정하면, V_{DD10} 204 는 2.75 V 까지 증가하고 제1 바이어스 전압은 1.925 V 로 증가하고 그때, V_{OUT} 318 은 2.425V와 같다. 하나 이상의 실시예에 따른, Q_3 306 은 NMOS트랜지스터이거나 자연 MOS 트랜지스터이다. 하나 이상의 실시예에서, V_{OUT} 318 는IO리시버의 작동 전압의 허용 상한값 내에 있다. 하나 이상의 실시예에 따른, IO 패드 314 전압이 제1 바이어스 전압 206 에서 Q_3 306의 임계 전압을 제한 만큼 증가한다고 해도 V_{OUT} 318 는 IO 패드 314 전압이 제1 바이어스 전압 206에서 Q_3 306의 임계 전압을 제한 만큼과 같아지는 때의 값에 가까와 지도록 머문다. Q_3 306의 임계 전압이 마이너스일때 V_{OUT} 318는 제1 바이어스 전압 206보다 켜진다는것에 주의한다.

[0034] 하나 이상의 실시예에 따른, 페일세이프 작동 모드하에서(V_{DD10} 204 는0이다). 제1바이어스 전압 206은 0에 가깝고, 제2 바이어스 전압 208은 IO 패드 314의 변화에 의해서 방정식1의 예에서 처럼 다양하다. 하나 이상의 실시예에서, IO 패드 314 전압이 낮을때, V_{OUT} 318 또한 낮다. 하나 이상의 실시예에 따른, IO 패드 314 전압이 증가할때, V_{OUT} 318 또한 마이너스/플러스인 Q_3 306 의 문턱전압에 의해서 멀티플렉서 블록210의 출력의 위/아래인 Q_3 306 의 임계 전압에 따라 증가/감소한다. 예를 들어, 앞에서 언급한대로, 멀티플렉서 블록 210의 출력은 V_{OUT} 318 이 2.6 V으로 증가 (Q_3 306 의 문턱전압이 -0.5 V라고 가정했을때) 하는것에 의해서 2.1 V로 증가한다. 하나 이상의 실시예에서, 전압 드롭 요소 316은 전압 드롭을 위해 경로의 방전을 제공한다. 그러므로, 하나 이상의 실시예에서, V_{OUT} 318은 더 나아가 감소된다.

[0035] 앞에서 택한 예에서, V_{OUT} 318 은 IO 리시버의 작동 전압의 상위 허용 한계 아래인 2.5 V 아래의 값으로 감소된다. 하나 이상의 실시예에서, 멀티플렉서 회로200의 트랜지스터 실행300은 표준 작동 모드, 관용 작동 모드, 페

일세이프 작동 모드하에서 IO 패드 314 전압과 IO 리시버 사이의 인터페이스 접속을 안전하게 제공한다.

[0036] 하나 이상의 실시예에 따른, 전압 드롭 요소 316은 MOS 트랜지스터 Q_4 308 을 포함하는데 이것의 소스(S) 터미널은 다른 MOS트랜지스터 Q_5 310의 드레인(D) 터미널에 연결된다. 하나 이상의 실시예에 따른, Q_4 308 의 게이트(G) 터미널과 드레인(D) 터미널은 제2 바이어스 전압 208에 연결된다. 하나 이상의 실시예에 따른, Q_4 308 의 벌크(B) 터미널과 Q_5 310 의 소스(S) 터미널은 제2 공급 전압 $312(V_{SS} 312)$ 에서 생긴다. 하나 이상의 실시예에 따른, Q_5 310 의 게이트(G) 터미널은 제1 바이어스 전압 206에서 생긴다. 하나 이상의 실시예에 따른, Q_4 308 의 소스(S) 터미널과 Q_5 310 의 드레인(D) 터미널은 둘다 Q_2 304의 드레인(D) 터미널에 연결된다. 하나 이상의 실시예에서, 부유웰(FW)회로의 출력은 Q_5 310의 벌크(B) 터미널에 연결된다. FW 의 출력이 대개 PMOS트랜지스터에 연결됨으로서 Q_5 310은 PMOS트랜지스터이다. **도면3**에서 보여주듯이 Q_4 308은 NMOS트랜지스터이다.

[0037] **도면3**에서 Q_1 302 는 NMOS트랜지스터이고 Q_2 304 는 PMOS트랜지스터이다. **도면 3**의 각 트랜지스터에서의 변수는 본보기가 되는 구체화의 분야에 잘 맞는 하나의 당해 기술분야의 통상의 지식임이 확실하다. 예를 들어, MOS 트랜지스터 Q_3 306 경로는 PMOS 트랜지스터(임계 전압이 플러스인곳) , 자연MOS 트랜지스터 또는 NMOS 트랜지스터를 사용하도록 구성되어 있다.

[0038] **도면 4**는 하나 이상의 실시예에 따라, 관용 작동 모드에서, 다중 송신 회로 200의 트랜지스터 실행 300의 DC 특징을 보여주고 있다. 하나 이상의 실시예에서, x축 402는 IO 패드 314전압이고, y축 404 는 전압 변수(V)이다. **도면4**에서 보여주듯이 IO 패드 314가 낮을때 V_{OUT} 318 은 낮다. 하나 이상의 실시예에 따른, IO 패드 314가 증가하면 V_{OUT} 318 또한 IO pad 314 전압이 제1 바이어스 전압 206에서 Q_3 306의 임계 전압을 제한 만큼까지 증가하고 그후에 V_{OUT} 318 는 그곳의 수치 가까이 고정된다. (**도면4**에서 고정된 값은 406). **도면4** 또한 멀티플렉서 블록 210의 출력이 제1 바이어스 전압406에서 유지되는것을 보여준다.

[0039] **도면5**는 하나 이상의 실시예에 따라, 페일세이프 작동 모드에서 멀티플렉서 회로200의 트랜지스터 실행 300의 DC 특징을 보여준다. 하나 이상의 실시예에서, x축 502는 IO 패드 314 전압이고, y축 504는 전압 변수(V) 이다. 앞에서 언급한데로, V_{DDIO} 204 는 안전한 경우에 0이다. 하나 이상의 실시예에서, 도면 5에서 보여주듯이, IO 패드 314전압이 낮을때, 멀티플렉서 블록210의 출력또한 낮다. 하나 이상의구체화에서, **도면5**에서 보여주듯이 앞에서 언급한데로, IO 패드 314전압이 증가하면, 멀티플렉서 블록210의 출력은 제2 바이어스 전압 208이 증가함으로서 생긴다. 하나 이상의 실시예에 따른, V_{OUT} 318은 다중 채널 블록210의 출력에서 Q_3 306의 임계 전압을 제한것과 같아지는데, 이것은 앞에서 언급한것과 같고 **도면5**에서 보여주고 있다.

[0040] 하나 이상의 실시예에 따라, **도면 6**은 관용 작동 모드에서, 멀티플렉서 회로200의 트랜지스터 실행300의 과도 전류의 특징을 보여준다. 하나 이상의 실시예에서, x축은 시간(t) 602을 의미하고, y축604는 전압 변수 (V)를 가리킨다. 하나 이상의 실시예에서, IO패드314가 제1바이어스 전압 206에서 0으로 그리고 0에서 제1바이어스 전압 206보다 높게 움직일때, 멀티플렉서 블록 210의 출력은 제1 바이어스 전압 206에 고정되어 머문다. 하나 이상의 실시예에서, V_{OUT} 318 는 IO패드314 전압 단위가 제1 바이어스 전압 206에서 Q_3 306을 제한 만큼과 같도록 가까이 따르는데, 그곳의 값에서 멈추도록 따르는 것이다. 하나 이상의 실시예에서, **도면 6**에서 보여주듯이, IO 패드 314 전압이 최고값에서 0로 변경하면, V_{OUT} 318은 IO 패드 전압이 0에 가까와 지도록 따른다.

[0041] 하나 이상의 실시예에서, **도면7**은 페일세이프 작동 모드에서, 멀티플렉서 회로200의 트랜지스터 실행 300의 과도 전류의 특징을 보여준다. 하나 이상의 실시예에서, x축은 시간(t) 702을 의미하고, y축704는 전압 변수 (V)를 가리킨다. 하나 이상의 실시예에서, IO 패드 314전압이 0에서 그곳의 최고값으로 그리고 최고값에서 0으로 변하면, 멀티플렉서 블록210의 출력은 제2 바이어스 전압208로 부터 생긴다. 하나 이상의 실시예에서, 앞에서 언급한 데로, **도면 7**에서 보여주듯이, V_{OUT} 318은 멀티플렉서 블록210에서 파생되는데, 멀티플렉서블록210에서 Q_3 306의 임계 전압을 제한 것의 출력이다.

[0042] 하나 이상의 실시예에서, **도면 8**은 IO 리시버와 인터페이스 될 출력 전압을 유도하는 방법을 포함하는 작동을 상세하게 나타낸 처리 흐름도이다. 하나 이상의 실시예에서, 작동 802는 제1 바이어스 전압 206이 공급 전압 204(V_{DDIO} 204) 로부터 IO 리시버의 작동 전압의 허용 상한값 내에 있도록 콘트롤 가능하게 생성하는것을 포함한다. 하나 이상의 실시예에서, 작동 804는 IO 패드(IO 패드 314 전압)을 통해 인가된 외부 전압으로부터 제2 바

이어스 전압208이 콘트롤이 가능하게 생성되는 것을 포함한다. 하나 이상의 실시예에서, 제2 바이어스 전압 208은 IO 리시버의 작동 전압의 허용 상한값 안에 있다.

[0043] 하나 이상의 실시예에서, 정상 상태와 허용 상태하에서, 작동 806은 제1 바이어스 전압 206으로부터 출력전압을 유도하는 것을 포함한다. 하나 이상의 실시예에서, 허용 상태는 IO 패드를 통해 인가된 외부 전압이 제로에서부터 공급전압보다 높은값까지 변화하는 작동 모드이다. 하나 이상의 실시예에서, 작동 808은 페일세이프 상태에서 제2 바이어스 전압 208로부터 출력전압이 과생되는 것을 포함한다. 하나 이상의 실시예에 따른, 페일세이프 상태는 공급전압이 제로인 곳에서 작동 하는 모드이다.

[0044] **도면9**는 하나 이상의 실시예에 따른, 따라, 집적 회로(IC) 시스템900을 보여준다. 하나 이상의 실시예에 따른, 멀티플렉서 회로 200은 IO 패드 902 (예: 3.465 V)에서 IO 리시버 908과 높은 전압에서 안전하게 인터페이스 접속한다. IO 리시버의 입력 전압은 IO 리시버 908(예:2.5 V)의 동작전압의 허용 상한값 내에 있다.

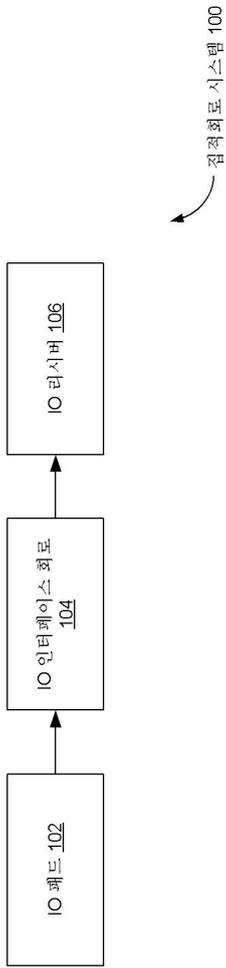
산업상 이용가능성

[0045] 비록 특정 실시예를 참고하여 실시예들을 설명하긴 하였으나, 다양한 실시예의 더 넓은 범위 및 정신을 벗어나지 않고 이들 실시예들에 다양한 수정 및 변형이 있을 수 있음은 분명한 것이다. 예를 들어, 작동 전압 및/또는 외부 전압의 변동폭은 예시적 실시예들의 범위 이내에 있다. 또한, 예를 들면, 본 명세서에 서술된 다양한 디바이스들 및 모듈들은 하드웨어 회로(예를 들어, CMOS 기반 로직 회로), 펌웨어, 소프트웨어 또는 하드웨어, 펌웨어 및 소프트웨어의 결합(예를 들어, 기계 관독가능한 매체에 포함)을 사용하여 동작할 수 있다. 예를 들어, 트랜지스터, 논리 게이트 및 전자 회로(예를 들어, 주문형 반도체(ASIC) 회로 및/또는 디지털 신호 프로세서(DSP) 회로)를 사용하여 구현될 수도 있다.

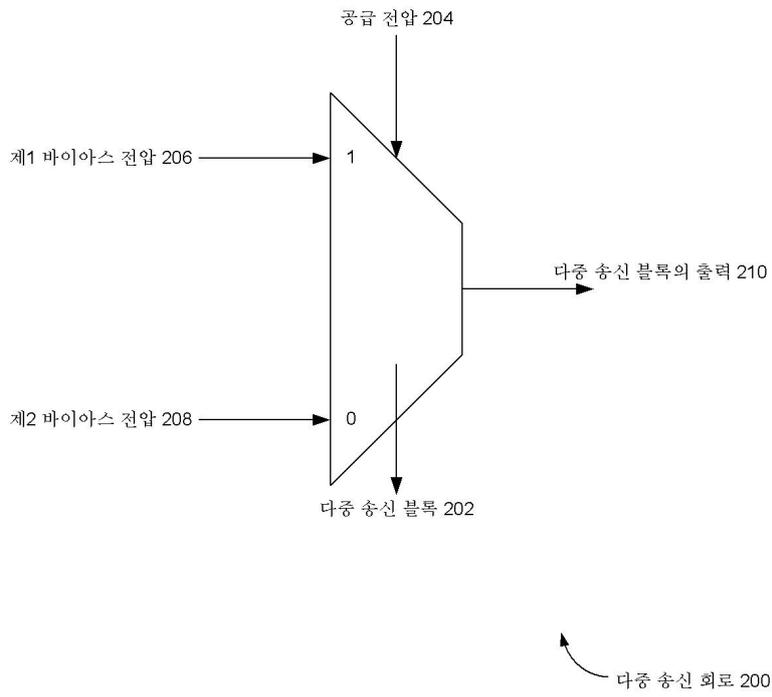
[0046] 또한, 본 명세서에 개시된 다양한 작동, 처리 및 방법들은 데이터 처리 시스템(예를 들어, 컴퓨터 장치)과 호환되는 기계 관독가능한 매체 및/또는 기계 접속 가능한 매체에서 구현될 수도 있으며, 어떠한 주문(예를 들어, 다양한 동작을 얻기 위한 방법들을 사용하는 것도 포함)으로 구현될 수도 있다. 따라서, 본 명세서 및 도면은 예시적인 것으로 간주되며 한정되는 것이 아니다.

도면

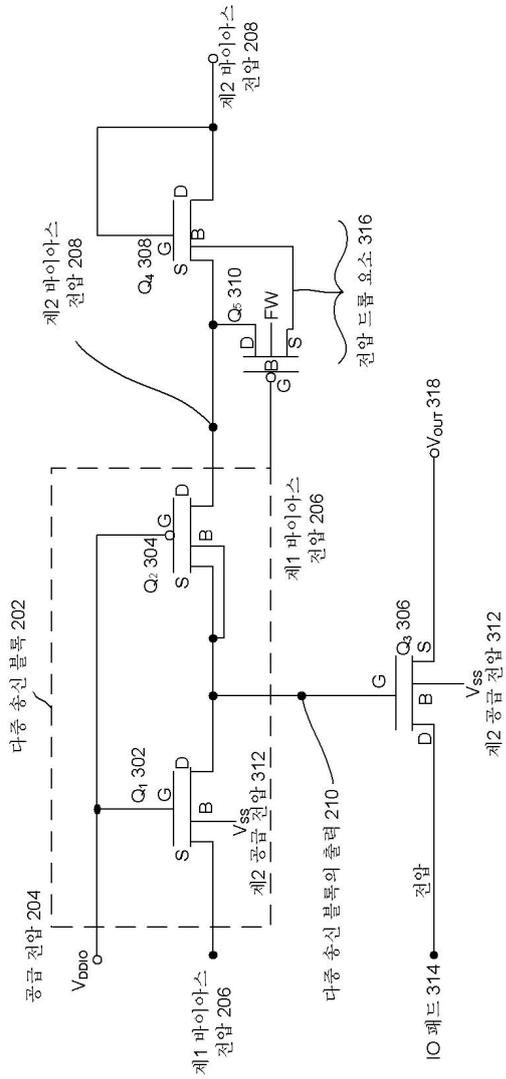
도면1



도면2

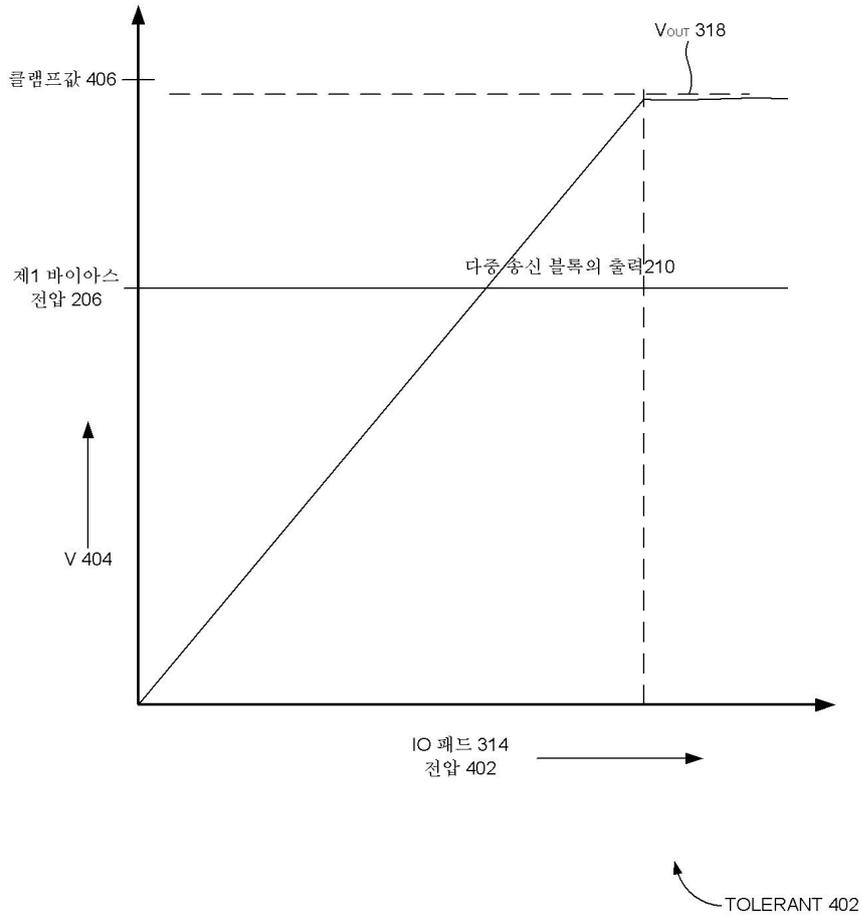


도면3

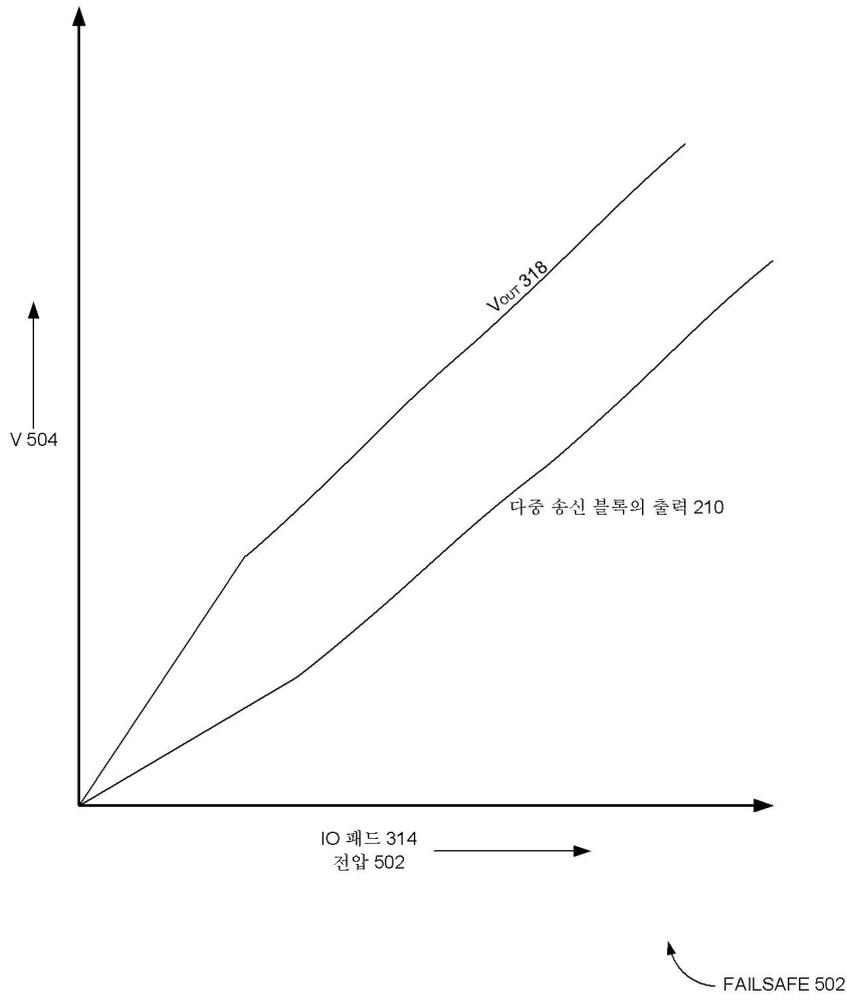


다중 송신 회로 200의 트랜지스터 실행 300

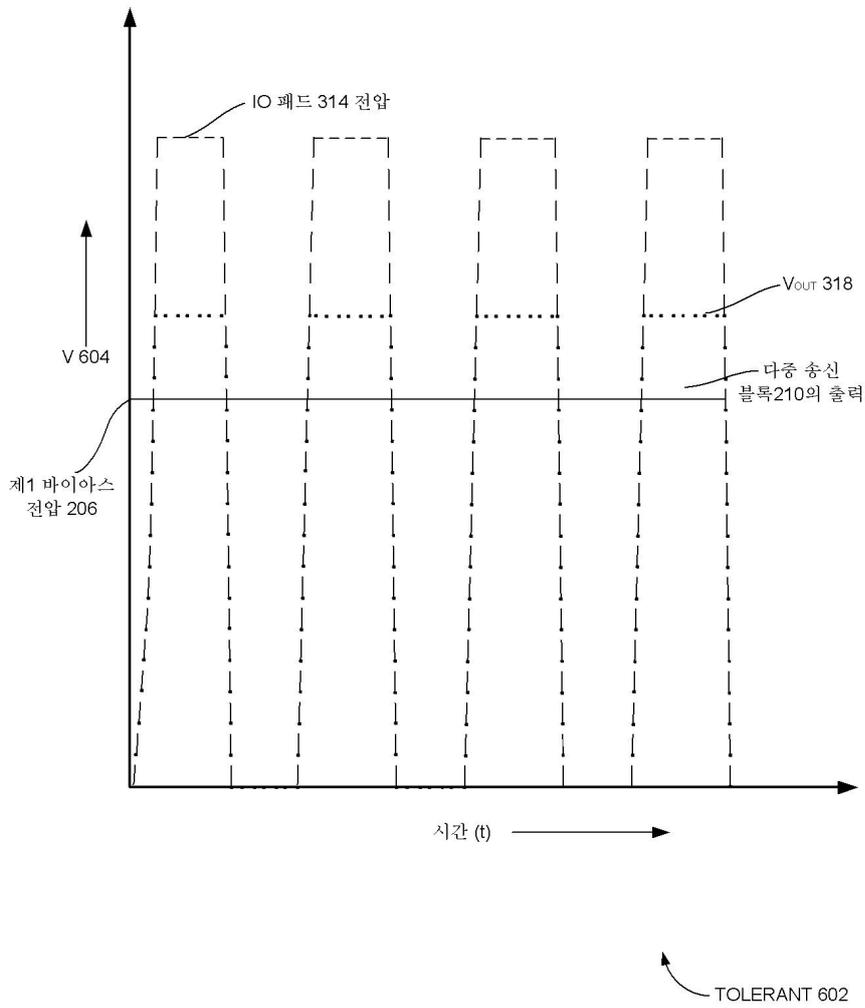
도면4



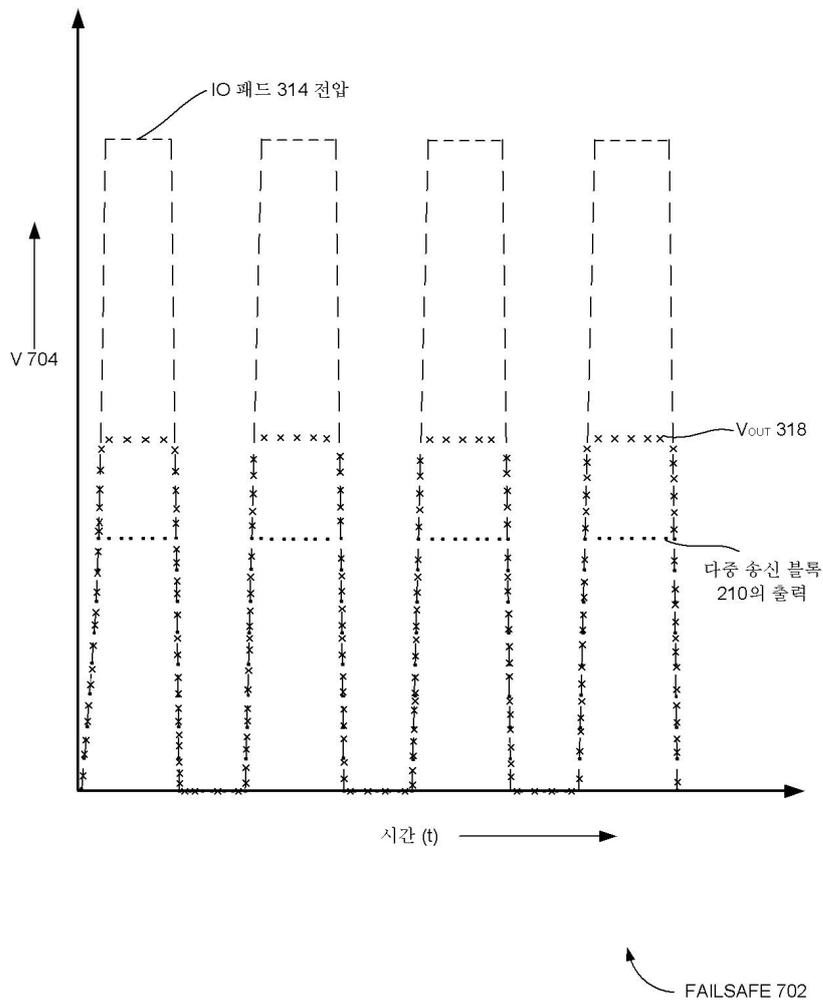
도면5



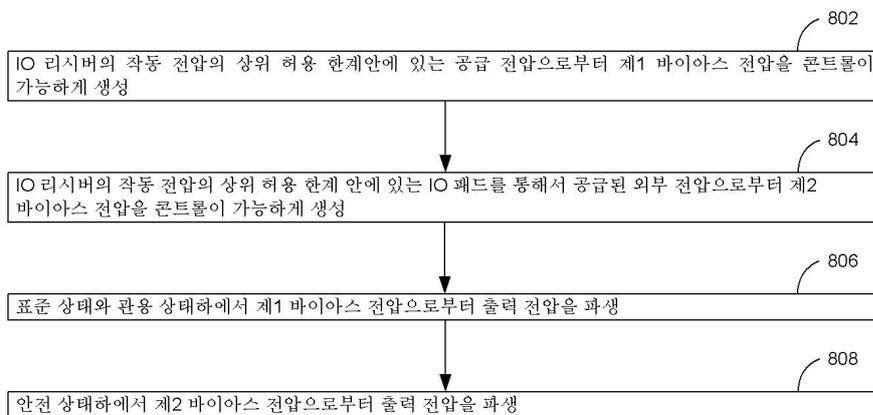
도면6



도면7



도면8



도면9

