



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월17일
 (11) 등록번호 10-1474100
 (24) 등록일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)
 H01L 27/105 (2006.01) H01L 27/10 (2006.01)
 (21) 출원번호 10-2013-0002808
 (22) 출원일자 2013년01월10일
 심사청구일자 2013년01월10일
 (65) 공개번호 10-2014-0008232
 (43) 공개일자 2014년01월21일
 (30) 우선권주장
 13/546,506 2012년07월11일 미국(US)
 13/588,070 2012년08월17일 미국(US)
 (56) 선행기술조사문헌
 KR100374074 B1
 KR100714930 B1
 US7053463 B2

(73) 특허권자
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완 300-77, 신쥬, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 (72) 발명자
 응 천-와이
 중화민국 대만 300-77 신쥬 신쥬 사이언스 파크
 파크 애비뉴 3 121
 초우 쉐-리양
 중화민국 대만 신쥬 카운티 302 주베이 시티 원화
 스트리트 넘버 143 5층
 (뒷면에 계속)
 (74) 대리인
 김태홍

전체 청구항 수 : 총 10 항

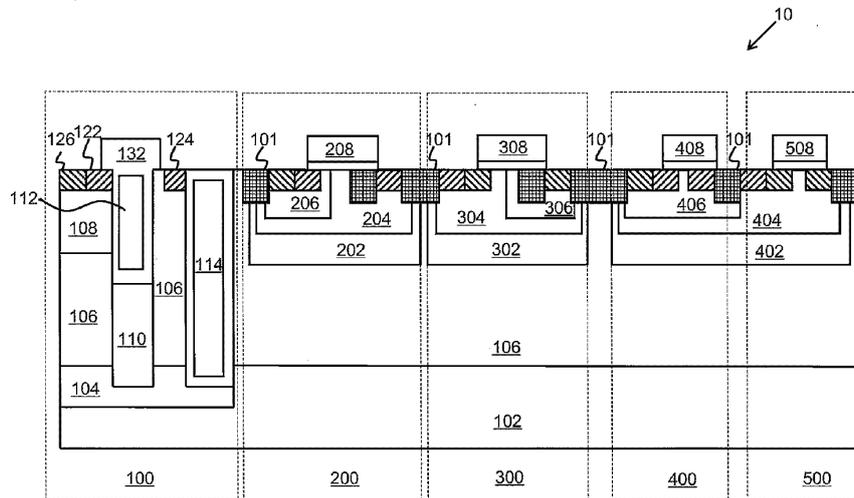
심사관 : 박성호

(54) 발명의 명칭 수직형 파워 MOS 트랜지스터를 갖는 집적 회로

(57) 요약

집적 회로는 동일 반도체 다이에 형성된 복수의 수평형 디바이스와 준수직형 디바이스를 포함한다. 준수직형 디바이스는 2개의 트랜치를 포함한다. 제1 트랜치는 제1 드레인/소스 영역과 제2 드레인/소스 영역 사이에 형성된다. 제1 트랜치는 제1 트랜치의 하부 부분에 형성된 유전체 층 및 제1 트랜치의 상부 부분에 형성된 게이트 영역을 포함한다. 제2 트랜치는 제2 드레인/소스 영역의 제1 트랜치와 반대 측에 형성된다. 제2 트랜치는 제2 드레인/소스 영역과 매립 층 사이에 연결되며, 제2 트랜치는 제1 트랜치와 동일한 깊이로 이루어진다.

대표도



(72) 발명자

수 포-치

중화민국 대만 뉴 타이페이 시티 242 신주앙 디스
트릭트 지안중 스트릿 라인 90 넘버 18 3층

리우 웨이-신

중화민국 대만 신-추 유니버시티 로드 넘버 56 5
층~3

특허청구의 범위

청구항 1

반도체 디바이스에 있어서,

제1 수직형 트랜지스터(vertical transistor)로서,

제1 전도성의 기판 위에 형성된 제2 전도성의 제1 영역;

상기 제1 영역으로부터 성장된 제2 영역;

상기 제2 영역에 형성된 제1 전도성의 제3 영역;

상기 제3 영역에 형성된 제2 전도성의 제1 S/D 영역으로서, 상기 제1 S/D 영역은 드레인 영역과 소스 영역 중 하나인 것인, 상기 제1 S/D 영역;

제1 트랜치로서, 상기 제1 트랜치의 하부 부분에 형성된 유전체 층과, 상기 제1 트랜치의 상부 부분에 형성된 게이트 영역을 포함하는 것인, 상기 제1 트랜치;

상기 제2 영역에서 상기 제1 트랜치의 상기 제1 S/D 영역과 대향하는 측에 형성된 제2 전도성의 제2 S/D 영역으로서, 상기 제2 S/D 영역은 상기 드레인 영역과 상기 소스 영역 중 나머지 다른 하나인 것인, 상기 제2 S/D 영역; 및

상기 제2 S/D 영역과 상기 제2 영역 사이에 연결된 제2 트랜치로서, 상기 제2 트랜치는 상기 제1 트랜치와 동일한 깊이를 갖는 것인, 상기 제2 트랜치

를 포함하는, 상기 제1 수직형 트랜지스터와;

상기 기판 위의 상기 제2 영역에 형성된 복수의 수평형 트랜지스터(lateral transistor)

를 포함하는 반도체 디바이스.

청구항 2

청구항 1에 있어서,

제2 수직형 트랜지스터를 더 포함하고,

상기 제1 수직형 트랜지스터와 상기 제2 수직형 트랜지스터는 상기 제2 트랜치를 공유하는 것인 반도체 디바이스.

청구항 3

청구항 1에 있어서,

상기 제2 영역에 형성된 고전압 웰(well)을 더 포함하며,

상기 제2 영역은 P 타입 에피택셜 층이고, 상기 고전압 웰은 N 타입 고전압 웰인 것인 반도체 디바이스.

청구항 4

청구항 1에 있어서,

상기 수평형 트랜지스터와 상기 제1 수직형 트랜지스터를 분리시키는 복수의 격리 영역을 더 포함하는 반도체 디바이스.

청구항 5

디바이스에 있어서,

제1 수직형 트랜지스터로서,

제1 전도성을 가지며, 기판에 형성된 제1 반도체 층 위에 형성된 제1 S/D 영역으로서, 상기 제1 S/D 영

역은 드레인 영역과 소스 영역 중 하나인 것인, 상기 제1 S/D 영역;

제1 트렌치에 형성된 제1 게이트로서, 상기 제1 트렌치는 상기 제1 게이트 아래에 형성된 유전체 층을 포함하는 것인, 상기 제1 게이트;

제1 전도성을 갖는 제2 S/D 영역으로서, 상기 제1 S/D 영역과 상기 제2 S/D 영역은 상기 제1 게이트의 대향 측에 형성되고, 상기 제2 S/D 영역은 상기 제1 반도체 층에 형성되고, 상기 제2 S/D 영역은 상기 드레인 영역과 상기 소스 영역 중 나머지 다른 하나인 것인, 상기 제2 S/D 영역; 및

상기 제1 트렌치와 동일한 깊이를 갖는 제2 트렌치로서, 상기 제2 트렌치와 상기 제1 트렌치는 상기 제2 S/D 영역의 대향 측에 형성되는 것인, 상기 제2 트렌치

를 포함하는, 상기 제1 수직형 트랜지스터와;

상기 제1 반도체 층과 유사한 제2 반도체 층에 형성된 복수의 수평형 트랜지스터

를 포함하고,

상기 수평형 트랜지스터는 고전압 N 타입 MOS 트랜지스터, 고전압 P 타입 MOS 트랜지스터, 저전압 N 타입 MOS 트랜지스터, 저전압 P 타입 MOS 트랜지스터 및 이들의 임의의 조합으로 구성된 그룹으로부터 선택되는 것인 디바이스.

청구항 6

반도체 디바이스를 제조하는 방법에 있어서,

제1 전도성을 갖는 매립 층을, 제2 전도성을 갖는 기판 위에 형성하는 단계와;

상기 기판 위에 에피텍셜 층을 성장시키는 단계와;

상기 에피텍셜 층 및 상기 매립 층 안으로 연장하는 제1 트렌치와 제2 트렌치를 형성하는 단계로서, 상기 제1 트렌치와 상기 제2 트렌치는 동일한 깊이를 가지며, 상기 제2 트렌치의 폭은 상기 제1 트렌치의 폭보다 큰 것인, 상기 제1 트렌치와 제2 트렌치를 형성하는 단계;

상기 제1 트렌치의 하부 부분에 유전체 층을 형성하는 단계와;

상기 제1 트렌치의 상부 부분에 제1 게이트 전극을 형성하는 단계와;

상기 기판에 형성되는 복수의 수평형 트랜지스터에 대한 게이트 전극을 형성하는 단계와;

바디 영역을 형성하도록 상기 제1 트렌치의 제1 측의 상기 에피텍셜 층 안으로 제2 전도성을 갖는 이온을 주입하는 단계와;

상기 제1 트렌치의 제1 측의 바디 영역 위에 제1 S/D 영역을 형성하는 단계로서, 상기 제1 S/D 영역은 드레인 영역과 소스 영역 중 하나인 것인, 상기 제1 S/D 영역을 형성하는 단계;

상기 제1 트렌치의 제2 측의 상기 에피텍셜 층 위에 제2 S/D 영역을 형성하는 단계로서, 상기 제2 S/D 영역은 상기 드레인 영역과 상기 소스 영역 중 나머지 다른 하나인 것인, 상기 제2 S/D 영역을 형성하는 단계

를 포함하는 반도체 디바이스 제조 방법.

청구항 7

청구항 6에 있어서, 상기 에피텍셜 층을 성장시키는 단계는,

상기 기판 위에 제2 전도성을 갖는 에피텍셜 층을 성장시키는 단계

를 포함하고, 상기 방법은,

상기 에피텍셜 층을 성장시킨 후, 상기 에피텍셜 층에 제1 전도성을 갖는 고전압 웰을 형성하는 단계

를 더 포함하는 반도체 디바이스 제조 방법.

청구항 8

청구항 6에 있어서, 상기 에피텍셀 층을 성장시킨 후,
 상기 에피텍셀 층에 제2 전도성을 갖는 복수의 딥(deep) 웰을 형성하는 단계와;
 상기 딥 웰 각각에 제1 전도성을 갖는 고전압 웰을 형성하는 단계
 를 더 포함하는 반도체 디바이스 제조 방법.

청구항 9

청구항 6에 있어서, 상기 유전체 층을 형성하는 단계는,
 상기 제1 트렌치가 유전체 재료로 완전히 채워지고 상기 제2 트렌치가 유전체 재료로 부분적으로 채워질 때까지
 상기 제1 트렌치 및 상기 제2 트렌치 안으로 유전체 재료를 퇴적시키는 단계와;
 상기 제1 트렌치의 상부 부분에 있는 유전체 재료와 상기 제2 트렌치에 있는 유전체 재료를 제거하는 단계
 포함하는 것인 반도체 디바이스 제조 방법.

청구항 10

청구항 6에 있어서,
 상기 게이트 전극을 형성한 후, 상기 수평형 트랜지스터에 대한 드레인 영역 및 소스 영역을 형성하도록 이온을
 주입하는 단계
 를 더 포함하는 반도체 디바이스 제조 방법.

명세서

기술분야

[0001] 본 출원은 2012년 7월 11일 출원된 발명의 명칭이 "과워 MOS 트랜지스터에 대한 장치 및 방법(Apparatus and Method for Power MOS Transistor)"인 미국 특허 출원 번호 제13/546,506호의 일부 계속 출원임, 이 출원은 참조에 의해 여기에 포함된다.

[0002] 본 발명은 반도체 분야에 관한 것이다.

배경기술

[0003] 반도체 산업은 다양한 전자 컴포넌트(예를 들어, 트랜지스터, 다이오드, 저항, 커패시터 등)의 집적 밀도의 개선으로 인해 급격한 성장을 겪어 왔다. 대부분은 집적 밀도의 이 개선은 반도체 프로세스 노드를 축소시킨 것(예를 들어, 20 nm 이하 노드를 향해 프로세스 노드를 축소시킴)으로부터 비롯되었다. 반도체 디바이스가 스케일링 다운(scale down)됨에 따라, 한 세대에서 다음 세대로 전자 컴포넌트의 성능을 유지하기 위해 새로운 기술이 필요하다. 예를 들어, 과워 애플리케이션(power applications)의 경우 트랜지스터의 낮은 온 저항(on resistance) 및 낮은 게이트-드레인 커패시턴스가 바람직할 수 있다. 또한, 동일 반도체 다이 상에 수평형(lateral) 과워 트랜지스터와 함께 수직형(vertical) 과워 트랜지스터를 집적하는 것이 바람직하다.

[0004] 반도체 기술이 발달함에 따라, 오늘날의 집적 회로에는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET; metal oxide semiconductor field effect transistor)가 널리 사용되어 왔다. MOSFET은 전압 제어된 디바이스(voltage controlled device)이다. 제어 전압이 MOSFET의 게이트에 인가되고 제어 전압이 MOSFET의 문턱값보다 더 클 경우, 전도 채널이 MOSFET의 드레인과 소스 사이에 확립된다. 그 결과, MOSFET의 드레인과 소스 사이에 전류가 흐른다. 반면에, 제어 전압이 MOSFET의 문턱값보다 더 작을 경우에는, 그에 따라 MOSFET은 턴오프된다.

[0005] MOSFET은 2개의 주요 범주를 포함할 수 있다. 하나는 n 채널 MOSFET이고, 다른 하나는 p 채널 MOSFET이다. 구조 차이에 따라, MOSFET은 2개의 하위범주, 즉 트렌치 과워(trench power) MOSFET과 수평형(lateral) 과워 MOSFET로 더 나뉘어질 수 있다. n 채널 트렌치 과워 MOSFET에서는, p 바디(p-body) 영역이 채용되며, p 바디 영역 위에 형성된 소스 영역과 p 바디 영역 아래에 형성된 드레인 영역 사이에 연결된 채널을 형성한다. 또한, 트렌치 과워 MOSFET에서는 드레인 및 소스가 웨이퍼의 대향 측에 배치된다. 트렌치 과워 MOSFET의 드레인과 소

스 사이에 형성된 게이트 전극을 포함하는 트렌치 구조가 존재할 수 있다.

[0006] 트렌치 파워 MOSFET은 일반적으로 수직형(vertical) 파워 MOSFET으로 알려져 있다. 수직형 파워 MOSFET은 그의 낮은 게이트 구동 전력, 빠른 스위칭 속도 및 더 낮은 온 저항으로 인해 높은 전압 및 전류 애플리케이션에 널리 사용되었다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 수직형 파워 MOS 트랜지스터를 갖는 집적 회로를 제공하고자 한다.

과제의 해결 수단

[0008] 집적 회로는 동일 반도체 다이에 형성된 복수의 수평형 디바이스와 준수직형 디바이스를 포함한다. 준수직형 디바이스는 2개의 트렌치를 포함한다. 제1 트렌치는 제1 드레인/소스 영역과 제2 드레인/소스 영역 사이에 형성된다. 제1 트렌치는 제1 트렌치의 하부 부분에 형성된 유전체 층 및 제1 트렌치의 상부 부분에 형성된 게이트 영역을 포함한다. 제2 트렌치는 제2 드레인/소스 영역의 제1 트렌치와 반대 측에 형성된다. 제2 트렌치는 제2 드레인/소스 영역과 매립 층 사이에 연결되며, 제2 트렌치는 제1 트렌치와 동일한 깊이로 이루어진다.

발명의 효과

[0009] 본 발명에 따라 수직형 파워 MOS 트랜지스터를 갖는 집적 회로를 제공할 수 있다.

도면의 간단한 설명

[0010] 본 개시 및 이의 이점의 보다 완전한 이해를 위해, 이제 첨부 도면과 함께 취한 다음의 설명을 참조한다.

도 1은 실시예에 따라 준수직형(quasi-vertical) 트렌치 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다.

도 2는 실시예에 따라 복수의 준수직형 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다.

도 3은 다른 실시예에 따라 준수직형 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다.

도 4는 다른 실시예에 따라 복수의 준수직형 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다.

도 5는 실시예에 따라 N 타입 에피택셜 층 및 NBL 층이 기판 위에 형성된 후의 반도체 디바이스의 단면도를 예시한다.

도 6은 실시예에 따라 유전체 층이 기판 위에 형성되고 복수의 이온 주입 공정이 반도체 디바이스에 적용된 후의, 도 5에 도시된 반도체 디바이스의 단면도를 예시한다.

도 7은 실시예에 따라 하드 마스크 층이 기판 위에 형성된 후의, 도 6에 도시된 반도체 디바이스의 단면도를 예시한다.

도 8은 실시예에 따라 적합한 에칭 공정이 유전체 층 및 하드 마스크 층에 적용된 후의, 도 7에 도시된 반도체 디바이스의 단면도를 예시한다.

도 9는 실시예에 따라 에칭 공정이 N 타입 에피택셜 층에 적용된 후의, 도 8에 도시된 반도체 디바이스의 단면도를 예시한다.

도 10은 실시예에 따라 유전체 증착 공정이 제1 트렌치 및 제2 트렌치에 적용된 후의, 도 9에 도시된 반도체 디바이스의 단면도를 예시한다.

도 11은 실시예에 따라 에칭 공정이 산화물 층에 적용된 후의, 도 10에 도시된 반도체 디바이스의 단면도를 예시한다.

도 12는 실시예에 따라 하드 마스크 제거 공정이 반도체 디바이스의 상부 표면에 적용된 후의, 도 11에 도시된 반도체 디바이스의 단면도를 예시한다.

도 13은 실시예에 따라 게이트 유전체 층이 트렌치 뿐만 아니라 반도체 디바이스의 상부 표면에 형성된 후의,

도 12에 도시된 반도체 디바이스의 단면도를 예시한다.

도 14는 실시예에 따라 게이트 전극 층이 트렌치에 형성되고 복수의 게이트 전극이 반도체 디바이스의 상부 표면 상에 형성된 후의, 도 13에 도시된 반도체 디바이스의 단면도를 예시한다.

도 15는 실시예에 따라 다양한 이온 주입 공정이 반도체 디바이스의 상부 표면에 적용된 후의, 도 14에 도시된 반도체 디바이스의 단면도를 예시한다.

도 16 내지 도 27은 실시예에 따라 도 3에 도시된 준수직형 트렌치 MOS 트랜지스터(100)를 포함하는 반도체 디바이스를 제조하는 중간 단계들을 예시한다.

다양한 도면에서 대응하는 번호 및 부호는 달리 나타내지 않는 한 일반적으로 대응하는 부분을 지칭한다. 도면은 다양한 실시예의 관련 양상을 명확하게 예시하고자 도시된 것이며 반드시 축척대로 도시된 것은 아니다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 실시예를 형성하고 사용하는 것이 아래에 상세하게 설명된다. 그러나, 본 개시는 광범위하게 다양한 특정 상황에서 구현될 수 있는 수많은 적용 가능한 발명의 개념을 제공하는 것임을 알아야 한다. 설명되는 특정 실시예는 단지 본 개시의 실시예를 형성하고 사용하기 위한 구체적 방식을 예시하고자 한 것이며, 본 개시의 범위를 한정하지 않는다.

[0012] 본 개시는 특정 상황에서의 실시예, 즉 고전압 MOS 트랜지스터 및 저전압 MOS 트랜지스터를 포함하는 복수의 수평형 MOS 트랜지스터 및 준수직형(quasi-vertical) 파워(power) 금속 산화물 반도체(MOS; metal oxide semiconductor) 트랜지스터 디바이스를 갖는 집적 회로에 관련하여 기재될 것이다. 그러나, 본 개시의 실시예는 또한 다양한 반도체 디바이스에도 적용될 수 있다. 이하, 첨부 도면을 참조하여 다양한 실시예가 상세하게 설명될 것이다.

[0013] 도 1은 실시예에 따른 준수직형 트렌치 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다. 반도체 디바이스(10)는 4개의 영역을 포함하는데, 즉 준수직형 트렌치 MOS 트랜지스터를 형성하기 위한 제1 영역(100), 스케일링가능한 채널 길이를 갖는 고전압 NMOS 디바이스를 형성하기 위한 제2 영역(200), 고전압 PMOS 디바이스를 형성하기 위한 제3 영역(300), 저전압 NMOS 디바이스를 형성하기 위한 제4 영역(400), 및 저전압 PMOS 디바이스를 형성하기 위한 제5 영역(500)을 포함한다. 각각의 영역(100, 200, 300, 400, 및 500)은 웰로우 트렌치 아이솔레이션(STI; shallow trench isolation) 영역(101)과 같은 격리 영역에 의해 정의된다. 대안으로서, 필드 산화물이 격리 영역으로서 형성될 수 있다.

[0014] 준수직형 트렌치 MOS 트랜지스터(100)는 제1 전도성 타입을 갖는 기판(102)을 포함한다. 실시예에 따르면, 제1 전도성 타입은 P 타입이다. 준수직형 트렌치 MOS 트랜지스터(100)는 기판(102) 위에 형성된 N 타입 매립 층(NBL; N-type buried layer)(104) 및 NBL 층(104) 위에 형성된 N 타입 에피택셜 층(106)을 더 포함한다. 준수직형 트렌치 MOS 트랜지스터(100)는 산화물 영역(110) 및 게이트 영역(112)을 포함하는 제1 트렌치를 더 포함한다. 도 1에 도시된 바와 같이, 게이트 영역(112)은 산화물 영역(110) 위에 형성된다. 준수직형 트렌치 MOS 트랜지스터(100)는 N 타입 에피택셜 층(106)에 형성된 P 타입 바디(PB; P-type body) 영역(108), P+ 영역(126), 제1 N+ 영역(122) 및 제2 N+ 영역(124)을 더 포함할 수 있다.

[0015] 도 1에 도시된 바와 같이, P+ 영역(126) 및 제1 N+ 영역(122)은 PB 영역(108)에 형성된다. 제2 N+ 영역(124)은 N 타입 에피택셜 층(106)에 형성된다. 실시예에 따라, 제1 N+ 영역(122)은 준수직형 트렌치 MOS 트랜지스터(100)의 소스 영역이다. 제2 N+ 영역(124)은 준수직형 트렌치 MOS 트랜지스터(100)의 드레인 영역이다. PB 영역(108)은 준수직형 트렌치 MOS 트랜지스터(100)의 소스와 드레인 사이에 연결된 채널이다. 도 1에 도시된 바와 같이, 제1 N+ 영역(122)과 제2 N+ 영역(124)은 게이트 영역(112)의 대향 측에 형성된다. 제2 N+ 영역(124)은 드레인 영역으로서 기능하며, 이는 N 타입 에피택셜 층(106) 및 NBL 층(104)을 통해 채널 영역(PB 영역(108))에 연결된다.

[0016] 준수직형 트렌치 MOS 트랜지스터(100)는 제1 트렌치와 동일한 깊이를 갖는 제2 트렌치를 포함한다. 구체적으로, 제2 트렌치는 딥(deep) 트렌치(114) 및 딥 트렌치(114)의 측벽을 따라 형성된 축적층(accumulation) 층(도시되지 않음)을 포함한다. 도 1에 도시된 바와 같이, 제2 트렌치는 제2 N+ 영역(124)에 인접하게 형성된다. 실시예에 따르면, 딥 트렌치(114)는 게이트 영역(112)에 전기적으로 연결될 수 있다. 게이트 제어 전압이 게이트 영역(112) 뿐만 아니라 딥 트렌치(114)에도 인가될 때, 게이트 제어 전압은 다수 캐리어를 유인하여 딥 트렌치(114)의 측벽을 따라 축적층(도시되지 않음)을 생성할 수 있다. 축적층은 더 많은 다수 캐리어로 이루어

어질 수 있다. 그 결과, NBL 층(104)과 제2 N+ 영역(124) 사이에 낮은 저항 드레인 전류 전도성 경로가 구축된다.

- [0017] 도 1에 도시된 바와 같이, N 타입 에피택셜 층(106)이 NBL 층(104)으로부터 제2 N+ 영역(124)으로 드레인 전류를 수송할 수 있지만, N 타입 에피택셜 층(106)의 저항은 딥 트렌치(114)의 측벽을 따라 형성된 축적 층보다 더 높다. 제2 N+ 영역(124)과 NBL 층(104) 사이에 연결되는 축적 층을 채용함으로써, 전류 수송이 개선된다. 또한, NBL 층(104)을 제2 N+ 영역(124)과 연결함으로써, 드레인 전류가 NBL 층(104)으로부터 픽업될 수 있다. 그 결과, 준수직형 트렌치 MOS 트랜지스터(100)의 드레인은 소스와 동일 측에 배치될 수 있다.
- [0018] 준수직형 MOS 트랜지스터(100)의 하나의 이로운 특징은 도 1에 도시된 준수직형 구조가 수평형 제조 공정으로 쉽게 통합될 수 있다는 것이다. 준수직형 MOS 트랜지스터(100)의 다른 이로운 특징은 제2 트렌치의 측벽을 따라 형성된 축적 층이 드레인 전류에 대하여 낮은 온 저항 채널을 제공하는 것을 돕는다는 것이다. 그 결과, 준수직형 구조가 채용되지만 MOS 트랜지스터(100)의 온 저항은 개선된다.
- [0019] 도 1은 준수직형 MOS 트랜지스터(100)와 동일한 반도체 기판(P 타입 기판(102)) 상에 집적되는 복수의 수평형 디바이스를 포함하는 반도체 디바이스(10)를 더 예시한다. 고전압 NMOS 디바이스(200)는 N 타입 에피택셜 층(106)에 형성된 딥 P 웰(202)을 포함한다. 마찬가지로, 고전압 PMOS 디바이스(300)는 딥 P 웰(302)을 포함한다. 저전압 NMOS 디바이스(400) 및 저전압 PMOS 디바이스(500)는 딥 P 웰(402)을 공유한다. 도 1에 도시된 바와 같이, 딥 P 웰(202, 302, 및 402)은 N 타입 에피택셜 층(106)에 형성되며, 2개의 인접한 딥 P 웰 사이의 N 타입 에피택셜 층(106)의 일부 및 격리 영역(101)에 의해 서로 분리된다. 수평형 디바이스(200, 300, 400 및 500)는 다른 웰, 드레인/소스 영역 및 게이트 전극을 포함할 수 있다. 수평형 디바이스의 상세한 제조 단계들은 도 5 내지 도 15에 관련하여 아래에 기재될 것이다.
- [0020] 도 1에 도시된 준수직형 MOS 트랜지스터(100)를 갖는 것의 하나의 유리한 특징은 준수직형 MOS 구조가 동일 기판 상에 수평형 MOS 디바이스와 함께 집적될 수 있다는 것이다. 그리하여, 기존의 수평형 디바이스 제조 공정이 재사용될 수 있다. 기존의 수평형 디바이스 제조 공정은 준수직형 MOS 트랜지스터(100)를 제조하는 비용을 감소시키는 것을 돕는다.
- [0021] 도 2는 실시예에 따른 복수의 준수직형 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다. 반도체 디바이스(20)의 구조는, 복수의 준수직형 MOS 트랜지스터의 드레인 전류에 대한 낮은 온 저항 채널을 제공하도록 딥 트렌치가 채용된 것을 제외하고는, 도 1에 도시된 반도체 디바이스(10)의 구조와 유사하다. 특히, 도 2는 병렬로 접속된 2개의 준수직형 MOS 트랜지스터에 대한 낮은 온 저항 채널을 제공하는 딥 트렌치를 예시한다. 딥 트렌치는 다수의 준수직형 MOS 트랜지스터에 대한 전도성 채널을 제공할 수 있으며, 단순하게 하기 위해 2개의 준수직형 MOS 트랜지스터가 예시된 것임을 유의하여야 한다.
- [0022] 도 3은 다른 실시예에 따른 준수직형 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다. 반도체 디바이스(30)의 구조는, N 타입 에피택셜 층이 P 타입 에피택셜 층에 형성된 고전압 N 웰로 대체될 수 있다는 것을 제외하고는, 도 1에 도시된 반도체 디바이스(10)의 구조와 유사하다. 반도체 디바이스(30)의 상세한 형성 및 제조 단계들은 도 16 내지 도 27에 관련하여 아래에 기재될 것이다.
- [0023] 도 4는 다른 실시예에 따른 복수의 준수직형 MOS 트랜지스터를 포함하는 반도체 디바이스의 단면도를 예시한다. 반도체 디바이스(40)의 구조는, N 타입 에피택셜 층이 P 타입 에피택셜 층에 형성된 고전압 N 웰로 대체될 수 있다는 것을 제외하고는, 도 2에 도시된 반도체 디바이스(20)의 구조와 유사하다.
- [0024] 도 5 내지 도 15는 실시예에 따라 도 1에 도시된 준수직형 트렌치 MOS 트랜지스터(100)를 포함하는 반도체 디바이스를 제조하는 중간 단계들을 예시한다. 도 5는 실시예에 따라 기판 위에 N 타입 에피택셜 층, NBL 층 및 복수의 격리 영역이 형성된 후의 반도체 디바이스의 단면도를 예시한다. 도 5에 도시된 바와 같이, NBL 층(104)은 P 타입 기판(102) 위에 형성된다. 특히, NBL 층(104)은 P 타입 기판(102)의 상단 좌측 코너에 형성된다. N 타입 에피택셜 층(106)은 NBL 층(104) 및 P 타입 기판(102) 위에 형성된다. 도 5에 도시된 바와 같이, N 타입 에피택셜 층(106)에 형성된 복수의 격리 영역(101)이 존재할 수 있다.
- [0025] 도 5는 기판(102)의 전도성이 P 타입인 것을 예시하고 있지만 이는 단지 예일 뿐임을 유의하여야 한다. 기판(102)은 N 타입일 수 있다. 당해 기술 분야에서의 숙련자라면, 다른 층의 전도성 타입은 기판(102)의 전도성 타입 변경에 대응하여 바뀔 수 있다는 것을 알 것이다.
- [0026] 기판(102)은 실리콘, 실리콘 게르마늄, 실리콘 카바이드 등으로 형성될 수 있다. 대안으로서, 기판(102)은 SOI(silicon-on-insulator) 기판일 수 있다. SOI 기판은 실리콘 기판에 형성되는 절연체 층(예를 들어, 매립

산화물 등) 위에 형성된 반도체 재료(예를 들어, 실리콘, 게르마늄 등)의 층을 포함할 수 있다. 사용될 수 있는 기타 기판은 다층 기판, 구배 기판(gradient substrate), 하이브리드 배향 기판 등을 포함한다.

- [0027] NBL 층(104)은 기판(102) 안으로 인 등과 같은 N 타입 도핑 재료를 주입함으로써 형성될 수 있다. 대안으로서, NBL 층(104)은 확산 공정에 의해 형성될 수 있다. 실시예에 따르면, NBL 층(104)은 약 $10^{19} / \text{cm}^3$ 내지 약 $10^{21} / \text{cm}^3$ 범위의 도핑 밀도로 이루어진다.
- [0028] N 타입 에피택셜 층(106)은 NBL 층(104)으로부터 성장된다. N 타입 에피택셜 층(106)의 에피택셜 성장은 화학적 기상 증착(CVD; chemical vapor deposition), UHV-CVD(ultra-high vacuum chemical vapor deposition) 등과 같은 임의의 적합한 반도체 제조 공정을 사용함으로써 구현될 수 있다. 실시예에 따르면, N 타입 에피택셜 층(106)은 약 $10^{15} / \text{cm}^3$ 내지 약 $10^{18} / \text{cm}^3$ 범위의 도핑 밀도로 이루어진다.
- [0029] 격리 영역(101)은 웰로우 트렌치 아이솔레이션(STI) 영역일 수 있고, 당해 기술 분야에 공지된 바와 같이 트렌치를 형성하도록 N 타입 에피택셜 층(106)을 에칭하고 유전체 재료로 트렌치를 채움으로써 형성될 수 있다. 격리 영역(101)은 당해 기술 분야에 공지된 종래의 방법에 의해 형성되는 산화물 재료, 고밀도 플라즈마(HDP; high-density plasma) 산화물 등과 같은 유전체 재료로 채워질 수 있다.
- [0030] 도 6은 실시예에 따라 유전체 층이 기판 위에 형성되고 복수의 이온 주입 공정이 반도체 디바이스에 적용된 후의, 도 5에 도시된 반도체 디바이스의 단면도를 예시한다. 유전체 층(602)은 N 타입 에피택셜 층(106) 위에 형성된다. 유전체 층(602)은 산화물 층을 포함할 수 있다. 유전체 층(602)은 산화물 층을 포함할 수 있다. 유전체 층(302)은 산화물, H_2O , NO , 또는 이들의 조합을 포함하는 주변 환경에서의 습식 또는 건식 열 산화와 같은 임의의 산화 공정에 의해 또는 전구체로서 TEOS(tetra-ethyl-ortho-silicate) 및 산소를 사용한 CVD 기술에 의해 형성될 수 있다.
- [0031] 도 6에 도시된 바와 같이, 3개의 딥 P 웰(202, 302 및 402)이 N 타입 에피택셜 층(106)에 형성된다. 딥 P 웰(202, 302 및 402)은 격리 영역 뿐만 아니라 N 타입 에피택셜 층(106)에 의해 분리된다. 실시예에 따르면, 딥 P 웰은 약 $10^{16} / \text{cm}^3$ 내지 약 $10^{19} / \text{cm}^3$ 범위의 도핑 농도로 이루어질 수 있다. 딥 P 웰은 붕소와 같은 p 타입 도펀트를 주입함으로써 형성될 수 있다. 마찬가지로, 3개의 고전압 N 웰(204, 304, 및 404)이 각각 딥 P 웰(202, 302 및 402)에 형성된다. 고전압 N 웰은 약 $10^{15} / \text{cm}^3$ 내지 약 $10^{18} / \text{cm}^3$ 범위의 도핑 농도로 인과 같은 n 타입 도펀트를 주입함으로써 형성될 수 있다.
- [0032] 도 6은 고전압 N 웰(204)에 형성된 5V P 웰(206), 고전압 N 웰(304)에 형성된 P 타입 이중 확산(PDD) 영역(306) 및 고전압 N 웰(404)에 형성된 5V P 웰(406)을 더 예시한다. 실시예에 따르면, 5V P 웰은 약 $10^{15} / \text{cm}^3$ 내지 약 $10^{18} / \text{cm}^3$ 범위의 도핑 농도로 이루어질 수 있다. PDD 영역(306)은 약 $10^{15} / \text{cm}^3$ 내지 약 $10^{18} / \text{cm}^3$ 범위의 도핑 농도로 이루어질 수 있다. 5V P 웰 및 PDD 영역은 붕소와 같은 p 타입 도펀트를 주입함으로써 형성될 수 있다.
- [0033] 도 7은 실시예에 따라 하드 마스크 층이 기판 위에 형성된 후의 도 6에 도시된 반도체 디바이스의 단면도를 예시한다. 하드 마스크 층(702)은 실시예에 따라 유전체 층(602) 상에 증착된다. 하드 마스크 층(702)은 실리콘 질화물로 형성될 수 있다. 하드 마스크 층(702)은 CVD 등과 같은 적합한 제조 기술을 통해 유전체 층(602)의 상면 상에 증착된다.
- [0034] 도 8은 실시예에 따라 적합한 에칭 공정이 유전체 층 및 하드 마스크 층에 적용된 후의, 도 7에 도시된 반도체 디바이스의 단면도를 예시한다. 하드 마스크 층(702) 및 유전체 층(602)은 준수직형 MOSFET(100)(도 1에 도시됨)의 제1 트렌치 및 제2 트렌치의 위치를 고려하여 패터닝된다. 그 후에, 반응성 이온 에칭(RIE; reactive ion etch)이나 기타 건식 에칭, 이방성 습식 에칭, 또는 임의의 기타 적합한 이방성 에칭이나 패터닝 공정과 같은 에칭 공정이 도 8에 도시된 개구(802 및 804)를 형성하도록 수행된다. 실시예에 따르면 개구(804)의 폭이 개구(802)의 폭보다 더 큰 것을 유의하여야 한다.
- [0035] 도 9는 실시예에 따라 에칭 공정이 N 타입 에피택셜 층에 적용된 후의, 도 8에 도시된 반도체 디바이스의 단면도를 예시한다. 트렌치(902) 및 트렌치(904)를 형성하도록 RIE, 건식 에칭, 습식 에칭, 또는 임의의 기타 적합한 이방성 에칭 기술과 같은 에칭 공정이 N 타입 에피택셜 층(106)에 적용된다. 도 9에 도시된 바와 같이, 제1 트렌치(902) 및 제2 트렌치(904)는 둘 다 동일한 제조 단계에서 형성된다. 제1 트렌치(902) 및 제2 트렌치

(904)의 이러한 단일 단계 형성은 준수직형 MOS 트랜지스터(100)의 제조 비용을 감소시키는 것을 돕는다.

- [0036] 도 9에 도시된 바와 같이, 에칭 공정은 N 타입 에피택셜 층(106)을 관통하여 에칭하고 NBL 층(104)을 부분적으로 에칭할 수 있다. 또한, 도 9는 제1 트렌치(902)의 깊이가 제2 트렌치(904)의 깊이와 대략 동일함을 예시하고 있다. 도 9에 도시된 바와 같이, 제2 트렌치(904)의 폭은 제1 트렌치(902)의 폭보다 더 크며 유의하여야 한다. 제2 트렌치(904)의 상대적으로 더 큰 개구는 후속 산화물 증착 공정 동안 개구를 유지하는 것을 돕는다. 산화물 증착 공정은 도 10에 관련하여 아래에 상세하게 기재될 것이다.
- [0037] 도 10은 실시예에 따라 유전체 증착 공정이 제1 트렌치 및 제2 트렌치에 적용된 후의, 도 9에 도시된 반도체 디바이스의 단면도를 예시한다. 도 10에 도시된 바와 같이, 유전체 층(1002)은 제1 트렌치(902)(도 9에 도시됨)를 채우지만, 제2 트렌치(904)는 부분적으로 채운다. 유전체 증착 공정 후에 제2 트렌치(904)에 개구(1004)가 존재할 수 있다. 도 9에 관련하여 상기 기재된 바와 같이, 제2 개구(904)의 폭은 제1 개구(902)의 폭보다 더 크다. 그 결과, 유전체 증착 공정을 제어함으로써, 유전체 층(1002)은 제2 트렌치(904)를 부분적으로 채울 수 있다.
- [0038] 실시예에 따르면, 유전체 층(1002)은 산화물로 형성될 수 있다. 설명 전반에 걸쳐, 유전체 층(1002)은 대안으로서 산화물 층(1002)으로 지칭될 수 있다. 산화물 층(1002)은 적합한 열 처리 기술, 습식 처리 기술 또는 PVD, CVD, ALD 등과 같은 증착 기술을 사용함으로써 형성될 수 있다. 도 10에 도시된 산화물 층(1002)은 단지 예일 뿐임을 유의하여야 한다. 질화물, 산질화물, 하이 k 재료, 이들의 조합, 이들의 다층과 같은 다른 유전체 재료가 대안으로서 사용될 수 있다.
- [0039] 도 11은 실시예에 따라 에칭 공정이 산화물 층에 적용된 후의, 도 10에 도시된 반도체 디바이스의 단면도를 예시한다. 도 11에 도시된 산화물 층(110)을 형성하기 위해 제1 트렌치에서의 산화물 층의 상부 부분을 제거하도록 RIE, 이방성 습식 에칭, 또는 임의의 기타 적합한 이방성 에칭 공정과 같은 에칭 공정이 수행된다.
- [0040] 또한, 에칭 공정은 제2 트렌치에서의 산화물 층이 완전히 제거되도록 제어된다. 다르게 말하자면, 제2 트렌치에는 산화물이 없다. 실시예에 따르면, 도 11에 도시된 산화물 층(110)은 두께 H1로 이루어진다. H1은 약 0.5 um 내지 약 5 um 범위이다. 설명 전반에 걸쳐 인용된 치수는 단지 예일 뿐이며 다른 값으로 변경될 수 있다는 것을 유의하여야 한다. 도 11에 도시된 산화물 층(110)은 표면 전기장을 감소시키도록 돕는 전계판으로서 기능할 수 있음을 또한 유의하여야 한다. 더욱이, 산화물 층(110)을 따라 감소된 표면 전기장은 준수직형 MOS 트랜지스터(100)의 전압 정격을 개선할 수 있다.
- [0041] 도 12는 실시예에 따라 하드 마스크 제거 공정이 반도체 디바이스의 상부 표면에 적용된 후의, 도 11에 도시된 반도체 디바이스의 단면도를 예시한다. 도 12에 도시된 바와 같이, 도 11에 도시된 하드 마스크 층 및 산화물 층은 습식 에칭 공정과 같은 적합한 하드 마스크 층 제거 공정을 통해 제거되었다. 제거 공정은 N 타입 에피택셜 층(106)이 노출될 때까지 반도체 디바이스의 상부 표면에 적용된다.
- [0042] 도 13은 실시예에 따라 게이트 유전체 층이 트렌치 뿐만 아니라 반도체 디바이스의 상부 표면에 형성된 후의, 도 12에 도시된 반도체 디바이스의 단면도를 예시한다. 도 13에 도시된 바와 같이, 게이트 유전체 층(1302)은 제1 트렌치, 제2 트렌치 뿐만 아니라 반도체 디바이스의 상부 표면에 형성된다. 게이트 유전체 층(1302)은 산화물, 질화물, 산질화물, 하이 k 재료, 이들의 조합, 및 이들의 다층과 같은 일반적으로 사용되는 유전체 재료로 형성될 수 있다.
- [0043] 실시예에 따르면, 게이트 유전체 층(1302)은 산화물 층이다. 게이트 유전체 층(1302)은 적합한 열 처리 기술, 습식 처리 기술 또는 PVD, CVD, ALD 등과 같은 증착 기술을 사용함으로써 형성될 수 있다.
- [0044] 도 14는 실시예에 따라 게이트 전극 층이 트렌치에 형성되고 복수의 게이트 전극이 반도체 디바이스의 상부 표면 상에 형성된 후의, 도 13에 도시된 반도체 디바이스의 단면도를 예시한다. 게이트 영역(112), 딥 트렌치(114), 게이트 전극(208, 308, 408 및 508)은 동일한 제조 공정을 통해 동일한 재료로 채워질 수 있다.
- [0045] 게이트 영역(112), 딥 트렌치(114), 게이트 전극(208, 308, 408 및 508)은 금속 재료(예를 들어, 탄탈륨, 티타늄, 몰리브덴, 텅스텐, 플래티늄, 알루미늄, 하프늄, 루테튬), 금속 실리사이드(예를 들어, 티타늄 실리사이드, 코발트 실리사이드, 니켈 실리사이드, 탄탈륨 실리사이드), 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물), 도핑된 다결정질 실리콘, 기타 전도성 재료, 또는 이들의 조합과 같은 전도성 재료를 포함할 수 있다. 실시예에 따르면, 비결정질 실리콘이 증착 및 재결정화되어 다결정질 실리콘(폴리실리콘)을 생성한다.
- [0046] 실시예에 따르면, 게이트 영역(112), 딥 트렌치(114), 게이트 전극(208, 308, 408 및 508)은 폴리실리콘으로 형

성될 수 있다. 게이트 영역(예를 들어, 112, 208, 308, 408 및 508) 및 딥 트렌치(114)는 LPCVD(low-pressure chemical vapor deposition)에 의해 도핑 또는 도핑되지 않은 폴리실리콘을 증착함으로써 형성될 수 있다. 다른 실시예에 따르면, 게이트 영역(예를 들어, 112, 208, 308, 408 및 508) 및 딥 트렌치(114)는 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물, 티타늄, 탄탈륨, 및/또는 조합과 같은 금속 재료로 형성될 수 있다. 금속 게이트 전극 층은 ALD, CVD, PVD 등과 같은 적합한 증착 기술을 사용하여 형성될 수 있다. 상기 증착 기술은 당해 기술 분야에 잘 알려져 있으며, 따라서 여기에서 설명되지 않는다.

[0047] 도 15는 실시예에 따라 다양한 이온 주입 공정이 반도체 디바이스의 상부 표면에 적용된 후의, 도 14에 도시된 반도체 디바이스의 단면도를 예시한다. 도 15에 도시된 바와 같이, PB 영역(108)은 N 타입 에피택셜 층(106)에 형성된다. 실시예에 따르면, PB 영역은 약 $10^{16} / \text{cm}^3$ 내지 약 $10^{18} / \text{cm}^3$ 범위의 도핑 농도로 이루어진다.

[0048] 복수의 스페이서(도시되지 않음)가 그의 대응하는 게이트 전극에 대해 형성될 수 있다. 스페이서는 게이트 전극 및 기판 위에 하나 이상의 스페이서 층(도시되지 않음)을 전면(blanket) 증착함으로써 형성될 수 있다. 스페이서 층은 SiN, 산질화물, SiC, SiON, 산화물 등을 포함할 수 있고, CVD, 플라즈마 강화 CVD, 스퍼터 및 당해 기술 분야에 공지된 기타 방법과 같은 일반적으로 사용되는 방법에 의해 형성될 수 있다. 스페이서 층은 예를 들어 등방성 또는 이방성 에칭에 의해 패터닝될 수 있고, 그리하여 기판의 수평 표면으로부터 스페이서 층을 제거하고 스페이서를 형성할 수 있다.

[0049] P+ 영역(126)은 약 $10^{19} / \text{cm}^3$ 내지 약 $10^{21} / \text{cm}^3$ 사이의 농도로 붕소와 같은 p 타입 도펀트를 주입함으로써 형성될 수 있다. 제1 N+ 영역(122)이 PB 영역(108) 위에 형성된다. 실시예에 따르면, 제1 N+ 영역(122)은 MOS 트랜지스터(100)의 소스로서 기능한다. 소스 영역은 약 $10^{19} / \text{cm}^3$ 내지 약 $10^{21} / \text{cm}^3$ 사이의 농도로 인과 같은 n 타입 도펀트를 주입함으로써 형성될 수 있다. 또한, 소스 컨택(도시되지 않음)이 제1 N+ 영역(122) 위에 형성될 수 있다.

[0050] 제2 N+ 영역(124)이 N 타입 에피택셜 층에 형성된다. 실시예에 따르면, 제2 N+ 영역(124)은 MOS 트랜지스터(100)의 드레인일 수 있다. 드레인 영역은 약 $10^{19} / \text{cm}^3$ 내지 약 $10^{21} / \text{cm}^3$ 사이의 농도로 인과 같은 n 타입 도펀트를 주입함으로써 형성될 수 있다. 도 1에 도시된 바와 같이, 드레인 영역은 소스(제1 N+ 영역(122))와 반대 측에 형성된다.

[0051] P+ 영역(126)은 약 $10^{19} / \text{cm}^3$ 내지 약 $10^{21} / \text{cm}^3$ 사이의 농도로 붕소와 같은 p 타입 도펀트를 주입함으로써 형성될 수 있다. P+ 영역(126)은 MOS 트랜지스터(100)의 p 타입 바디에 접촉할 수 있다. 바디 이펙트(body effect)를 없애기 위해, P+ 영역(126)은 소스 컨택(도시되지 않음)을 직접 통해 제1 N+ 영역(122)(MOS 트랜지스터(100)의 소스)에 연결될 수 있다.

[0052] 도 15에 도시된 반도체 디바이스의 상부 표면 위에 층간 유전체(ILD; inter-layer dielectric) 층(도시되지 않음)이 형성된다. ILD 층은 실리콘 질화물 도핑된 실리케이트 유리로 형성될 수 있지만, 붕소 도핑된 인 실리케이트 유리 등과 같은 다른 재료가 대안으로서 이용될 수 있다. 컨택 개구(도시되지 않음)가 에칭 공정을 통해 ILD 층에 형성될 수 있다. 에칭 공정 후에, ILD 층의 일부는 남아있고 게이트-소스 유전체 층(132)이 된다. 또한, 전도성 재료가 소스 컨택(도시되지 않음)을 형성하도록 개구 안에 증착된다.

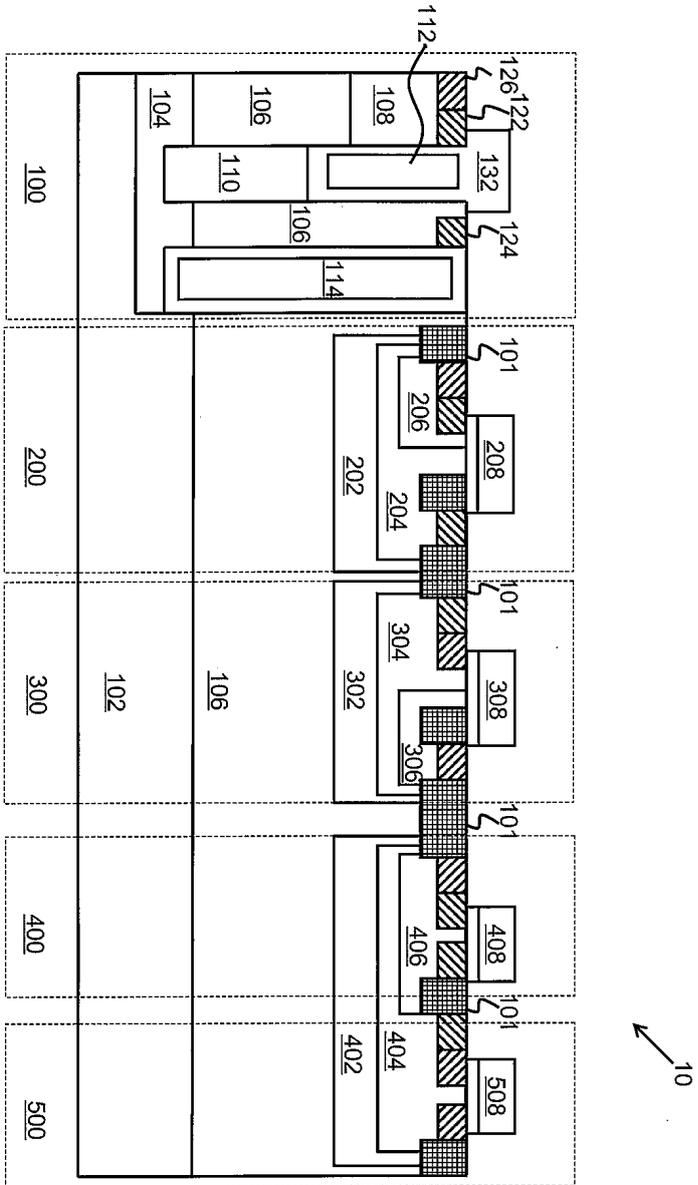
[0053] 게이트 전극(208, 308, 408 및 508)을 갖는 수평형 디바이스의 N+ 및 P+ 영역은 제1 N+ 영역(122), 제2 N+ 영역(124) 및 P+ 영역(126)과 동일한 제조 공정으로 형성될 수 있다. 수평형 디바이스의 N+ 및 P+ 영역의 형성은 준수직형 MOS 트랜지스터(100)의 N+ 및 P+ 영역의 형성과 유사하며, 따라서 여기에서는 중복을 피하기 위해 더 상세하게 설명되지 않는다.

[0054] 도 16 내지 도 27은 실시예에 따라 도 3에 도시된 준수직형 트렌치 MOS 트랜지스터(100)를 포함하는 반도체 디바이스를 제조하는 중간 단계들을 예시한다. 도 16 내지 도 27에 도시된 제조 단계들은, 도 5에 도시된 N 타입 에피택셜 층이 도 16에서 P 타입 에피택셜 층에 형성된 고전압 N 웰로 대체된 것을 제외하고는, 도 5 내지 도 15에 도시된 제조 단계들과 유사하다.

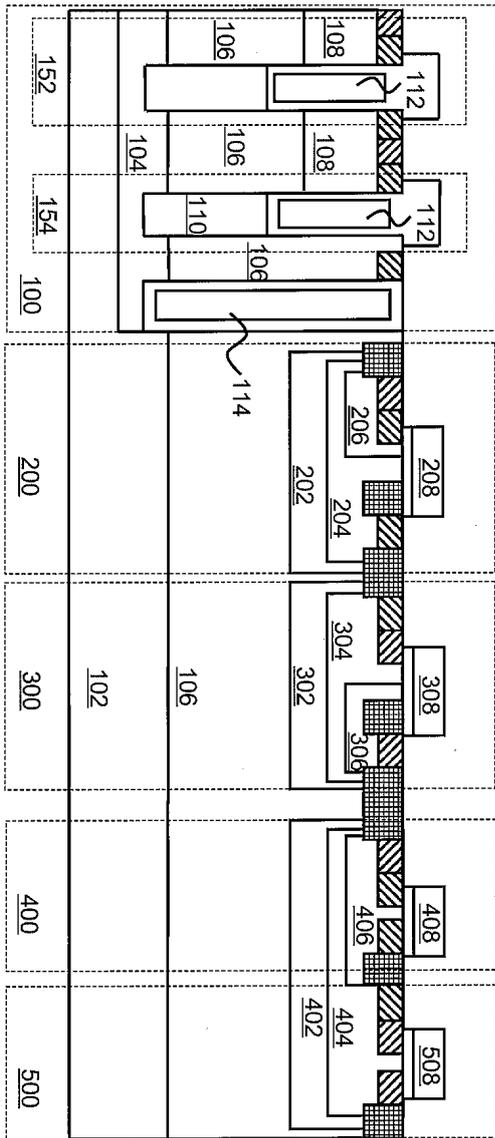
[0055] 도 16에 도시된 바와 같이, 반도체 디바이스는 기판(102)에 형성된 복수의 NBL 층(104, 332, 342 및 452)을 포함한다. 도 5에 도시된 N 타입 에피택셜 층(106)을 갖는 대신에, P 타입 에피택셜 층(1602)은 기판(102) 위에 성장된다. P 타입 에피택셜 층(1602)은 약 $10^{14} / \text{cm}^3$ 내지 약 $10^{17} / \text{cm}^3$ 범위의 도핑 농도로 이루어진다.

도면

도면1

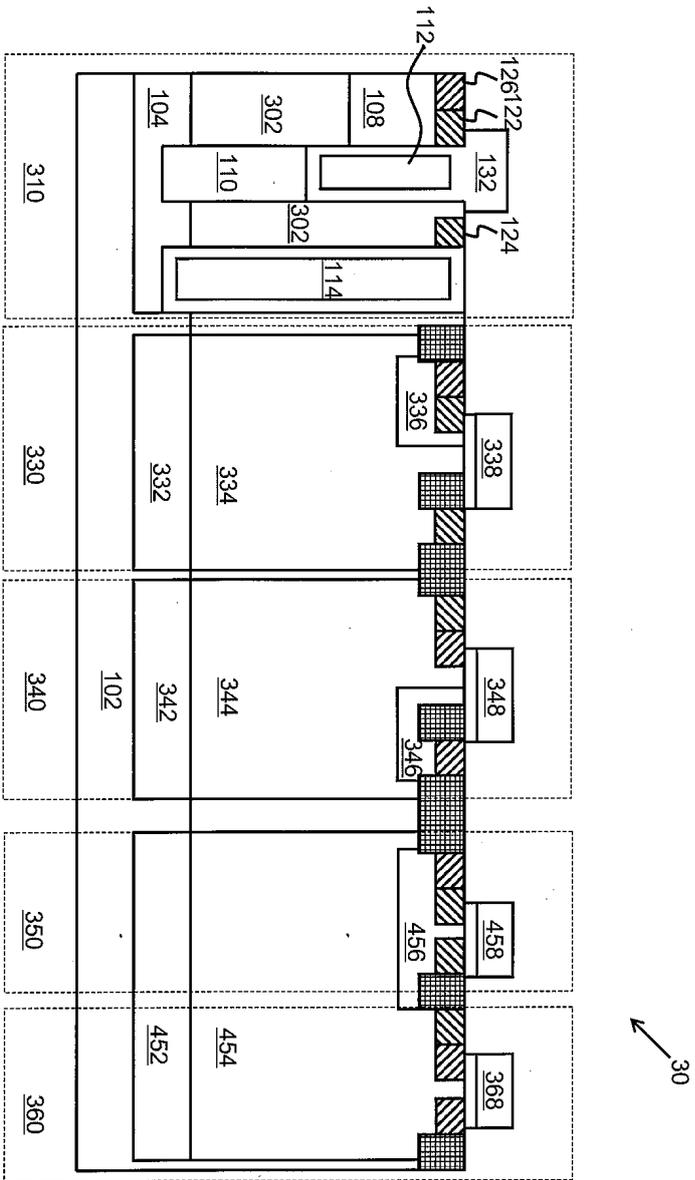


도면2

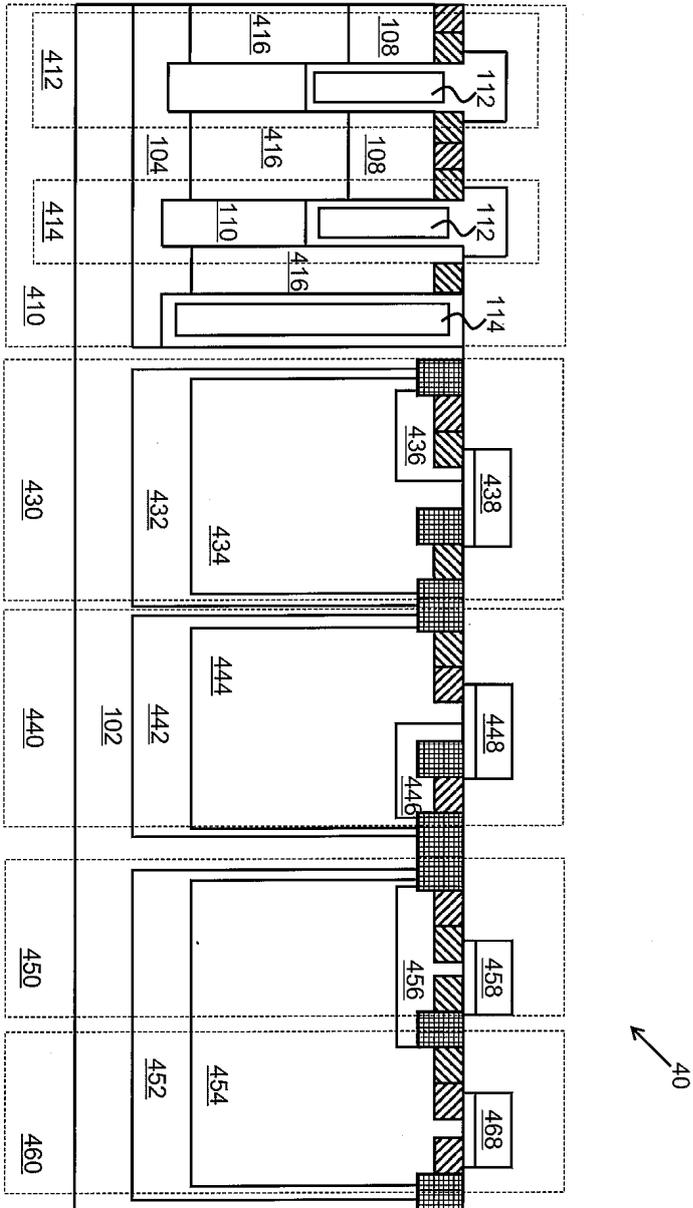


20

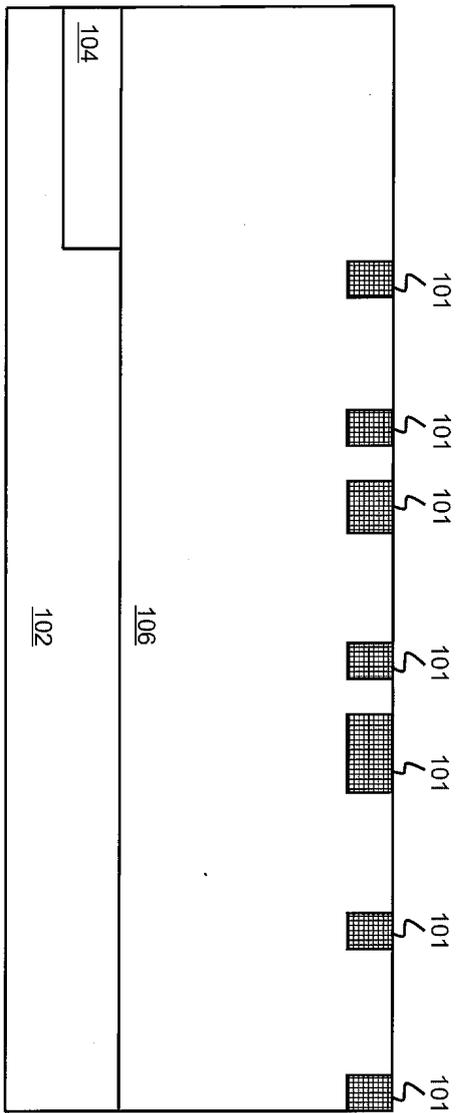
도면3



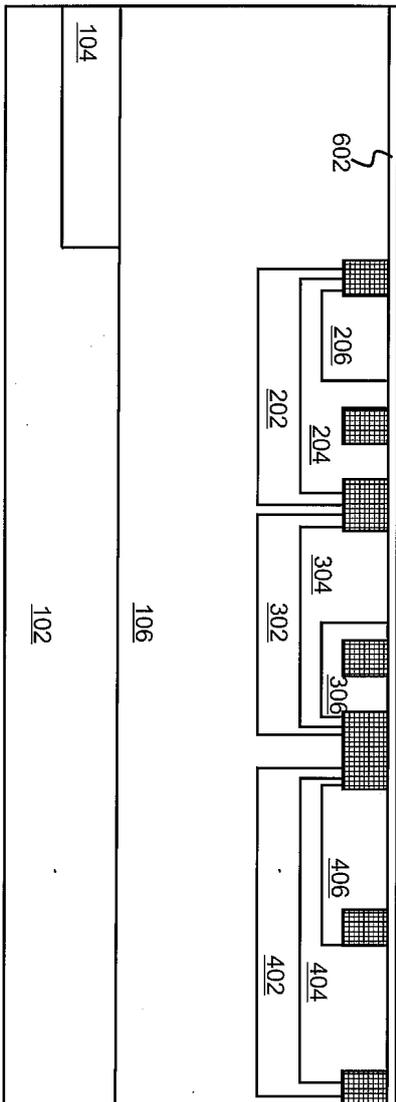
도면4



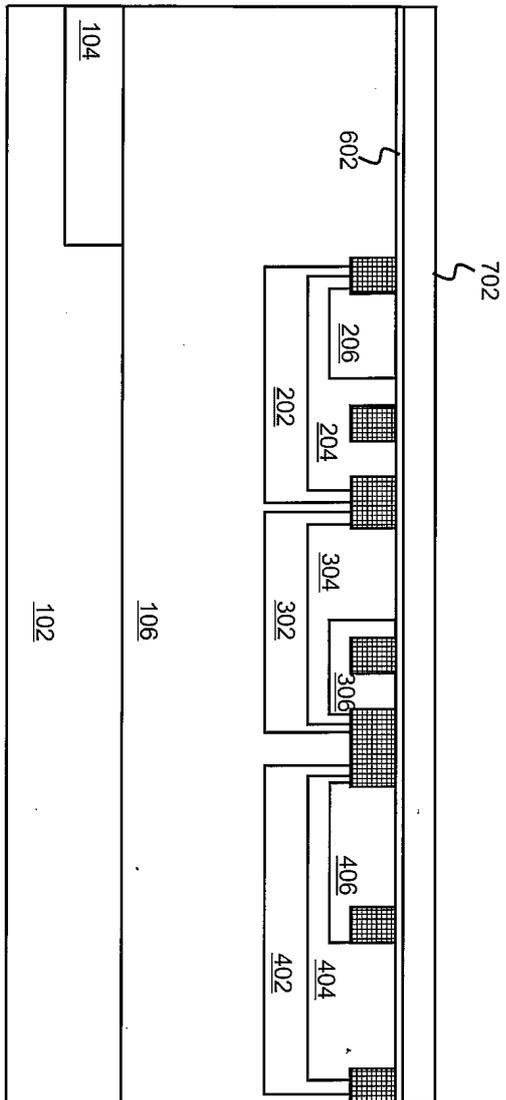
도면5



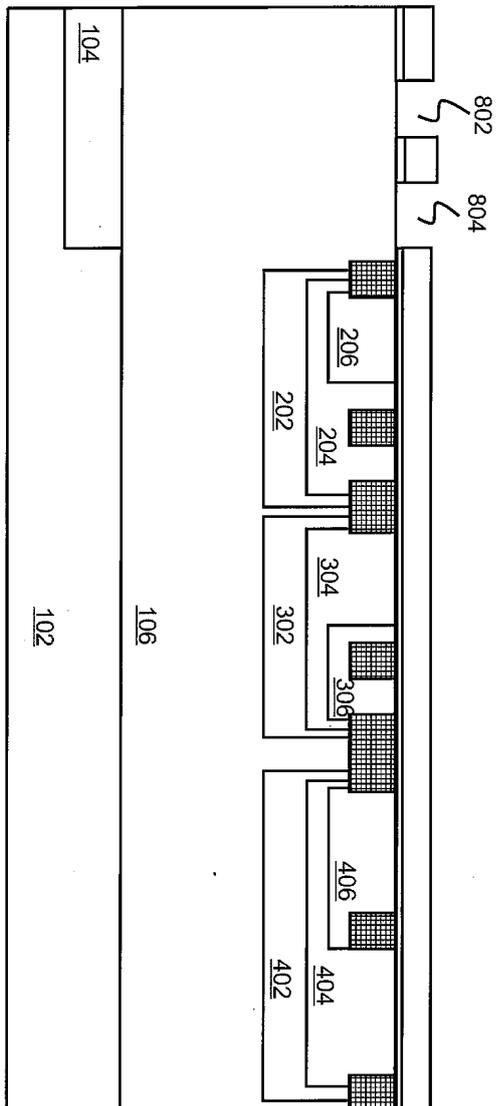
도면6



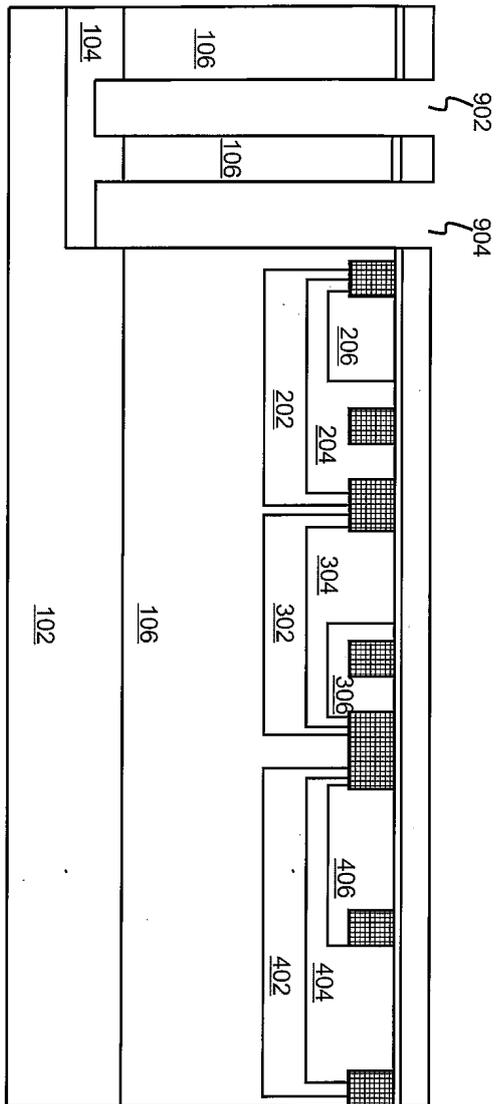
도면7



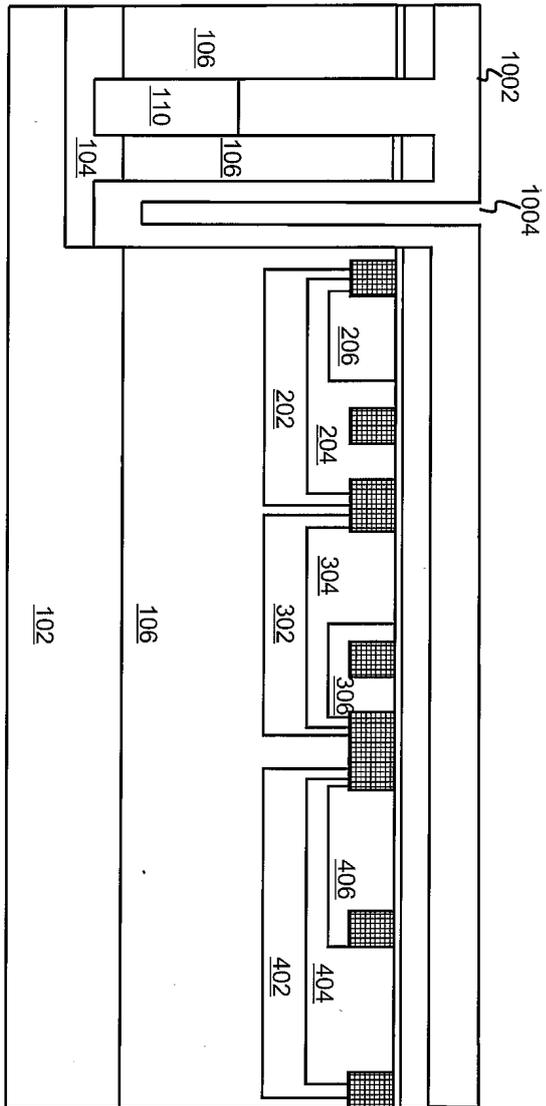
도면8



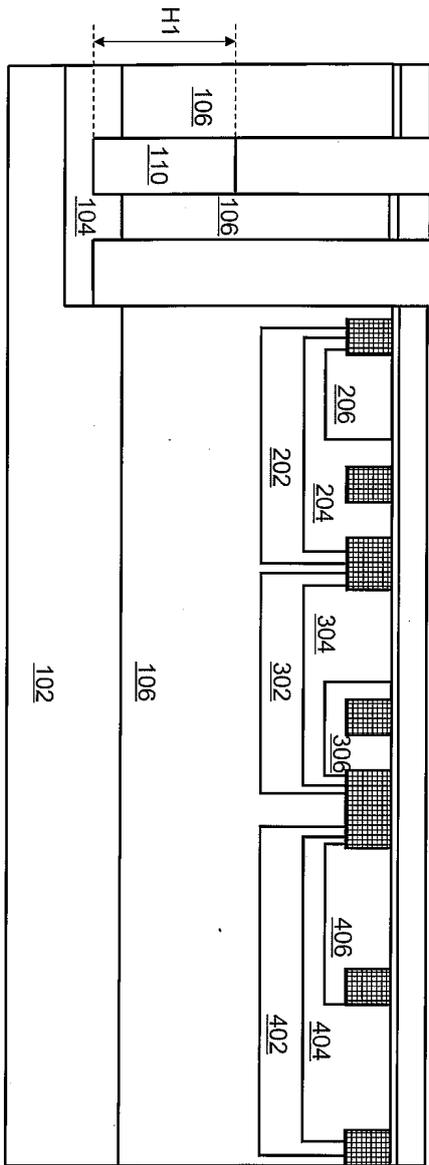
도면9



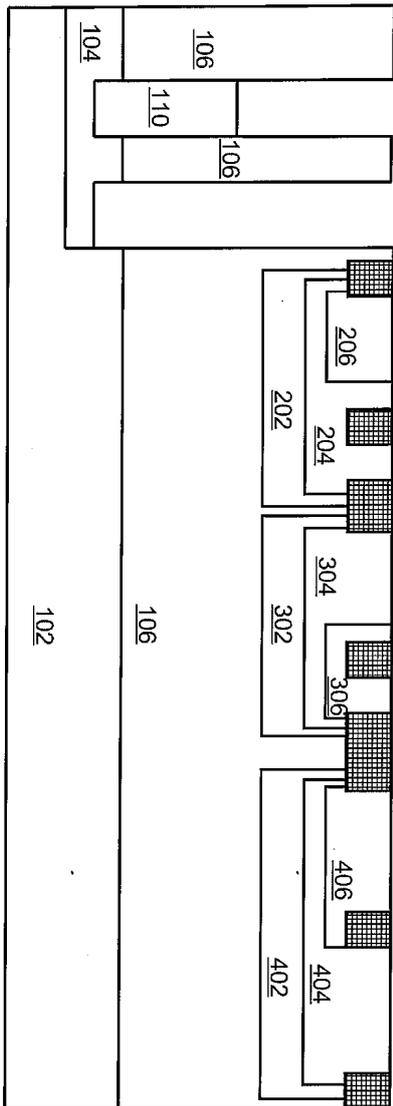
도면10



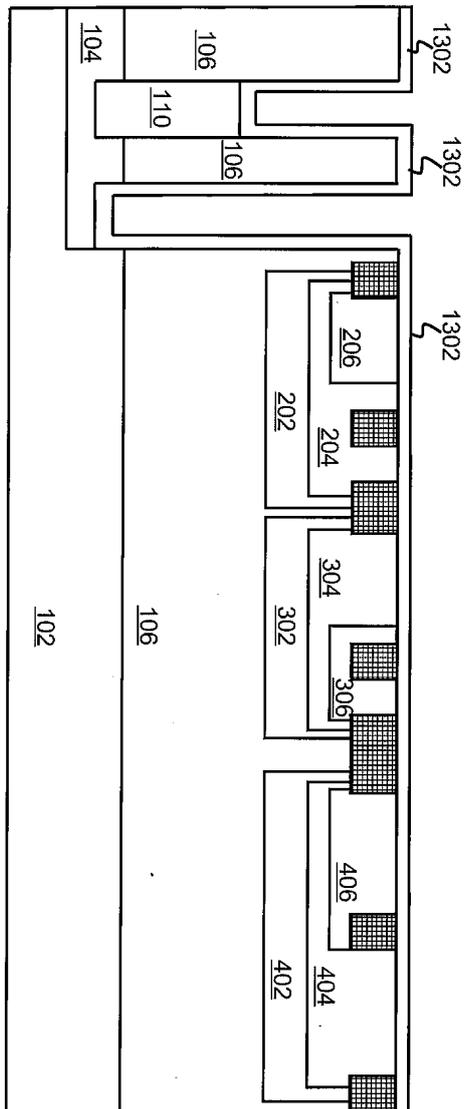
도면11



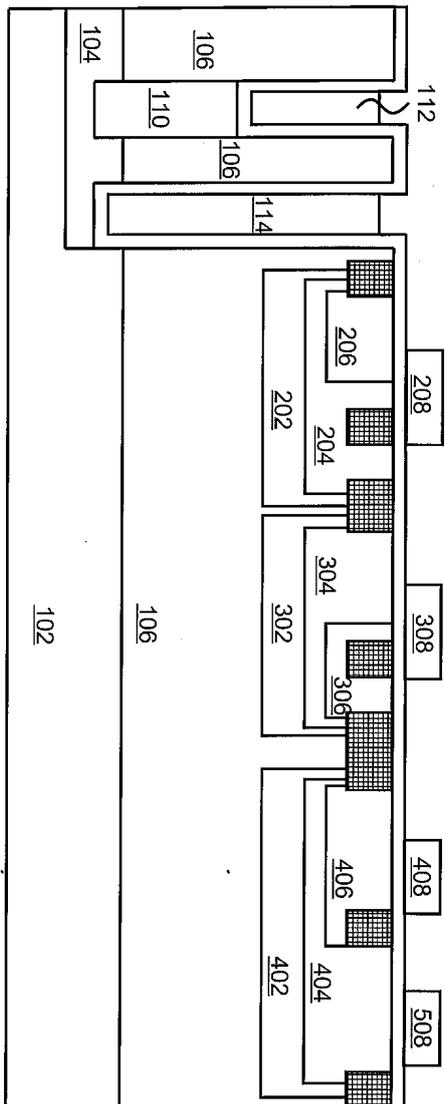
도면12



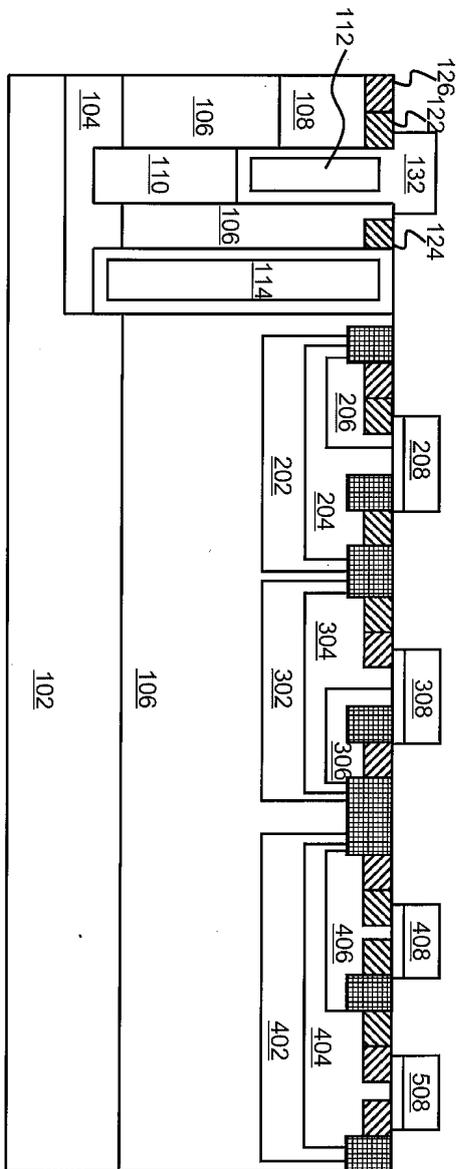
도면13



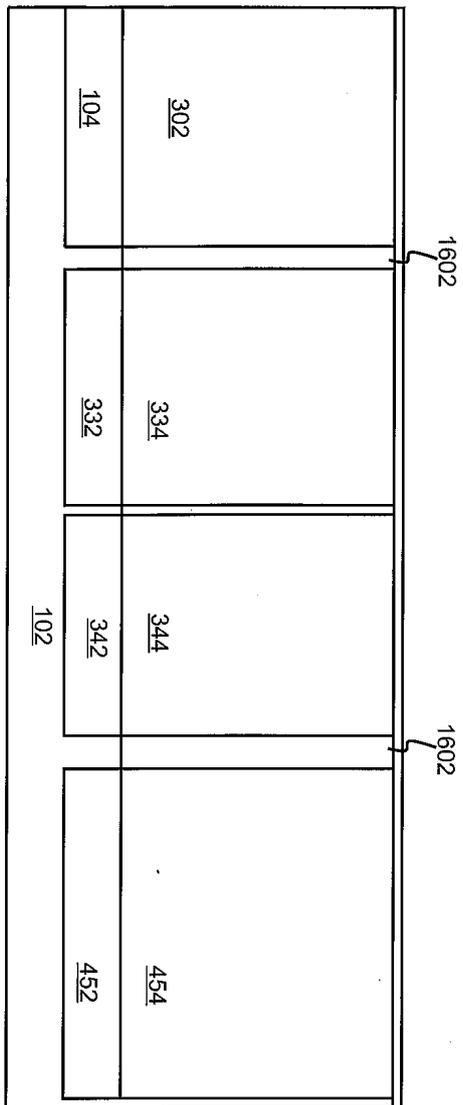
도면14



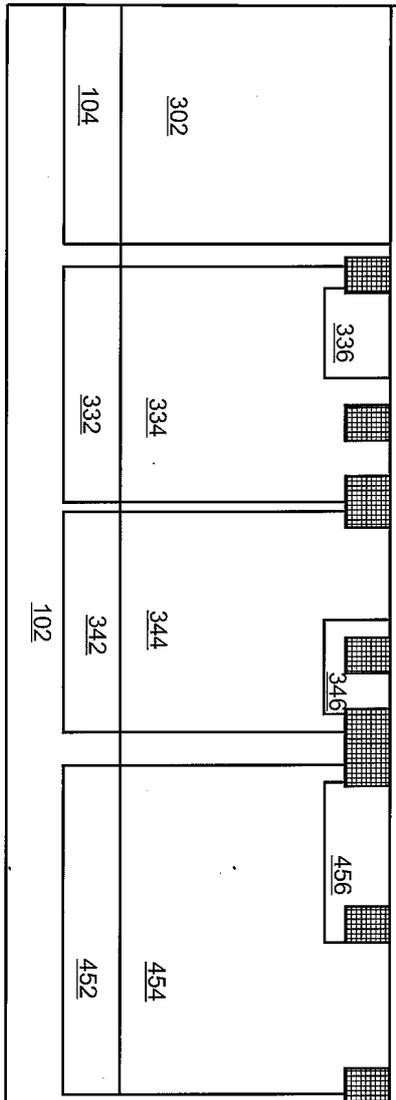
도면15



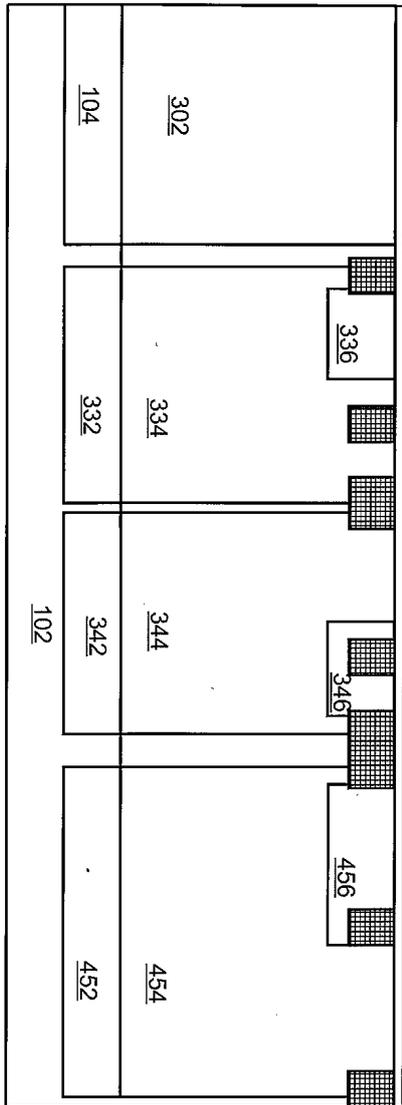
도면16



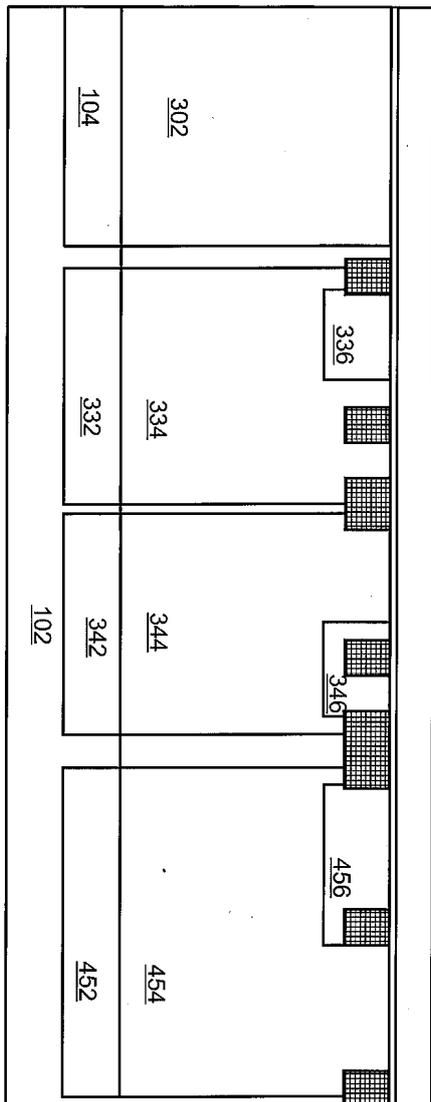
도면17



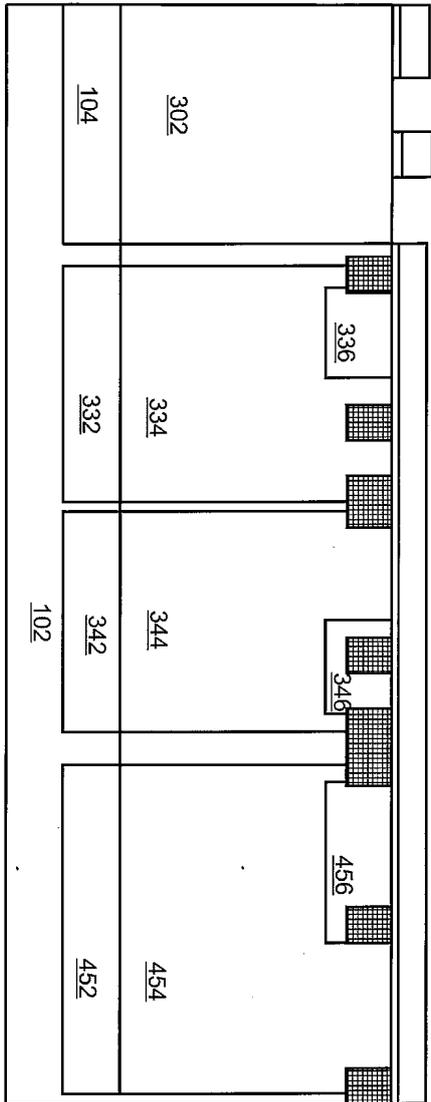
도면18



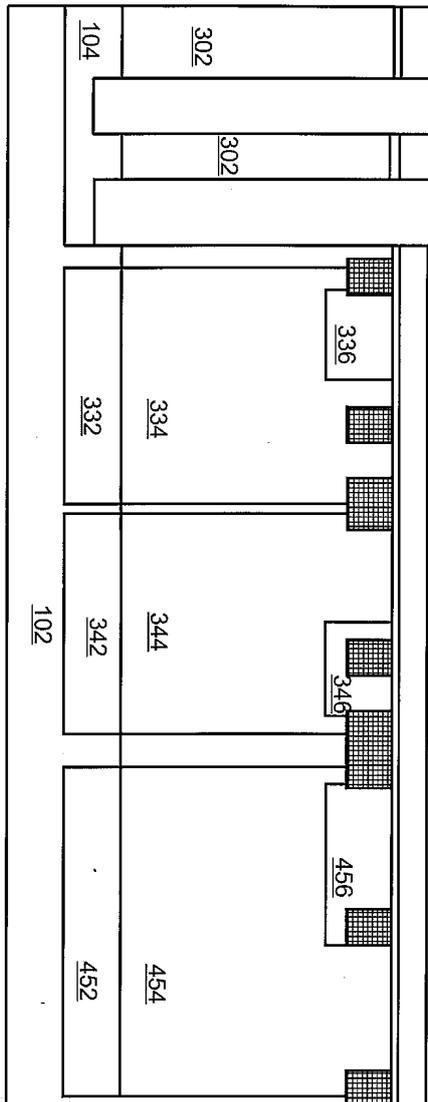
도면19



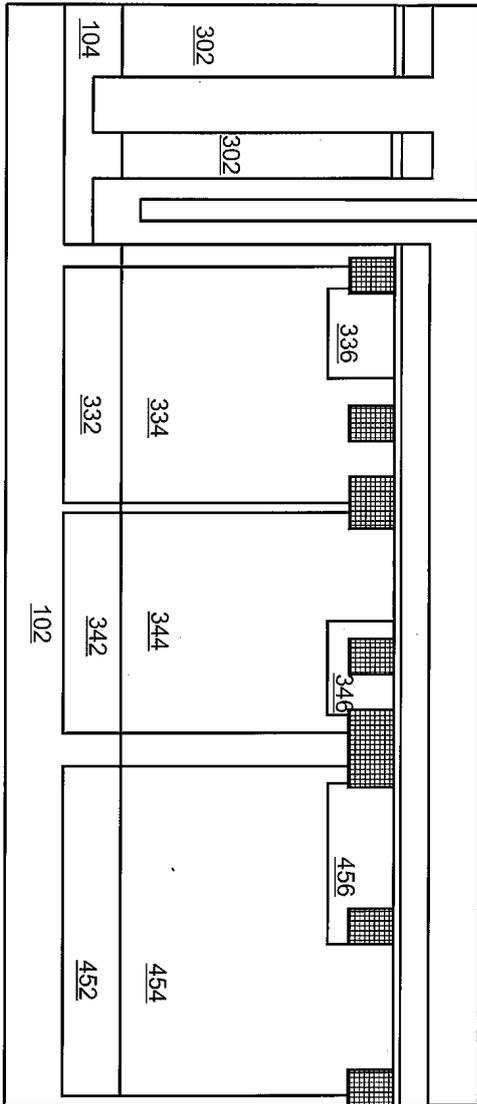
도면20



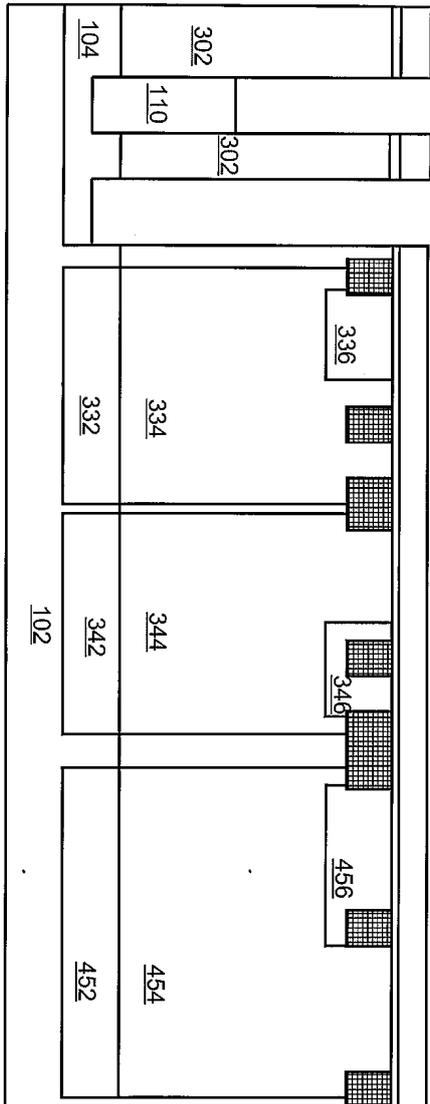
도면21



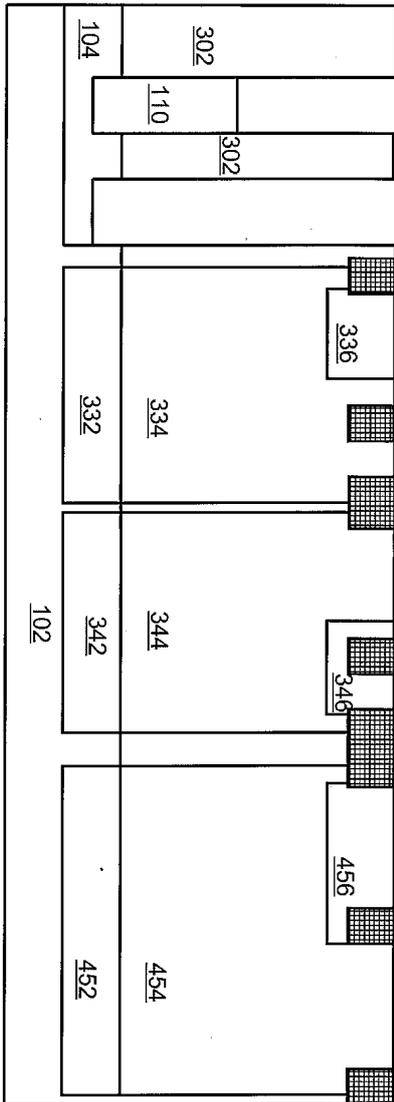
도면22



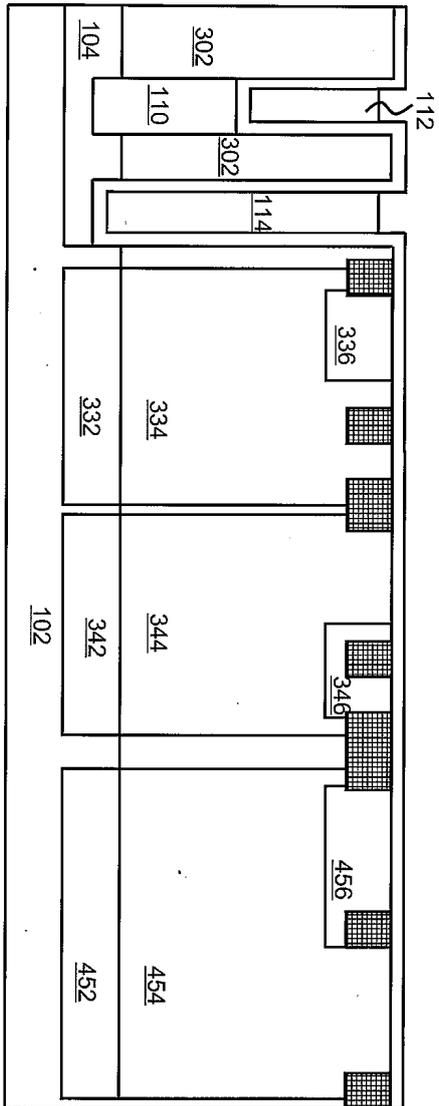
도면23



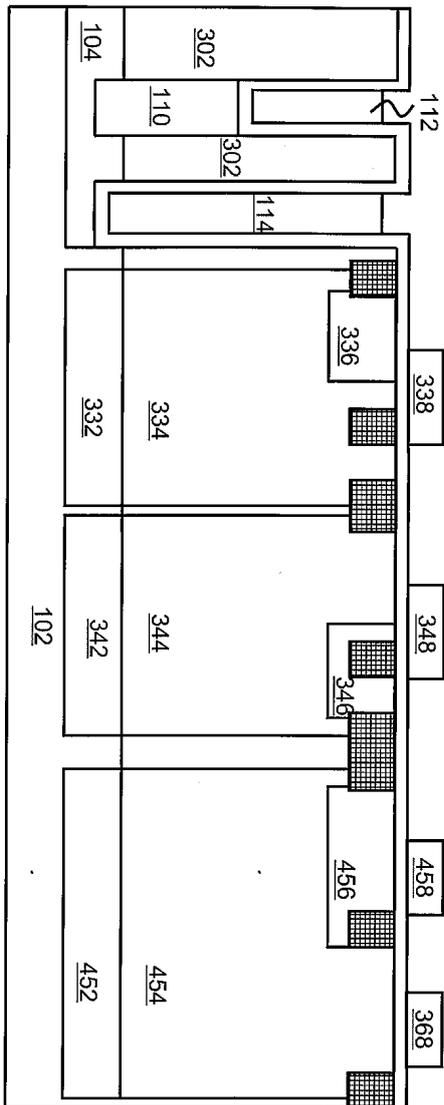
도면24



도면25



도면26



도면27

