



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월31일
 (11) 등록번호 10-1742433
 (24) 등록일자 2017년05월25일

(51) 국제특허분류(Int. Cl.)
H05K 3/24 (2006.01) *H05K 1/09* (2006.01)
H05K 3/38 (2006.01)
 (52) CPC특허분류
H05K 3/245 (2013.01)
H05K 1/09 (2013.01)
 (21) 출원번호 10-2016-0049000(분할)
 (22) 출원일자 2016년04월21일
 심사청구일자 2016년04월21일
 (65) 공개번호 10-2017-0031603
 (43) 공개일자 2017년03월21일
 (62) 원출원 특허 10-2015-0116680
 원출원일자 2015년08월19일
 (56) 선행기술조사문헌
 JP2012019080 A*
 WO2010140725 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지이노텍 주식회사
 서울특별시 중구 후암로 98 (남대문로5가)
 (72) 발명자
황정호
 서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
이한수
 서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
 (뒷면에 계속)
 (74) 대리인
김기문

전체 청구항 수 : 총 25 항

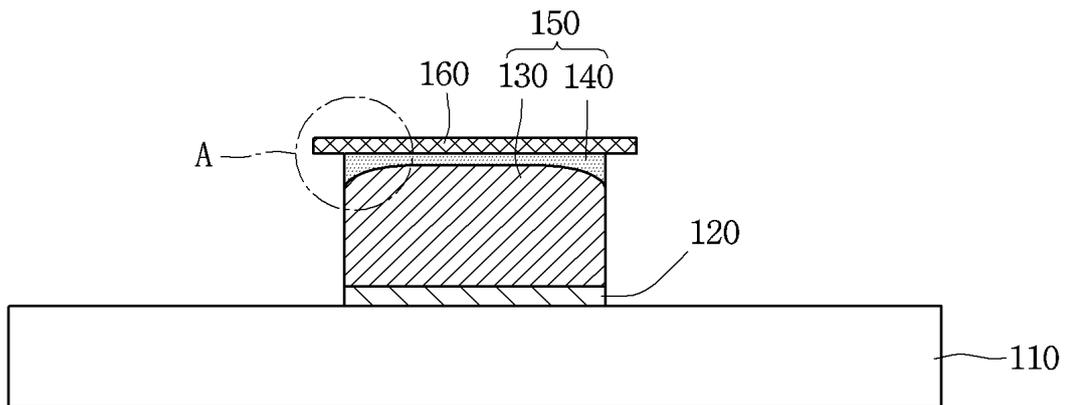
심사관 : 최미숙

(54) 발명의 명칭 **인쇄회로기판 및 그의 제조 방법**

(57) 요약

실시 예에 따른 인쇄회로기판은, 절연층; 상기 절연층 위에 배치된 도금 시드층; 상기 도금 시드층 위에 배치된 회로 패턴; 및 상기 회로 패턴 위에 배치된 상부 금속층을 포함하고, 상기 회로 패턴은, 상기 도금 시드층 위에 배치된 제 1 회로패턴과, 상기 제 1 회로패턴 위에 배치되고, 상기 제 1 회로패턴과 동일한 물질을 포함하는 제 2 회로패턴을 포함한다.

대표도 - 도3



(52) CPC특허분류

H05K 3/246 (2013.01)

H05K 3/38 (2013.01)

(72) 발명자

최대영

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

권순규

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

정동현

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

정인호

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

손길동

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

김상화

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

이상영

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

전재훈

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

이진학

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

배윤미

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

명세서

청구범위

청구항 1

절연층;

상기 절연층 위에 배치되며, 구리(Cu)를 포함하는 도금 시드층;

상기 도금 시드층 위에 배치되고, 상기 도금 시드층의 상면과 직접 접촉하며, 구리(Cu)를 포함하는 제 1 회로 패턴;

상기 제 1 회로 패턴의 상면과 직접 접촉하며, 구리(Cu)를 포함하는 제 2 회로 패턴; 및

상기 제 2 회로 패턴의 상면 위에 배치되는 상부 금속층을 포함하고,

상기 상부 금속층은,

상기 제 2 회로 패턴의 상면과 대향하는 하면을 포함하고,

상기 상부 금속층의 하면은,

상기 제 2 회로 패턴과 접촉하는 제 1 영역과,

상기 제 1 영역으로부터 연장되고, 상기 도금 시드층, 상기 제 1 및 2 회로 패턴으로부터 이격되는 제 2 영역을 포함하며,

상기 제 2 회로 패턴의 상면의 폭보다 넓은 폭을 가지며,

상기 제 2 회로 패턴 하단의 일부는, 상기 제 1 회로 패턴의 상단보다 낮게 배치되며,

상기 제 2 회로 패턴의 두께는 상기 제 1 회로 패턴의 두께보다 얇으며,

상기 상부 금속층은 상기 제 2 회로 패턴 상에 금(Au)을 포함하는 금속물질로 직접 접촉하여 형성되는 인쇄회로 기판.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1항에 있어서,

상기 제 2 영역에 대응하는 상기 상부 금속층의 하면은,

상기 도금 시드층, 상기 제 1 및 제 2 회로패턴과 비접촉되어 있는

인쇄회로기판.

청구항 7

제 6항에 있어서,
상기 상부 금속층의 상기 제 2 영역은,
3 μ m~7 μ m 범위 내의 길이를 가지는
인쇄회로기판.

청구항 8

삭제

청구항 9

제 1항에 있어서,
상기 상부 금속층 하면의 폭은,
상기 도금 시드층의 폭보다 넓은 폭을 가지는
인쇄회로기판.

청구항 10

제 1항에 있어서,
상기 상부 금속층 하면의 폭은,
상기 제 1 회로패턴의 폭보다 넓은 폭을 가지는
인쇄회로기판.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제 1항에 있어서,
상기 제 2회로패턴의 두께는 1 μ m~13 μ m 사이의 범위를 만족하는
인쇄회로기판.

청구항 18

삭제

청구항 19

삭제

청구항 20

제 1항에 있어서,
상기 제 2 회로패턴 하단의 길이는,
상기 도금 시드층의 하단의 길이보다 긴
인쇄회로 기판.

청구항 21

삭제

청구항 22

제1항에 있어서,
상기 제 2 회로패턴은,
상기 제 1 회로패턴 측면의 일부를 덮는
인쇄회로기판.

청구항 23

제 1항에 있어서,
상기 제 1회로패턴은
상부의 모서리 부분이 일정 곡률을 가지는
인쇄회로기판.

청구항 24

절연층을 준비하는 단계; 및,
상기 절연층 상면에 구리(Cu)를 포함하는 금속으로 도금 시드층을 형성하는 단계;
상기 도금 시드층을 시드층으로 전해 도금하여 상기 도금 시드층 위에 회로 패턴을 형성하는 단계;
상기 회로 패턴 위에 상부금속층을 형성하는 단계를 포함하며,
상기 회로 패턴을 형성하는 단계는,
상기 도금 시드층 위에 구리(Cu)를 포함하는 금속으로 제 1 회로패턴을 형성하는 단계와,
상기 제1 회로 패턴의 상면을 식각하는 단계와,
상기 식각된 제 1 회로 패턴 상면을 직접 접촉되도록 덮으며 상기 제1 회로 패턴 위에 구리(Cu)를 포함하는 금속으로 제2 회로 패턴을 형성하는 단계를 포함하며,
상기 제2 회로 패턴 하단의 일부는, 상기 제1 회로 패턴의 상단보다 낮게 배치되며,
상기 제2 회로 패턴의 두께는 상기 제1 회로 패턴의 두께보다 얇으며,
상기 상부 금속층을 형성하는 단계에서, 상기 상부 금속층은 상기 제2 회로 패턴 상에 금(Au)을 포함하는 금속으로 직접 접촉하여 형성되는 인쇄회로기판의 제조방법.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

제 24항에 있어서,

상기 상부 금속층은 전해 도금에 의해 형성되며,

상기 상부 금속층의 전해도금은,

상기 제 1회로패턴 형성을 위한 상기 도금 시드층을 시드층으로 이용하여 전해 도금되는 인쇄회로기판의 제조방법.

청구항 30

삭제

청구항 31

삭제

청구항 32

제 24항에 있어서,

상기 제 1회로패턴의 상면을 식각하는 단계는

0.4 μ m~10 μ m 사이의 범위 내에서 상기 제 1회로패턴의 상면을 식각하는 단계를 포함하는

인쇄회로기판의 제조방법.

청구항 33

제 29항에 있어서,

상기 상부 금속층의 전해도금 단계 이전에 상기 도금 시드층 위에 상기 제 2회로패턴의 상면을 개방하는 개구부를 갖는 마스크를 형성하는 단계를 더 포함하는

인쇄회로기판의 제조방법.

청구항 34

제 33항에 있어서,

상기 상부 금속층의 전해도금 단계 이후에 상기 마스크를 제거하는 단계; 및

상기 절연층 위에 형성된 상기 도금 시드층을 제거하는 단계를 더 포함하는

인쇄회로기판의 제조방법.

청구항 35

제 24항에 있어서,

상기 제 2 회로패턴의 폭은,
상기 상부 금속층의 폭보다 좁은
인쇄회로기판의 제조방법.

청구항 36

제 35항에 있어서,
상기 상부금속층의 하면은 상기 제 2회로패턴의 상면과 직접 접촉하는
인쇄회로기판의 제조방법.

청구항 37

제 36항에 있어서,
상기 상부 금속층의 하면은,
상기 제 2 회로 패턴의 상면의 폭보다 넓은 폭을 가지는
인쇄회로기판의 제조 방법.

청구항 38

제 37항에 있어서,
상기 상부금속층의 하면은
상기 제 2회로패턴과 접촉하는 제 1영역과,
상기 제 2회로패턴으로부터 이격되는 제 2영역을 포함하는
인쇄회로기판의 제조방법.

청구항 39

제 38항에 있어서,
상기 상부금속층의 상기 제 2 영역은
상기 도금 시드층, 상기 제 1 회로패턴 및 상기 제 2 회로패턴과 비접촉하는
인쇄회로기판의 제조 방법.

청구항 40

제 38항에 있어서,
상기 상부 금속층의 상기 제 2 영역은,
3 μ m~7 μ m 범위 내의 길이를 가지는
인쇄회로기판의 제조방법.

청구항 41

제 24항에 있어서,
상기 도금 시드층은
상기 절연층의 표면에 구리(Cu)를 무전해 도금하여 형성하는 단계를 포함하며,
상기 제 2 회로 패턴은,
플래시 도금에 의해 상기 제 1 회로 패턴보다 얇게 상기 제 1 회로 패턴 위에 형성되는 인쇄회로기판의 제조 방법.

청구항 42

삭제

청구항 43

제 41항에 있어서,

상기 제 1회로패턴은

상기 도금 시드층 위에 구리(Cu)를 전해 도금하여 형성하는 단계를 포함하는 인쇄회로기판의 제조방법.

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

제 24항에 있어서,

상기 제 2회로패턴의 두께는 $1\mu\text{m}\sim 13\mu\text{m}$ 사이의 범위를 만족하는

인쇄회로기판의 제조방법.

청구항 51

삭제

청구항 52

삭제

청구항 53

제 43항에 있어서,

상기 제 2 회로패턴 하단의 길이는,

상기 도금 시드층의 하단의 길이보다 긴

인쇄회로 기판의 제조 방법.

청구항 54

삭제

청구항 55

제 43항에 있어서,
 상기 제 2 회로패턴은,
 상기 제 1 회로패턴 측면의 일부를 덮는
 인쇄회로기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 인쇄회로기판의 관한 것으로, 특히 상부가 곡률을 가지는 제 1 회로패턴과, 상기 제 1 회로패턴 위에 형성된 제 2 회로패턴을 포함하는 회로 패턴과, 전해 도금에 의해 상기 회로 패턴 위에 형성된 상부 금속층을 포함하는 인쇄회로기판 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 인쇄회로기판(PCB; Printed Circuit Board)은 전기 절연성 기판에 구리와 같은 전도성 재료로 회로라인 패턴을 인쇄하여 형성한 것으로, 전자부품을 탑재하기 직전의 기판(Board)을 말한다. 즉, 여러 종류의 많은 전자 소자를 평판 위에 밀집 탑재하기 위해, 각 부품의 장착 위치를 확정하고, 부품을 연결하는 회로패턴을 평판 표면에 인쇄하여 고정된 회로 기판을 의미한다.

[0003] 일반적으로, 상기와 같은 인쇄회로기판에 포함된 회로 패턴의 표면처리 방법으로, OSP(Organic Solderability Preservative), 전해 니켈/골드, 전해 니켈/골드-코발트 합금, 무전해 니켈/팔라듐/골드 등이 사용되고 있다.

[0004] 이때, 상기 사용되는 표면 처리 방법들은 그의 용도에 따라 달라지는데, 예를 들어, 상기 용도에는 솔더링용, 와이어 본딩용 및 커넥터용 등이 있다.

[0005] 도 1은 종래 기술에 따른 인쇄회로기판의 제조 방법을 공정순으로 설명하는 단면도이고, 도 2는 종래 기술에 따른 인쇄회로기판의 상면을 보여주는 도면이다.

[0006] 도 1의 (a)를 참조하면, 먼저 절연층(10)을 준비하고, 상기 준비된 절연층(10) 위에 시드층(20)을 형성한다.

[0007] 그리고, 상기 형성된 시드층(20) 위에 상기 시드층(20)의 상면 중 적어도 일부 상면을 노출하는 개구부(도시하지 않음)를 포함하는 마스크(30)를 형성한다.

[0008] 이후, 상기 시드층(20)을 토대로 전해 도금을 수행하여, 상기 시드층(20) 위에 상기 마스크(30)의 개구부를 매립하는 회로 패턴(40)을 형성한다.

[0009] 다음으로, 도 1의 (b)를 참조하면, 상기 회로 패턴(40)이 형성되면, 상기 형성된 회로 패턴(40)의 상면을 평탄화하는 그라인딩(Grinding) 공정을 진행한다.

[0010] 상기 그라인딩 공정이 진행되면, 상기 회로 패턴(40)의 상부의 적어도 일부는, 상기 마스크(30)의 내부로 번지게 되며, 이에 따라 상기 회로 패턴(40)의 상단부는 상기 마스크(30) 방향으로 돌출되는 돌출부(도시하지 않음)를 포함하게 된다.

[0011] 다음으로, 도 1의 (c)를 참조하면, 표면 처리 공정을 진행하기 위한 전처리 공정을 진행한다.

[0012] 이때, 상기 전처리 공정은 산성계 약품으로 상기 회로 패턴(40)의 표면을 식각하는 것으로 이루어진다. 여기서, 상기 전처리 공정이 진행되면, 상기 회로 패턴(40)의 상면만이 식각되는 것이 아니라, 상기 회로 패턴(40)의 상면 및 측면의 경계면에서도 식각이 발생하게 된다.

[0013] 따라서, 상기 전처리 공정이 진행되면, 상기 회로 패턴(40)의 모서리 부분(50)은 볼록 형상의 일정 곡률을 가지게 된다.

[0014] 다시 말해서, 상기 전처리 공정이 진행되면, 상기 마스크(30)와 상기 회로 패턴(40) 사이에 갭(gap)이 생기게

된다.

- [0015] 그리고, 종래에서는 도 2에 도시된 바와 같이 상기 갭이 생긴 상태에서, 상기 회로 패턴(40) 위에 표면 처리 공정을 진행하여 상부 금속층(60)을 형성한다.
- [0016] 그러나, 상기 갭이 생긴 상태에서 상기 상부 금속층(60)이 형성되면, 상기 회로 패턴(40)의 모서리 부분(50)으로도 상기 상부 금속층(60)이 형성된다.
- [0017] 이에 따라, 도 2에 도시된 바와 같이, 종래 기술에 따른 상부 금속층(60)은 회로 패턴(40)의 측면 방향으로 돌출되는 돌출 부분(70)을 포함하게 되며, 이는 인쇄회로기판의 신뢰성에 큰 영향을 주게 된다.

발명의 내용

해결하려는 과제

- [0018] 본 발명에 따른 실시 예에서는, 새로운 구조의 인쇄회로기판 및 이의 제조 방법을 제공한다.
- [0019] 또한, 본 발명에 따른 실시 예에서는, 회로 패턴 형성 시에 사용한 도금 시드층을 이용하여 상기 회로 패턴의 상부 금속층을 전해 도금하여 형성한 인쇄회로기판 및 이의 제조 방법을 제공한다.
- [0020] 또한, 본 발명에 따른 실시 예에서는 적어도 일부의 모서리 부분이 곡면을 가지는 제 1 회로패턴과, 상기 제 1 회로패턴 위에 형성되어 상기 곡면의 모서리 부분을 덮는 제 2 회로패턴을 포함하는 회로 패턴을 포함한 인쇄회로기판 및 이의 제조 방법을 제공한다.
- [0021] 또한, 본 발명에서는 상기 제 2 회로 패턴 위에 상기 제 2 회로 패턴의 폭보다 넓은 폭을 가지면서, 상기 제 2 회로 패턴의 측면으로부터 바깥쪽으로 돌출된 상부 금속층을 포함한 인쇄회로기판 및 이의 제조 방법을 제공한다.
- [0022] 또한, 본 실시 예에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0023] 실시 예에 따른 인쇄회로기판은, 절연층; 상기 절연층 위에 배치된 도금 시드층; 상기 도금 시드층 위에 배치된 회로 패턴; 및 상기 회로 패턴 위에 배치된 상부 금속층을 포함하고, 상기 회로 패턴은, 상기 도금 시드층 위에 배치된 제 1 회로패턴과, 상기 제 1 회로패턴 위에 배치되고, 상기 제 1 회로패턴과 동일한 물질을 포함하는 제 2 회로패턴을 포함한다.
- [0024] 또한, 상기 상부 금속층은, 금(Au)으로 형성된다.
- [0025] 또한, 상기 상부 금속층은, 금(Au)을 포함하는 금속 물질로 형성된다.
- [0026] 또한, 상기 상부 금속층의 하면은, 상기 제 2 회로패턴의 상면의 폭보다 넓은 폭을 가진다.
- [0027] 또한, 상기 상부 금속층의 하면은, 상기 제 2 회로패턴의 상면과 접촉하는 제 1 영역과, 상기 도금 시드층, 상기 제 1 및 제 2 회로패턴으로부터 이격되는 적어도 하나의 제 2 영역을 포함한다.
- [0028] 또한, 상기 적어도 하나의 제 2 영역에 대응하는 상기 상부 금속층의 하면은, 상기 도금 시드층, 상기 제 1 및 제 2 회로패턴과 비접촉되어 노출되어 있다.
- [0029] 또한, 상기 상부 금속층의 적어도 하나의 상기 제 2 영역은, 3 μ m~7 μ m 범위 내의 폭을 가진다.
- [0030] 또한, 상기 상부 금속층은, 상면 및 하면의 폭이 서로 동일하다.
- [0031] 또한, 상기 상부 금속층 하면의 폭은, 상기 도금 시드층의 폭보다 넓은 폭을 가진다.
- [0032] 또한, 상기 상부 금속층 하면의 폭은, 상기 제 1 회로패턴의 폭보다 넓은 폭을 가진다.
- [0033] 또한 상기 도금 시드층은, 구리(Cu)로 형성된다.
- [0034] 또한, 상기 도금 시드층은, 구리(Cu)를 포함하는 금속물질로 형성된다.

- [0035] 또한, 상기 제 1 및 2 회로패턴은 구리(Cu)로 형성된다.
- [0036] 또한, 상기 제 1 및 2 회로패턴은, 구리(Cu)를 포함하는 금속 물질로 형성된다.
- [0037] 또한, 상기 제 2 회로패턴의 두께는, 상기 제 1 회로패턴의 두께와 상이하다.
- [0038] 또한, 상기 제 2 회로패턴의 두께는, 상기 제 1 회로패턴의 두께보다 얇다.
- [0039] 또한, 상기 제 2회로패턴의 두께는 1 μ m~13 μ m 사이의 범위를 만족한다.
- [0040] 또한, 상기 제 2회로패턴의 두께는 3 μ m~10 μ m 사이의 범위를 만족한다.
- [0041] 또한, 상기 제 2회로패턴의 두께는 3 μ m~6 μ m 사이의 범위를 만족한다.
- 또한, 상기 제 2 회로패턴 하단의 길이는, 상기 도금 시드층의 하단의 길이보다 길다.
- 또한, 상기 제 2 회로패턴 하단의 일부는, 상기 제 1 회로패턴의 상단보다 낮게 배치된다.
- 또한, 상기 제 2 회로패턴은, 상기 제 1 회로패턴 측면의 일부를 덮는다.
- 또한, 상기 제 1회로패턴은 상부의 모서리 부분이 일정 곡률을 가진다.
- 한편, 실시 예에 따른 인쇄회로기판의 제조 방법은 절연층을 준비하는 단계; 및, 상기 절연층 상면에 도금 시드층을 형성하는 단계; 상기 도금 시드층을 시드층으로 전해 도금하여 회로 패턴을 형성하는 단계; 상기 회로 패턴 위에 상부금속층을 형성하는 단계를 포함하며, 상기 회로 패턴을 형성하는 단계는, 상기 도금 시드층 위에 제 1 회로패턴을 형성하는 단계와, 상기 제 1 회로패턴 상면을 덮으며 상기 제 1회로패턴과 동일한 물질로 제 2 회로패턴을 형성하는 단계를 포함한다.
- 또한, 상기 상부 금속층은 금(Au)으로 형성된다.
- 또한, 상기 상부 금속층은, 금(Au)을 포함하는 금속에 의해 형성된다.
- 또한, 상기 상부 금속층은, 전해도금에 의해 형성된다.
- 또한, 상기 상부 금속층은, 무전해도금에 의해 형성된다.
- 또한, 상기 상부 금속층의 전해도금은 상기 제 1회로패턴 형성을 위한 상기 도금 시드층을 시드층으로 이용한다.
- 또한, 상기 제 2 회로패턴을 형성하는 단계 이전에 상기 제 1회로패턴의 상면을 전처리하는 단계를 더 포함한다.
- 또한, 상기 제 1회로패턴의 상면을 전처리하는 단계는 상기 제 1회로패턴의 상면을 식각하는 단계를 포함한다.
- 또한, 상기 제 1회로패턴의 상면을 식각하는 단계는 0.4 μ m~10 μ m 사이의 범위 내에서 상기 제 1회로패턴의 상면을 식각하는 단계를 포함한다.
- 또한, 상기 상부 금속층의 전해도금 단계 이전에 상기 도금 시드층 위에 상기 제 2회로패턴의 상면을 개방하는 개구부를 갖는 마스크를 형성하는 단계를 더 포함한다.
- 또한, 상기 상부 금속층의 전해도금 단계 이후에 상기 마스크를 제거하는 단계; 및 상기 절연층 위에 형성된 상기 도금 시드층을 제거하는 단계를 더 포함한다.
- 또한, 상기 제 2 회로패턴의 폭은, 상기 상부 금속층의 폭보다 좁다.
- 또한, 상기 상부금속층의 하면은 상기 제 2회로패턴의 상면과 직접 접촉한다.
- 또한, 상기 상부 금속층의 하면은, 상기 제 2 회로 패턴의 상면의 폭보다 넓은 폭을 가진다.
- 또한, 상기 상부금속층의 하면은 상기 제 2회로패턴의 상면과 접촉하는 제 1영역과, 상기 제 2회로패턴의 상면으로부터 이격되는 적어도 하나의 제 2영역을 포함한다.
- 또한, 상기 상부금속층의 적어도 하나의 상기 제 2 영역은 상기 도금 시드층, 상기 제 1 회로패턴 및 상기 제 2 회로패턴과 비접촉하여 노출되어 있다.
- 또한, 상기 상부 금속층의 적어도 하나의 상기 제 2 영역은, 3 μ m~7 μ m 범위 내의 폭을 가진다.

또한, 상기 도금 시드층은 상기 절연층의 표면에 구리(Cu)를 무전해 도금하여 형성하는 단계를 포함한다.

또한, 상기 도금 시드층은, 상기 절연층의 표면에 구리(Cu)를 포함하는 금속을 무전해 도금하여 형성하는 단계를 포함한다.

또한, 상기 제 1회로패턴은 상기 도금 시드층 위에 구리(Cu)를 전해 도금하여 형성하는 단계를 포함한다.

또한, 상기 제 1회로패턴은 상기 도금 시드층 위에 구리(Cu)를 포함하는 금속 물질을 전해 도금하여 형성하는 단계를 포함한다.

또한, 상기 제 2회로패턴은 상기 제 1회로패턴 위에 구리(Cu)를 도금하여 형성하는 단계를 포함한다.

또한, 상기 제 2회로패턴은 상기 제 1회로패턴 위에 구리(Cu)를 포함하는 금속 물질을 도금하여 형성하는 단계를 포함한다.

또한, 상기 도금의 단계는 플래시 도금이다.

또한, 상기 제 2회로패턴의 두께는 상기 제 1회로패턴의 두께와 상이하다.

또한, 상기 제 2회로패턴의 두께는 상기 제 1회로패턴의 두께보다 얇다.

또한, 상기 제 2회로패턴의 두께는 1 μ m~13 μ m 사이의 범위를 만족한다.

또한, 상기 제 2 회로패턴의 두께는 3 μ m~10 μ m 사이의 범위를 만족한다.

또한, 상기 제 2 회로패턴의 두께는 3 μ m~6 μ m 사이의 범위를 만족한다.

또한, 상기 제 2 회로패턴 하단의 길이는, 상기 도금 시드층의 하단의 길이보다 길다.

또한, 상기 제 2 회로패턴 하단의 일부는, 상기 제 1 회로패턴의 상단보다 낮게 배치된다.

[0042] 또한, 상기 제 2 회로패턴은, 상기 제 1 회로패턴 측면의 일부를 덮는다.

발명의 효과

[0043] 본 발명에 따른 실시 예에 의하면, 플래시 도금 공정을 진행하여, 전처리 공정에서 식각된 회로 패턴의 모서리 부분을 채우고, 상기 모서리 부분이 채워진 상태에서 표면 처리 공정을 진행함으로써, 상기 상부 금속층의 번짐 불량을 해결할 수 있으며, 이에 따른 인쇄회로기판의 신뢰성을 향상시킬 수 있다.

[0044] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형상에 사용한 도금 시드층을 활용하여 상부 금속층을 형성함으로써, 디자인 제약 없이 전해 표면 처리와 무전해 표면 처리 방식을 선택적으로 가능하다.

[0045] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형성 시에 사용한 도금 시드층을 이용하여 금(Au)을 포함하는 상부 금속층을 형성함으로써, 기존의 금(Au) 표면 처리층의 시드층 역할을 수행한 니켈(Ni) 표면 처리층을 제거할 수 있으며, 이에 따라 제품의 두께를 낮출 수 있을 뿐 아니라, 상기 니켈 표면 처리층의 삭제로 인한 제품 단가를 낮출 수 있다.

[0046] 또한, 본 발명에 따른 실시 예에 의하면, 상기와 같은 플래시 도금 공정을 진행하여 상기 상부 금속층 중 회로 패턴의 측면으로부터 바깥쪽으로 돌출된 부분을 최소화함으로써, 상기 상부 금속층의 구조적 안정성을 확보할 수 있다.

도면의 간단한 설명

[0047] 도 1은 종래 기술에 따른 인쇄회로기판의 제조 방법을 공정순으로 설명하는 단면도이다.

도 2는 종래 기술에 따른 인쇄회로기판의 상면을 보여주는 도면이다.

도 3은 본 발명의 실시 예에 따른 인쇄회로기판의 구조를 나타낸 단면도이고, 도 4는 도 3의 A 부분의 확대도이다.

도 5는 본 발명의 실시 예에 따른 인쇄회로기판의 제조 방법을 공정 순으로 설명하는 흐름도이다.

도 6 내지 도 15는 도 3에 도시된 인쇄회로기판의 제조 방법을 공정 순으로 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0048] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다.
- [0049] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0050] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0051] 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0052] 본 발명에서는 전처리 공정에 의해 식각된 회로 패턴의 모서리 부분을 플래시 공정을 토대로 채운 후에 표면 처리 공정을 진행할 수 있도록 한 새로운 인쇄회로기판 및 이의 제조 방법을 제공한다.
- [0053] 도 3은 본 발명의 실시 예에 따른 인쇄회로기판의 구조를 나타낸 단면도이고, 도 4는 도 3의 A 부분의 확대도이다.
- [0054] 도 3 및 도 4를 참조하면, 인쇄회로기판(100)은 절연층(110), 도금 시드층(120), 회로 패턴(150) 및 상부 금속층(160)을 포함한다.
- [0055] 상기 절연층(110)은 단일 회로 패턴이 형성되는 인쇄회로기판의 지지 기판일 수 있으나, 복수의 적층 구조를 가지는 인쇄회로기판 중 한 회로 패턴(150)이 형성되어 있는 절연층 영역을 의미할 수도 있다.
- [0056] 상기 절연층(110)이 복수의 적층 구조 중 어느 한 절연층을 의미하는 경우, 상기 절연층(110)의 상면 또는 하면에 복수의 회로 패턴이 연속적으로 형성될 수 있다.
- [0057] 상기 절연층(110)은 절연 플레이트를 형성하며, 열 경화성 또는 열 가소성 고분자 기판, 세라믹 기판, 유-무기 복합 소재 기판, 또는 유리 섬유 함침 기판일 수 있으며, 고분자 수지를 포함하는 경우, 에폭시계 절연 수지를 포함할 수 있으며, 이와 달리 폴리 이미드계 수지를 포함할 수도 있다.
- [0058] 상기 절연층(110) 위에는 회로 패턴(150)이 형성된다.
- [0059] 바람직하게, 상기 절연층(110)과 상기 회로 패턴(150) 사이에는, 상기 회로 패턴(150)의 형성 시에 사용한 도금 시드층(120)이 형성된다.
- [0060] 상기 도금 시드층(120)은 상면 및 하면의 폭이 동일할 수 있다. 여기에서 상기 폭은 실제 길이를 의미할 수 있다.
다시 말해서, 상기 도금 시드층(120)의 상면의 폭은, 상기 도금 시드층(120)의 상면의 일단에서 타단까지의 실제 길이를 의미하고, 상기 하면의 폭은 상기 도금 시드층(120)의 하면의 일단에서 타단까지의 실제 길이를 의미한다. 따라서, 이하에서 기재되는 폭은 상기와 같은 일단에서 타단까지의 실제 길이로 정의될 수 있다.
- [0061] 그리고, 상기 도금 시드층(120) 위에는 회로 패턴(150)이 형성된다.
- [0062] 상기 회로 패턴(150)도 상기 도금 시드층(120)과 같이 상면 및 하면의 폭이 서로 동일한 형상을 가질 수 있다.
- [0063] 상기 도금 시드층(120)과 회로 패턴(150)은 구리(Cu)로 형성되거나, 상기 구리(Cu)를 포함하면서 전도성을 가진 금속 물질로 형성된다.
- [0064] 상기 회로 패턴(150)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.
- [0065] 이때, 상기 회로 패턴(150)은 상부의 모서리 부분이 일정 곡률을 가지는 제 1 회로패턴(130)과, 상기 제 1 회로패턴(130) 위에 형성되며 상기 제 1 회로패턴(130)의 모서리 부분을 덮는 제 2 회로패턴(140)을 포함한다.

- [0066] 즉, 회로 패턴(150)은 전처리 공정에 의해 모서리 부분이 제거되어 상면 및 측면의 경계 부분이 불룩한 곡면을 가지는 제 1 회로패턴(130)을 포함한다.
- [0067] 그리고, 상기 제 1 회로패턴(130) 위에는 제 2 회로패턴(140)이 배치된다.
- [0068] 상기 제 2 회로패턴(140)은 상기 제 1 회로패턴(130)의 불룩한 곡면을 덮으며 형성된다. 다시 말해서, 상기 제 2 회로패턴(140)은 상기 전처리 공정에서 제거된 제 1 회로패턴(130)의 모서리 부분을 채운다.
- [0069] 상기 제 2 회로패턴(140)의 상면은 편평할 수 있으며, 하면은 상기 제 1 회로패턴(130)의 모서리 부분이 가지는 곡률에 대응하는 곡률을 가질 수 있다.
- [0070] 상기 제 2 회로패턴(140)의 하단 중 적어도 일 부분은, 상기 제 1 회로패턴(130)의 상단보다 낮게 위치한다.
- [0071] 즉, 상기 제 2 회로패턴(140)이 상기 제 1 회로패턴(130)의 모서리 부분을 덮으며 형성되며, 상기 모서리 부분은 상기 제 1 회로패턴(130)의 상면 및 측면의 경계면이다. 다시 말해서, 상기 제 1 회로패턴(130)의 모서리 부분은 상기 제 1 회로패턴(130)의 일부 상면 및 일부 측면을 포함한다.
- [0072] 이에 따라, 상기 제 2 회로패턴(140)은 실질적으로 상기 제 1 회로패턴(130)의 상면 및 측면의 일부를 덮으며 형성된다.
- [0073] 따라서, 상기 제 2 회로패턴(140)의 하단의 일부는, 상기 제 1 회로패턴(130)의 측면 부분까지 연장되며, 이에 따라 상기 제 1 회로패턴(130)의 상단보다 낮은 곳에 위치하게 된다.
- [0074] 상기 회로 패턴(150) 위에는 상부 금속층(160)이 형성된다.
- [0075] 상기 상부 금속층(160)은 금(Au)만을 포함하는 금속으로 형성되거나, 금(Au)을 포함하는 합금으로 형성될 수 있다.
- [0076] 상기 상부 금속층(160)이 금(Au)을 포함하는 합금으로 형성되는 경우, 상기 상부 금속층(160)은 코발트를 포함하는 금 합금으로 형성될 수 있다. 이때, 상기 상부 금속층(160)은 전해도금에 의해 형성된다.
- [0077] 바람직하게, 상기 상부 금속층(160)은 상기 회로 패턴(150)의 형성 시에 사용한 도금 시드층과 동일한 층인 상기 도금 시드층(120)으로 전해 도금하여 형성된다.
- [0078] 상기 상부 금속층(160)은 상기 회로 패턴(150) 위에 형성되며, 이에 따라 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 상면과 직접 접촉한다. 보다 명확하게는, 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 제 2 회로패턴(140)의 상면과 직접 접촉한다.
- [0079] 이때, 상기 상부 금속층(160)은 상기 회로 패턴(150)의 상면의 폭보다 넓은 폭을 가진 하면을 포함한다.
- [0080] 이에 따라, 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 상면과 직접 접촉하는 제 1 하면과, 상기 회로 패턴(150)의 상면과 접촉하지 않는 제 2 하면을 포함한다.
- [0081] 이때, 상기 상부 금속층(160)의 제 1 하면은, 상기 상부 금속층(160)의 하면의 중앙 영역일 수 있으며, 상기 상부 금속층(160)의 제 2 하면은 상기 상부 금속층(160)의 좌측 영역 및 우측 영역일 수 있다.
- [0082] 그리고, 상기 상부 금속층(160)은 상면 및 하면의 폭이 서로 동일한 형상을 가질 수 있다.
- [0083] 한편, 상기 상부 금속층(160)의 상면 및 하면은 상기 회로 패턴(150)의 하면의 폭보다는 넓은 폭을 가질 수 있다.
- [0084] 이에 따라, 도 3 및 도 4에 도시된 바와 같이, 상기 상부 금속층(160)은 상기 회로 패턴(150)의 상부에서, 상기 회로 패턴(150)의 측면의 바깥부분으로 돌출된 돌출 부분을 포함한다. 상기 돌출 부분은 상기 상부 금속층(160)의 제 2 하면에 대응하는 부분이다.
- [0085] 상기와 같이 본 발명은 회로 패턴(150)의 형성 시에 사용한 도금 시드층(120)을 이용하여 금(Au)을 포함하는 상부 금속층(160)을 형성함으로써, 기존의 금(Au)을 포함하는 상부 금속층의 시드층 역할을 수행한 니켈(Ni)을 포함하는 상부 금속층을 제거할 수 있다.
- [0086] 도면 상에는, 상기 회로 패턴(150)이 상기 절연층(110) 위에 단일 개로 형성되는 것으로 도시하였지만, 상기 회로 패턴(150)은 상기 절연층(110)의 상면 및 하면 중 적어도 어느 하나의 표면에 일정 간격을 두고 복수 개 형성될 수 있다.

- [0087] 도 4을 참조하여 상기 회로 패턴(150)에 대해 보다 구체적으로 설명하면, 상기 회로 패턴(150)은 상기 도금 시드층(120) 위에 형성되어 하면이 상기 도금 시드층(120)의 상면과 접촉하는 제 1 회로패턴(130)과, 상기 제 1 회로패턴(130) 위에 형성되어 적어도 일부의 상면이 상기 상부 금속층(160)의 하면과 접촉하는 제 2 회로패턴(140)을 포함한다.
- [0088] 여기에서, 상기 회로 패턴(150)이 제 1 회로패턴(130)과 제 2 회로패턴(140)으로 구성되어 복수의 층으로 구성되는 것으로 설명하였지만, 상기 제 1 회로패턴(130)과 제 2 회로패턴(140)은 동일한 물질에 의해 형성됨에 따라 실질적으로 상기 제 1 회로패턴(130)과 제 2 회로패턴(140)은 하나의 층으로 구성된다.
- [0089] 상기 회로 패턴(150)의 제 1 회로패턴(130)은 하면이 상기 도금 시드층(120)의 상면과 직접 접촉하며 형성된다.
- [0090] 이때, 상기 회로 패턴(150)의 제 1 회로패턴(130)은 상부의 모서리 부분이 길이 방향으로 일정 곡률을 가지며 형성된다. 바람직하게, 상기 제 1 회로패턴(130)의 모서리 부분은 길이 방향으로 볼록한 곡률을 가지며 형성된다.
- [0091] 상기 모서리 부분은 상기 제 1 회로패턴(130)의 상면 및 측면의 경계 부분이며, 이에 따라 상기 상면의 일부와 상기 측면의 일부를 포함한다.
- [0092] 그리고, 회로 패턴(150)의 제 2 회로패턴(140)은 상기 제 1 회로패턴(130) 위에 형성되어, 상기 제 1 회로패턴(130)의 모서리 부분을 덮는다.
- [0093] 즉, 상기 회로 패턴(150)의 제 2 회로패턴(140)의 하면은 상기 제 1 회로패턴(130)의 모서리 부분이 가지는 곡률에 대응하는 일정 곡률을 가지며 형성된다.
- [0094] 한편, 회로 패턴(150)은 제 1 회로패턴(130)과 제 2 회로패턴(140)을 포함하는데, 상기 제 2 회로패턴(140)은 상기 제 1 회로패턴(130)의 상면 위에 일정 높이(b)를 가지며 형성된다.
- [0095] 여기에서, 상기 일정 높이(b)는 상기 회로 패턴(150)의 제 2 회로패턴(140) 중 상기 제 1 회로패턴(130)의 모서리 부분을 채운 부분을 제외한 높이를 의미한다. 다시 말해서, 상기 일정 높이(b)는 상기 모서리 부분을 제외한 상기 제 1 회로패턴(130)의 순수한 상면 위로 돌출된 제 2 회로패턴(140)의 높이를 의미한다.
- [0096] 이때, 상기 제 2 회로패턴(140)의 높이(b)는 1 μ m~13 μ m 사이의 범위를 가질 수 있다. 바람직하게, 상기 제 2 회로패턴(140)의 높이(b)는 3 μ m~10 μ m 사이의 범위를 가질 수 있다. 더욱 바람직하게, 상기 제 2 회로패턴(140)의 높이(b)는 3 μ m~6 μ m 사이의 범위를 가질 수 있다.
- [0097] 즉, 상기 제 2 회로패턴(140)의 높이 1 μ m를 초과하는 경우에 본 발명에 따른 상부 금속층의 번짐 현상을 방지할 수 있었다. 그리고, 상기 제 2 회로패턴(140)의 높이가 3 μ m~6 μ m 사이의 범위를 가지는 경우, 상기 상부 금속층(160)의 돌출 부분을 최소화하면서, 상기 상부 금속층(160)의 번짐 현상을 완벽하게 방지할 수 있다.
- [0098] 한편, 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 상면과 접촉하는 접촉 영역과, 상기 접촉영역으로부터 상기 회로 패턴(150)의 상면의 바깥쪽으로 돌출되어 상기 회로 패턴(150)의 상면과 접촉하지 않는 비접촉 영역을 포함한다.
- [0099] 여기에서, 상기 상부 금속층(160) 중 상기 비접촉 영역의 폭은 3 μ m~7 μ m 사이의 범위를 가질 수 있다. 바람직하게, 상기 상부 금속층(160)의 상기 비접촉 영역의 폭은 3 μ m~4 μ m 사이의 범위를 가질 수 있다.
- [0100] 즉, 상기 회로 패턴(150)의 제 2 회로패턴(140)을 형성하지 않은 상태에서, 상기 상부 금속층(160)을 형성하는 경우, 상기 상부 금속층(160)의 비접촉 영역의 폭은 본 발명에서보다 증가하여 보통 8 μ m~9 μ m 범위를 가지게 된다.
- [0101] 그러나, 본 발명에서는 상기 회로 패턴(150)의 제 2 회로패턴(140)을 형성한 후에 상기 상부 금속층(160)을 형성함으로써, 상기 상부 금속층(160)의 비접촉 영역의 폭을 최소화하여, 7 μ m 이하의 폭을 가지도록 한다.
- [0102] 본 발명에 따른 실시 예에 의하면, 플래시 도금 공정을 진행하여, 전처리 공정에서 식각된 회로 패턴의 모서리 부분을 채우고, 상기 모서리 부분이 채워진 상태에서 표면 처리 공정을 진행함으로써, 상기 상부 금속층의 번짐 불량을 해결할 수 있으며, 이에 따른 인쇄회로기판의 신뢰성을 향상시킬 수 있다.
- [0103] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형상에 사용한 도금 시드층을 활용하여 상부 금속층을 형성함으로써, 디자인 제약 없이 전체 표면 처리와 무전해 표면 처리 방식을 선택적으로 가능하다.

- [0104] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형성 시에 사용한 도금 시드층을 이용하여 금(Au)을 포함하는 상부 금속층을 형성함으로써, 기존의 금(Au) 상부 금속층의 시드층 역할을 수행한 니켈(Ni) 상부 금속층을 제거할 수 있으며, 이에 따라 제품의 두께를 낮출 수 있을 뿐 아니라, 상기 니켈 상부 금속층의 삭제로 인한 제품 단가를 낮출 수 있다.
- [0105] 또한, 본 발명에 따른 실시 예에 의하면, 상기와 같은 플래시 도금 공정을 진행하여 상기 상부 금속층 중 회로 패턴의 측면으로부터 바깥쪽으로 돌출된 부분을 최소화함으로써, 상기 상부 금속층의 구조적 안정성을 확보할 수 있다.
- [0106] 이하에서는, 도 5 내지 도 15를 참조하여, 도 3에 도시된 본 발명의 실시 예에 따른 인쇄회로기판의 제조 방법에 대해 상세하게 설명하기로 한다.
- [0107] 도 5는 본 발명의 실시 예에 따른 인쇄회로기판의 제조 방법을 공정 순으로 설명하는 흐름도이고, 도 6 내지 도 15는 도 3에 도시된 인쇄회로기판의 제조 방법을 공정 순으로 나타낸 단면도이다.
- [0108] 도 5를 참조하면, 본 발명에 따른 인쇄회로기판은 아래와 같은 제조 공정에 의해 제조될 수 있다.
- [0109] 먼저, 본 발명에 따른 인쇄회로기판은 패턴 형성 단계를 통해 패턴을 형성하는 공정으로 시작된다(110단계).
- [0110] 상기 패턴이 형성되면, 연마 단계를 거쳐 상기 패턴의 표면을 연마하는 공정을 진행하게 된다(120단계).
- [0111] 이후, 상기 연마 단계가 진행되면, 전처리 단계를 거쳐 상기 패턴의 표면의 일부를 식각한다(130단계).
- [0112] 그리고, 상기 전처리 단계가 종료되면, 플래시 도금 및 표면 처리 도금을 진행하기 위하여, 드라이 필름을 적층하는 단계를 진행한다(140단계). 여기에서, 바람직하게 상기 드라이 필름은 상기 표면 처리 도금을 위해 적층된다. 다시 말해서, 상기 플래시 도금은 상기 드라이 필름이 적층된 이후에 진행될 수 있으며, 이와 다르게 상기 드라이 필름이 적층되기 전에 먼저 진행될 수 있다.
- [0113] 이후, 상기 드라이 필름이 적층되면, 상기 형성된 패턴의 표면을 플라즈마 처리한다(150단계).
- [0114] 이때, 상기 플라즈마 처리 단계는 선택적으로 진행되며, 필수적으로 포함되어야 하는 공정은 아니다. 다만, 상기 플라즈마 처리 단계가 진행되면, 상기 상부 금속층(160)의 비접촉 영역의 폭이나 형태가 다르게 나타나며, 상기 플라즈마 처리를 진행한 경우에 보다 나은 폭이나 형태가 나타났다. 따라서, 상기 보다 나은 결과물을 얻기 위하여, 상기 플라즈마 처리 단계를 진행하는 것이 바람직할 것이다.
- [0115] 상기 플라즈마 처리 단계가 진행되면, 플래시 도금 단계를 진행하여, 상기 전처리 단계에서 식각된 패턴의 모서리 부분이 채워지도록 한다(160단계).
- [0116] 이후, 상기 플래시 도금 단계가 종료되면, 상기 플래시 도금이 진행됨에 따라 형성된 층 위에 상부 금속층을 형성한다(170단계).
- [0117] 상기 상부 금속층이 형성되면, 상기 상부 금속층 및 상기 패턴을 형성하기 위해 사용한 시드층을 제거하는 단계를 진행한다(180단계).
- [0118] 이하에서는, 도 6 내지 도 15를 참조하여, 상기 각각의 단계에 대해 보다 구체적으로 설명하기로 한다.
- [0119] 먼저, 도 6을 참조하면, 절연층(110)을 준비하고, 상기 준비한 절연층(110) 위에 도금 시드층(120)을 형성한다.
- [0120] 상기 도금 시드층(120)은 상기 절연층(110) 위에 구리 또는 상기 구리를 포함하는 금속을 무전해 도금하여 형성할 수 있다.
- [0121] 상기 절연층(110)은 열경화성 또는 열가소성 고분자 기판, 세라믹 기판, 유-무기 복합 소재 기판, 또는 유리 섬유 함침 기판일 수 있으며, 고분자 수지를 포함하는 경우, 예폭시계 절연 수지를 포함할 수 있으며, 이와 달리 폴리 이미드계 수지를 포함할 수도 있다.
- [0122] 즉, 상기 절연층(110)은 배선을 변경할 수 있는 전기 회로가 편성되어 있는 판으로, 절연기판 표면에 도체 패턴을 형성할 수 있는 절연 재료로 만들어진, 프린트, 배선판 및 절연기판을 모두 포함할 수 있다.
- [0123] 상기 절연층(110)은 리지드(rigid)하거나 또는 플렉서블(flexible)할 수 있다. 예를 들어, 상기 절연층(110)은 유리 또는 플라스틱을 포함할 수 있다. 자세하게, 상기 절연층(110)은 소다라임유리(soda lime glass) 또는 알루미늄실리케이트유리 등의 화학 강화/반강화유리를 포함하거나, 폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC)

등의 강화 혹은 연성 플라스틱을 포함하거나 사파이어를 포함할 수 있다.

- [0124] 또한, 상기 절연층(110)은 광등방성 필름을 포함할 수 있다. 일례로, 상기 절연층(110)은 COC(Cyclic Olefin Copolymer), COP(Cyclic Olefin Polymer), 광등방 폴리카보네이트(polycarbonate, PC) 또는 광등방 폴리메틸메타크릴레이트(PMMA) 등을 포함할 수 있다.
- [0125] 또한, 상기 절연층(110)은 부분적으로 곡면을 가지면서 휘어질 수 있다. 즉, 절연층(110)은 부분적으로는 평면을 가지고, 부분적으로는 곡면을 가지면서 휘어질 수 있다. 자세하게, 상기 절연층(110)의 끝단이 곡면을 가지면서 휘어지거나 Random한 곡률을 포함한 표면을 가지며 휘어지거나 구부러질 수 있다.
- [0126] 또한, 상기 절연층(110)은 유연한 특성을 가지는 플렉서블(flexible) 기관일 수 있다.
- [0127] 또한, 상기 절연층(110)은 커브드(curved) 또는 벤디드(bended) 기관일 수 있다. 이 때, 절연층(110)은, 회로 설계를 근거로 회로부품을 접속하는 전기배선을 배선 도형으로 표현하며, 절연물 상에 전기도체를 재현할 수 있다. 또한 전기부품을 탑재하고 이들을 회로적으로 연결하는 배선을 형성할 수 있으며, 부품의 전기적 연결기능 외의 부품들을 기계적으로 고정시켜줄 수 있다.
- [0128] 상기 도금 시드층(120)은 상기 절연층(110)의 표면에 무전해 도금하여 형성하는 것과는 달리 일반적인 CCL(Copper Clad Laminate)을 사용할 수 있다.
- [0129] 이때, 상기 도금 시드층(120)을 무전해 도금하여 형성하는 경우, 상기 절연층(110)의 상면에 조도를 부여하여 도금이 원활히 진행되도록 할 수 있다.
- [0130] 무전해 도금 방식은 탈지과정, 소프트 부식과정, 예비 촉매 처리 과정, 촉매 처리 과정, 활성화 과정, 무전해 도금 과정 및 산화 방지 처리 과정의 순서로 처리하여 진행할 수 있다. 또한, 상기 도금 시드층(120)은 도금이 아닌 플라즈마를 이용하여 금속 입자를 스퍼터링함으로써 형성할 수도 있을 것이다.
- [0131] 이때, 상기 도금 시드층(120)을 도금하기 이전에 상기 절연층(110)의 표면의 스미어를 제거하는 디스미어 공정을 추가로 수행할 수 있다. 상기 디스미어 공정은 상기 절연층(110)의 표면에 조도를 부여하여, 상기 도금 시드층(120) 형성에 대한 도금력을 높이기 위해 수행된다.
- [0132] 다음으로, 도 7을 참조하면, 상기 도금 시드층(120) 위에 제 1 마스크(125)를 형성한다. 이때, 상기 제 1 마스크(125)는 드라이 필름(Dry Film)을 사용할 수 있다.
- [0133] 이때, 상기 제 1 마스크(125)는 상기 도금 시드층(120)의 상면 중 적어도 일부를 노출하는 개구부(도시하지 않음)를 포함할 수 있다.
- [0134] 여기에서, 상기 도금 시드층(120)의 상면 중 상기 제 1 마스크(125)의 개구부에 의해 노출되는 상면은 추후 회로 패턴(150)이 형성될 영역에 대응된다.
- [0135] 다시 말해서, 상기 도금 시드층(120)의 상면 중 회로 패턴(150)이 형성될 부분을 노출하는 개구부를 갖는 제 1 마스크(125)를 상기 도금 시드층(120) 위에 형성한다.
- [0136] 이때, 상기 제 1 마스크(125)는 상기 도금 시드층(120)의 전체 상면을 덮도록 형성될 수 있으며, 이에 따라 상기 형성된 제 1 마스크(125) 중 상기 회로 패턴(150)이 형성될 부분의 일부를 제거하여 상기 개구부를 형성할 수도 있다.
- [0137] 다음으로, 상기 도금 시드층(120) 위에 상기 제 1 마스크(125)의 개구부를 매립하는 회로 패턴(150)을 형성한다. 바람직하게, 상기 도금 시드층(120) 위에 상기 제 1 마스크(125)의 개구부 중 적어도 일부를 매립하는 회로 패턴(150)의 제 1 회로패턴(130)을 형성한다.
- [0138] 상기 회로 패턴(150)의 제 1 회로패턴(130)은 상기 도금 시드층(120)을 시드층으로 하여, 전도성의 물질, 바람직하게는 구리를 포함하는 합금을 전해도금하여 상기 제 1 마스크(125)의 개구부의 적어도 일부를 매립하여 형성될 수 있다.
- [0139] 다음으로, 도 8을 참조하면, 상기 회로 패턴(150)의 제 1 회로패턴(130)이 형성되면, 상기 형성된 회로 패턴(150)의 제 1 회로패턴(130)의 상면을 평탄화하는 그라인딩(Grinding) 공정을 진행한다.
- [0140] 상기 그라인딩 공정이 진행되면, 상기 회로 패턴(150)의 제 1 회로패턴(130)의 상부의 적어도 일부는, 상기 제 1 마스크(125)의 내부로 번지게 되며, 이에 따라 상기 제 1 회로패턴(130)의 상단부는 상기 제 1 마스크(125)

방향으로 돌출되는 돌출부(도시하지 않음)를 포함하게 된다.

- [0141] 다음으로, 도 9를 참조하면, 표면 처리 공정을 진행하기 위한 전처리 공정을 진행한다.
- [0142] 이때, 상기 전처리 공정은 산성계 약품으로 상기 회로 패턴(150)의 제 1 회로패턴(130)의 표면을 식각하는 것으로 이루어진다. 여기에서, 상기 전처리 공정이 진행된다면, 상기 제 1 회로패턴(130)의 상면만이 식각되는 것이 아니라, 상기 제 1 회로패턴(130)의 상면 및 측면의 경계면에서도 식각이 발생하게 된다.
- [0143] 따라서, 상기 전처리 공정이 진행된다면, 상기 제 1 회로패턴(130)의 모서리 부분(135)은 볼록 형상의 일정 곡률을 가지게 된다.
- [0144] 여기에서, 상기 전처리 공정은 상기 제 1 회로패턴(130)의 표면을 식각하는 것이며, 이때, 상기 식각은 0.4 μ m ~10 μ m 내의 범위로 진행되는 것이 바람직하다.
- [0145] 다시 말해서, 상기 전처리 공정이 진행된다면, 상기 제 1 마스크(125)와 상기 회로 패턴의 제 1 회로패턴(130) 사이에 갭(gap)이 생기게 된다.
- [0146] 다음으로, 도 10을 참조하면, 플래시 도금 공정을 진행하여, 상기 제 1 회로패턴(130) 위에 상기 회로 패턴(150)의 제 2 회로패턴(140)을 형성한다.
- [0147] 이때, 상기 회로 패턴(150)은 상부의 모서리 부분이 일정 곡률을 가지는 제 1 회로패턴(130)과, 상기 제 1 회로패턴(130) 위에 형성되며 상기 제 1 회로패턴(130)의 모서리 부분을 덮는 제 2 회로패턴(140)을 포함한다.
- [0148] 즉, 회로 패턴(150)은 전처리 공정에 의해 모서리 부분이 제거되어 상면 및 측면의 경계 부분이 볼록한 곡면을 가지는 제 1 회로패턴(130)을 포함한다.
- [0149] 그리고, 상기 제 1 회로패턴(130) 위에는 제 2 회로패턴(140)이 배치된다.
- [0150] 상기 제 2 회로패턴(140)은 상기 제 1 회로패턴(130)의 볼록한 곡면을 덮으며 형성된다. 다시 말해서, 상기 제 2 회로패턴(140)은 상기 전처리 공정에서 제거된 제 1 회로패턴(130)의 모서리 부분을 채운다.
- [0151] 상기 제 2 회로패턴(140)의 상면은 편평할 수 있으며, 하면은 상기 제 1 회로패턴(130)의 모서리 부분이 가지는 곡률에 대응하는 곡률을 가질 수 있다.
- [0152] 상기 제 2 회로패턴(140)의 하단 중 적어도 일 부분은, 상기 제 1 회로패턴(130)의 상단보다 낮게 위치한다.
- [0153] 즉, 상기 제 2 회로패턴(140)이 상기 제 1 회로패턴(130)의 모서리 부분을 덮으며 형성되며, 상기 모서리 부분은 상기 제 1 회로패턴(130)의 상면 및 측면의 경계면이다. 다시 말해서, 상기 제 1 회로패턴(130)의 모서리 부분은 상기 제 1 회로패턴(130)의 일부 상면 및 일부 측면을 포함한다.
- [0154] 이에 따라, 상기 제 2 회로패턴(140)은 실질적으로 상기 제 1 회로패턴(130)의 상면 및 측면의 일부를 덮으며 형성된다.
- [0155] 따라서, 상기 제 2 회로패턴(140)의 하단의 일부는, 상기 제 1 회로패턴(130)의 측면 부분까지 연장되며, 이에 따라 상기 제 1 회로패턴(130)의 상단보다 낮은 곳에 위치하게 된다.
- [0156] 여기에서, 상기 회로 패턴(150)이 제 1 회로패턴(130)과 제 2 회로패턴(140)으로 구성되어 복수의 층으로 구성되는 것으로 설명하였지만, 상기 제 1 회로패턴(130)과 제 2 회로패턴(140)은 동일한 물질에 의해 형성됨에 따라 실질적으로 상기 제 1 회로패턴(130)과 제 2 회로패턴(140)은 하나의 층으로 구성된다.
- [0157] 상기 회로 패턴(150)의 제 1 회로패턴(130)은 하면이 상기 도금 시드층(120)의 상면과 직접 접촉하며 형성된다.
- [0158] 이때, 상기 회로 패턴(150)의 제 1 회로패턴(130)은 상부의 모서리 부분이 길이 방향으로 일정 곡률을 가지며 형성된다. 바람직하게, 상기 제 1 회로패턴(130)의 모서리 부분은 길이 방향으로 볼록한 곡률을 가지며 형성된다.
- [0159] 상기 모서리 부분은 상기 제 1 회로패턴(130)의 상면 및 측면의 경계 부분이며, 이에 따라 상기 상면의 일부와 상기 측면의 일부를 포함한다.
- [0160] 그리고, 회로 패턴(150)의 제 2 회로패턴(140)은 상기 제 1 회로패턴(130) 위에 형성되어, 상기 제 1 회로패턴(130)의 모서리 부분을 덮는다.
- [0161] 즉, 상기 회로 패턴(150)의 제 2 회로패턴(140)의 하면은 상기 제 1 회로패턴(130)의 모서리 부분이 가지는 곡

를에 대응하는 일정 곡률을 가지며 형성된다.

- [0162] 한편, 회로 패턴(150)은 제 1 회로패턴(130)과 제 2 회로패턴(140)을 포함하는데, 상기 제 2 회로패턴(140)은 상기 제 1 회로패턴(130)의 상면 위에 일정 높이(b)를 가지며 형성된다.
- [0163] 여기에서, 상기 일정 높이(b)는 상기 회로 패턴(150)의 제 2 회로패턴(140) 중 상기 제 1 회로패턴(130)의 모서리 부분을 채운 부분을 제외한 높이를 의미한다. 다시 말해서, 상기 일정 높이(b)는 상기 모서리 부분을 제외한 상기 제 1 회로패턴(130)의 순수한 상면 위로 돌출된 제 2 회로패턴(140)의 높이를 의미한다.
- [0164] 이때, 상기 제 2 회로패턴(140)의 높이(b)는 $1\mu\text{m}\sim 13\mu\text{m}$ 사이의 범위를 가질 수 있다. 바람직하게, 상기 제 2 회로패턴(140)의 높이(b)는 $3\mu\text{m}\sim 10\mu\text{m}$ 사이의 범위를 가질 수 있다. 더욱 바람직하게, 상기 제 2 회로패턴(140)의 높이(b)는 $3\mu\text{m}\sim 6\mu\text{m}$ 사이의 범위를 가질 수 있다.
- [0165] 즉, 상기 제 2 회로패턴(140)의 높이 $1\mu\text{m}$ 를 초과하는 경우에 본 발명에 따른 상부 금속층의 번짐 현상을 방지할 수 있었다. 그리고, 상기 제 2 회로패턴(140)의 높이가 $3\mu\text{m}\sim 6\mu\text{m}$ 사이의 범위를 가지는 경우, 상기 상부 금속층(160)의 돌출 부분을 최소화하면서, 상기 상부 금속층(160)의 번짐 현상을 완벽하게 방지할 수 있다.
- [0166] 다음으로, 도 11을 참조하면, 상기 제 1 마스크(125) 위에 상기 회로 패턴(150)의 상면, 명확하게는 상기 제 2 회로패턴(140)의 상면을 노출하는 개구부를 갖는 제 2 마스크(155)를 형성한다.
- [0167] 상기 제 2 마스크(155)는 상기 제 1 마스크(125)와 같이 드라이 필름을 포함할 수 있다.
- [0168] 다음으로, 도 12를 참조하면, 상기 도금 시드층(120) 및 회로 패턴(150)을 시드층으로 하여, 상기 회로 패턴(150) 위에 상부 금속층(160)을 형성한다.
- [0169] 상기 상부 금속층(160)은 상기 제 2 마스크(155)의 개구부의 폭과 동일한 폭을 가지며 형성된다.
- [0170] 상기 상부 금속층(160)은 금(Au)만을 포함하는 금속으로 형성되거나, 금(Au)을 포함하는 합금으로 형성될 수 있다.
- [0171] 상기 상부 금속층(160)이 금(Au)을 포함하는 합금으로 형성되는 경우, 상기 상부 금속층(160)은 코발트를 포함하는 금 합금으로 형성될 수 있다. 이때, 상기 상부 금속층(160)은 전해도금에 의해 형성된다.
- [0172] 바람직하게, 상기 상부 금속층(160)은 상기 회로 패턴(150)의 형성 시에 사용한 도금 시드층과 동일한 층인 상기 도금 시드층(120)으로 전해 도금하여 형성된다. 즉, 상기 상부 금속층(160)은 상기 도금 시드층(120)과 상기 회로 패턴(150)이 연결되어 있음에 따른 도통 상태에 의해 전해 도금이 이루어진다.
- [0173] 상기 상부 금속층(160)은 상기 회로 패턴(150) 위에 형성되며, 이에 따라 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 상면과 직접 접촉한다.
- [0174] 다음으로, 도 13을 참조하면, 상기 상부 금속층(160)이 형성되면, 상기 상부 금속층(160)의 형성을 위해 사용한 제 2 마스크(155)를 제거한다.
- [0175] 다음으로, 도 14를 참조하면, 상기 제 2 마스크(155)가 제거되면, 상기 회로 패턴(150)의 형성 시에 사용한 제 1 마스크(125)를 제거한다.
- [0176] 상기 제 1 마스크(125)가 제거되면, 도 15에 도시된 바와 같이, 상기 절연층(110) 위에 형성된 도금 시드층(120)을 제거하는 공정을 진행한다. 이때, 상기 도금 시드층(120)을 제거하는 공정이 진행되면, 상기 도금 시드층(120) 중 상기 회로 패턴(150) 아래에 형성된 부분은 상기 회로 패턴(150)에 의해 제거되지 않고, 상기 회로 패턴(150)이 형성되지 않은 부분만이 선택적으로 제거된다.
- [0177] 이때, 상기 회로 패턴(150)의 가장자리 부분은, 상기 도금 시드층(120)의 제거 공정에서 함께 제거가 이루어진다.
- [0178] 즉, 상기 회로 패턴(150)의 측부의 적어도 일부는, 상기 도금 시드층(120)의 제거 시에 상기 도금 시드층(120)과 함께 제거된다.
- [0179] 이에 따라, 상기 회로 패턴(150)의 폭은 상기 상부 금속층(160)의 폭보다 좁은 폭을 가질 수 있으며, 상기 상부 금속층(160)은 상기 회로 패턴(150)의 측면에서 바깥쪽 방향으로 돌출되게 된다.
- [0180] 상기 상부 금속층(160)은 상기 회로 패턴(150) 위에 형성되며, 이에 따라 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 상면과 직접 접촉한다. 보다 명확하게는, 상기 상부 금속층(160)의 하면은 상기 회로 패턴

(150)의 제 2 회로패턴(140)의 상면과 직접 접촉한다.

- [0181] 이때, 상기 상부 금속층(160)은 상기 회로 패턴(150)의 상면의 폭보다 넓은 폭을 가진 하면을 포함한다.
- [0182] 이에 따라, 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 상면과 직접 접촉하는 제 1 하면과, 상기 회로 패턴(150)의 상면과 접촉하지 않는 제 2 하면을 포함한다.
- [0183] 이때, 상기 상부 금속층(160)의 제 1 하면은, 상기 상부 금속층(160)의 하면의 중앙 영역일 수 있으며, 상기 상부 금속층(160)의 제 2 하면은 상기 상부 금속층(160)의 좌측 영역 및 우측 영역일 수 있다.
- [0184] 그리고, 상기 상부 금속층(160)은 상면 및 하면의 폭이 서로 동일한 형상을 가질 수 있다.
- [0185] 한편, 상기 상부 금속층(160)의 상면 및 하면은 상기 회로 패턴(150)의 하면의 폭보다는 넓은 폭을 가질 수 있다.
- [0186] 한편, 상기 상부 금속층(160)의 하면은 상기 회로 패턴(150)의 상면과 접촉하는 접촉 영역과, 상기 접촉영역으로부터 상기 회로 패턴(150)의 상면의 바깥쪽으로 돌출되어 상기 회로 패턴(150)의 상면과 접촉하지 않는 비접촉 영역을 포함한다.
- [0187] 여기에서, 상기 상부 금속층(160) 중 상기 비접촉 영역의 폭은 3 μ m~7 μ m 사이의 범위를 가질 수 있다. 바람직하게, 상기 상부 금속층(160)의 상기 비접촉 영역의 폭은 3 μ m~4 μ m 사이의 범위를 가질 수 있다.
- [0188] 즉, 상기 회로 패턴(150)의 제 2 회로패턴(140)을 형성하지 않은 상태에서, 상기 상부 금속층(160)을 형성하는 경우, 상기 상부 금속층(160)의 비접촉 영역의 폭은 본 발명에서보다 증가하여 보통 8 μ m~9 μ m 범위를 가지게 된다.
- [0189] 그러나, 본 발명에서는 상기 회로 패턴(150)의 제 2 회로패턴(140)을 형성한 후에 상기 상부 금속층(160)을 형성함으로써, 상기 상부 금속층(160)의 비접촉 영역의 폭을 최소화하여, 7 μ m 이하의 폭을 가지도록 한다.
- [0190] 상기과 같이, 본 발명에 따른 실시 예에 의하면, 플래시 도금 공정을 진행하여, 전처리 공정에서 식각된 회로 패턴의 모서리 부분을 채우고, 상기 모서리 부분이 채워진 상태에서 표면 처리 공정을 진행함으로써, 상기 상부 금속층의 변질 불량을 해결할 수 있으며, 이에 따른 인쇄회로기판의 신뢰성을 향상시킬 수 있다.
- [0191] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형상에 사용한 도금 시드층을 활용하여 상부 금속층을 형성함으로써, 디자인 제약 없이 전해 표면 처리와 무전해 표면 처리 방식을 선택적으로 가능하다.
- [0192] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형성 시에 사용한 도금 시드층을 이용하여 금(Au)을 포함하는 상부 금속층을 형성함으로써, 기존의 금(Au) 상부 금속층의 시드층 역할을 수행한 니켈(Ni) 상부 금속층을 제거할 수 있으며, 이에 따라 제품의 두께를 낮출 수 있을 뿐 아니라, 상기 니켈 상부 금속층의 삭제로 인한 제품 단가를 낮출 수 있다.
- [0193] 또한, 본 발명에 따른 실시 예에 의하면, 상기와 같은 플래시 도금 공정을 진행하여 상기 상부 금속층 중 회로 패턴의 측면으로부터 바깥쪽으로 돌출된 부분을 최소화함으로써, 상기 상부 금속층의 구조적 안정성을 확보할 수 있다.
- [0194] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에 한 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0195] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

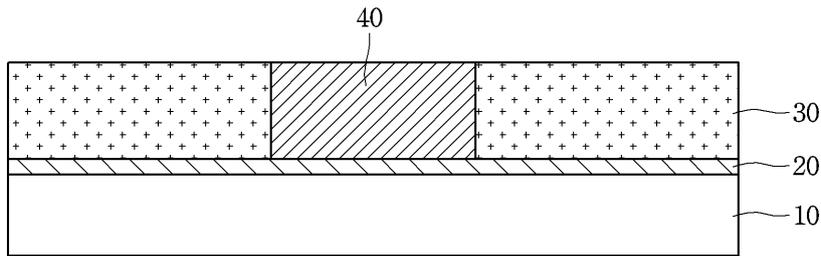
부호의 설명

- [0196] 110: 절연층
- 120: 도금 시드층

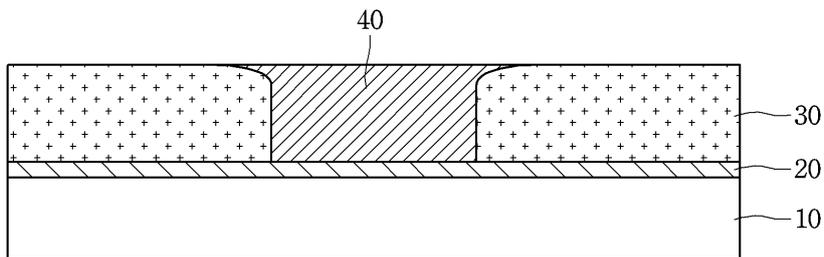
- 125: 제 1 마스크
- 130: 회로 패턴의 제 1 회로패턴
- 140: 회로 패턴의 제 2 회로패턴
- 150: 회로 패턴
- 155: 제 2 마스크
- 160: 상부 금속층

도면

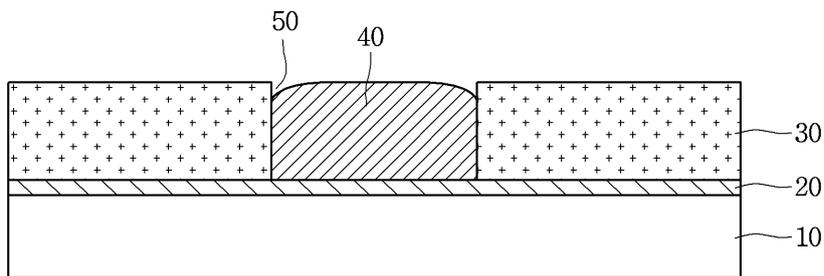
도면1a



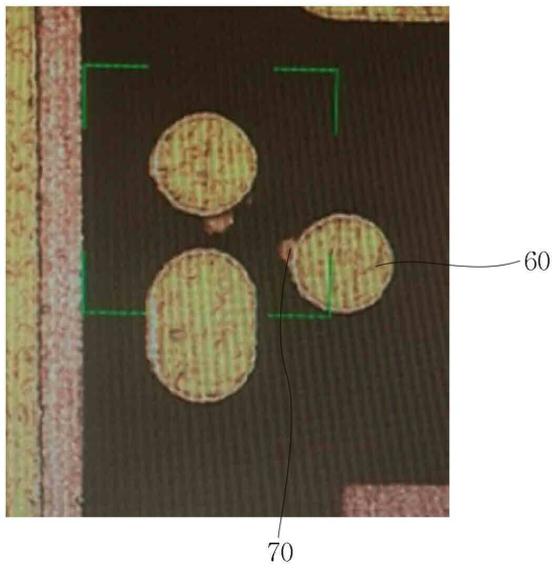
도면1b



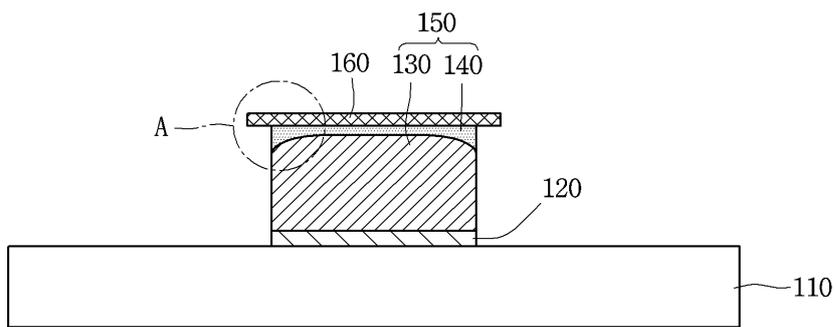
도면1c



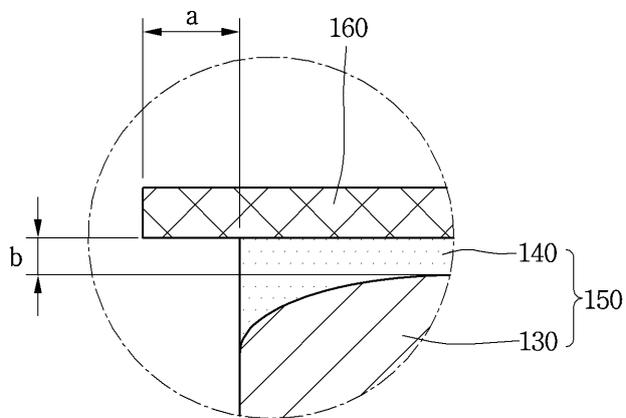
도면2



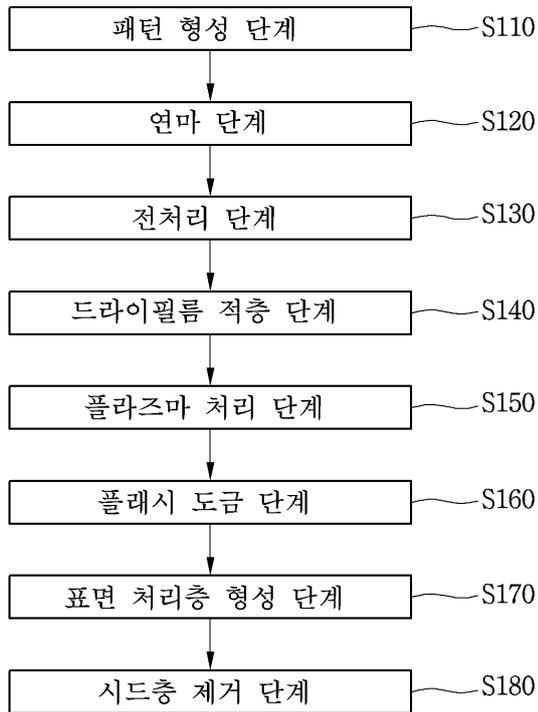
도면3



도면4



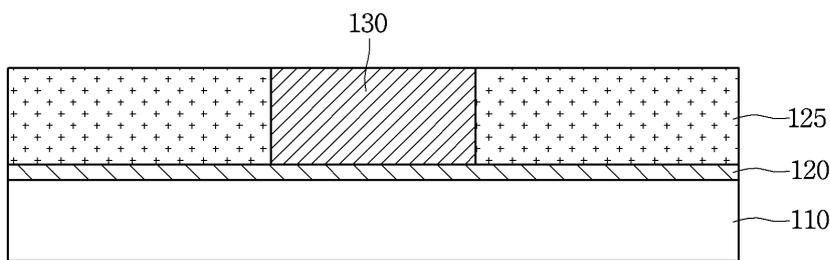
도면5



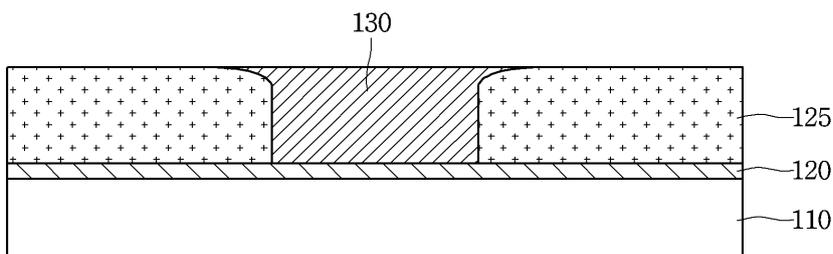
도면6



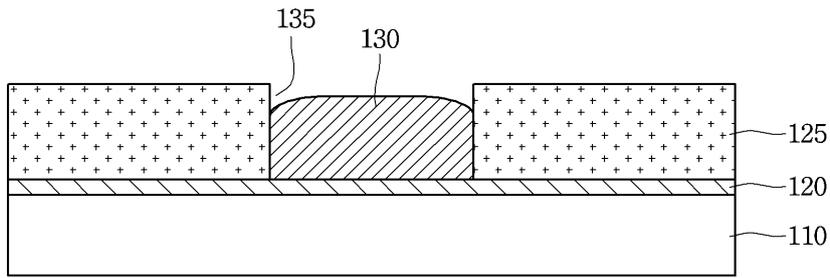
도면7



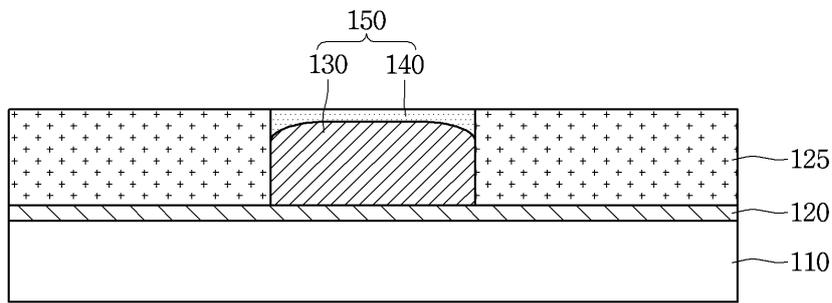
도면8



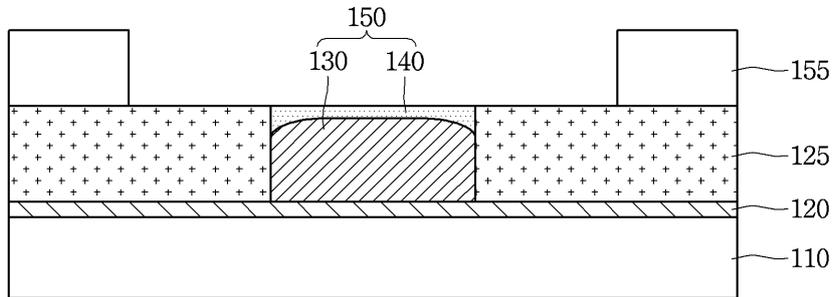
도면9



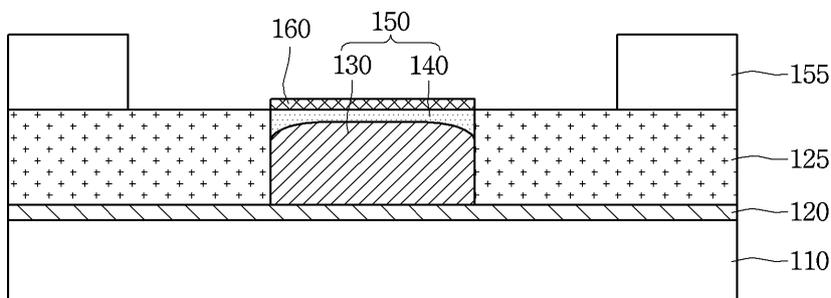
도면10



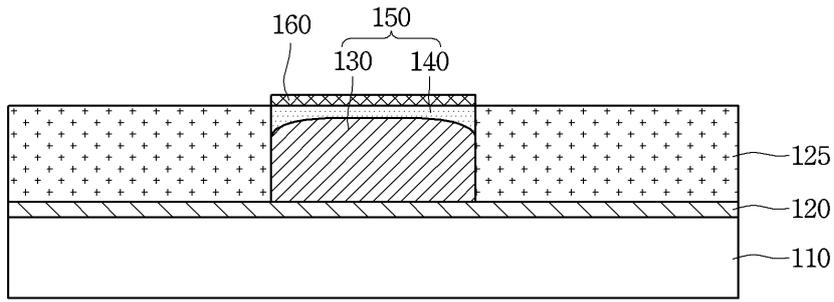
도면11



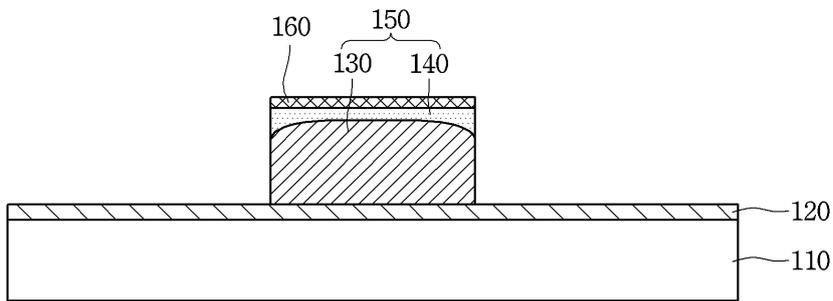
도면12



도면13



도면14



도면15

