

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97111107

※ 申請日期：97.3.27

※IPC 分類：

H01L 29/86 (2006.01)

H01L 21/336 (2006.01)

G02F 1/368 (2006.01)

一、發明名稱：(中文/英文)

薄膜電晶體、主動陣列基板及其製造方法

THIN FILM TRANSISTOR, ACTIVE ARRAY SUBSTRATE AND METHOD FOR
MANUFACTURING THE SAME

二、申請人：(共1人)

姓名或名稱：(中文/英文)

友達光電股份有限公司

AU OPTRONICS CORP.

代表人：(中文/英文) 李焜耀 LEE, KUEN-YAO

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路一號

No. 1, Li-Hsin Road II, Science-Based Industrial Park, Hsin-Chu,
Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 Taiwan(R.O.C.)

三、發明人：(共4人)

姓名：(中文/英文)

1. 林漢塗 LIN, HAN-TU

2. 楊智鈞 YANG, CHIH-CHUN

3. 廖金閱 LIAO, CHIN-YUEH

4. 陳建宏 CHEN, CHIEN-HUNG

國籍：(中文/英文)

1. 中華民國 (R.O.C.)

2. 中華民國 (R.O.C.)

3. 中華民國 (R. O. C.)

4. 中華民國 (R. O. C.)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事
實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

3. 中華民國 (R. O. C.)

4. 中華民國 (R. O. C.)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事
實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種主動陣列基板及其製造方法，特別是關於一種具有導線埋入基底之結構之主動陣列基板。

【先前技術】

針對多媒體社會之急速進步，多半受惠於半導體元件或顯示裝置的飛躍性進步。就顯示器而言，具有高畫質、空間利用效率佳、低消耗功率、無輻射等優越特性之薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD)已逐漸成為市場之主流。

薄膜電晶體液晶顯示器(TFT-LCD)主要由薄膜電晶體陣列、彩色濾光片和液晶層所構成，其中薄膜電晶體陣列是由多個陣列排列之薄膜電晶體以及與每一個薄膜電晶體對應配置之畫素電極(pixel electrode)所組成。而薄膜電晶體係用來作為液晶顯示單元的開關元件。此外，為了控制個別的畫素單元，通常會經由掃描配線(scan line)與資料配線(data line)以選取特定之畫素，並藉由提供適當的操作電壓，以顯示對應此畫素之顯示資料。

隨著將薄膜電晶體液晶顯示器的尺寸設計成越來越大，阻容遲滯(RC delay)的問題便越來越嚴重，故低阻值的導線使用之研究便逐漸成為趨勢。其中以銅導線的開發最為受重視，但是在使用銅導線之製程會產生諸多問題，例如：(1)銅與玻璃間有附著性問題；(2)在對銅進行蝕刻製程

時，會有銅殘留或邊角度(taper)不佳等問題；(3)在進行銅導線上光阻之去光阻製程時，銅導線易受去光阻劑之侵蝕；以及(4)銅之擴散之問題，譬如垂直方向穿刺或是平行方向延伸等問題。

此外，薄膜電晶體液晶顯示器的主動陣列基板，係由多層層體組成且目前如何薄型化薄膜電晶體液晶顯示器也為另一趨勢，故如何薄型化薄膜電晶體液晶顯示器係為另一個研討的議題。

【發明內容】

本發明係提供一種薄膜電晶體，具有一閘極，該閘極與基底之間具有較佳的附著性，其中該基底具有一凹槽以容納該閘極。

本發明係提供一種薄膜電晶體，具有一源極及汲極，源極及汲極之材質舉例為銅、鉬、鈦、鉻或上述組合，位於該源極及/或汲極上之一保護層具有開口，使得不連續之導體層經由該開口與該源極及/或汲極接觸，該導體層之材質舉例為銅、銀、鋁或上述組合。

本發明係提供一種薄膜電晶體，包括：一基底，具有一凹槽；一閘極，位於該凹槽內；一閘絕緣層，位於該閘極上，其中至少部份該閘絕緣層係位於該凹槽內；一通道層，位於該閘絕緣層上；以及一源極以及一汲極，位於該通道層上並分別對應該閘極之兩側。

本發明係提供一種主動陣列基板，包括上述薄膜電晶

體。

本發明係提供一種製造薄膜電晶體之方法，包括：提供一基底；形成一圖案化光阻層於該基底上，該圖案化光阻層具有一開口；以該圖案化光阻層為遮罩，蝕刻該基底以形成一凹槽；全面形成一導體材料層於該圖案化光阻層以及該基底上；去除位於該圖案化光阻層上之該導體材料層；去除該圖案化光阻層；形成一閘極於該凹槽內；形成一閘絕緣層於該閘極上，其中至少部份該閘絕緣層係位於該凹槽內；形成一通道層於該閘絕緣層上；以及形成一源極以及一汲極，位於該通道層上並分別對應該閘極之兩側。

本發明係提供一種製造主動陣列基板，的方法，包括：提供一基底；形成一圖案化光阻層於該基底上，該圖案化光阻層；以該圖案化光阻層為遮罩，蝕刻該基底以形成一凹槽；全面形成一導體材料層於該圖案化光阻層以及該基底上；去除位於該圖案化光阻層上之該導體材料層；去除該圖案化光阻層；形成至少一掃描線於該凹槽內；形成至少一資料線，與該掃描線垂直；形成至少一薄膜電晶體，與對應之該掃描線以及該資料線電性連接，該薄膜電晶體包括一閘絕緣層，其中至少部份該閘絕緣層係位於該凹槽內；以及形成至少一畫素電極，與該薄膜電晶體連接。

本發明之目的係提供一種較薄之薄膜電晶體。

本發明之目的係提供一種較薄之薄膜電晶體，薄膜電晶體之閘極與基底之間具有較佳的附著性。

本發明之目的係提供一種較薄之薄膜電晶體，該薄膜

電晶體之汲極係為多層結構，汲極不會穿刺至摻雜半導體層或通道層。

本發明之目的係提供一種薄膜電晶體的製作方法，避免去光阻製程時，去光阻劑會蝕刻閘極、源極及/或汲極之問題。

本發明之目的係提供一種主動陣列基板的製作方法，避免去光阻製程時，去光阻劑會蝕刻閘極、連接墊電極、連接電極、掃描線、源極、汲極及/或資料線之問題。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第 1A、2A、3A、4A、5A、6A、7A、8A、9A、10A 及 11A 圖為本發明之一實施例之主動陣列基板之製造方法之步驟對應上視圖，為方便說明及理解，上視圖係選擇性地以透視方式表現。

請參照第 1A 圖至第 1C 圖。第 1B 圖及 1C 圖分別為第 1A 圖沿剖面線 I-I' 及 II-II' 之剖面圖。須特別注意的是，剖面線 I-I' 對應的位置係為製造主動陣列基板之薄膜電晶體處。如第 1B 圖及 1C 圖所示，首先，提供基底 100，然後於基底 100 上形成圖案化光阻層 101。

請參照第 2A 圖至第 2C 圖。第 2B 圖及 2C 圖分別為第 2A 圖沿剖面線 I-I' 及 II-II' 之剖面圖。以該圖案化光阻

層 101 為遮罩，蝕刻該基底 100 以形成凹槽 C1 及 C2，凹槽 C1 係對應後續形成閘極、資料線以及連接墊電極，而凹槽 C2 係對應後續形成共通線。其中蝕刻該基底 100 以形成該凹槽 C1、C2 之步驟係利用乾蝕刻或濕蝕刻，在本實施例中，該乾蝕刻係包括大氣電漿蝕刻(atmospheric plasma etching)P1 沿著方向 s 或與方向 s 相反之方向 s' 對該基底 100 掃描而進行蝕刻，以大氣電漿蝕刻之優點為成本低廉且簡單。蝕刻該基底 100 以形成該凹槽 C1、C2 之蝕刻種類或蝕刻方向並不侷限。凹槽 C1、C2 之深度大約為 2000Å 至 7000Å。完成此步驟後之圖案化光阻層 101 對應該凹槽 C1、C2 處之下表面為底切狀(under-cut)。

請參照第 3A 圖至第 3C 圖。第 3B 圖及 3C 圖分別為第 3A 圖沿剖面線 I-I' 及 II-II' 之剖面圖。全面形成一導體材料層 110 於該圖案化光阻層 101 以及該基底上，導體材料層 110 之材料舉例為銅、銀、鋁或上述組合，故對應圖案化光阻層 101 以及凹槽 C1、C2 處會有不連續之導體材料層 110，如第 3B、3C 圖所示，凹槽 C1 內會有導體材料層 110a，圖案化光阻層 101 上會有導體材料層 110b，凹槽 C2 內會有導體材料層 110c(如第 4A 圖所示)。此外導體材料層 110 也可為兩層或三層結構，譬如第一層位於該基底上以及一第二層位於該第一層上或者是再加上第三層位於該第二層上，第一層及/或第三層材質舉例為銅、鉬、鈦、鉻或上述組合，第二層材質舉例為銅、銀、鋁或上述組合。

請參照第 4A 圖至第 4C 圖。第 4B 圖及 4C 圖分別為第

4A 圖沿剖面線 I-I' 及 II-II' 之剖面圖。去除位於該圖案化光阻層 101 上之該導體材料層 110b，在本實施例中，去除位於該圖案化光阻層 101 上之該導體材料層 110b 之步驟舉例係利用氣體-固態轟擊製程(gas-solid shooting)，利用氣體-固態轟擊製程之優點為，省略傳統導線濕蝕刻製程，且因為凹槽 C1、C2 存在的緣故，不會有導線殘留在非導線區的問題。

請參照第 5A 圖至第 5C 圖。第 5B 圖及 5C 圖分別為第 5A 圖沿剖面線 I-I' 及 II-II' 之剖面圖。去除該圖案化光阻層 101，故閘極 G、掃描線 111a、連接墊電極 L 以及共通線 111b 便被形成，閘極 G、掃描線 111a、連接墊電極 L 以及共通線 111b 之上表面大體呈弧狀，因為閘極 G、掃描線 111a、連接墊電極 L 以及共通線 111b 係位於凹槽 C1、C2 中，故利用去光阻劑去除圖案化光阻層 101 時，閘極 G、掃描線 111a、連接墊電極 L 以及共通線 111b 便不易受到侵蝕。如第 5A 圖所示，除了閘極 G、掃描線 111a、連接墊電極 L 以及共通線 111b 的部份，基底 100 係被暴露出來。

請參照第 6A 圖至第 6C 圖。第 6B 圖及 6C 圖分別為第 6A 圖沿剖面線 I-I' 及 II-II' 之剖面圖。形成閘絕緣層 112 於閘極 G、掃描線 111a、連接墊電極 L、共通線 111b 以及基底 100 上，至少部份閘絕緣層 112 係位於凹槽 C1、C2 內；然後於對應薄膜電晶體處之閘絕緣層 112 上形成通道層 113，通道層 113 之材料舉例係為半導體材料，例如為

非晶矽。接下來，對應於閘極 G 之兩側選擇性形成摻雜半導體層 114，然後，源極層 S1 以及汲極層 D1 於摻雜半導體層 114 上，源極層 S1 以及汲極層 D1 位於該通道層 113 上並分別對應該閘極 G 之兩側，並同時形成資料線 120 以及資料連接墊電極(未標示)，源極層 S1、汲極層 D1 以及資料線 120 之材料舉例為銅、鉬、鈦、鉻或上述組合。在完成此步驟後，薄膜電晶體便被完成，閘極 G 係與對應的掃描線 111a 連接，源極層 S1 係與對應的資料線 120 連接。

請參照第 7A 圖至第 7D 圖。第 7B 圖、7C 圖及 7D 圖分別為第 7A 圖沿剖面線 I-I'、II-II' 及 III-III' 之剖面圖。全面形成保護層 115 於資料線 120、源極層 S1、汲極層 D1 以及閘絕緣層 112 上，然後於該保護層 115 上形成圖案化光阻層 102，依序如第 7b 圖至第 7D 圖所示，圖案化光阻層 102 之複數開口係對應後續之薄膜電晶體-畫素電極 140 之接觸洞 C3、連接墊電極 L 上之接觸洞 C4 以及資料線 120 上之接觸洞 C5 而暴露至少部分保護層 115。

請參照第 8A 圖至第 8D 圖。第 8B 圖、8C 圖及 8D 圖分別為第 8A 圖沿剖面線 I-I'、II-II' 及 III-III' 之剖面圖。接下來，利用類似上述形成凹槽 C1、C2 之概念，以該圖案化光阻層 102 為遮罩，蝕刻該保護層 115 以形成接觸洞 C3 及 C5 以分別暴露出汲極層 D1 以及資料線 120，以及同時蝕刻該保護層 115 以及閘絕緣層 112 以形成接觸洞 C4 來暴露出連接墊電極 L，形成接觸洞 C3、C4 以及 C5 之步驟係利用乾蝕刻或濕蝕刻，在本實施例中，該乾蝕刻係包

括大氣電漿蝕刻(atmospheric plasma etching)P2 沿著方向 s 或與方向 s 相反之方向 s' 掃瞄而進行蝕刻，以大氣電漿蝕刻之優點為成本低廉且簡單，蝕刻種類或蝕刻方向並不侷限，完成此步驟後之圖案化光阻層 102 對應接觸洞 C3、C4 以及 C5 處之下表面為底切狀(under-cut)。

請參照第 9A 圖至第 9D 圖。第 9B 圖、9C 圖及 9D 圖分別為第 9A 圖沿剖面線 I-I'、II-II' 及 III-III' 之剖面圖。全面形成導體材料層 130 於圖案化光阻層 102、汲極層 D1、連接墊電極 L 以及資料線 120 上，其中汲極層 D1 以及位於汲極層 D1 上的導體層 131 係定義為薄膜電晶體之汲極 D，連接墊電極 L 上之導體材料層為連接電極 132，資料線 120 上係為導體層 133。導體材料層 130 之材料舉例為銅、銀、鋁或上述組合。選擇性地，也可於源極層 S1 上形成導體材料層使其成為多層結構之源極 S。當然，導體材料層 130 也可為雙層結構，方法為依序形成第一層以及第二層即可，第一層舉例為銅、銀、鋁或上述組合，第二層舉例為銅、鉬、鈦、鉻或上述組合。因為導體材料層 130 與摻雜半導體層 114 或通道層 113 之間具有源極層 S1 或汲極層 D1，故導體材料層 130 向下穿刺而影響摻雜半導體層 114 或通道層 113 之問題可被避免或是降低發生機率。

請參照第 10A 圖至第 10D 圖。第 10B 圖、10C 圖及 10D 圖分別為第 10A 圖沿剖面線 I-I'、II-II' 及 III-III' 之剖面圖。去除位於該圖案化光阻層 102 上之該導體材料層

130，在本實施例中，去除位於該圖案化光阻層 102 上之該導體材料層 130 之步驟舉例係利用氣體-固態轟擊製程 (gas-solid shooting)，利用氣體-固態轟擊製程之優點為，省略傳統導線濕蝕刻製程，且因為接觸洞 C3、C4 及 C5 存在的緣故，不會有導線殘留在非導線區的問題。

請參照第 11A 圖至第 11D 圖。第 11B 圖、11C 圖及 11D 圖分別為第 11A 圖沿剖面線 I-I'、II-II' 及 III-III' 之剖面圖。利用去光阻劑去除該圖案化光阻層 102 後，如第 11B 圖、11C 圖及 11D 圖所示，形成畫素電極 140、保護電極 141 以及 142。畫素電極 140、保護電極 141 以及 142 之形成方式舉例可為全面形成透明導電層，舉例為氧化銦錫、氧化銦鋅或上述組合，然後利用光阻曝光顯影蝕刻製程來形成。畫素電極 140 係藉由接觸洞 C3 與汲極 D 接觸以電性連接，保護電極 141 以及 142 分別位於連接電極 132 以及導體層 133 上。

是故，主動元件陣列基板 10 便完成。因為主動元件陣列基板 10 具有凹槽 C1、C2 來容納導線，故可薄化主動元件陣列基板 10，此外導體材料殘留在非導線區之問題也可解決。

如第 12 圖所示，液晶顯示面板 1 包括上述主動元件陣列基板 10、對向基板 20 以及夾設於其間之液晶層 30。對向基板 20 舉例係為彩色濾光片基板。

對於製造主動元件陣列基板 10 之方法來說，除了上述實施例說明的各個步驟外，可以選擇性地將形成閘絕緣層

112 之步驟前之步驟，以習知方式製作，而不形成凹槽 C1、C2，而僅僅使用如上述實施例說明中之形成閘絕緣層 112 之步驟後之步驟(對應第 6A 圖至第 11d 圖)；或者是，將形成閘絕緣層 112 之步驟後之步驟，以習知方式製作，而僅僅使用如上述實施例說明中之形成閘絕緣層 112 之步驟後之步驟(對應第 1A 圖至第 5C 圖)，保留凹槽 C1、C2 之形成方式。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A、2A、3A、4A、5A、6A、7A、8A、9A、10A 及 11A 圖為本發明之一實施例之主動陣列基板之製造方法之步驟對應上視圖；

第 1B 圖及 1C 圖分別為第 1A 圖沿剖面線 I-I' 及 II-II' 之剖面圖；

第 2B 圖及 2C 圖分別為第 2A 圖沿剖面線 I-I' 及 II-II' 之剖面圖；

第 3B 圖及 3C 圖分別為第 3A 圖沿剖面線 I-I' 及 II-II'

之剖面圖；

第 4B 圖及 4C 圖分別為第 4A 圖沿剖面線 I-I' 及 II-II' 之剖面圖；

第 5B 圖及 5C 圖分別為第 5A 圖沿剖面線 I-I' 及 II-II' 之剖面圖；

第 6B 圖及 6C 圖分別為第 6A 圖沿剖面線 I-I' 及 II-II' 之剖面圖；

第 7B 圖、7C 圖及 7D 圖分別為第 7A 圖沿剖面線 I-I' 、 II-II' 及 III-III' 之剖面圖；

第 8B 圖、8C 圖及 8D 圖分別為第 8A 圖沿剖面線 I-I' 、 II-II' 及 III-III' 之剖面圖；

第 9B 圖、9C 圖及 9D 圖分別為第 9A 圖沿剖面線 I-I' 、 II-II' 及 III-III' 之剖面圖；

第 10B 圖、10C 圖及 10D 圖分別為第 10A 圖沿剖面線 I-I' 、 II-II' 及 III-III' 之剖面圖；

第 11B 圖、11C 圖及 11D 圖分別為第 11A 圖沿剖面線 I-I' 、 II-II' 及 III-III' 之剖面圖；以及

第 12 圖為本發明之液晶顯示面板。

【主要元件符號說明】

1	液晶顯示面板
10	主動元件陣列基板
100	基底
101	圖案化光阻層
102	圖案化光阻層
110、110a、110b	導體材料層
111a	掃描線
111b	共通線
112	間絕緣層
113	通道層
114	摻雜半導體層
115	保護層
120	資料線
130	導體材料層
131	導體層
132	連接電極
133	導體層
140	畫素電極
141	保護電極
142	保護電極
20	對向基板
30	液晶層
C1、C2	凹槽

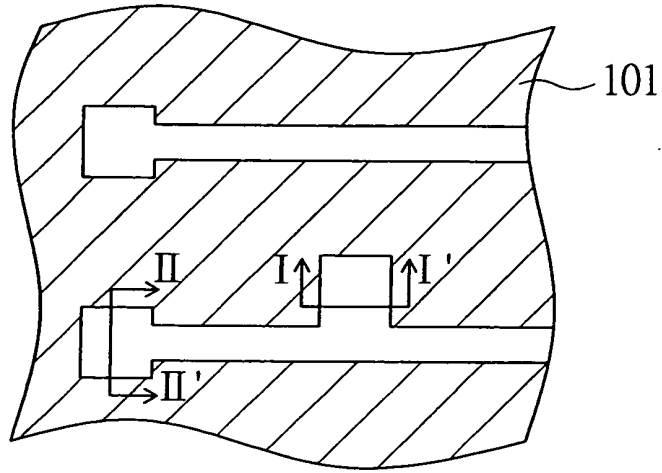
C3、C4、C5	接觸洞
D	汲極
D1	汲極層
G	閘極
L	連接墊電極
P1、P2	大氣電漿蝕刻
S	源極
S1	源極層
s、s'、	方向

五、中文發明摘要：

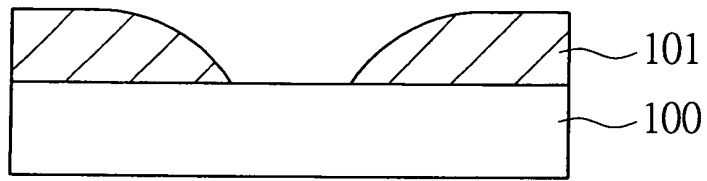
本發明係揭露一種薄膜電晶體、具有該薄膜電晶體之主動陣列基板及其製造方法。該薄膜電晶體包括：一基底，具有一凹槽；一閘極，位於該凹槽內；一閘絕緣層，位於該閘極上，其中至少部份該閘絕緣層係位於該凹槽內；一通道層，位於該閘絕緣層上；以及一源極以及一汲極，位於該通道層上並分別對應該閘極之兩側。

六、英文發明摘要：

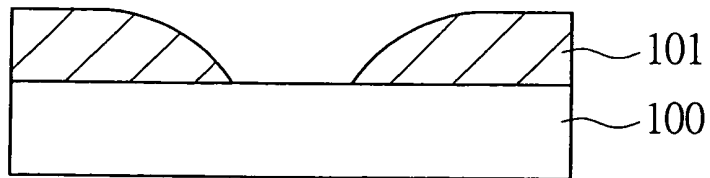
A thin film transistor, an active array substrate having the same and methods for manufacturing the same are provided. The thin film transistor includes a base having a concave; a gate disposed in the concave; a gate insulator covering the gate and a portion of the gate insulator is in the concave; a channel layer disposed on the gate insulator; and a source and a drain are disposed on the channel layer and located in response to two sides of the gate.



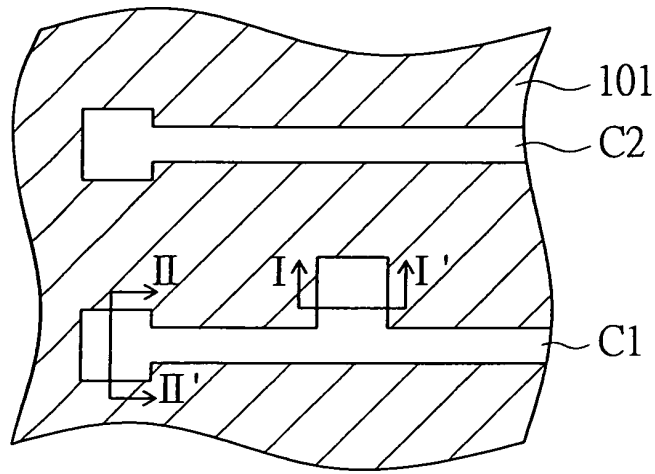
第 1A 圖



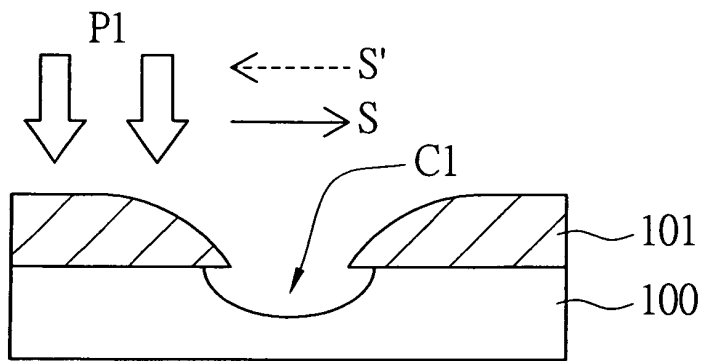
第 1B 圖



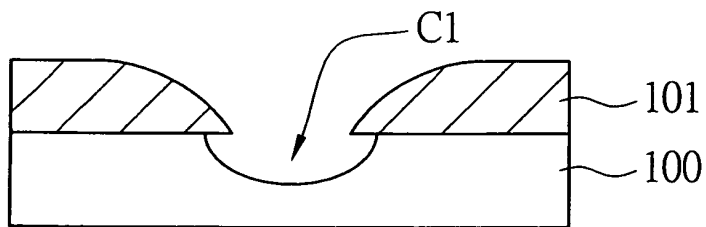
第 1C 圖



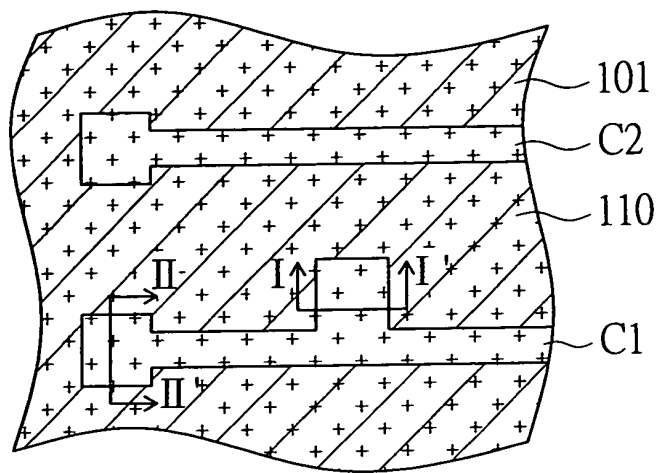
第 2A 圖



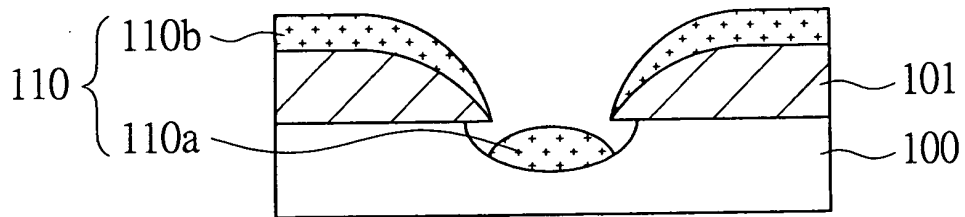
第 2B 圖



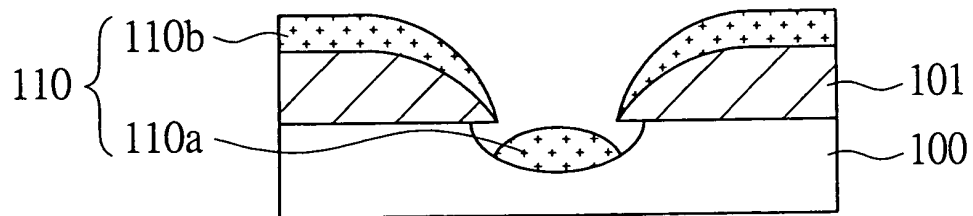
第 2C 圖



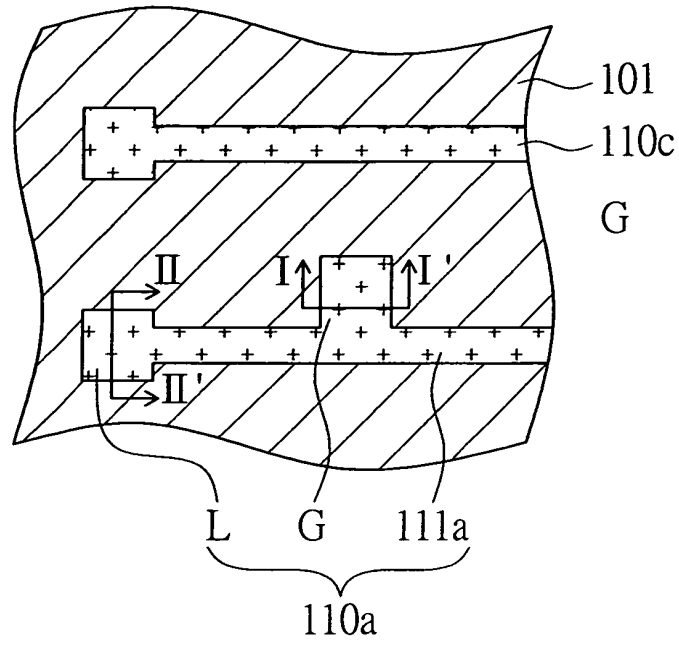
第 3A 圖



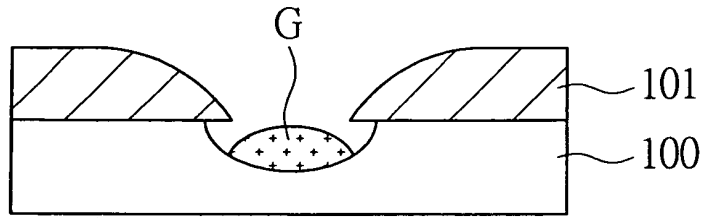
第 3B 圖



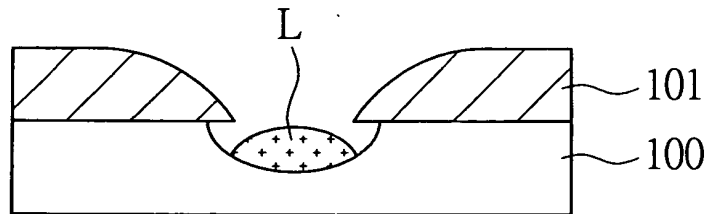
第 3C 圖



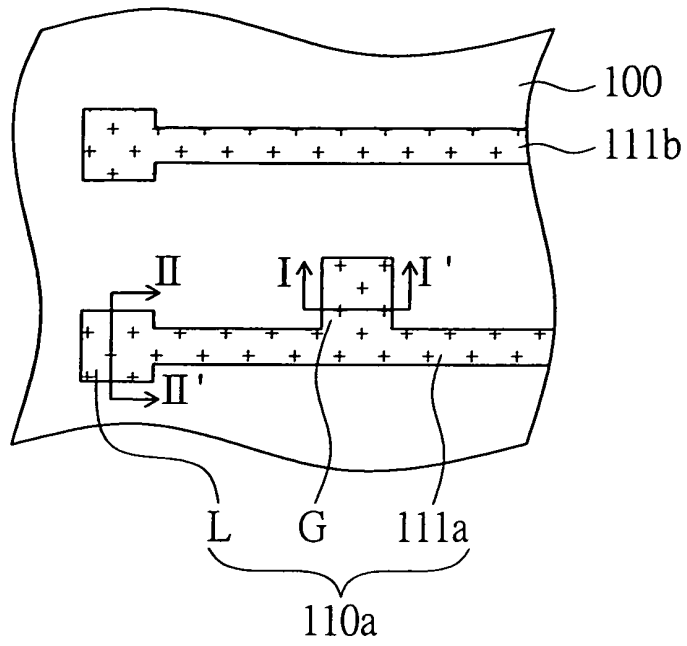
第 4A 圖



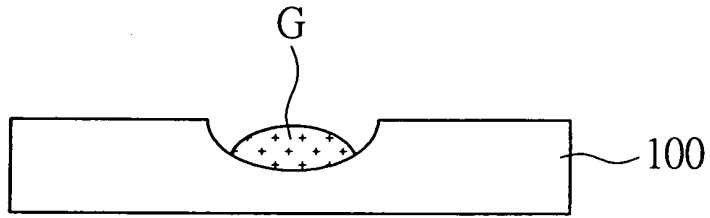
第 4B 圖



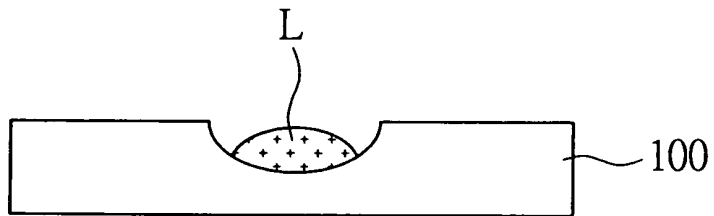
第 4C 圖



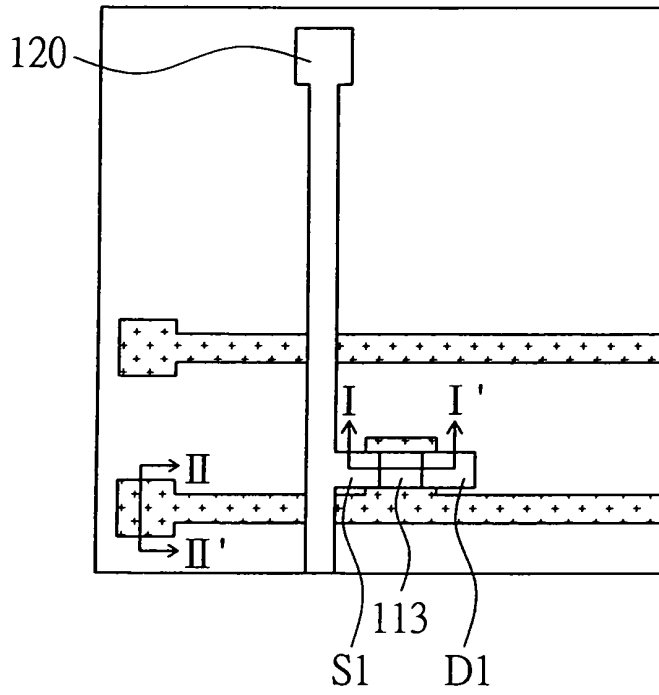
第 5A 圖



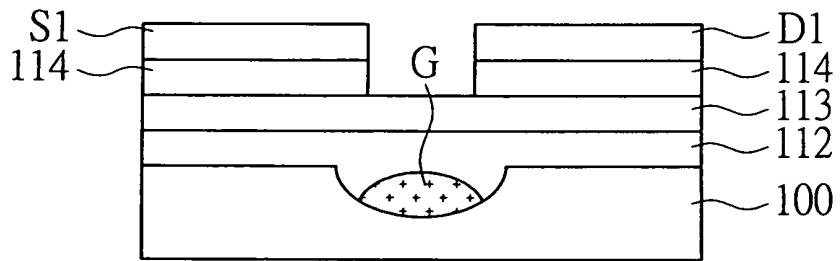
第 5B 圖



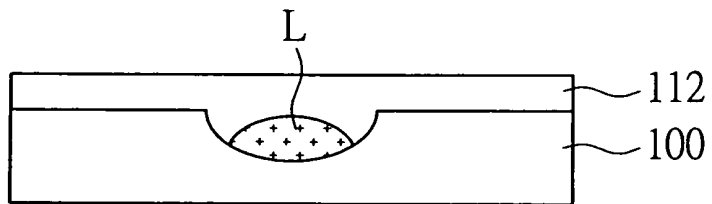
第 5C 圖



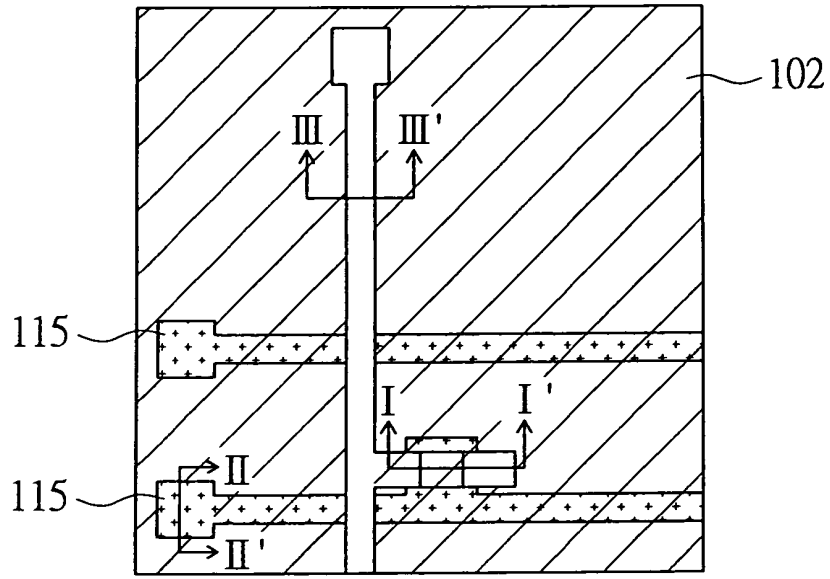
第 6A 圖



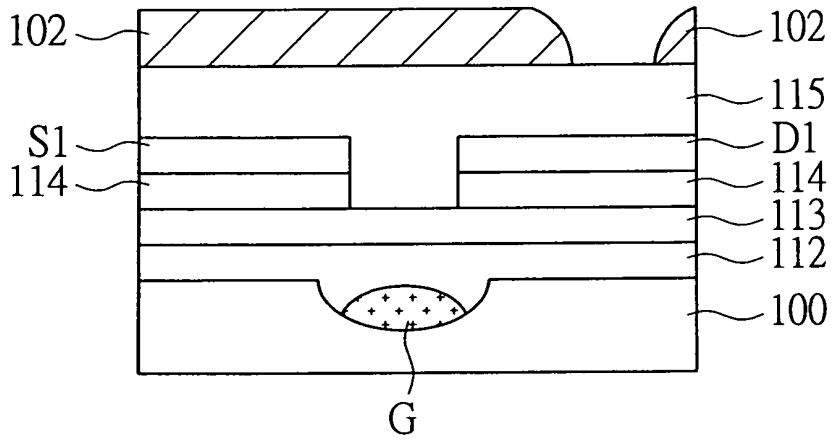
第 6B 圖



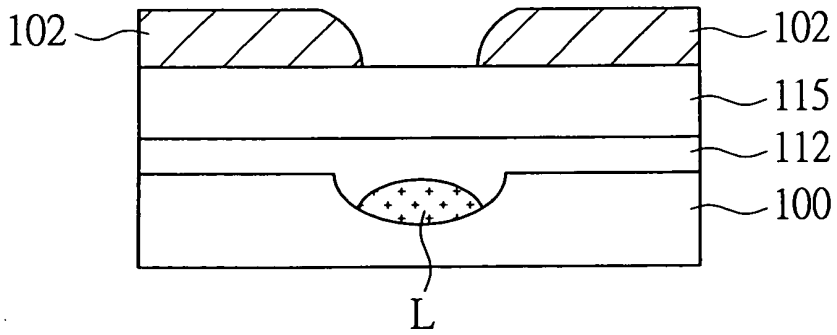
第 6C 圖



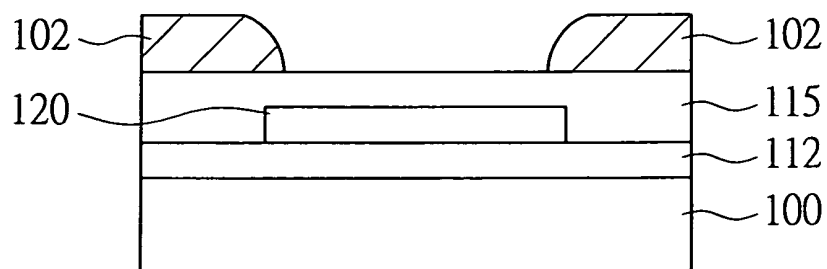
第 7A 圖



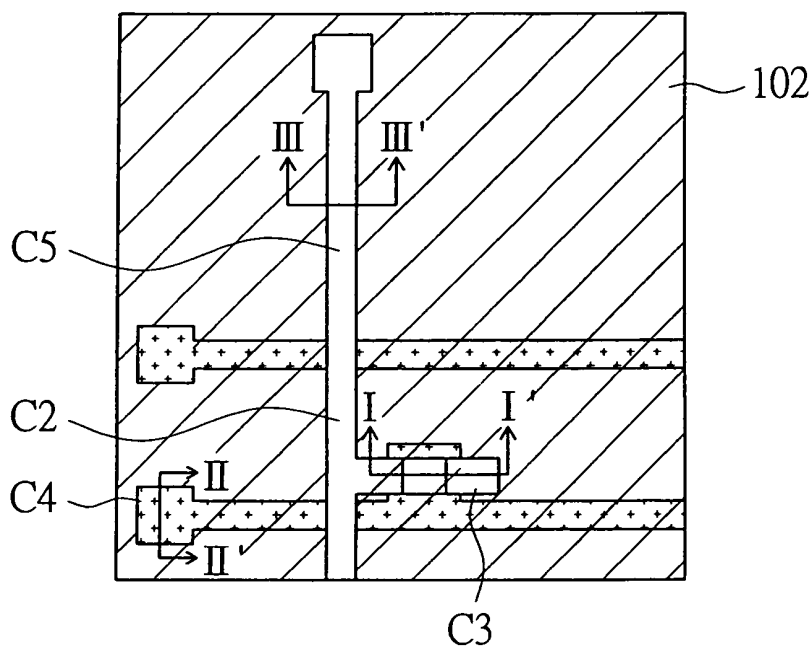
第 7B 圖



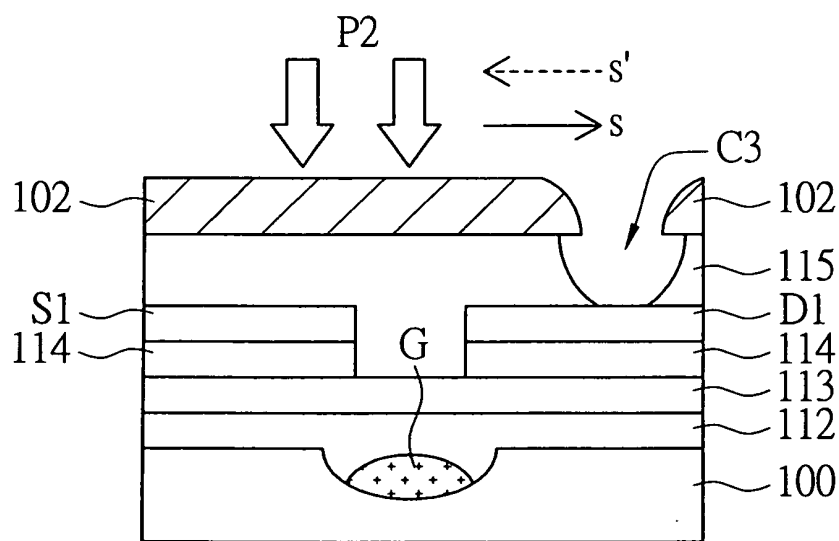
第 7C 圖



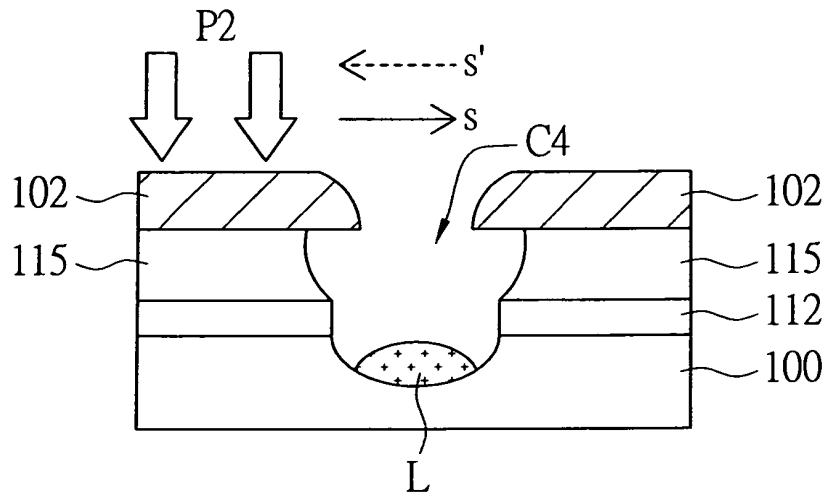
第 7D 圖



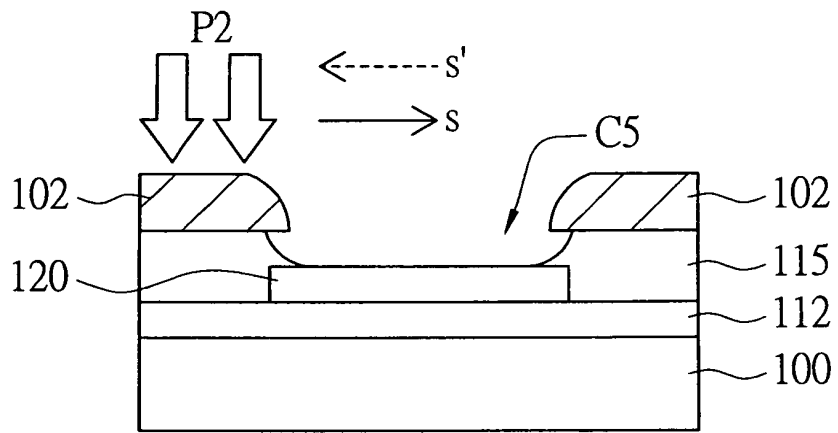
第 8A 圖



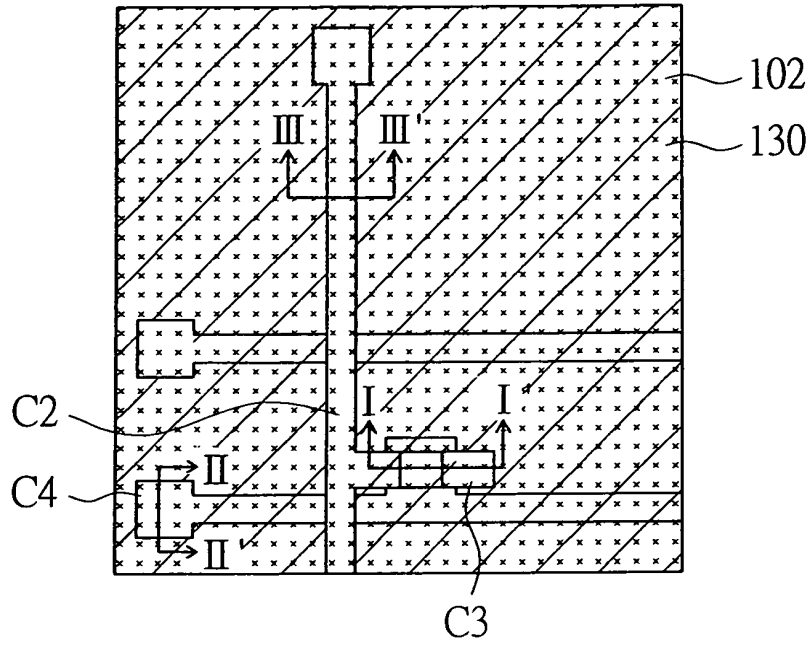
第 8B 圖



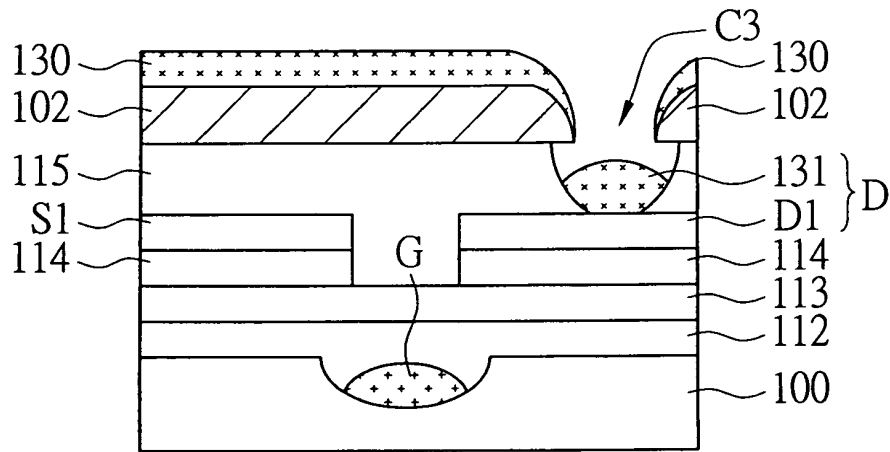
第 8C 圖



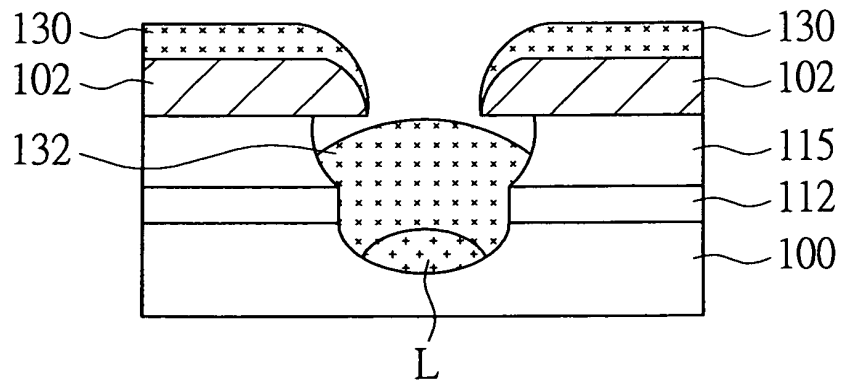
第 8D 圖



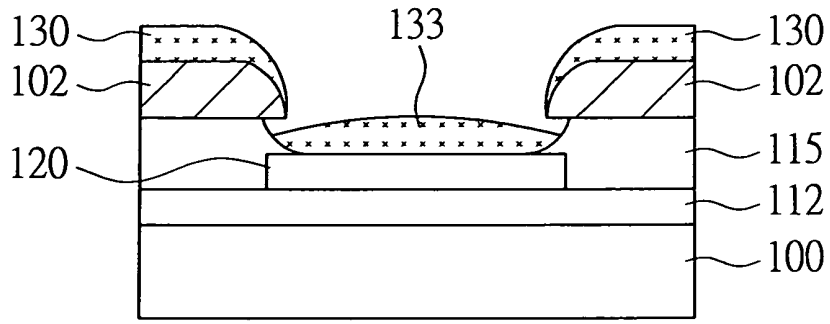
第 9A 圖



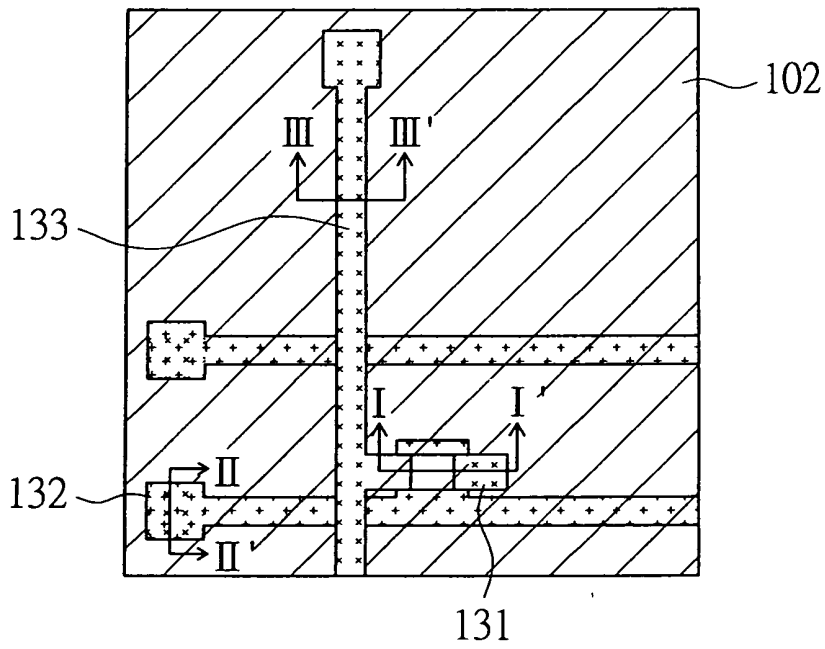
第 9B 圖



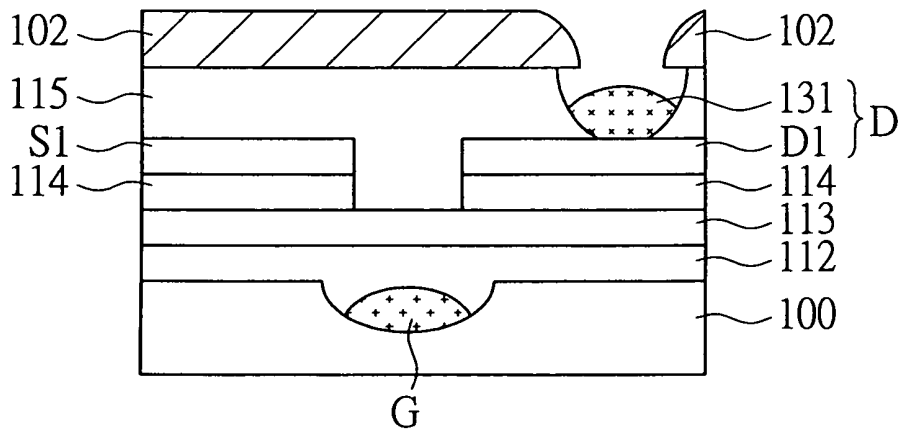
第 9C 圖



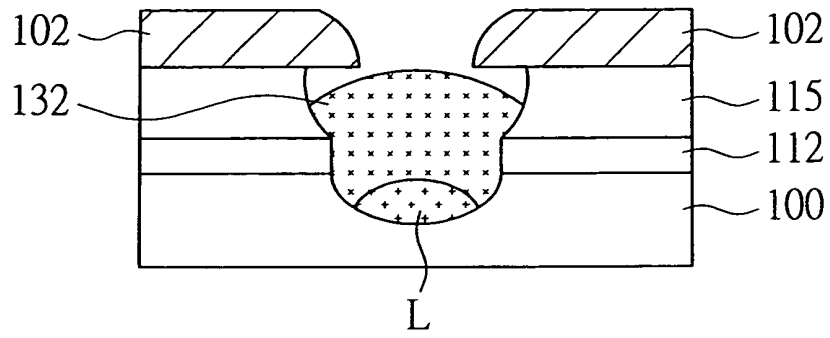
第 9D 圖



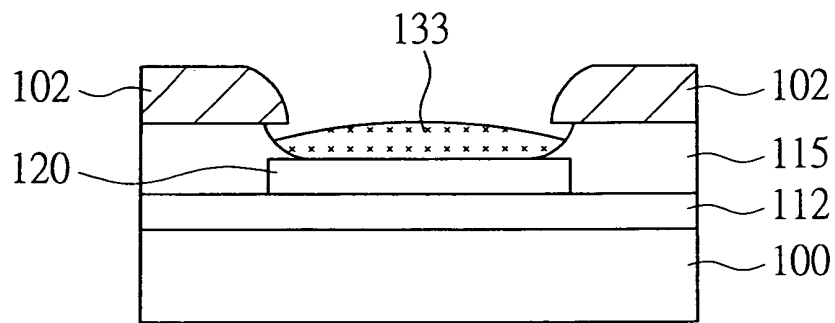
第 10A 圖



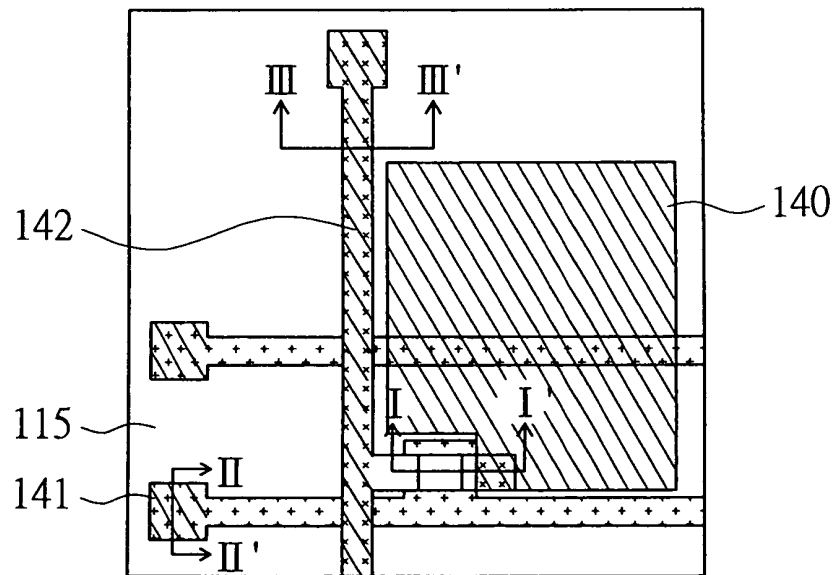
第 10B 圖



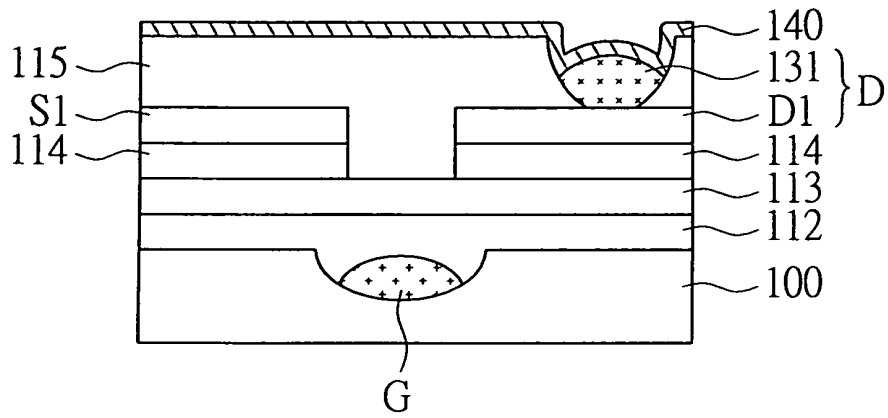
第 10C 圖



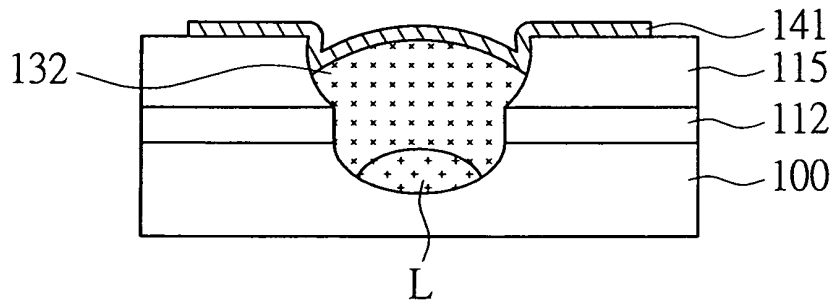
第 10D 圖



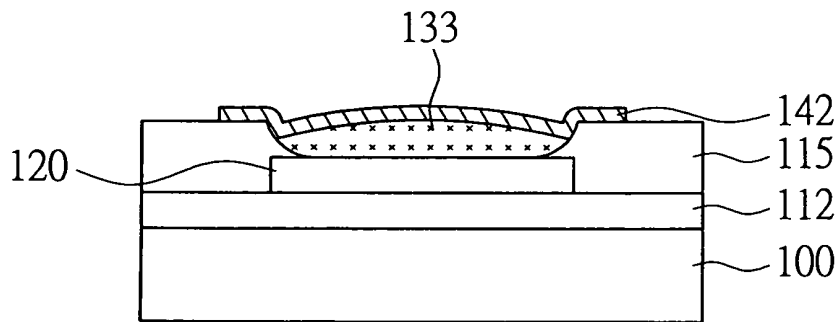
第 11A 圖



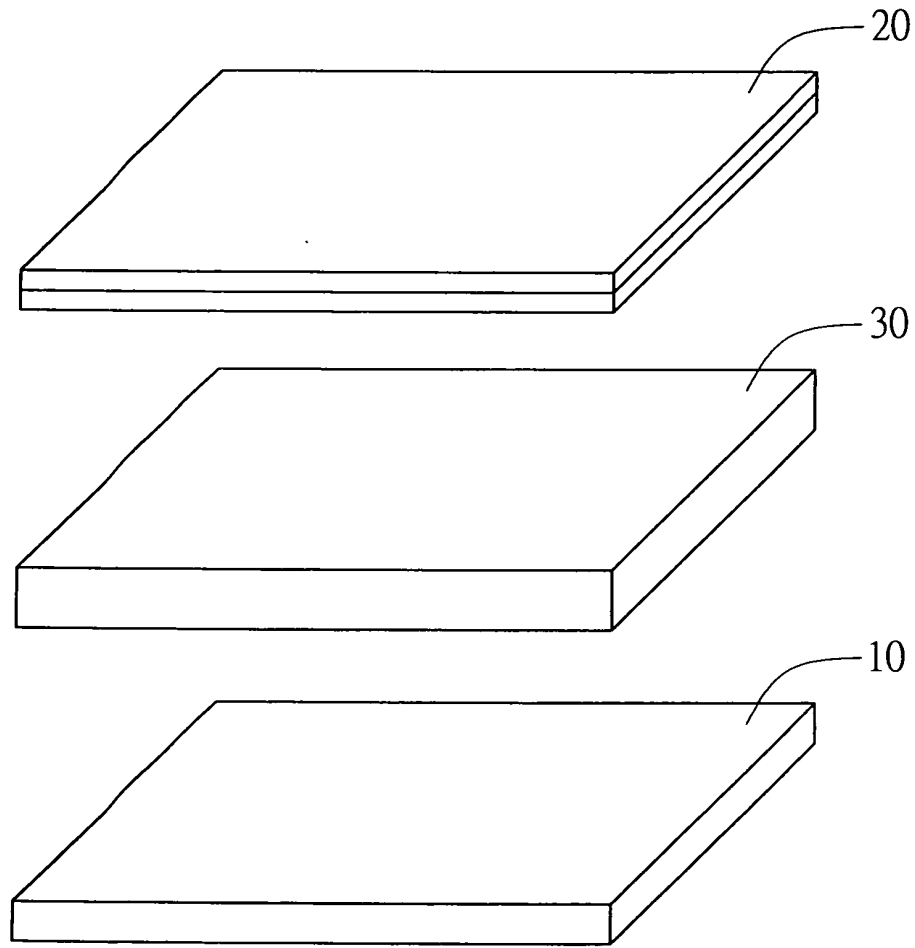
第 11B 圖



第 11C 圖



第 11D 圖



第 12 圖

七、指定代表圖：

(一) 本案之指定代表圖：第 9B 圖

(二) 本代表圖之元件符號簡單說明：

100	基底
102	光阻
112	閘絕緣層
113	通道層
114	摻雜半導體層
115	保護層
130	導體層
C3	接觸洞
D1	汲極
S1	源極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種主動陣列基板，包括：
 - 一基底，具有至少一凹槽；
 - 至少一掃瞄線，位於該凹槽內；
 - 至少一資料線，與該掃瞄線垂直；
 - 至少一薄膜電晶體，與對應之該掃描線以及該資料線電性連接，該薄膜電晶體包括一閘絕緣層，其中至少部份該閘絕緣層係位於該凹槽內，其中該凹槽深度約 2000Å 至 7000Å；以及
 - 至少一畫素電極，與該薄膜電晶體連接。
2. 如專利申請範圍第 1 項所述之主動陣列基板，其中該薄膜電晶體更包括一閘極，位於該凹槽內。
3. 如專利申請範圍第 2 項所述之主動陣列基板，其中該閘極之上表面大體呈弧狀。
4. 如專利申請範圍第 1 項所述之主動陣列基板，其中該閘極之上表面大體呈弧狀。
5. 如專利申請範圍第 1 項所述之主動陣列基板，其中該掃瞄線之材質係包括銅、銀、鋁或上述組合。
6. 如專利申請範圍第 1 項所述之主動陣列基板，其中該掃瞄線係包括一第一層位於該基底上以及一第二層位於該第一層上。
7. 如專利申請範圍第 6 項所述之主動陣列基板，其中該第二層之材質係包括銅、銀、鋁或上述組合。
8. 如專利申請範圍第 6 項所述之主動陣列基板，其中該第

- 一層之材質係包括鉬、鈦、鉻。
9. 如專利申請範圍第 6 項所述之主動陣列基板，其中該掃瞄線更包括一第三層位於該第二層上。
 10. 如專利申請範圍第 9 項所述之主動陣列基板，其中該第三層之材質係包括鉬、鈦、鉻。
 11. 如專利申請範圍第 1 項所述之主動陣列基板，其中該薄膜電晶體包括一源極以及一汲極，該源極以及該汲極之材質係包括銅、鉬、鈦、鉻、銀、鋁或上述組合。
 12. 如專利申請範圍第 1 項所述之主動陣列基板，其中該基底更具有一另一凹槽，該主動陣列基板更包括一共通線位於該另一凹槽內。
 13. 如專利申請範圍第 1 項所述之主動陣列基板，更包括一連接墊電極與該掃瞄線電性連接，位於該凹槽內。
 14. 如專利申請範圍第 13 項所述之主動陣列基板，更包括一連接電極位於該連接墊電極上。
 15. 如專利申請範圍第 14 項所述之主動陣列基板，更包括一保護電極位於該連接電極上。
 16. 如專利申請範圍第 1 項所述之主動陣列基板，更包括一保護層，位於該資料線上，該保護層具有一開口以暴露出該資料線；以及
一導體層位於該保護層上並藉由該開口與該資料線電性連接。
 17. 如專利申請範圍第 16 項所述之主動陣列基板，其中該導體層之材質係包括銅、銀、鋁。

18. 如專利申請範圍第 1 項所述之主動陣列基板，更包括一導體層電性連接於該畫素電極以及該薄膜電晶體之間。
19. 一種製造薄膜電晶體之方法，包括：
提供一基底，該基底具有一凹槽；
形成一閘極於該凹槽內；
形成一閘絕緣層於該閘極上，其中至少部份該閘絕緣層係位於該凹槽內；
形成一通道層於該閘絕緣層上；以及
形成一源極以及一汲極，位於該通道層上並分別對應該閘極之兩側。
20. 如專利申請範圍第 19 項所述之方法，更包括形成一摻雜半導體層，位於該源極以及該通道層之間，以及該汲極以及該通道層之間。
21. 如專利申請範圍第 19 項所述之方法，其中於形成該閘極之步驟前，更包括：
形成一圖案化光阻層於該基底上，該圖案化光阻層具有一開口；
以該圖案化光阻層為遮罩，蝕刻該基底以形成該凹槽；
全面形成一導體材料層於該圖案化光阻層以及該基底上；
去除位於該圖案化光阻層上之該導體材料層；以及
去除該圖案化光阻層。
22. 如專利申請範圍第 21 項所述之方法，其中蝕刻該基底以形成該凹槽之步驟係利用乾蝕刻或濕蝕刻。

23. 如專利申請範圍第 22 項所述之方法，其中該乾蝕刻係包括大氣電漿蝕刻(atmospheric plasma etching)。
24. 如專利申請範圍第 21 項所述之方法，其中去除位於該圖案化光阻層上之該導體材料層之步驟係利用氣體-固態轟擊製程(gas-solid shooting)。
25. 如專利申請範圍第 19 項所述之方法，其中該閘極之上表面大體呈弧狀。
26. 如專利申請範圍第 19 項所述之方法，其中該凹槽之深度約 2000Å 至 7000Å。
27. 如專利申請範圍第 19 項所述之方法，其中該閘極之材質係包括銅、銀、鋁或上述組合。
28. 如專利申請範圍第 19 項所述之方法，該圖案化光阻層對應該凹槽處之下表面為底切狀(under-cut)。
29. 一種製造主動陣列基板的方法，包括：
 - 提供一基底，該基底具有一凹槽；
 - 形成至少一掃瞄線於該凹槽內；
 - 形成至少一資料線，與該掃瞄線垂直；
 - 形成至少一薄膜電晶體，與對應之該掃描線以及該資料線電性連接，該薄膜電晶體包括一閘絕緣層，其中至少部份該閘絕緣層係位於該凹槽內；以及
 - 形成至少一畫素電極，與該薄膜電晶體連接。
30. 如專利申請範圍第 29 項所述之方法，其中該基底更具有另一凹槽，該方法更包括形成一共通線位於該另一凹槽內。

31. 如專利申請範圍第 29 項所述之方法，更包括形成一連接墊電極於該凹槽內，該連接墊電極係與對應之該掃描線電性連接。
32. 如專利申請範圍第 31 項所述之方法，更包括形成一連接電極於該連接墊電極上。
33. 如專利申請範圍第 32 項所述之方法，更包括形成一保護電極於該連接墊電極上，其中該保護電極與該畫素電極係為同時形成。
34. 如專利申請範圍第 29 項所述之方法，其中於形成該至少一掃描線之步驟前，更包括：
形成一圖案化光阻層於該基底上；
以該圖案化光阻層為遮罩，蝕刻該基底以形成該凹槽；
全面形成一導體材料層於該圖案化光阻層以及該基底上；
去除位於該圖案化光阻層上之該導體材料層；以及
去除該圖案化光阻層。
35. 如專利申請範圍第 34 項所述之方法，該圖案化光阻層對應該凹槽處之下表面為底切狀(under-cut)。
36. 如專利申請範圍第 34 項所述之方法，其中蝕刻該基底以形成該凹槽之步驟係利用乾蝕刻或濕蝕刻。
37. 如專利申請範圍第 36 項所述之方法，其中該乾蝕刻係包括大氣電漿蝕刻(atmospheric plasma etching)。
38. 如專利申請範圍第 34 項所述之方法，其中去除位於該圖案化光阻層上之該導體材料層之步驟係利用氣體固

- 態轟擊製程(gas-solid shooting)。
39. 如專利申請範圍第 29 項所述之方法，更包括：
- 形成一保護層於該資料線上；
 - 於該保護層上形成一圖案化光阻層；
 - 以該圖案化光阻層為遮罩，蝕刻該保護層以形成一開口暴露出該資料線；
 - 形成一導體材料層於該圖案化光阻層上並藉由該開口與該資料線電性連接；
 - 去除位於該圖案化光阻層上之該導體材料層以形成一導體層於該資料線上；以及
 - 去除該圖案化光阻層。
40. 如專利申請範圍第 39 項所述之方法，其中蝕刻該保護層以形成該開口之步驟係利用大氣電漿蝕刻(atmospheric plasma etching)。
41. 如專利申請範圍第 39 項所述之方法，其中去除位於該圖案化光阻層上之該導體材料層之步驟係利用氣體固態轟擊製程(gas-solid shooting)。
42. 如專利申請範圍第 29 項所述之方法，於形成該畫素電極之步驟前，更包括：
- 形成一保護層於該薄膜電晶體上；
 - 形成一圖案化光阻層於該保護層上；
 - 利用該圖案化光阻層為遮罩，蝕刻該保護層以形成一接觸洞以暴露出該薄膜電晶體之一汲極；以及
 - 去除該圖案化光阻層。

43. 如專利申請範圍第 42 項所述之方法，其中該畫素電極係藉由該接觸洞與該汲極電性連接，且其中蝕刻該保護層以形成該接觸洞係利用大氣電漿蝕刻 (atmospheric plasma etching)。