

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4445132号
(P4445132)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl. F I
H03H 17/06 (2006.01) H03H 17/06 661A
 H03H 17/06 655Z

請求項の数 18 (全 12 頁)

(21) 出願番号	特願2000-564296 (P2000-564296)	(73) 特許権者	598036300
(86) (22) 出願日	平成11年7月15日 (1999.7.15)		テレフオンアクチーボラゲット エル エム エリクソン (パブル)
(65) 公表番号	特表2002-522939 (P2002-522939A)		スウェーデン国 ストックホルム エスー
(43) 公表日	平成14年7月23日 (2002.7.23)		164 83
(86) 国際出願番号	PCT/EP1999/005004	(74) 代理人	100076428
(87) 国際公開番号	W02000/008756		弁理士 大塚 康德
(87) 国際公開日	平成12年2月17日 (2000.2.17)	(74) 代理人	100112508
審査請求日	平成18年7月11日 (2006.7.11)		弁理士 高柳 司郎
(31) 優先権主張番号	09/131, 336	(74) 代理人	100115071
(32) 優先日	平成10年8月7日 (1998.8.7)		弁理士 大塚 康弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100116894
			弁理士 木村 秀二

最終頁に続く

(54) 【発明の名称】 乗算器を用いないデジタルフィルタリング

(57) 【特許請求の範囲】

【請求項 1】

L 個の係数を有するデジタル逡減フィルタであって、
 サンプリングクロック (105) の制御の下で、1 - b i t データサンプルをシリアルに受信する L - b i t シフトレジスタ (図 2 - 4 : 101) と、
 前記 L - b i t シフトレジスタの平行出力から前記 1 - b i t データサンプルからなるブロックを受信するべく接続され、1 - b i t データサンプルからなる L - b i t ブロックを供給する L - b i t ラッチ (107) と、
 前記 L - b i t ラッチ (107) から供給された前記 L - b i t ブロックを用いて、2^L 通りあるフィルタ出力値の候補の中から前記 L - b i t ブロックに対応するものを一つ
 選択する選択手段 (111 - 1, . . . , 111 - L, 113 - 1, . . . , 113 - L ; 201, 301, 303, 403) と、
 を備え、

10

前記 L - b i t ラッチはサンプリングクロック (105) が N 個 (L > N) 印加されるごとに一つ印加される逡減クロック (109) の制御の下でラッチ処理を行うことを特徴とするデジタル逡減フィルタ。

【請求項 2】

L 個の係数を有するデジタル逡減フィルタであって、
 N (L > N) を逡減係数として、サンプリングクロック (105) の制御の下で、1 - b i t データサンプルをシリアルに受信する N - b i t シフトレジスタ (図 5 : 101)

20

と、

一つ以上の従属接続された N -bit ラッチ (401) であって、前記 N -bit シフトレジスタの平行出力から前記 1-bit データサンプルからなるブロックを受信するべく接続され、前記 1-bit データサンプルからなる L -bit ブロックを選択手段に供給するように構成されており、前記一つ以上の従属接続された N -bit ラッチ (401) のそれぞれは前記 1-bit データサンプルからなる N -bit ブロックを記憶するように適合しており、サンプリングクロック (105) が N 個印加されるごとに一つ印加される逡減クロック (109) の制御の下でラッチ処理を行い、前記一つ以上の従属接続された N -bit ラッチからの出力をグループ化して、前記 L -bit ブロックの少なくとも一部を構成する、一つ以上の従属接続された N -bit ラッチ (401) と、

前記 L -bit ブロックを用いて、 2^L 通りあるフィルタ出力値の候補の中から前記 L -bit ブロックに対応するものを一つ選択する前記選択手段 (111-1, ..., 111-L, 113-1, ..., 113-L; 201, 301, 303, 403) と、
を備えることを特徴とするデジタル逡減フィルタ。

【請求項 3】

前記一つ以上の従属接続された N -bit ラッチの最後一つから出力された一つ以上の 1-bit データサンプルを受信し、逡減されたクロック (109) に応答してラッチ処理を行うように接続された付加的なラッチ (401-M) をさらに備え、

前記付加的なラッチの出力は、前記 L -bit ブロックの少なくとも一部を構成することを特徴とする請求項 2 に記載のデジタル逡減フィルタ。

【請求項 4】

前記選択手段は、

前記 L -bit ブロックの中の 1-bit のデータサンプルの一つによって制御され、正または負のフィルタ係数 (a_1, a_2, \dots, a_L) をそれぞれ選択的に出力する L 個のスイッチ (111-1, 111-2, ..., 111-L) と、

前記 L 個のスイッチからの出力を加算し、前記 2^L 通りあるフィルタ出力値 (115) の候補の一つに対応する値を発生する発生手段 (113-1, 113-2, ..., 113-L) と、

を含むことを特徴とする請求項 1 ないし請求項 3 のいずれか一つに記載のデジタル逡減フィルタ。

【請求項 5】

前記選択手段は、アドレス指定の可能なメモリ (201) を備え、前記メモリは、前記 2^L 通りあるフィルタ出力値の候補を記録し、該メモリに備えられたアドレスポートで前記 1-bit のデータサンプルからなる L -bit ブロックを受信し、前記 L -bit ブロックのそれぞれは前記 2^L 通りあるフィルタ出力値の候補の対応する一つをアドレス指定し、これよりアドレス指定されたフィルタ出力値の候補が前記メモリの出力に供給されることを特徴とする請求項 1 ないし請求項 3 のいずれか一つに記載のデジタル逡減フィルタ。

【請求項 6】

前記 2^L 通りあるフィルタ出力値の候補は、 L 個の値についてありうる 2^L 通りの和を表し、前記 L 個の値のそれぞれは、 L 個のフィルタ係数の一つであって正または負のいずれか一方の係数によって決定されることを特徴とする請求項 5 に記載のデジタル逡減フィルタ。

【請求項 7】

前記 2^L 通りあるフィルタ出力値の候補は、 L 個の値についてのありうる 2^L 通りの和を表し、前記 L 個の値のそれぞれは、 L 個のフィルタ係数の一つまたは 0 の一方によって決定されることを特徴とする請求項 5 に記載のデジタル逡減フィルタ。

【請求項 8】

前記選択手段は、

K 個のアドレス指定の可能なメモリ (301) と、

10

20

30

40

50

前記 K 個のアドレス指定可能なメモリからの、フィルタ出力値の一部となる K 個の部分的な値を加算することで前記 2^L 通りあるフィルタ出力値の候補の一つに対応する値を発生する発生手段 (303) と、
を備え、

前記メモリはそれぞれ、フィルタ出力値の一部となる $2^{m(i)}$ 個の部分的な値を記憶し、該メモリに備えられたアドレスポートで前記 L-bit ブロックの $m(i)$ 個のビットからなるグループを受信し (1-i-K)、前記 $m(i)$ 個のビットからなるグループのそれぞれは、前記 $2^{m(i)}$ 個の部分的な値のうち対応する一つをアドレス指定し、アドレス指定された部分的な値が前記メモリの出力に供給されることを特徴とする請求項 1
ないし請求項 3 のいずれか一つに記載のデジタル逡減フィルタ。

10

【請求項 9】

前記 1-i-K において、 $m(i) = L / K$ であることを特徴とする請求項 8 に記載のデジタル逡減フィルタ。

【請求項 10】

L をフィルタ係数の個数とし、サンプリングクロック (105) の制御の下で、L-bit シフトレジスタ (図 2-4: 101) において複数の 1-bit データサンプル (103) をシリアルに受信するステップと、

L-bit ラッチ (107) において前記 L-bit シフトレジスタの平行出力から前記 1-bit データサンプルのブロックをラッチ処理して、ラッチ処理された前記 1-bit データサンプルからなる L-bit ブロックを使用するステップへラッチ処理された前記 1-bit データサンプルからなる前記 L-bit ブロックを供給するステップであって、 $N (L > N)$ を逡減係数として、サンプリングクロック (105) が N 個印加されるごとに一つ印加される逡減クロック (109) の制御の下で実行されるステップと

20

前記 L-bit ブロックを用いて、 2^L 通りあるフィルタ出力値の候補の中から前記 L-bit ブロックに対応するもの一つを選択するステップと、
を備えることを特徴とするデジタル逡減フィルタリング方法。

【請求項 11】

N を逡減係数として、サンプリングクロック (105) の制御の下で N-bit シフトレジスタ (図 5: 101) において 1-bit のデータサンプル (103) をシリアルに受信するステップと、

30

一つ以上の連鎖的に実行される N-bit ラッチ処理ステップであって、該 N-bit ラッチ処理ステップのそれぞれは、N-bit ラッチ (401) に前記 1-bit データサンプルの N-bit ブロックを記憶するステップを有し、前記サンプリングクロック (105) が N 個印加されるごとに一つ印加される逡減クロック (109) の制御の下で実行されるステップであり、該 N-bit ラッチ処理ステップのうちの第一のラッチ処理ステップは前記 N-bit ラッチ (401) のうちの第一の N-bit ラッチに前記 N-bit シフトレジスタから平行出力された前記 1-bit データサンプルからなる N-bit ブロックを記憶するステップを有する、前記一つ以上の連鎖的に実行される N-bit ラッチ処理ステップと、

40

前記一つ以上の連鎖的に実行される N-bit ラッチ処理ステップのそれぞれからの N-bit のラッチ処理された出力をグループ化して、前記ラッチ処理された 1-bit データサンプルからなる L-bit ブロック (L はフィルタ係数の個数で $L > N$) の少なくとも一部を構成するステップと、

前記 L-bit ブロックを用いて、 2^L 通りあるフィルタ出力値の候補の中から前記 L-bit ブロックに対応するもの一つを選択するステップと、
を備えることを特徴とするデジタル逡減フィルタリング方法。

【請求項 12】

付加的なラッチ処理を行うステップをさらに備え、

前記付加的なラッチ処理を行うステップは、

50

前記一つ以上の連鎖的に実行される N - b i t ラッチ処理ステップの最後の一つのステップから出力された一つ以上の 1 - b i t データサンプルを受信してラッチ処理を行うステップと、

前記付加的なラッチ処理から出力されたラッチ処理の施された値を用いて、受信された前記 L - b i t ブロックの少なくとも一部を構成するステップと、
を備え、

前記付加的なラッチ処理のステップは、逓減されたクロック (1 0 9) に応答してラッチ処理を行うことを特徴とする請求項 1 1 に記載のデジタル逓減フィルタリング方法。

【請求項 1 3】

前記 L - b i t ブロックを用いて、 2^L 通りあるフィルタ出力値の候補の中から前記 L - b i t ブロックに対応するものを一つ選択する前記ステップは、

前記 L - b i t ブロックの中のラッチされた 1 - b i t データサンプルのそれぞれを用いて、正または負のフィルタ係数 (a_1, a_2, \dots, a_L) のいずれか一方を選択することによって L 個の積を求めるステップと、

前記 L 個の積を加算することで、前記 2^L 通りあるフィルタ出力値 (1 1 5) の候補の一つに対応する値を発生する発生ステップと、

を含むことを特徴とする請求項 1 0 ないし請求項 1 2 のいずれか一つに記載のデジタル逓減フィルタリング方法。

【請求項 1 4】

前記選択ステップは、ラッチされた前記 1 - b i t データからなる前記 L - b i t ブロックを用いて、前記 2^L 通りあるフィルタ出力値の候補を記憶したアドレス指定の可能なメモリ (2 0 1) に対してアドレス指定することで、アドレス指定されたフィルタ出力値を前記メモリの出力に供給するものであり、

前記 L - b i t ブロックのそれぞれは前記 2^L 通りあるフィルタ出力値の候補に対応することを特徴とする請求項 1 0 ないし請求項 1 2 のいずれか一つに記載のデジタル逓減フィルタリング方法。

【請求項 1 5】

前記 2^L 通りあるフィルタ出力値の候補は、 L 個の値についてありうる 2^L 個の和を表し、

各値は、 L 個のフィルタ係数の一つであって正または負のいずれか一方の係数の一つによって決定されることを特徴とする請求項 1 4 に記載のデジタル逓減フィルタリング方法。

【請求項 1 6】

前記 2^L 通りあるフィルタ出力値の候補は、 L 個の値についてのありうる 2^L 個の和を表し、各値は、 L 個のフィルタ係数の一つまたは 0 の一方によって決定されることを特徴とする請求項 1 4 に記載のデジタル逓減フィルタリング方法。

【請求項 1 7】

前記選択ステップは、

ラッチされた 1 - b i t のデータサンプルからなる L - b i t ブロックの $m(i)$ 個のビットからなるグループを用いて、フィルタ出力値の一部となる前記 $2^{m(i)}$ 個の部分的な値を記憶する $K(1 \leq i \leq K)$ 個のアドレス指定の可能なメモリ (3 0 1) に対し、前記 $2^{m(i)}$ 個の部分的な値のうち対応する一つをアドレス指定し、アドレス指定された部分的な値を前記メモリの出力に供給し、

前記 K 個のアドレス指定可能なメモリからの K 個の部分的な値を加算することで前記 2^L 通りあるフィルタ出力値の候補の一つに対応する値を発生することを特徴とする請求項 1 0 ないし請求項 1 2 のいずれか一つに記載のデジタル逓減フィルタリング方法。

【請求項 1 8】

$1 \leq i \leq K$ において、 $m(i) = L / K$ であることを特徴とする請求項 1 7 に記載のデジタル逓減フィルタリング方法。

【発明の詳細な説明】

10

20

30

40

50

【 0 0 0 1 】

背景

本願発明は、デジタルフィルタリング技術に係り、とりわけ、乗算器の使用を回避しようとするものである。

【 0 0 0 2 】

例えば、シグマデルタ変調器により 1 - b i t の信号を発生させるような、高速信号のデシメーション（逓減）を必要とする最先端の出願では、カスケード積分くし型フィルタ（C I C フィルタ）が逓減の第 1 段で使用される。次段には、従来の有限時間インパルス応答（F I R）逓減フィルタが続く。N ごとの逓減とは、N 個のデータサンプルごとに一つのサンプルをフィルタが出力することを意味する。各フィルタの出力は、マルチビットであり、N 個のデータサンプルを代表する値となる。

10

【 0 0 0 3 】

図 1 は、3 段 C I C フィルタの公知の実施形態についてのブロックダイアグラムである。このフィルタは入力された信号を係数 N でもって逓減する。図からわかるように、この C I C フィルタは複数のアキュムレータ 1 1 を第 1 段とし、この第 1 段は高速サンプリングクロック 1 5 で動作する。次の逓減段は、より低い逓減クロック 1 7 でもってサンプルを生成し、N 個のサンプルごとに一つのサンプルが出力され、残りのサンプルは出力されない。そして、第 3 段は、逓減クロックで動作する差分器 1 9 からなる。

【 0 0 0 4 】

全てのフィルタ係数は 1 に設定されているので、C I C フィルタは乗算器を必要としない。その結果、C I C フィルタは（第 1 段の）加算器の動作速度に依存して制限される速度でもって動作することが可能である。それゆえ、非常に高速な動作を要求されるときに、F I R フィルタの使用を可能ならしめるほどデータレートを十分に低くするためには、第 1 の逓減段で C I C フィルタが使用される。C I C フィルタの S I N (X) / X 周波数領域特性は、その後の F I R フィルタにより補償しなければならず、このことが F I R フィルタの設計を複雑にしている。非常に初期のころの出願では、C I C フィルタの加算器は処理速度を限界付ける要素であった。

20

【 0 0 0 5 】

また、図 1 の構成はどちらかといえば柔軟性にかけるため、フィルタの変動特性として高速なものを要求されれば、フィルタバンクが必要とされるかもしれない。これは、さらにフィルタの構成を複雑にしてしまう。

30

1 9 9 0 年 1 1 月 1 日に発行された I B M 技術開示公報 v o l . 3 3 , n o . 6 B の 1 6 8 頁 - 1 7 1 頁に記載された文献 " シグマ - デルタ変調出力値を処理する F I R フィルタ " では、1 2 8 / 1 に逓減するための 2 0 4 8 個のタップを有する逓減フィルタが開示されている。このフィルタは、2 0 4 8 / 1 2 8 もしくは 1 6 の加算を必要とする。シグマデルタ変調器の出力は各入力の符号を決定する。加算のステップは、異なる係数のセットごとに 1 2 8 回繰り返されて計算が完了する。最終段で結果を 1 2 8 のサイクルで蓄積する。また、この文献では、2 0 4 8 タップの F I R フィルタの実施も開示されており、入力データのクロック速度でもっとパイプライン処理を行う。1 2 8 サイクルごとに一つの出力変換が行われ、1 2 8 の新たな入力サンプルポイントのセットを収集するのにこの時間が必要となる。

40

1 9 8 7 年 6 月に発行された I . E . E . プロシーディングス - G / 電子回路とシステム v o l . 1 3 4 , n o . 3 の 1 2 7 頁 - 1 3 1 頁に記載されたコウバラス氏とタンボウラキス氏による文献 " シグマ - デルタ変調出力値を処理する F I R フィルタ " では、非巡回型デルタ変調（D M）フィルタのためのルックアップテーブルによる実現方法が開示されている。R O M の内容だけを変える同様のフィルタ網によりフィルタの特性が決定され、フィルタ係数の数が最大値を超えないというものである。R O M の N 個のアドレス入力は、N 個の遅延された D M サンプルによって制御される。N チュープルはアドレスを決定し、そこには値 A_n が記憶されている。

【 0 0 0 6 】

50

概要

それゆえ、本発明の目的は、改良されたフィルタリング技術を提供することである。

【0007】

本発明の一つの観点によれば、前述の目的と他の目的は、フィルタリング装置とフィルタリング方法とにより達成され、1-bitデータサンプルのL(Lは1より大きい。) - bitブロックを受信し、 2^L 個のフィルタ出力値の一つを選択するために1-bitデータサンプルのL-bitブロックを用いる。

【0008】

本発明の他の観点によれば、 2^L 個のフィルタ出力値の一つを選択するために1-bitデータサンプルのL-bitブロックを用いることには、正のフィルタ係数と負のフィルタ係数のとを択一的に選択することより積を求めるべく、L個の1-bitデータサンプルのそれぞれを用い、L個の積を全て加算することにより 2^L 個のフィルタ出力値の一つを発生させることが含まれている。

10

【0009】

さらに他の本発明の観点によれば、 2^L 個のフィルタ出力値の一つを選択するために1-bitデータサンプルのL-bitブロックを用いることには、 2^L 個のフィルタ出力が蓄積されたアドレス指定可能なメモリに対してアドレス指定すべく、1-bitデータサンプルのL-bitブロックを用いることが含まれてもよい。各L-bitブロックは、 2^L 個のフィルタ出力値の一つをアドレス指定する。アドレス指定されたフィルタの出力値はアドレス指定可能なメモリの出力において供給される。 2^L 個のフィルタ出力値は、L個の値についてとりうる 2^L 個の和を表すかもしれない。各値は、L個の正のフィルタ係数の一つ、または、L個の負のフィルタ係数の一つのいずれかを表す。また、各値は、L個のフィルタ係数の一つまたは0のいずれかを表してもよい。

20

【0010】

本発明の他の観点によれば、単一のアドレス指定可能なメモリをより小さな複数のメモリに置き換えることもできる。より小さなメモリのそれぞれは、1-bitデータサンプルのL-bitブロックから、対応するビットのサブセットをアドレスとして受信する。より小さな複数のメモリの出力は、フィルタの出力値を発生すべく合成される。

【0011】

本発明のさらに他の観点によれば、 2^L 個のフィルタ出力値の一つを選択するために1-bitデータサンプルのL-bitブロックを用いることには、K個のアドレス指定可能なメモリの一つに対応してアドレス指定すべく、1-bitデータサンプルのL-bitブロックのうちm(i)ビットからなるグループを用いることが含まれる。ここで、 $1 \leq i \leq K$ であり、アドレス指定可能な各メモリは、 $2^{m(i)}$ 個の部分的なフィルタ出力を記憶し、m(i)ビットからなる各グループは、 $2^{m(i)}$ 個の部分的なフィルタ出力に対応付けてアドレス指定され、アドレス指定された部分的なフィルタ出力値は、アドレス指定可能なメモリの出力に供給される。 2^L 個のフィルタ出力値の一つは、K個のアドレス指定可能なメモリからの部分的なフィルタ出力値を合成することにより発生される。いくつかの実施形態では、 $1 \leq i \leq K$ のときに、 $m(i) = L/K$ となる。すなわち、K個の各メモリは、1-bitデータサンプルのL-bitブロックからL/K個と同じだけビットを受信することになる。

30

40

【0012】

また、本発明のさらに他の観点によれば、1-bitデータサンプルについての1以上のN-bitブロックは従属接続されたラッチ構成によりラッチ処理される。ここで、各ラッチステップは、逡減されたクロック信号に応答して動作し、このクロック信号は、サンプリングクロック周波数のN個の供給ごとに一つ供給される。一以上の従属されたラッチのそれぞれから得られるラッチされた値は、受信された1-bitデータサンプルについてのN-bitブロックの部分少なくとも形成するようにグループ化される。

【0013】

また、本発明のさらに他の観点によれば、付加的なラッチが供給され、このラッチは、一

50

以上の従属接続されたラッチ構成の少なくとも一つの出力から、一以上の1-bitデータサンプルを受信してラッチする。ここで、この付加的なラッチは、逡減されたクロック信号に込答して動作する。付加的なラッチから得られるラッチされた値は、受信された1-bitデータサンプルについてのN-bitブロックの部分を少なくとも形成する。この付加的なラッチは、LがNの倍数でないときに役に立つものである。

【0014】

本発明のさらに他の観点によれば、1-bitデータサンプルはサンプリング周波数の制御の下でシリアルに受信される。シリアルに受信された1-bitデータサンプルのN-bitブロックは、第1の従属されたラッチに供給される。

詳細な説明

本発明の様々な特徴が図面を用いて記載されている。説明と図面とにおいて同一の部分には同じ符号を付している。

【0015】

図2は、本発明の一つの観点であり、Lをオーダーとした乗算器を用いない逡減フィルタの例示的なブロックダイアグラムである。L-bitのシフトレジスタ101は、その入力ポートにおいて1-bitの入力データ103を受信する。L-bitシフトレジスタ101は、高速サンプリング周波数105にクロック同期し、このクロックは、各入力されたデータごとに一つ供給される。L-bitラッチ107は、L-bitシフトレジスタ101からのL-bitの出力値を受信するために、データ入力ポートを備えている。L-bitラッチ107は、逡減されたクロック109にクロック同期し、高速サンプリングクロック105のNサイクルごとに一つクロックが供給される。それゆえ、1-bitの入力データサンプルのN個はL-bitシフトレジスタ101に積み込まれており、Lデータサンプルの一つのブロックは、ラッチ107に入力される。

【0016】

L-bitラッチ107の出力で供給されたL個の値のそれぞれは、L個の係数の対応する一つと乗算される必要があり、 a_x 、 $1 \times L$ として区別される。ラッチされたデータの値が"1"-1のいずれかを表すとすれば、各積は、正の係数 a_x か、その負の係数 $-a_x$ のいずれかをあらわすことになる。それゆえ、本発明の他の観点によれば、これらの可能性のそれぞれは、スイッチ111-1...111-Lの一つの入力へと供給される。L-bitラッチ107の出力に供給される各ビットは、スイッチ111-1...111-Lの一つに対応するスイッチ動作を制御する。これにより、適切な積がスイッチ111-1...111-Lの出力に供給される。フィルタリング動作によって必要とされる乗算は、対応する係数の値の正か負のいずれかの値を選択するための信号ビットを用いることにより達成される。スイッチ111-1...111-Lからの出力は、図に示す加算器113-1...113-Lのような加算手段に供給され、フィルタリングと逡減の施された信号115を供給する。この構成によれば、乗算と加算操作は、次の1-bitの入力サンプルのN幅のブロックが読まれる間に実施される。それゆえ、このフィルタ処理(係数との乗算とその後の加算)は、逡減された速度で施され、かつ、加算器が高速のサンプリングクロックで動作しなければならない従来のCICフィルタよりもずっと高速な処理を提供する。

【0017】

本発明の他の観点によれば、図3のブロックダイアグラムに示すようにフィルタの構成をより簡単にも可能である。この実施形態における動作は、yと呼ぶ、フィルタ出力信号の数式に基づくものであり、 $y = \pm a_1 \pm a_2 \pm a_3 \dots \pm a_L$ である。各係数の符号はサンプル信号103の1-bitの値によって選択される。符号のついたフィルタ係数の組み合わせの総数は、 $y = 2^L$ となる。これは新たな構造を導くものであり、算術演算を必要としないものである。スイッチ111-1...111-Lと加算器113-1...113-Lのところにアドレス指定可能なメモリを配置する。このメモリは、 2^L 個のとりうる全てのフィルタ係数の組み合わせを格納し、そのアドレスはそれぞれL-bitラッチ107の出力において供給されうるL-bitのサンプルグループのそれ

10

20

30

40

50

それぞれに対応付けられる。L-bitの長い信号のブロックは、L-bitラッチ107からメモリ201のアドレス入力に供給され、予め記憶されている出力値yを選択する。

【0018】

L-bitラッチ107に記憶されたビットの数Lが大きくなればなるほど、メモリ201のサイズはより大きくなる。それゆえ、図4に示す本発明の他の観点によれば、代替可能な実施形態として、多数のアドレス指定可能なより小さなメモリが、より大きな一つのメモリ201に取って代わることを示している。この実施形態において、L-bitラッチ107の出力に供給されるL個のデータサンプルはK個のブロックに再分割される。もし、Kが約数かLであれば、各ブロックは、 $2^{L/K}$ 個の係数の組み合わせを記憶するメモリ301の一つにアドレス付けられる。加算器303のような加算手段は、複数のメモリ301からの出力を合成する。逡減されたクロック周波数で動作するより多くの加算器を必要とするのと引き換えに、トータルメモリサイズは減少する。この分割構造は、図2と図3に示された構造の中間的な解決手段である。図4に示した実施形態では、L/K個のビットが各メモリ301に対して同じように供給されているが、これは必須の条件ではない。それゆえ、他の実施形態では、メモリ301の数Kと一つのメモリに供給されるビットの数との間には何の関係も必要とされない。このような代替案では、各メモリ301には、それぞれ異なる数のビットが供給され、メモリに供給されるアドレスの数によって定義されるアドレス空間を全て供給できるように、各メモリ301のサイズは十分な大きさとなる。例えば、L=8とし、2つのメモリ301によってフィルタを構築するなら、最初のメモリはL-bitラッチ107からの最初の2つのビットを受信し、第2のメモリは残りの6ビットを受信すればよい。この例では、第1のメモリ301は少なくとも 2^2 個のアドレス指定可能な記憶位置を有していなければならない。一方、第2のメモリ301は少なくとも 2^6 個のアドレス指定可能な記憶位置を有していなければならない。

【0019】

L>Nのオーダーのフィルタについては、L-bitのシフトレジスタはN-bitシフトレジスタよりも高くないものを利用して実施することが可能である。これは現実の実施において有利である。なぜなら、このレジスタは最高速度（例えば、高速サンプリングクロックレートなど）で動作し、高速部品の数ができる限り少なくできるからである。図5示した実施形態では、一つのL-bitラッチが複数の従属接続されたN-bitラッチによって置き換えられている。このラッチは、1-bitサンプル103の最新の値をL個だけ記憶する(N<L)。各ラッチ401は、逡減されたクロックに同期し、それぞれ従属に接続された直前のラッチ401からのN-bitの出力を受信する（ただし、先頭のラッチ401は除く。）。縦続接続の先頭のラッチ401は、N-bitシフトレジスタ101からのN-bitの出力を受信する。

【0020】

各ラッチ401からの出力は、さらに、メモリ403の対応するアドレスポートの部分に供給される。メモリブロック403は、ありうる係数の組み合わせのそれぞれを記憶し、各係数は、ありうる 2^L 個の入力アドレス値に対応し、アドレス値はラッチ401によって供給される。メモリブロック403は単一のメモリとして記載されているが（図3において一つ示されているように）、図4に示された複数のメモリと置き換えてもよいし、図2に示した構成と置き換えてもよい（例えば、複数の回路のそれぞれが、単一の1-bitサンプルによる制御の下で、正又は負の係数を出力に供給する。）。

【0021】

図5に示した構成において、N-bit幅のブロックは、逡減クロック109の供給に伴って、あるラッチの段から次のラッチの段へとシフトされる。N-bitラッチ401の内容が変化すると共に、新しくラッチされたデータがメモリブロック403にアドレスの一部として供給される。全てのラッチ401の内容を組み合わせることで、メモリブロック403から値が選択される。メモリブロックの出力に供給される値は、フィルタリングされた信号を構成する。フィルタのオーダーはLと縦続接続の段数Mである。最終段のラッチ401-Mをより小さくするためには、Lは、Nの整数倍である必要はない。このような

10

20

30

40

50

場合、最終段のラッチ401-Mのサイズは削減される。これは、メモリブロック403の収容能力よりも大きなアドレス空間に対しては、出力値がアクセスを試みないようにするためである。例えば、 $L = Q \cdot N + R$ とし、 Q は整数で、 $R < N$ とする。 L が N の整数倍であれば $R = 0$ となり、必要とされるラッチの数 M は Q となり、各ラッチは $N - \text{bit}$ ラッチ401となる。この場合は、図5に示された最終段のラッチ401-Mは使用されない。

【0022】

L が N の整数倍でなければ、 R は0とならず、 R は $R = (L - Q \cdot N)$ によって求まる余りとなる。この場合のラッチの総数 M は $Q + 1$ となる。もちろん、 Q 個のラッチは $N - \text{bit}$ ラッチ401であり、最終段のラッチ401-M（例えば、ラッチ番号 $Q + 1$ ）は R と等しいサイズを持つことになる。

10

【0023】

以上のように開示された例示的なフィルタの構成は、乗算器を必要とせず、逡減されたクロックレートで算術加算を実施する。それゆえ、本発明の実施形態は、先行する出願で使用されるCICフィルタよりもずっと高速に動作する。さらに、ここに開示されたフィルタの技術は一般的なFIRに適用可能であり、従来のCICフィルタにおける $\text{SIN}(X)/X$ 周波数領域の形状のような特別なフィルタ特性も必要としない。換言すれば、フィルタは直接的に最高の特性に設計可能である。一部の実施形態では、一般的なデジタル処理に付随する能動的な乗算動作を受動的なメモリの読み出し操作に置き換えることで、速度の拡大だけでなく、消費電力の低下も達成される。なお、入力は高速なのでフィルタの処理遅延は非常に小さい。

20

【0024】

本発明のフィルタリング技術は、幅広い用途において有利である。なぜなら、異なるフィルタ特性をメモリに保存でき、追加のアドレスビットでもって特性を選択可能だからである。このような構成は、フィルタの特性を即座に変更することを可能ならしめる。

【0025】

本発明を特定の実施形態を参照して説明してきた。しかしながら、当業者であれば上述の好ましい実施形態とは異なる特定の形態として本発明を実施できることは明らかである。好ましい実施形態は単に図解の目的のために用いたに過ぎず、発明を限定する目的で用いるべきではない。本発明の範囲は、前述の説明ではなく、特許請求の範囲により確定されるものであり、クレームの範囲内にある全ての变形例と均等物は、本発明の範囲に含まれるものである。

30

【図面の簡単な説明】

本発明の目的と効果は、図面を参照しつつ詳細な説明を読むことにより理解されよう。

【図1】 公知の3段CICフィルタについての例示的なブロックダイアグラムである。

【図2】 本発明の一つの観点における L をオーダーとした乗算器を用いない逡減フィルタの例示的なブロックダイアグラムである。

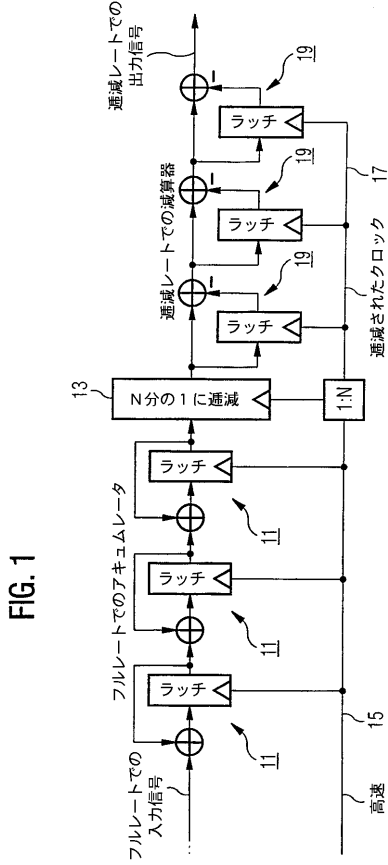
【図3】 本発明の一つの観点における乗算器を用いない逡減フィルタの他の例示的なブロックダイアグラムである。

【図4】 本発明の一つの観点における乗算器を用いない逡減フィルタのさらに他の例示的なブロックダイアグラムである。

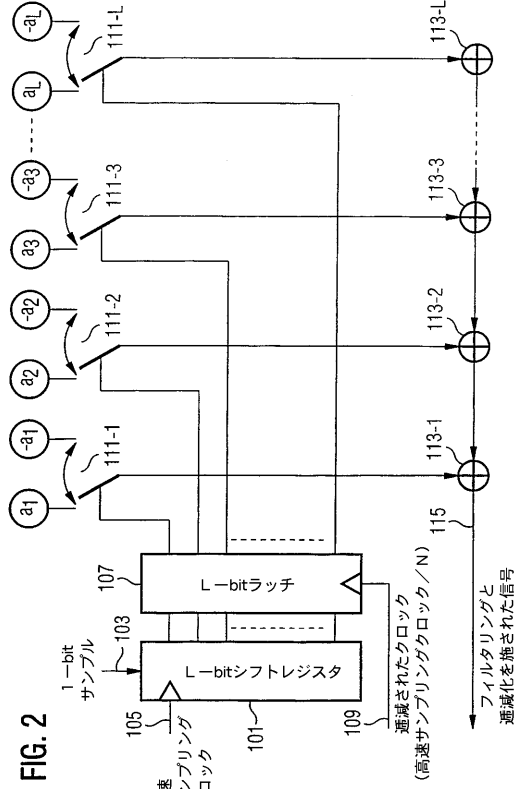
40

【図5】 本発明の一つの観点における乗算器を用いない逡減フィルタに従属フィルタ構成を用いた場合の例示的なブロックダイアグラムである。

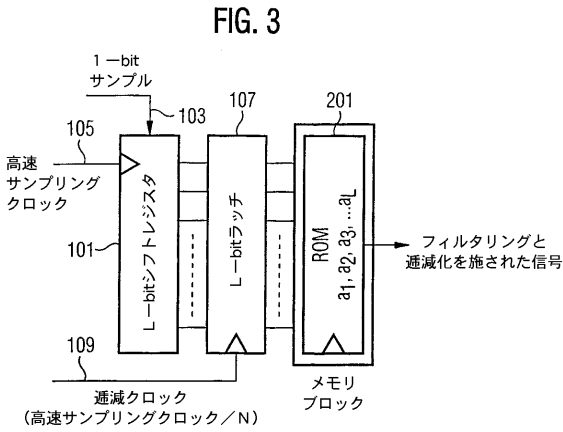
【図1】



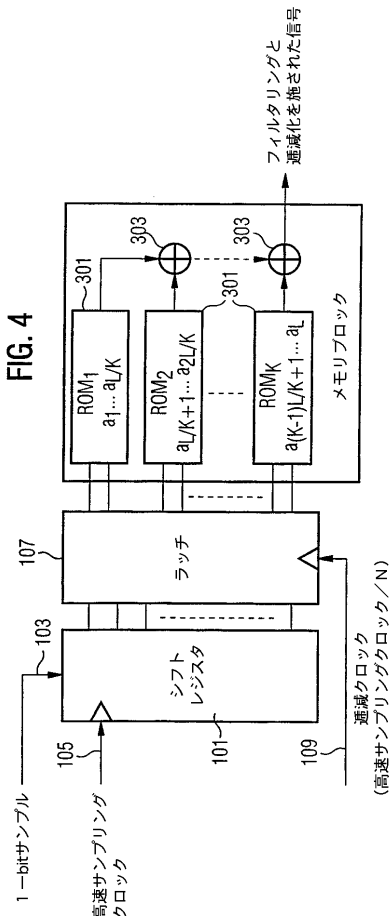
【図2】



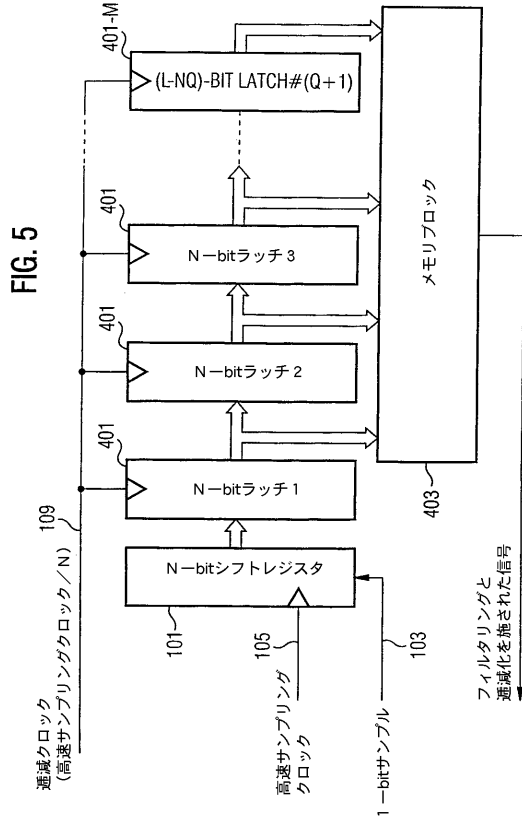
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 リプカ, ディエトマル
ドイツ国 ベルグ デー - 9 2 3 4 8 , カスタニエンヴェグ 1 1

審査官 木林 知子

(56)参考文献 IBM TECHNICAL DISCLOSURE, IBM, 1 9 9 0年1 1月 1日, V33 N6B, P168-171
KOUVARAS, IEEE PROCEEDINGS G ELECTRONIC CIRCUITS & SYSTEMS, 1 9 8 7年 6月 1日, V1
34 N3, P127-131

(58)調査した分野(Int.Cl., D B名)
H03H 17/00 - 17/08