



# (12)实用新型专利

(10)授权公告号 CN 209030179 U

(45)授权公告日 2019.06.25

(21)申请号 201822035281.0

(22)申请日 2018.12.05

(73)专利权人 博为科技有限公司

地址 314006 浙江省嘉兴市南湖区亚太路  
522号2幢307室

(72)发明人 李汝虎 席德权 蔡舒宏

(74)专利代理机构 北京众达德权知识产权代理  
有限公司 11570

代理人 刘杰

(51)Int.Cl.

H03K 17/284(2006.01)

H03K 17/687(2006.01)

(ESM)同样的发明创造已同日申请发明专利

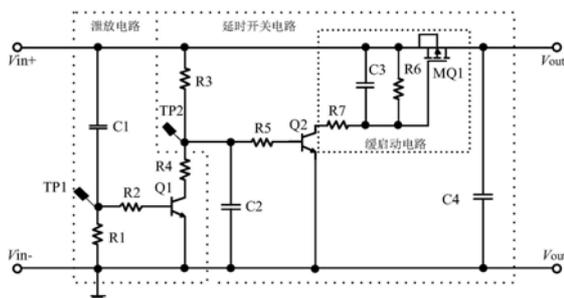
权利要求书2页 说明书5页 附图1页

## (54)实用新型名称

一种抗电压波动的延时开关电路

## (57)摘要

本实用新型属于电子技术领域,公开了一种抗电压波动的延时开关电路,包括:输入接口 $V_{in+}$ 、输入接口 $V_{in-}$ 、输出接口 $V_{out+}$ 、输出接口 $V_{out-}$ 、电阻R3、电容C2、电阻R5、NPN三极管Q2、电容C3、电阻R6、电阻R7以及P-MOS管MQ1;R3的第一端与 $V_{in+}$ 相连,R3的第二端通过C2与 $V_{in-}$ 相连,R3的第二端通过R5与Q2的基极相连,Q2的发射极与 $V_{in-}$ 相连;C3的第一端与 $V_{in+}$ 相连,C3的第二端通过R7与Q2的集电极相连,R6与C3并联,MQ1的栅极与C3的第二端相连,MQ1的源极与 $V_{in+}$ 相连,MQ1的漏极与 $V_{out+}$ 相连; $V_{in-}$ 与 $V_{out-}$ 接地。本实用新型提供的抗电压波动的延时开关电路能够解决现有技术中延时短,可调谐范围窄的技术问题。



1. 一种抗电压波动的延时开关电路,其特征在于,包括:输入接口Vin+、输入接口Vin-、输出接口Vout+、输出接口Vout-、缓启动驱动电路以及缓启动电路;

所述缓启动驱动电路包括:电阻R3、电容C2、电阻R5以及NPN三极管Q2;

所述电阻R3的第一端与所述输入接口Vin+相连,所述电阻R3的第二端通过所述电容C2与所述输入接口Vin-相连,所述电阻R3的第二端通过所述电阻R5与所述NPN三极管Q2的基极相连,所述NPN三极管Q2的发射极与所述输入接口Vin-相连;

所述缓启动电路包括:电容C3、电阻R6、电阻R7以及P-MOS管MQ1;

所述电容C3的第一端与所述输入接口Vin+相连,所述电容C3的第二端通过所述电阻R7与所述NPN三极管Q2的集电极相连,所述电阻R6与所述电容C3并联,所述P-MOS管MQ1的栅极与所述电容C3的第二端相连,所述P-MOS管MQ1的源极与所述输入接口Vin+相连,所述P-MOS管MQ1的漏极与所述输出接口Vout+相连;

所述输入接口Vin-与所述输出接口Vout-接地。

2. 如权利要求1所述的抗电压波动的延时开关电路,其特征在于,所述开关电路还包括:泄放电路;

所述泄放电路包括:电容C1、电阻R1、NPN三极管以及电阻R4;

所述电容C1的第一端与所述输入接口Vin+相连,所述电容C1的第二端通过所述电阻R2与所述输入接口Vin-相连,所述电容C1的第二端通过所述电阻R2与所述NPN三极管的基极相连,所述NPN三极管的集电极通过电阻R4与所述电阻R3的第二端相连,所述NPN三极管的发射极接地。

3. 如权利要求1所述的抗电压波动的延时开关电路,其特征在于,所述开关电路还包括:电容C4;

所述电容C4的第一端与所述输出接口Vout+相连,所述电容C4的第二端与所述输出接口Vout-相连。

4. 一种抗电压波动的延时开关电路,其特征在于,包括:输入接口Vin+、输入接口Vin-、输出接口Vout+、输出接口Vout-、缓启动驱动电路以及缓启动电路;

所述缓启动驱动电路包括:电阻R33、电容C22、电阻R55、电阻R77以及NPN三极管Q22;

所述电阻R33的第一端与所述输入接口Vin+相连,所述电阻R33的第二端通过所述电容C22与所述输入接口Vin-相连,所述电阻R33的第二端通过所述电阻R55与所述NPN三极管Q22的基极相连,所述NPN三极管Q22的集电极通过所述电阻R77与所述输入接口Vin+相连;

所述缓启动电路包括:电容C33、电阻R66以及N-MOS管MQ11;

所述电容C33的第一端与所述输入接口Vin-相连,所述电容C33的第二端与所述NPN三极管Q22的射电极相连,所述电阻R66与所述电容C33并联,所述N-MOS管MQ11的栅极与所述电容C33的第二端相连,所述N-MOS管MQ11的源极与所述输入接口Vin-相连,所述N-MOS管MQ11的漏极与所述输出接口Vout-相连;

所述输入接口Vin-与所述输出接口Vout-接地,所述输入接口Vin+与所述输出接口Vout+相连。

5. 如权利要求4所述的抗电压波动的延时开关电路,其特征在于,所述开关电路还包括:泄放电路;

所述泄放电路包括:电容C11、电阻R11、NPN三极管以及电阻R44;

所述电容C11的第一端与所述输入接口Vin+相连,所述电容C11的第二端通过所述电阻R22与所述输入接口Vin-相连,所述电容C11的第二端通过所述电阻R22与所述NPN三极管的基极相连,所述NPN三极管的集电极通过电阻R44与所述电阻R33的第二端相连,所述NPN三极管的发射极接地。

6.如权利要求4所述的抗电压波动的延时开关电路,其特征在于,所述开关电路还包括:电容C44;

所述电容C44的第一端与所述输出接口Vout+相连,所述电容C44的第二端与所述输出接口Vout-相连。

## 一种抗电压波动的延时开关电路

### 技术领域

[0001] 本实用新型涉及电子技术领域,特别涉及一种抗电压波动的延时开关电路。

### 背景技术

[0002] 随着现网大功率设备的广泛使用,例如空调、温箱等,其启动瞬间市电电压会有不同程度的波动,可能导致其它正在使用的设备突然掉电又上电。需要注意的是,在电路设计中,芯片对电源上电时序有严格的规范定义,如果时序要求不满足,譬如市电电压波动,设备掉电后残压泄放不及时又迅速上电,或者上电上升沿不连续等,将无法启动,或者启动之后某些功能异常。

[0003] 对此,现有技术采用延迟电源开启的方案,为负载提供较长的延时用于泄放残余电量,避免电量累积影响下一次上电时序,克服输入电源的波动带来的时序问题。现有方案延时短,可调谐范围窄,电源开启上升沿爬升缓慢,或需延时芯片继而或需增加编程烧录的问题。

### 实用新型内容

[0004] 本实用新型提供一种抗电压波动的延时开关电路,解决现有技术中延时短,可调谐范围窄的技术问题。

[0005] 为解决上述技术问题,本实用新型提供了一种抗电压波动的延时开关电路,包括:输入接口 $V_{in+}$ 、输入接口 $V_{in-}$ 、输出接口 $V_{out+}$ 、输出接口 $V_{out-}$ 、缓启动驱动电路以及缓启动电路;

[0006] 所述缓启动驱动电路包括:电阻R3、电容C2、电阻R5以及NPN三极管Q2;

[0007] 所述电阻R3的第一端与所述输入接口 $V_{in+}$ 相连,所述电阻R3的第二端通过所述电容C2与所述输入接口 $V_{in-}$ 相连,所述电阻R3的第二端通过所述电阻R5与所述NPN三极管Q2的基极相连,所述NPN三极管Q2的发射极与所述输入接口 $V_{in-}$ 相连;

[0008] 所述缓启动电路包括:电容C3、电阻R6、电阻R7以及P-MOS管MQ1;

[0009] 所述电容C3的第一端与所述输入接口 $V_{in+}$ 相连,所述电容C3的第二端通过所述电阻R7与所述NPN三极管Q2的集电极相连,所述电阻R6与所述电容C3并联,所述P-MOS管MQ1的栅极与所述电容C3的第二端相连,所述P-MOS管MQ1的源极与所述输入接口 $V_{in+}$ 相连,所述P-MOS管MQ1的漏极与所述输出接口 $V_{out+}$ 相连;

[0010] 所述输入接口 $V_{in-}$ 与所述输出接口 $V_{out-}$ 接地。

[0011] 进一步地,所述开关电路还包括:泄放电路;

[0012] 所述泄放电路包括:电容C1、电阻R1、NPN三极管以及电阻R4;

[0013] 所述电容C1的第一端与所述输入接口 $V_{in+}$ 相连,所述电容C1的第二端通过所述电阻R2与所述输入接口 $V_{in-}$ 相连,所述电容C1的第二端通过所述电阻R2与所述NPN三极管的基极相连,所述NPN三极管的集电极通过电阻R4与所述电阻R3的第二端相连,所述NPN三极管的发射极接地。

[0014] 进一步地,所述开关电路还包括:电容C4;

[0015] 所述电容C4的第一端与所述输出接口Vout+相连,所述电容C4的第二端与所述输出接口Vout-相连。

[0016] 一种抗电压波动的延时开关电路,包括:输入接口Vin+、输入接口Vin-、输出接口Vout+、输出接口Vout-、缓启动驱动电路以及缓启动电路;

[0017] 所述缓启动驱动电路包括:电阻R33、电容C22、电阻R55、电阻R77以及NPN三极管Q22;

[0018] 所述电阻R33的第一端与所述输入接口Vin+相连,所述电阻R33的第二端通过所述电容C22与所述输入接口Vin-相连,所述电阻R33的第二端通过所述电阻R55与所述NPN三极管Q2的基极相连,所述NPN三极管Q2的集电极通过所述电阻R77与所述输入接口Vin+相连;

[0019] 所述缓启动电路包括:电容C33、电阻R66以及N-MOS管MQ11;

[0020] 所述电容C33的第一端与所述输入接口Vin-相连,所述电容C33的第二端与所述NPN三极管Q2的射电极相连,所述电阻R66与所述电容C33并联,所述N-MOS管MQ11的栅极与所述电容C33的第二端相连,所述N-MOS管MQ11的源极与所述输入接口Vin-相连,所述N-MOS管MQ11的漏极与所述输出接口Vout-相连;

[0021] 所述输入接口Vin-与所述输出接口Vout-接地,所述输入接口Vin+与所述输出接口Vout+相连。

[0022] 进一步地,所述开关电路还包括:泄放电路;

[0023] 所述泄放电路包括:电容C11、电阻R11、NPN三极管以及电阻R44;

[0024] 所述电容C11的第一端与所述输入接口Vin+相连,所述电容C11的第二端通过所述电阻R22与所述输入接口Vin-相连,所述电容C11的第二端通过所述电阻R22与所述NPN三极管的基极相连,所述NPN三极管的集电极通过电阻R44与所述电阻R33的第二端相连,所述NPN三极管的发射极接地。

[0025] 进一步地,所述开关电路还包括:电容C44;

[0026] 所述电容C44的第一端与所述输出接口Vout+相连,所述电容C44的第二端与所述输出接口Vout-相连。

[0027] 本申请实施例中提供的一个或多个技术方案,至少具有如下技术效果或优点:

[0028] 本申请实施例中提供的抗电压波动的延时开关电路,基于缓启动电路的设计,引入缓启动驱动电路,并具体在驱动电路中设置RC充电网络,通过调节电阻和电容实现对电源开启时延的大范围调谐,支持短至几毫秒、长至几秒甚至更长的延时;使得电源开启上升沿爬升时间与加入的长延时无关,上电迅速。

[0029] 并进一步,为了避免掉电后RC充电网络残余电量的累积,使得下一次电源开启得不到有效延时,设置泄放电路,在电源接入瞬间即开始工作,为RC网络中电容存储的残余电量提供泄放路径,经过一定延时后,自动断开泄放路径,RC网络重新开始充电,为电源开启提供延时。

## 附图说明

[0030] 图1为本实用新型实施例一提供的抗电压波动的延时开关电路的结构示意图;

[0031] 图2为本实用新型实施例二提供的抗电压波动的延时开关电路的结构示意图。

## 具体实施方式

[0032] 本申请实施例通过提供一种抗电压波动的延时开关电路,解决现有技术中延时短,可调谐范围窄的技术问题。

[0033] 为了更好的理解上述技术方案,下面将结合说明书附图以及具体的实施方式对上述技术方案进行详细说明,应当理解本实用新型实施例以及实施例中的具体特征是对本申请技术方案的详细的说明,而不是对本申请技术方案的限定,在不冲突的情况下,本申请实施例以及实施例中的技术特征可以相互组合。

[0034] 参见图1,一种抗电压波动的延时开关电路,包括:输入接口Vin+、输入接口Vin-、输出接口Vout+、输出接口Vout-、缓启动驱动电路以及缓启动电路;其中,所述输入接口Vin+和所述输入接口Vin-作为电源接入端,分别连接输入电源的正极和负极;所述输出接口Vout+和所述输出接口Vout-作为延时开关电路的电源输出端,分别连接负载的正极和负极。

[0035] 具体来说,所述缓启动驱动电路包括:电阻R3、电容C2、电阻R5以及NPN三极管Q2;所述电阻R3的第一端与所述输入接口Vin+相连,所述电阻R3的第二端通过所述电容C2与所述输入接口Vin-相连,所述电阻R3的第二端通过所述电阻R5与所述NPN三极管Q2的基极相连,所述NPN三极管Q2的发射极与所述输入接口Vin-相连。

[0036] 所述缓启动电路包括:电容C3、电阻R6、电阻R7以及P-MOS管MQ1;所述电容C3的第一端与所述输入接口Vin+相连,所述电容C3的第二端通过所述电阻R7与所述NPN三极管Q2的集电极相连,所述电阻R6与所述电容C3并联,所述P-MOS管MQ1的栅极与所述电容C3的第二端相连,所述P-MOS管MQ1的源极与所述输入接口Vin+相连,所述P-MOS管MQ1的漏极与所述输出接口Vout+相连;所述输入接口Vin-与所述输出接口Vout-接地。

[0037] 当NPN三极管Q1截止时,电容C2的泄放回路断开,输入电源通过电阻R3对电容C2充电,直到NPN三极管Q2基极与射极的电压大于导通阈值电压时,NPN三极管Q2饱和导通以驱动P-MOS管MQ1打开,从而实现了延时的粗调。

[0038] 当NPN三极管Q2饱和导通后,电源对电容C3充电,当达到电阻R6和电阻R7分压电路产生的电阻R6两端的电压,P-MOS管MQ1完全打开,输入电源通过P-MOS管MQ1输出,从而实现了延时的细调。由此可知,延时粗调仅作用于缓启动驱动电路,不影响P-MOS管MQ1的开启时间。当输入电源通过延时开关电路后,对电容C3充电,并从输出接口Vout+/Vout-对负载供电输出。

[0039] 进一步地,为了避免掉电后RC充电网络残余电量的累积,使得下一次电源开启得不到有效延时,本申请设计了泄放电路,在电源接入瞬间即开始工作,为RC网络中电容存储的残余电量提供泄放路径,经过一定延时后,自动断开泄放路径,RC网络重新开始充电。

[0040] 所述泄放电路包括:电容C1、电阻R1、NPN三极管以及电阻R4;

[0041] 所述电容C1的第一端与所述输入接口Vin+相连,所述电容C1的第二端通过所述电阻R2与所述输入接口Vin-相连,所述电容C1的第二端通过所述电阻R2与所述NPN三极管的基极相连,所述NPN三极管的集电极通过电阻R4与所述电阻R3的第二端相连,所述NPN三极管的发射极接地。

[0042] 当电源接入时,由于电容两端的电压不能突变,测试点TP1的电位与Vin+一致,通过电阻R2,使得NPN三极管Q1饱和导通,电容C2通过电阻R4经过NPN三极管Q1对地放电。同

时,输入电源对电容C1充电,测试点TP1电位逐渐降低,直至无法驱动NPN三极管Q1,使其进入截止状态,切断泄放回路。至此,上电泄放电路停止工作,下一级的延时开关电路开始工作,因此,电容C1充电的时间,除了是电容C1的泄放时间外,也是延时开关电路进入工作的延时。

[0043] 进一步地,所述开关电路还包括:电容C4;所述电容C4的第一端与所述输出接口Vout+相连,所述电容C4的第二端与所述输出接口Vout-相连,进一步增加延时之外,还可降低输出电源纹波。

[0044] 下面将通过具体的使用场景为例加以说明。

[0045] 将12V电源接入含有此延时开关电路的设备;

[0046] 由于电容C1两端电压不能突变,测试点TP1的电位与输入电源Vin+电位一致,通过限流电阻R2加载于NPN三极管Q1基极,NPN三极管Q1饱和导通,开启泄放回路,此时TP2的电位不足以打开NPN三极管Q2,电容C2经过电阻R4和NPN三极管Q1对地泄放残余电量。电容C1逐渐被接入的电源充电,测试点TP1的电位逐渐降低,经过延时 $t_1$ ,直至无法驱动NPN三极管Q1,从而NPN三极管Q1进入截止状态,断开泄放回路。延时 $t$ 计算公式如下:

$$[0047] \quad t = RC \times \ln \frac{V_1 - V_0}{V_1 - V_t}$$

[0048] C为充电电容;R为充电电阻; $V_1$ 为充电电容经充电可达到的最终电压; $V_0$ 为充电电容两端的初始电压; $V_t$ 为延时达 $t$ 时充电电容两端的电压,依公式,电容充满电所需的时间为无穷大,而 $t=3RC$ 时, $V_t=0.95V_1$ , $t=4.6RC$ 时, $V_t=0.99V_1$ ,显然已接近充满,所以这里 $V_t$ 取 $0.95V_1$ 以便量化估算。

[0049] 例如,选择的值:电容C1,设为 $1\mu\text{F}$ ;电阻R1,设为 $1\text{M}\Omega$ 。经计算,延时 $t_1$ 为 $3\text{s}$ 。显而易见,通过选择不同的配置值的电阻R1或电容C1可以实现不同的延时,这个延时一方面是泄放路径保持建立的持续时间,一方面也是延时开关电路进入工作状态前的延时。上述为理想的理论估算,事实上电容C1的充电电阻为电阻R1与电阻R2和NPN三极管Q1基极-射极这条支路阻抗并联的等效电阻,所以电阻R2的阻值对调节延时 $t_1$ 也有一定作用。

[0050] 当NPN三极管Q1截止后,电容C2的泄放路径断开,继而缓启动驱动电路进入工作状态,输入电源通过电阻R3对电容C2充电,直到测试点TP2的电位达到 $(V_{in}-V_{CEth}) \times R5 / (R3+R5) + V_{CEth}$ ,NPN三极管Q2饱和导通,进一步驱动缓启动电路的P-MOS管MQ1开启,因此这一延时并不影响缓启动电路电源开启的上升时间。例如电容C2设为 $1\mu\text{F}$ ,电阻R3设为 $1\text{M}\Omega$ ,那么电容C2的充电延时 $t_2=3\text{s}$ 。同样地,电容C2的充电电阻为电阻R3与电阻R5和NPN三极管Q2基极-射极这条支路阻抗并联的等效电阻,因此,通过配置电阻R3或电阻R5的阻值或者电容C2的容值,可以实现延时粗调。

[0051] 当NPN三极管Q2饱和导通后,输入电源对电容C3充电,例如电容C3设为 $100\text{nF}$ ,电阻R6设为 $100\text{k}\Omega$ ,电阻R7设为 $10\text{k}\Omega$ ,那么,经过 $t_3=2.7\text{ms}$ 时延后电容C2两端电压达到 $10.9\text{V}$ ,P-MOS管MQ1完全导通。通过调节电容C3、电阻R6和电阻R7的值,可以实现延时微调。

[0052] 当P-MOS管MQ1完全导通后,输入电源通过P-MOS管MQ1至输出接口Vout+/Vout-,可选电容C4除了进一步增加延时之外,也用于减小电源纹波,使输出电源更加稳定。

[0053] 综上,此延时开关电路的总体时延为 $t_1+t_2+t_3$ 。

[0054] 实施例二

[0055] 参见图2,在实施例一的基础上将P-MOS管改换成N-MOS管,管型的变化使得缓启动驱动电路和缓启动电路有些许变化;功能电路的整体布设原理并无不同,此处并不再赘述。

[0056] 当然,本申请也并不排除基于排列组合的原理,针对NPN三极管改换成PNP三极管,实现不同的电路物理结构;但并未超出上述电路功能原理。

[0057] 本申请实施例中提供的一个或多个技术方案,至少具有如下技术效果或优点:

[0058] 本申请实施例中提供的抗电压波动的延时开关电路,基于缓启动电路的设计,引入缓启动驱动电路,并具体在驱动电路中设置RC充电网络,通过调节电阻和电容实现对电源开启时延的大范围调谐,支持短至几毫秒、长至几秒甚至更长的延时;使得电源开启上升沿爬升时间与加入的长延时无关,上电迅速。

[0059] 并进一步,为了避免掉电后RC充电网络残余电量的累积,使得下一次电源开启得不到有效延时,设置泄放电路,在电源接入瞬间即开始工作,为RC网络中电容存储的残余电量提供泄放路径,经过一定延时后,自动断开泄放路径,RC网络重新开始充电,为电源开启提供延时。

[0060] 值得说明的是,关于电源开启延时,行业内目前主要有如下两种方法:一,调节电源缓启动电路MOS管栅极和源极之间的阻容器件,减缓打开MOS管的速度;二,采用延时芯片,根据需要调节电源开启时延。缓启动时延可调谐范围有限,仅为毫秒级,难以满足复杂多变的现网问题,若延时较长,MOS管处于半导通状态,导通电阻大,产生的功耗有烧坏MOS管的风险。延时芯片的引入,设备功耗增加,或需要有编程和程序烧录支持方可使用,实现方式繁琐,延时长短或为固定,或可调谐范围窄。除了以上两种方式外,或在电源输出端增加大电容,但这将引起电源接入瞬间电流过大,触发过流保护,无法正常馈电,即便没有这种现象,这种方式也使得电源开启的上升沿变得缓慢,并且大电容的增加使得掉电之后电容存储的电量泄放更慢,影响下一次上电时序。

[0061] 对于此,本申请通过纯电路设计实现了优化。具体来说:

[0062] 支持上电电容残压泄放功能,有效消除延时电路中残余电量积累,使得每一次电源开启延时的时长较为稳定,有效抗市电短时间电压波动引起的开机不良现象;延迟电源开启功能,有效解决市电电压波动引起的上电时序异常导致设备无法正常开启的问题;延时可调谐范围宽,支持几毫秒至几秒甚至更长的延时调节;支持延时粗调与微调,调节灵活,可应对各种现网需求;电源开启上升沿单调上升,不受粗调时延的影响,适应MOS管应用需求;延时微调功能有效降低电源接入瞬间电流冲击,防止过流保护问题;纯硬件电路,无需代码编程与烧录。

[0063] 最后所应说明的是,以上具体实施方式仅用以说明本实用新型的技术方案而非限制,尽管参照实例对本实用新型进行了详细说明,本领域的普通技术人员应当理解,可以对本实用新型的技术方案进行修改或者等同替换,而不脱离本实用新型技术方案的精神和范围,其均应涵盖在本实用新型的权利要求范围当中。

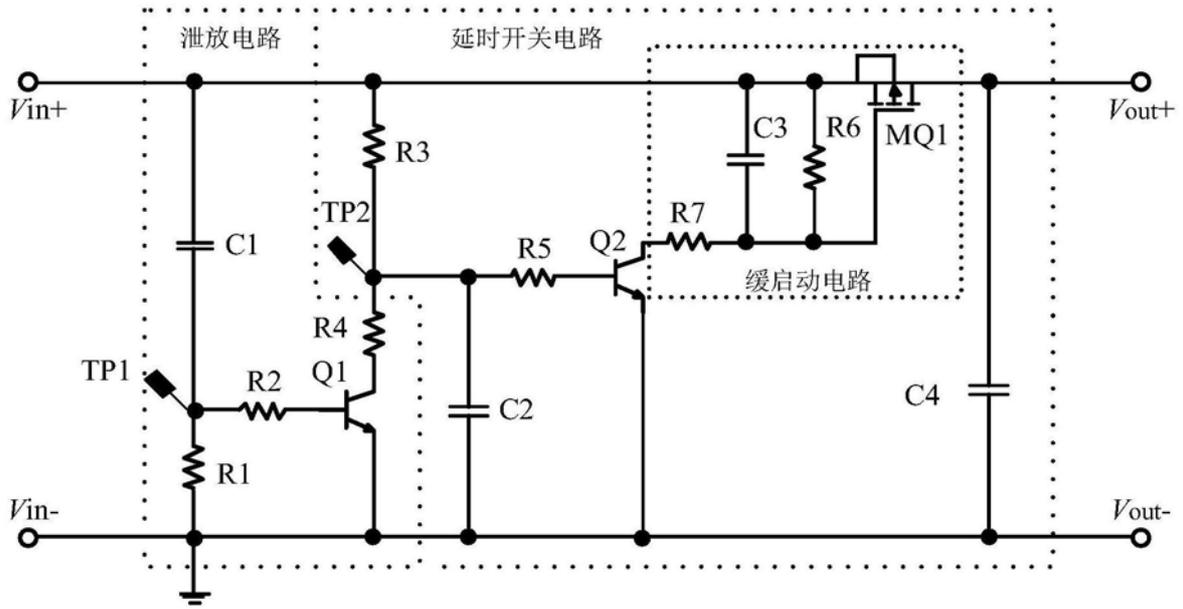


图1

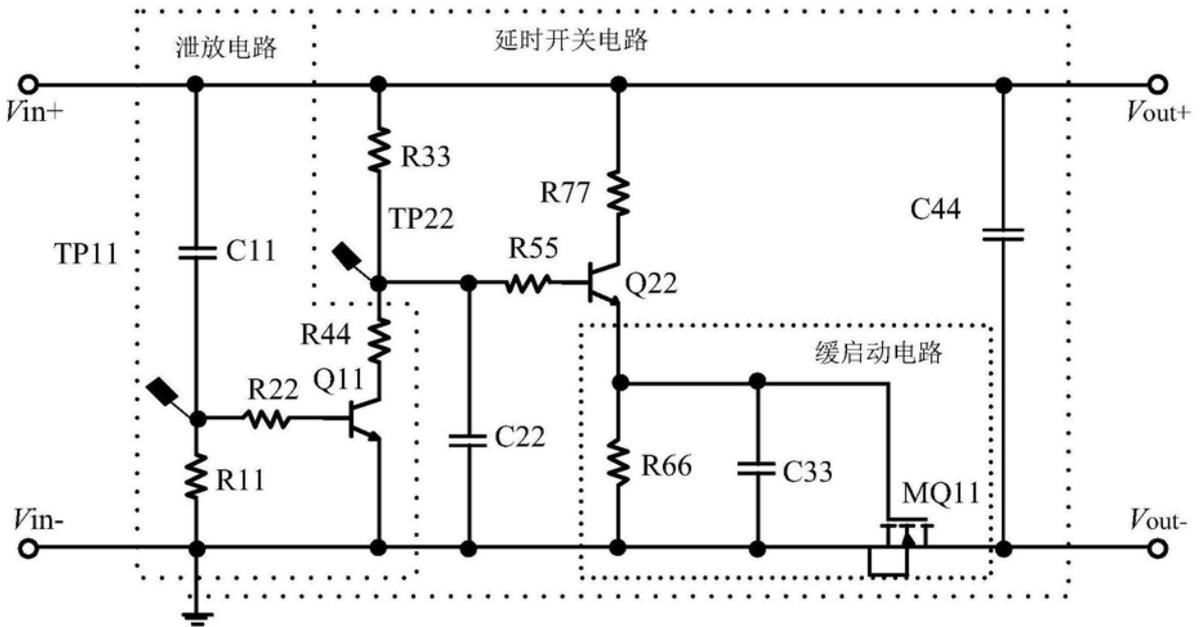


图2