

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4078667号
(P4078667)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月15日(2008.2.15)

(51) Int. Cl.	F I				
G 0 6 F	12/16	(2006.01)	G 0 6 F	12/16	3 4 0 H
G 1 1 C	11/407	(2006.01)	G 1 1 C	11/34	3 6 2 S
G 1 1 C	11/403	(2006.01)	G 1 1 C	11/34	3 6 3 M

請求項の数 15 (全 24 頁)

(21) 出願番号	特願2003-70129 (P2003-70129)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成15年3月14日(2003.3.14)	(73) 特許権者	000101732 アルパイン株式会社 東京都品川区西五反田1丁目1番8号
(65) 公開番号	特開2004-206661 (P2004-206661A)	(74) 代理人	100098017 弁理士 吉岡 宏嗣
(43) 公開日	平成16年7月22日(2004.7.22)	(72) 発明者	守田 雄一朗 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研 究所内
審査請求日	平成16年12月10日(2004.12.10)		
(31) 優先権主張番号	特願2002-314888 (P2002-314888)		
(32) 優先日	平成14年10月29日(2002.10.29)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 メモリ制御システム

(57) 【特許請求の範囲】

【請求項1】

プロセッサMPUと、セルフリフレッシュ機能を有するSDRAMと、SDRAM制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、

前記SDRAMがバックアップ状態であるか否かを検知する電源監視手段を備え、

前記メモリコントローラが、前記プロセッサMPUからのセルフリフレッシュ要求によりクロックイネーブルCKE元信号を切り替えるとともにセルフリフレッシュコマンドを発行し前記プロセッサMPUからのオートリフレッシュ開始要求により所定間隔のオートリフレッシュコマンドの発行を開始するSDRAM制御手段と、前記メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後前記プロセッサMPUによりオートリフレッシュ開始要求の前にセットされるCKEセットフラグと、前記CKE元信号と前記電源監視手段の出力と前記CKEセットフラグとに基づいてクロックイネーブルCKE信号を生成するCKE信号生成手段とを備え、

前記SDRAMおよび前記電源監視手段のみが、主電源およびバックアップ電源から電力を供給されることを特徴とするメモリ制御システム。

【請求項2】

請求項1に記載のメモリ制御システムにおいて、

前記CKE信号生成手段が、CKE元信号がLowの場合にはCKE信号をLowとし、CKE元信号がHighでかつ前記電源監視手段が非バックアップを示している場合には前記CKE信号をHighとし、前記CKE元信号がHighでかつ前記電源監視手段

がバックアップを示している場合には、前記C K EセットフラグがクリアされているとC K E信号をL o wとし、前記C K EセットフラグがセットされているとC K E信号をH i g hとすることを特徴とするメモリ制御システム。

【請求項3】

請求項1に記載のメモリ制御システムにおいて、

前記S D R A Mの各種コマンドインターバルやアドレスビット幅を設定するI N I T S E Tレジスタと、前記S D R A Mのオートリフレッシュ間隔を設定するR E Fレジスタとを備え、

電源が復電した時に前記M P Uが、前記C K Eセットフラグ、前記I N I T S E Tレジスタ、前記R E Fレジスタの順に設定することを特徴とするメモリ制御システム。

10

【請求項4】

請求項1に記載のメモリ制御システムにおいて、

前記メモリコントローラが、セルフリフレッシュコマンドを発行するS E L Fレジスタを備え、

前記M P Uからの書込みにより前記S E L Fレジスタが切り替わると、前記S D R A M制御手段は、現在実行中のコマンドを完了した後に、全バンクプリチャージコマンドを発行し、前記S D R A Mに関して規定された間隔においてS E L Fコマンドを発行するとともに、前記S E L Fコマンド発行の1クロックサイクル前にC K E元信号を切り替え、C K E元信号切り替えの1クロックサイクル後にC K E信号を切り替え、前記S D R A Mをセルフリフレッシュ状態にすることを特徴とするメモリ制御システム。

20

【請求項5】

請求項1に記載のメモリ制御システムにおいて、

前記電源監視手段が、前記プロセッサM P Uによる書込み、前記メモリコントローラからのS D R A M初期化完了通知、セルフリフレッシュ遷移通知のいずれかによりセットされ、前記主電源停電時における前記バックアップ電源の電圧低下、前記プロセッサM P Uからの書込みによりクリアされることを特徴とするメモリ制御システム。

【請求項6】

プロセッサM P Uと、セルフリフレッシュ機能を有するS D R A Mと、S D R A M制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、

前記S D R A Mがバックアップ状態であるか否かを検知する電源監視手段と、電源電圧の立上がりや立下り時にはL o wレベルであり電源安定時にはH i g hレベルとなるリセット信号を出力するリセット手段と、前記メモリコントローラからのクロックイネーブルC K E信号と前記リセット手段からのリセット信号との論理積を演算し前記S D R A MのC K E端子に出力するA N Dゲートとを備え、

30

前記メモリコントローラが、前記プロセッサM P Uからのセルフリフレッシュ要求によりクロックイネーブルC K E元信号を切り替えるとともにセルフリフレッシュコマンドを発行し前記プロセッサM P Uからのオートリフレッシュ開始要求により所定間隔のオートリフレッシュコマンドの発行を開始するS D R A M制御手段と、前記メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後前記プロセッサM P Uによりオートリフレッシュ開始要求の前にセットされるC K Eセットフラグと、前記C K E元信号と前記電源監視手段の出力と前記C K Eセットフラグとに基づいてクロックイネーブルC K E信号を生成するC K E信号生成手段とを備え、

40

前記S D R A Mおよび前記電源監視手段および前記A N Dゲートのみが、主電源およびバックアップ電源から電力を供給されることを特徴とするメモリ制御システム。

【請求項7】

請求項6に記載のメモリ制御システムにおいて、

前記C K E信号生成手段が、C K E元信号がL o wの場合にはC K E信号をL o wとし、C K E元信号がH i g hでかつ前記電源監視手段が非バックアップを示している場合には前記C K E信号をH i g hとし、前記C K E元信号がH i g hでかつ前記電源監視手段がバックアップを示している場合には、前記C K EセットフラグがクリアされているとC

50

KE信号をLowとし、前記CKEセットフラグがセットされているとCKE信号をHighとすることを特徴とするメモリ制御システム。

【請求項8】

請求項6に記載のメモリ制御システムにおいて、

前記SDRAMの各種コマンドインターバルやアドレスビット幅を設定するINITSETレジスタと、前記SDRAMのオートリフレッシュ間隔を設定するREFレジスタとを備え、

電源が復電した時に前記MPUが、前記CKEセットフラグ、前記INITSETレジスタ、前記REFレジスタの順に設定することを特徴とするメモリ制御システム。

【請求項9】

請求項6に記載のメモリ制御システムにおいて、

前記メモリコントローラが、セルフリフレッシュコマンドを発行するSELFレジスタを備え、

前記MPUからの書込みにより前記SELFレジスタが切り替わると、前記SDRAM制御手段は、現在実行中のコマンドを完了した後に、全バンクプリチャージコマンドを発行し、前記SDRAMに関して規定された間隔においてSELFコマンドを発行するとともに、前記SELFコマンド発行の1クロックサイクル前にCKE元信号を切り替え、CKE元信号切り替えの1クロックサイクル後にCKE信号を切り替え、前記SDRAMをセルフリフレッシュ状態にすることを特徴とするメモリ制御システム。

【請求項10】

請求項6に記載のメモリ制御システムにおいて、

前記電源監視手段が、前記プロセッサMPUによる書込み、前記メモリコントローラからのSDRAM初期化完了通知、セルフリフレッシュ遷移通知のいずれかによりセットされ、前記主電源停電時における前記バックアップ電源の電圧低下、前記プロセッサMPUからの書込みによりクリアされることを特徴とするメモリ制御システム。

【請求項11】

プロセッサMPUと、セルフリフレッシュ機能を有するSDRAMと、SDRAM制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、

前記SDRAMがバックアップ状態であるか否かを検知する電源監視手段を備え、

前記メモリコントローラが、前記プロセッサMPUからのセルフリフレッシュ要求によりクロックイネーブルCKE元信号を切り替えるとともにセルフリフレッシュコマンドを発行し前記プロセッサMPUからのオートリフレッシュ開始要求により所定間隔のオートリフレッシュコマンドの発行を開始するSDRAM制御手段と、前記SDRAMの初期化完了後に初期化完了信号INITがHighになると出力信号をアクティブHighにするバックアップ状態SBPフラグと、前記メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後前記プロセッサMPUによりオートリフレッシュ開始要求の前にセットされるCKEセットフラグと、前記CKE元信号と前記SBPフラグと前記CKEセットフラグとに基づいてクロックイネーブルCKE信号を生成するCKE信号生成手段とを備え、

前記SDRAMおよび前記電源監視手段および前記SBPフラグのみが、主電源およびバックアップ電源から電力を供給されることを特徴とするメモリ制御システム。

【請求項12】

請求項11に記載のメモリ制御システムにおいて、

前記CKE信号生成手段が、CKE元信号がLowの場合にはCKE信号をLowとし、CKE元信号がHighでかつ前記電源監視手段が非バックアップを示している場合には前記CKE信号をHighとし、前記CKE元信号がHighでかつ前記電源監視手段がバックアップを示している場合には、前記CKEセットフラグがクリアされているとCKE信号をLowとし、前記CKEセットフラグがセットされているとCKE信号をHighとすることを特徴とするメモリ制御システム。

【請求項13】

10

20

30

40

50

請求項 1 1 に記載のメモリ制御システムにおいて、

前記 S D R A M の各種コマンドインターバルやアドレスビット幅を設定する I N I T S E T レジスタと、前記 S D R A M のオートリフレッシュ間隔を設定する R E F レジスタとを備え、

電源が復電した時に前記 M P U が、前記 C K E セットフラグ、前記 I N I T S E T レジスタ、前記 R E F レジスタの順に設定することを特徴とするメモリ制御システム。

【請求項 1 4】

請求項 1 1 に記載のメモリ制御システムにおいて、

前記メモリコントローラが、セルフリフレッシュコマンドを発行する S E L F レジスタを備え、

前記 M P U からの書込みにより前記 S E L F レジスタが切り替わると、前記 S D R A M 制御手段は、現在実行中のコマンドを完了した後に、全バンクプリチャージコマンドを発行し、前記 S D R A M に関して規定された間隔において S E L F コマンドを発行するとともに、前記 S E L F コマンド発行の 1 クロックサイクル前に C K E 元信号を切り替え、C K E 元信号切り替えの 1 クロックサイクル後に C K E 信号を切り替え、前記 S D R A M をセルフリフレッシュ状態にすることを特徴とするメモリ制御システム。

【請求項 1 5】

請求項 1 1 に記載のメモリ制御システムにおいて、

前記バックアップ状態 S B P フラグが、前記プロセッサ M P U による書込み、前記 S D R A M 制御手段からの S D R A M 初期化完了通知、セルフリフレッシュ遷移通知のいずれかによりセットされ、前記主電源停電時における前記バックアップ電源の電圧低下、前記プロセッサ M P U からの書込みによりクリアされることを特徴とするメモリ制御システム。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、主電源停電時においてもバックアップ電源でメモリのデータを保持するためのバックアップ制御機能を有するメモリ制御システムに係り、特に、シンクロナス D R A M (S D R A M) のセルフリフレッシュ機能を活用してメモリのバックアップを実現するためのメモリ制御システムに関する。

【 0 0 0 2】

【従来の技術】

主電源停電時においてもバッテリーなどのバックアップ電源によってメモリ内のデータを保持するメモリバックアップは、従来から多様なシステムに適用されている。特に、バックアップ対象となるデータの量が比較的多い場合や電源投入後のシステム初期化時間を短縮したい場合には、主メモリであるシンクロナス S D R A M (S D R A M) をバックアップ対象とする場合が多い。

【 0 0 0 3】

S D R A M は、コンデンサ素子にデータを記憶させるため、バックアップ電源によって電力を供給するだけでなく、記憶内容をリフレッシュさせる必要がある。最近の S D R A M は、外部からのリフレッシュコマンド入力を必要としないセルフリフレッシュ機能を有している。このセルフリフレッシュ機能は、メモリアクセスをより一層高速化させるダブルデータレート S D R A M (D D R - S D R A M) などにおいても、同様にサポートされている。したがって、S D R A M のバックアップ方式としては、セルフリフレッシュ機能を活用したバックアップが広く使われている(例えば、特許文献 1 参照。)

【 0 0 0 4】

本従来例においては、セルフリフレッシュ機能を備えた S D R A M と、メモリコントローラを内蔵した制御手段と、主電源およびバックアップ電源の監視結果に応じて S D R A M をセルフリフレッシュモードに切り替える外付け回路とを備えている。外付け回路は、セルフリフレッシュコマンドを発行するためのレジスタを内蔵している。

【 0 0 0 5 】

主電源が停電する場合は、制御手段がこのレジスタをセットする。その後、メモリコントローラがSDRAMにリフレッシュコマンドを発行すると、外付け回路は、コマンド発行と同時に、クロックイネーブルCKE信号をLowにし、SDRAMをセルフリフレッシュモードに切り替える。その後は、バックアップ電源が、SDRAMおよび外付け回路のみに電力を供給し、制御手段への電力供給を停止する。

【 0 0 0 6 】

主電源は、復電(return to service)した場合に、直ちに制御手段への電力供給を再開する。その結果、外付け回路は、CKE信号をHighにし、SDRAMをセルフリフレッシュモードから解除する。

10

【 0 0 0 7 】

【特許文献1】

特開2001-202165号公報(明細書第2頁 図1)

【 0 0 0 8 】

【発明が解決しようとする課題】

本従来例においては、主電源が復電した場合に、制御手段への電力供給を再開するとともに、CKE信号をHighにし、SDRAMをセルフリフレッシュモードから解除している。

【 0 0 0 9 】

しかし、制御手段のパワーオンリセットが解除され、さらに、メモリコントローラが初期化されるまで、その後のオートリフレッシュは実行されない。

20

【 0 0 1 0 】

SDRAMの規格によれば、セルフリフレッシュモードから解除されてから約7.8μ秒または約15.6μ秒以内にオートリフレッシュを開始しなければならない。上記従来例などにおいては、制御手段の初期化時間に非常に厳しい要求が課されてしまう。

【 0 0 1 1 】

また、バックアップ電源による電力供給をSDRAMおよび外付け回路に限定して低消費電力化している。しかし、FPGAなどで実現される外付け回路の規模が大きく、より一層消費電力を削減することは困難であった。

【 0 0 1 2 】

さらに、セルフリフレッシュコマンドを発行するための制御手段と外付け回路との協調が必要となり、外付け回路の付加によりSDRAMインタフェース信号の負荷容量が増大するので、SDRAMの高速動作が制限される。

30

【 0 0 1 3 】

本発明の目的は、従来よりもバックアップ処理を容易にするとともに、バックアップ時の消費電力を削減し、SDRAMを高速動作させる手段を備えたメモリ制御システムを提供することである。

【 0 0 1 4 】

【課題を解決するための手段】

本発明は、上記目的を達成するために、プロセッサMPUと、セルフリフレッシュ機能を有するSDRAMと、SDRAM制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、SDRAMがバックアップ状態であるか否かを検知する電源監視手段を備え、メモリコントローラが、プロセッサMPUからのセルフリフレッシュ要求によりクロックイネーブルCKE元信号を切り替えるとともにセルフリフレッシュコマンドを発行しプロセッサMPUからのオートリフレッシュ開始要求により所定間隔のオートリフレッシュコマンドの発行を開始するSDRAM制御手段と、メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後プロセッサMPUによりオートリフレッシュ開始要求の前にセットされるCKEセットフラグと、CKE元信号と電源監視手段の出力とCKEセットフラグとに基づいてクロックイネーブルCKE信号を生成するCKE信号生成手段とを備え、SDRAMおよび電源監視手段のみが、主電源および

40

50

バックアップ電源から電力を供給されるメモリ制御システムを提案する。

【0015】

本発明は、また、プロセッサMPUと、セルフリフレッシュ機能を有するSDRAMと、SDRAM制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、SDRAMがバックアップ状態であるか否かを検知する電源監視手段と、電源電圧の立上がりや立下り時にはLowレベルであり電源安定時にはHighレベルとなるリセット信号を出力するリセット手段と、メモリコントローラからのクロックイネーブルCKE信号とリセット手段からのリセット信号との論理積を演算しSDRAMのCKE端子に出力するANDゲートとを備え、メモリコントローラが、プロセッサMPUからのセルフリフレッシュ要求によりクロックイネーブルCKE元信号を切り替えるとともにセルフリフレッシュコマンドを発行しプロセッサMPUからのオートリフレッシュ開始要求により所定間隔のオートリフレッシュコマンドの発行を開始するSDRAM制御手段と、メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後プロセッサMPUによりオートリフレッシュ開始要求の前にセットされるCKEセットフラグと、CKE元信号と電源監視手段の出力とCKEセットフラグとに基づいてクロックイネーブルCKE信号を生成するCKE信号生成手段とを備え、SDRAMおよび電源監視手段およびANDゲートのみが、主電源およびバックアップ電源から電力を供給されるメモリ制御システムを提案する。

10

【0016】

前記CKE信号生成手段は、CKE元信号がLowの場合にはCKE信号をLowとし、CKE元信号がHighでかつ電源監視手段が非バックアップを示している場合にはCKE信号をHighとし、CKE元信号がHighでかつ電源監視手段がバックアップを示している場合には、CKEセットフラグがクリアされているとCKE信号をLowとし、CKEセットフラグがセットされているとCKE信号をHighとする。

20

【0017】

SDRAMの各種コマンドインターバルやアドレスビット幅を設定するINITSETレジスタと、SDRAMのオートリフレッシュ間隔を設定するREFレジスタとを備え、電源が復電した時にMPUが、CKEセットフラグ、INITSETレジスタ、REFレジスタの順に設定することができる。

【0018】

前記メモリコントローラは、セルフリフレッシュコマンドを発行するSELFレジスタを備え、MPUからの書込みによりSELFレジスタが切り替わると、SDRAM制御手段は、現在実行中のコマンドを完了した後に、全バンクプリチャージコマンドを発行し、SDRAMに関して規定された間隔においてSELFコマンドを発行するとともに、SELFコマンド発行の1クロックサイクル前にCKE元信号を切り替え、CKE元信号切り替えの1クロックサイクル後にCKE信号を切り替え、SDRAMをセルフリフレッシュ状態にすることも可能である。

30

【0019】

前記電源監視手段は、プロセッサMPUによる書込み、メモリコントローラからのSDRAM初期化完了通知、セルフリフレッシュ遷移通知のいずれかによりセットされ、主電源停電時におけるバックアップ電源の電圧低下、プロセッサMPUからの書込みによりクリアされる。

40

【0020】

本発明は、さらに、プロセッサMPUと、セルフリフレッシュ機能を有するSDRAMと、SDRAM制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、SDRAMがバックアップ状態であるか否かを検知する電源監視手段を備え、メモリコントローラが、プロセッサMPUからのセルフリフレッシュ要求によりクロックイネーブルCKE元信号を切り替えるとともにセルフリフレッシュコマンドを発行しプロセッサMPUからのオートリフレッシュ開始要求により所定間隔のオートリフレッシュコマンドの発行を開始するSDRAM制御手段と、SDRAMの初期化完了後に初期化完了信号I

50

N I TがH i g hになると出力信号をアクティブH i g hにするバックアップ状態S B Pフラグと、メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後プロセッサM P Uによりオートリフレッシュ開始要求の前にセットされるC K Eセットフラグと、C K E元信号とS B PフラグとC K Eセットフラグとに基づいてクロックイネーブルC K E信号を生成するC K E信号生成手段とを備え、S D R A Mおよび電源監視手段およびS B Pフラグのみが、主電源およびバックアップ電源から電力を供給されるメモリ制御システムを提案する。

【 0 0 2 1 】

このメモリ制御システムにおいては、前記バックアップ状態S B Pフラグが、プロセッサM P Uによる書込み、S D R A M制御手段からのS D R A M初期化完了通知、セルフリフレッシュ遷移通知のいずれかによりセットされ、主電源停電時におけるバックアップ電源の電圧低下、プロセッサM P Uからの書込みによりクリアされる。

10

【 0 0 2 2 】

本発明は、さらに、プロセッサM P Uと、セルフリフレッシュ機能を有するS D R A Mと、S D R A M制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、S D R A Mがバックアップ状態であるか否かを検知する電源監視手段を備え、メモリコントローラが、プロセッサM P Uからのセルフリフレッシュ要求によりクロックイネーブルC K E元信号を切り替えるとともにセルフリフレッシュコマンドを発行しプロセッサM P UからのS D R A Mの初期化要求によりS D R A Mの初期化を開始するS D R A M制御手段と、メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後プロセッサM P UによりS D R A M初期化開始の前にセットされるC K Eセットフラグと、C K E元信号と電源監視手段の出力とC K Eセットフラグとに基づいてクロックイネーブルC K E信号を生成するC K E信号生成手段と、S D R A M制御手段によるS D R A M初期化の完了を前記電源監視手段に通知するためのS D R A M初期化完了信号と、S D R A M制御手段によるS D R A Mセルフリフレッシュ遷移の完了を前記電源監視手段に通知するためのS D R A Mセルフリフレッシュ遷移完了信号とを備え、S D R A Mおよび電源監視手段のみが、主電源およびバックアップ電源から電力を供給されるメモリ制御システムを提案する。

20

【 0 0 2 3 】

前記電源監視手段は、前記S D R A M初期化完了信号によってS D R A M初期化完了を検知しかつ前記S D R A Mセルフリフレッシュ遷移完了信号によってS D R A Mセルフリフレッシュ遷移完了を検知した時にS D R A Mがバックアップ状態であると判断する。

30

【 0 0 2 4 】

本発明は、さらに、プロセッサM P Uと、セルフリフレッシュ機能を有するS D R A Mと、S D R A M制御手段を内蔵するメモリコントローラとを含むメモリ制御システムにおいて、S D R A Mがバックアップ状態であるか否かを検知する電源監視手段を備え、メモリコントローラが、プロセッサM P Uからのセルフリフレッシュ要求によりクロックイネーブルC K E元信号を切り替えるとともにセルフリフレッシュコマンドを発行しプロセッサM P UからのS D R A Mの初期化要求によりS D R A Mの初期化を開始するS D R A M制御手段と、メモリコントローラのパワーオンリセットによりクリアされパワーオンリセット解除後プロセッサM P UによりS D R A M初期化開始の前にセットされるC K Eセットフラグと、C K E元信号と電源監視手段の出力とC K Eセットフラグとに基づいてクロックイネーブルC K E信号を生成するC K E信号生成手段と、S D R A Mの初期化が完了したことを示すS D R A M初期化完了フラグと、S D R A Mのセルフリフレッシュ遷移が完了したことを示すS D R A Mセルフリフレッシュ遷移完了フラグとを備え、前記プロセッサM P Uが、少なくとも2つのデジタル出力ポートA、Bを備え、S D R A Mおよび電源監視手段のみが、主電源およびバックアップ電源から電力を供給されるメモリ制御システムを提案する。

40

【 0 0 2 5 】

前記プロセッサM P Uは、前記メモリコントローラにS D R A Mの初期化を要求した後に

50

前記 S D R A M 初期化完了フラグによって S D R A M の初期化完了を検知して前記 1 つのデジタル出力ポート A を介して前記電源監視手段に S D R A M の初期化完了を通知し、さらに、前記プロセッサ M P U は、前記メモリコントローラに S D R A M のセルフリフレッシュ遷移を要求した後に前記 S D R A M セルフリフレッシュ遷移完了フラグによって S D R A M のセルフリフレッシュ遷移完了を検知して前記 1 つのデジタル出力ポート B を介して前記電源監視手段に S D R A M のセルフリフレッシュ遷移完了を通知する。

【 0 0 2 6 】

前記電源監視手段は、前記デジタル出力ポート A によって S D R A M 初期化完了を検知しかつ前記デジタル出力ポート B によって S D R A M セルフリフレッシュ遷移完了を検知した時に S D R A M がバックアップ状態であると判断する。

10

【 0 0 2 7 】

【発明の実施の形態】

次に、図 1 ないし図 1 2 を参照して、本発明によるメモリ制御システムの実施形態を説明する。

【 0 0 2 8 】

【実施形態 1】

図 1 は、本発明によるメモリ制御システムの実施形態 1 の系統構成を示すブロック図である。本メモリ制御システムは、S D R A M コントローラ 1 と、マイクロプロセッサ M P U 2 と、シンクロナス D R A M (S D R A M) 3 と、電源監視手段 4 と、リードオンリメモリ R O M 5 とを有している。

20

【 0 0 2 9 】

R O M 5 は、電源復電時のシステム初期化プログラム、電源停電時のシステム終了プログラムなどを格納している。

【 0 0 3 0 】

電源監視手段 4 は、ここでは図示していない主電源およびバックアップ電源の状態を監視する。電源監視手段 4 は、主電源の電圧が所定値よりも低下した場合には、電源停電と判断し、ノンマスカラブルインタラプト N M I _ 信号 4 0 をアクティブ L o w にし、M P U 2 に通知する。また、電源監視手段 4 は、電源復電時に、S D R A M コントローラ 1 が初期化完了信号 I N I T 1 0 1 をアクティブ H i g h にしたことを検知し、D R A M バックアップ B U P 信号 4 1 をアクティブ H i g h にする。

30

さらに、電源監視手段 4 は、主電源が遮断状態であつ S D R A M 3 がバックアップ電源によるバックアップ状態にある時に、バックアップ電源の電圧が所定値よりも低下した場合には、バックアップ喪失と判断し、B U P 信号 4 1 を非アクティブ L o w にする。

【 0 0 3 1 】

S D R A M コントローラ 1 は、M P U 2 から S D R A M 3 へのアクセスと S D R A M 3 の初期化と S D R A M 3 のリフレッシュとを制御する。S D R A M コントローラ 1 は、S D R A M 3 を制御する S D R A M 制御手段 1 0 と、S D R A M 3 のクロックイネーブル C K E 信号 1 1 0 を生成する C K E 信号生成手段 1 1 と、内部レジスタである S D R A M 設定レジスタ I N I T S E T 1 2 , リフレッシュ間隔設定レジスタ R E F 1 3 , セルフリフレッシュ制御レジスタ S E L F 1 4 , クロックイネーブルセットレジスタ C K E S E T 1 5 とを有する。内部レジスタ 1 2 ~ 1 5 は、それぞれバス 2 0 を介して、M P U 2 から書込み / 読み出しが可能である。

40

【 0 0 3 2 】

S D R A M 制御手段 1 0 は、バス 2 0 経由で送られる M P U 2 のメモリアクセス要求や内部レジスタ 1 2 ~ 1 5 の設定に応じて、S D R A M 3 のアドレス、コマンド信号 1 0 2 , クロックイネーブル元 C K E _ S 信号 1 0 0 を出力し、データ 1 0 3 を送受信する。

【 0 0 3 3 】

I N I T S E T 1 2 は、S D R A M 3 の各種コマンドインターバルやアドレスビット幅を設定するレジスタである。M P U 2 が I N I T S E T 1 2 を設定すると、S D R A M 制御手段 1 0 は、I N I T S E T 1 2 の設定値を参照し、S D R A M 3 の初期化を実行する。

50

SDRAM制御手段10は、SDRAM3の初期化を完了すると、INIT信号101をLowからHighに切り替える。

【0034】

REF13は、SDRAM3のオートリフレッシュ間隔を設定するレジスタである。MPU2がREF13を設定すると、SDRAM制御手段10は、設定された間隔で定期的にオートリフレッシュコマンドを発行する。

【0035】

SELF14は、セルフリフレッシュコマンドを発行するレジスタである。MPU2がSELF14をセットすると、SDRAM制御手段10は、CKE__S信号100を非アクティブLowにするとともに、セルフリフレッシュコマンドを発行する。

10

【0036】

CKESET15は、SDRAM3のCKE信号110のアクティブ/非アクティブを選択するレジスタである。CKE信号生成手段11は、CKESET15とBUP信号41とCKE__S信号100との状態に基づき、CKE信号110のHigh/Lowを決定する。

【0037】

本メモリ制御システムにおいて、主電源停電時にバックアップ電源から電力を供給する部分は、点線6で囲まれたSDRAM3と電源監視手段4に限定される。バックアップ制御機能を有しているSDRAMコントローラ1には、バックアップ電源から電力を供給する必要はない。

20

【0038】

本メモリ制御システムは、MPU2とSDRAMコントローラ1に加えて、ROM5やその他の図示していないモジュールを1つのチップに内蔵したシステムLSIの形で実現してもよい。または、MPU2とSDRAMコントローラ1に加えて、ROM5やその他の図示していないモジュールとさらにSDRAM3を1つのパッケージに内蔵したマルチチップモジュールの形で実現してもよい。

【0039】

図2は、CKE信号生成手段11が出力するCKEのレベルを示す図表である。すなわち、CKE信号生成手段11が出力するCKE信号110のHigh/Lowレベルを示す図表である。

30

【0040】

CKE信号110のレベルは、上記の通り、CKE__S信号100とBUP信号41とCKESET15との3つによって決まる。

【0041】

CKE__S信号100がLowの場合、BUP信号41とCKESET15の状態に関係無く、CKE信号110は、Lowになる。この場合は、セルフリフレッシュコマンド発行およびその後のセルフリフレッシュ状態に該当する。

【0042】

CKE__S信号100がHighで、BUP信号41がLowの場合、CKESET15の状態に関係無く、CKE信号110は、Highになる。この場合は、SDRAM3がバックアップ状態でなく、すなわち、BUP信号41がLowのまま、電源復電時の状態に該当する。

40

【0043】

CKE__S信号100がHighで、BUP信号41がHighの場合、CKESET15が0の初期状態であれば、CKE信号110は、Lowになる。この場合は、SDRAM3がバックアップ状態であり、すなわち、BUP信号41がHighであり、電源復電時の状態に該当する。

【0044】

一方、CKESET15が1であり、すなわち、MPU2がセットであれば、CKE信号110は、Highになる。この場合は、SDRAM3がバックアップ状態であり、すな

50

わち、BUP信号41がHighであり、電源復電時のセルフリフレッシュ解除に該当する。

【0045】

図3は、電源復電時にMPU2が実行するSDRAM初期化プログラムの基本的処理手順を示すフローチャートである。

【0046】

SDRAM3がバックアップ状態であるかないか、すなわち、BUP信号41がHighかLowかに関わらず、SDRAM初期化プログラムの基本処理手順は同じである。

【0047】

まず、CKESET15をセットする(3010)。SDRAM3がバックアップ状態であり、BUP信号41がHighであれば、この時にCKE信号110がLowからHighになり、セルフリフレッシュが解除される。

10

【0048】

次に、INITSET12を設定し(3020)、SDRAM3の初期化を開始する。

【0049】

REF13を設定し(3030)、SDRAM3の初期化が完了した直後からオートリフレッシュが所定間隔で実行されるようにする。

【0050】

図4は、4バーストライト実行中にセルフリフレッシュ制御レジスタSELF14のセットによって実行されるSELFコマンドの発行処理手順を示すタイムチャートである。

20

【0051】

MPU2からの書込みによってSELF14がT6で1に切り替わると、SDRAM制御手段10は、この例では4バーストライトを通常通り実行し、その後全バンクプリチャージコマンドを発行し(T9)、SDRAM3で規定された間隔をおいてSELFコマンドを発行する(T11)。

【0052】

SDRAM制御手段10は、SELFコマンドの1クロックサイクル前にCKE_S信号100をHighからLowに切り替える。CKE生成手段10は、T10でCKE_S信号100がLowになったことを検知し、1クロックサイクル後のT11で、CKE信号110をHighからLowに切り替える。その結果、SDRAM3は、セルフリフレッシュ状態になる。

30

【0053】

図5は、SDRAM3が非バックアップ状態である時に電源が復電しリセットが解除された後のSDRAM初期化処理手順を示すタイムチャートである。

【0054】

SDRAM3が非バックアップ状態である場合は、電源投入前からBUP信号41がLowであり、かつ、電源投入とともにCKE_S信号100がHighになるため、CKE信号110は、電源投入直後からHighになる。したがって、SDRAM3が必要とする初期化前のアイドル期間(数百μ秒)よりも電源投入後のシステムリセット期間を長くすれば、SDRAM3の初期化が可能になる。

40

【0055】

システムリセット解除後、MPU2は、任意のタイミングで図3に示したSDRAM初期化プログラムを実行する。まず、CKESET15がセットされる(T5)。次にINITSET12が設定される(T8)。SDRAM制御手段10がSDRAM初期化を開始する。SDRAM3の初期化は、最初にPALLコマンド発行(T9)、SDRAM3に応じて規定されているREFコマンド発行(T11とT17)と続き、最後にモードレジスタセット(MRS)コマンド(T23)の発行で終了する。SDRAM制御手段10は、SDRAM3の初期化が完了すると、INIT信号101をLowからHighに切り替える(T25)。

【0056】

50

また、SDRAM制御手段10は、REF13の設定(T11)によって、初期化完了直後からREFコマンドを所定間隔で発行する(T26)。

【0057】

以上の処理手順で、SDRAM3の初期化とオートリフレッシュとが実現し、バックアップが可能な状態になる。

【0058】

電源監視手段4は、INIT信号101がHighになったことを検知すると、任意のタイミングでBUP信号41をLowからHighに切り替える。

【0059】

図6は、SDRAM3がバックアップ状態である時に電源が復電しリセットが解除された後のSDRAM初期化処理手順を示すタイムチャートである。

10

【0060】

SDRAM3がバックアップ状態である場合は、電源投入前からBUP信号41がHighであり、かつ、CKESET15が0にクリアされているので、電源投入とともにCKE__S信号100がHighになっても、CKE信号110は、電源投入直後からLow状態を維持する。したがって、バックアップされたSDRAM3のセルフリフレッシュを任意のタイミングまで維持できる。

【0061】

システムリセット解除後、MPU2は、任意のタイミングで図3に示したSDRAM初期化プログラムを実行する。まず、CKESET15がセットされて(T5)バックアップされたSDRAM3のセルフリフレッシュが解除される。次に、INITSET12が設定されて(T8)SDRAM制御手段10がSDRAM初期化を実行し、さらにREF13の設定(T11)により、初期化完了直後からREFコマンドを所定間隔で発行する(T26)。

20

【0062】

したがって、SDRAM3のセルフリフレッシュが解除されてからオートリフレッシュを実行されるまでの期間は、SDRAM3の規定を十分満たす範囲に収まる。

【0063】

【実施形態2】

図7は、本発明によるメモリ制御システムの実施形態2の系統構成を示すブロック図である。本実施形態2は、実施形態1にリセット手段7とANDゲート111とを追加した系統構成である。本メモリ制御システムは、SDRAMコントローラ1と、マイクロプロセッサMPU2と、シンクロナスDRAM(SDRAM)3と、電源監視手段4と、リードオンリメモリROM5と、リセット手段7と、ANDゲート111とを有している。

30

【0064】

リセット手段7は、電源電圧の立上がりや立下り時にはLowレベルであり、電源安定時にはHighレベルとなるリセット信号71を出力する。

【0065】

ANDゲート111は、CKE信号生成手段11が出力するCKE信号110とリセット手段7が出力するリセット信号71との論理積を演算し、SDRAM3のCKE端子に出力する。ANDゲート111には、主電源とバックアップ電源の両方から電力を供給する。

40

【0066】

ROM5は、電源復電時のシステム初期化プログラム、電源停電時のシステム終了プログラムなどを格納している。

【0067】

電源監視手段4は、ここでは図示していない主電源およびバックアップ電源の状態を監視する。電源監視手段4は、主電源の電圧が所定値よりも低下した場合には、電源停電と判断し、ノンマスクラブルインタラプトNMI__信号40をアクティブLowにし、MPU2に通知する。また、電源監視手段4は、電源復電時に、SDRAMコントローラ1が初

50

期化完了信号 `INIT101` をアクティブ `High` にしたことを検知し、`DRAM` バックアップ (`BU P`) 信号 `41` をアクティブ `High` にする。

さらに、電源監視手段 `4` は、主電源が遮断状態かつ `SDRAM3` がバックアップ電源によるバックアップ状態にある時に、バックアップ電源の電圧が所定値よりも低下した場合には、バックアップ喪失と判断し、`BU P` 信号 `41` を非アクティブ `Low` にする。

【`0068`】

`SDRAM` コントローラ `1` は、`MPU2` から `SDRAM3` へのアクセスと `SDRAM3` の初期化と `SDRAM3` のリフレッシュとを制御する。`SDRAM` コントローラ `1` は、`SDRAM3` を制御する `SDRAM` 制御手段 `10` と、`SDRAM3` のクロックイネーブル `CKE` 信号 `110` を生成する `CKE` 信号生成手段 `11` と、内部レジスタである `SDRAM` 設定レジスタ `INITSET12` , リフレッシュ間隔設定レジスタ `REF13` , セルフリフレッシュ制御レジスタ `SELF14` , クロックイネーブルセットレジスタ `CKESET15` とを有する。内部レジスタ `12 ~ 15` は、それぞれバス `20` を介して、`MPU2` から書込み / 読み出しが可能である。

10

【`0069`】

`SDRAM` 制御手段 `10` は、バス `20` 経由で送られる `MPU2` のメモリアクセス要求や内部レジスタ `12 ~ 15` の設定に応じて、`SDRAM3` のアドレス、コマンド信号 `102` , クロックイネーブル元 `CKE__S` 信号 `100` を出力し、データ `103` を送受信する。

【`0070`】

`INITSET12` は、`SDRAM3` の各種コマンドインターバルやアドレスビット幅を設定するレジスタである。`MPU2` が `INITSET12` を設定すると、`SDRAM` 制御手段 `10` は、`INITSET12` の設定値を参照し、`SDRAM3` の初期化を実行する。`SDRAM` 制御手段 `10` は、`SDRAM3` の初期化を完了すると、`INIT` 信号 `101` を `Low` から `High` に切り替える。

20

【`0071`】

`REF13` は、`SDRAM3` のオートリフレッシュ間隔を設定するレジスタである。`MPU2` が `REF13` を設定すると、`SDRAM` 制御手段 `10` は、設定された間隔で定期的にオートリフレッシュコマンドを発行する。

【`0072`】

`SELF14` は、セルフリフレッシュコマンドを発行するレジスタである。`MPU2` が `SELF14` をセットすると、`SDRAM` 制御手段 `10` は、`CKE__S` 信号 `100` を非アクティブ `Low` にするとともに、セルフリフレッシュコマンドを発行する。

30

【`0073`】

`CKESET15` は、`SDRAM3` の `CKE` 信号 `110` のアクティブ / 非アクティブを選択するレジスタである。`CKE` 信号生成手段 `11` は、`CKESET15` と `BU P` 信号 `41` と `CKE__S` 信号 `100` との状態に基づき、`CKE` 信号 `110` の `High` / `Low` を決定する。

【`0074`】

本メモリ制御システムにおいて、主電源停電時にバックアップ電源から電力を供給する部分は、点線 `6` で囲まれた `SDRAM3` と電源監視手段 `4` と `AND` ゲート `111` とに限定される。バックアップ制御機能を有している `SDRAM` コントローラ `1` には、バックアップ電源から電力を供給する必要はない。

40

【`0075`】

本メモリ制御システムは、`MPU2` と `SDRAM` コントローラ `1` に加えて、`ROM5` やリセット手段 `7` やその他の図示していないモジュールを一つのチップに内蔵したシステム `LSI` の形で実現してもよい。または、`MPU2` と `SDRAM` コントローラ `1` に加えて、`ROM5` やリセット手段 `7` やその他の図示していないモジュールとさらに `SDRAM3` を一つのパッケージに内蔵したマルチチップモジュールの形で実現してもよい。

【`0076`】

`CKE` 信号生成手段 `11` を含む `SDRAM` コントローラ `1` を `C-MOS` の `LSI` で実現し

50

た場合、電源電圧の立上りや立下り時にCKE信号110を安定させるための専用手段を省略したい場合がある。

【0077】

そこで、本実施形態2においては、電源電圧の立上がりや立下り時にはLowレベルであり、電源安定時にはHighレベルとなるリセット手段7からのリセット信号71を使って、CKE信号110が不安定な期間は、SDRAM3のCKEをLowに固定する。

【0078】

ANDゲート111は、CKE信号生成手段11が出力するCKE信号110とリセット手段7が出力するリセット信号71との論理積を演算し、信号112をSDRAM3のCKE端子に出力する。

【0079】

その結果、電源電圧の立上りや立下り時にCKE信号110を安定させるための専用手段を設けなくても、安定したバックアップ機能を実現できる。

【0080】

実施形態2の基本的な処理手順は、実施形態1と同様なので、説明を省略する。

【0081】

【実施形態3】

図8は、本発明によるメモリ制御システムの実施形態3の系統構成を示すブロック図である。本実施形態3は、実施形態1の電源監視手段4のDRAMバックアップ(BUP)信号41を出力する機能をSDRAMコントローラ1に内蔵したバックアップ状態フラグSBP16に持たせた系統構成である。

【0082】

本メモリ制御システムは、SDRAMコントローラ1と、マイクロプロセッサMPU2と、シンクロナスDRAM(SDRAM)3と、電源監視手段4と、リードオンリメモリROM5とを有している。

【0083】

本実施形態3のバックアップ状態フラグSBP16は、MPU2からバス20を介して読み書き可能なフラグである。SBP16は、SDRAMコントローラ1に内蔵されているが、電気的にはSDRAMコントローラ1の他の部分から分離されており、主電源およびバックアップ電源の両方から電力を供給される。

【0084】

ROM5は、電源復電時のシステム初期化プログラム、電源停電時のシステム終了プログラムなどを格納している。

【0085】

電源監視手段4は、ここでは図示していない主電源およびバックアップ電源の状態を監視する。電源監視手段4は、主電源の電圧が所定値よりも低下した場合には、電源停電と判断し、ノンマスカラブルインタラプトNMI_信号40をアクティブLowにし、MPU2に通知する。また、電源復電時に、SDRAMコントローラ1内のSDRAM制御手段10が、SDRAM3の初期化完了後に初期化完了信号INIT101をアクティブHighにすると、バックアップ状態フラグ(SBP)16がセットされ、出力信号160をアクティブHighにする。

【0086】

SDRAMコントローラ1は、MPU2からSDRAM3へのアクセスとSDRAM3の初期化とSDRAM3のリフレッシュとを制御する。SDRAMコントローラ1は、SDRAM3を制御するSDRAM制御手段10と、SDRAM3のクロックイネーブルCKE信号110を生成するCKE信号生成手段11と、内部レジスタであるSDRAM設定レジスタINITSET12、リフレッシュ間隔設定レジスタREF13、セルフリフレッシュ制御レジスタSELF14、クロックイネーブルセットレジスタCKESET15とを有する。内部レジスタ12~15は、それぞれバス20を介して、MPU2から書込み/読出しが可能である。

10

20

30

40

50

【0087】

S B P 1 6 は、初期化完了信号 I N I T 1 0 1 に応じて、実施形態 1 の D R A M バックアップ (B U P) 信号 4 1 と同様に、S D R A M 3 バックアップ状態であることを示すバックアップ信号 1 6 0 を出力する。S B P 1 6 には、主電源およびバックアップ電源の両方から電力を供給されるので、主電源停電時でも状態を保持できる。また、S D R A M コントローラ 1 がリセットされても S B P 1 6 は、クリアされず状態を保持できる。

【0088】

S D R A M 制御手段 1 0 が、S D R A M 3 の初期化完了後に I N I T 信号 1 0 1 が L o w から H i g h に遷移した時に S B P 1 6 がセットされる。

【0089】

S D R A M 制御手段 1 0 は、バス 2 0 経由で送られる M P U 2 のメモリアクセス要求や内部レジスタ 1 2 ~ 1 5 の設定に応じて、S D R A M 3 のアドレス、コマンド信号 1 0 2、クロックイネーブル元 C K E _ S 信号 1 0 0 を出力し、データ 1 0 3 を送受信する。

10

【0090】

I N I T S E T 1 2 は、S D R A M 3 の各種コマンドインターバルやアドレスビット幅を設定するレジスタである。M P U 2 が I N I T S E T 1 2 を設定すると、S D R A M 制御手段 1 0 は、I N I T S E T 1 2 の設定値を参照し、S D R A M 3 の初期化を実行する。S D R A M 制御手段 1 0 は、S D R A M 3 の初期化を完了すると、I N I T 信号 1 0 1 を L o w から H i g h に切り替える。

【0091】

R E F 1 3 は、S D R A M 3 のオートリフレッシュ間隔を設定するレジスタである。M P U 2 が R E F 1 3 を設定すると、S D R A M 制御手段 1 0 は、設定された間隔で定期的にオートリフレッシュコマンドを発行する。

20

【0092】

S E L F 1 4 は、セルフリフレッシュコマンドを発行するレジスタである。M P U 2 が S E L F 1 4 をセットすると、S D R A M 制御手段 1 0 は、C K E _ S 信号 1 0 0 を非アクティブ L o w にするとともに、セルフリフレッシュコマンドを発行する。

【0093】

C K E S E T 1 5 は、S D R A M 3 の C K E 信号 1 1 0 のアクティブ/非アクティブを選択するレジスタである。C K E 信号生成手段 1 1 は、C K E S E T 1 5 と S B P 1 6 の出力信号 1 6 0 と C K E _ S 信号 1 0 0 との状態に基づき、C K E 信号 1 1 0 の H i g h / L o w を決定する。

30

【0094】

本メモリ制御システムにおいて、主電源停電時にバックアップ電源から電力を供給する部分は、点線 6 で囲まれた S D R A M 3 と電源監視手段 4 に限定される。バックアップ制御機能を有している S D R A M コントローラ 1 には、バックアップ電源から電力を供給する必要はない。

【0095】

本メモリ制御システムは、M P U 2 と S D R A M コントローラ 1 に加えて、R O M 5 やその他の図示していないモジュールを 1 つのチップに内蔵したシステム L S I の形で実現してもよい。または、M P U 2 と S D R A M コントローラ 1 に加えて、R O M 5 やその他の図示していないモジュールとさらに S D R A M 3 を 1 つのパッケージに内蔵したマルチチップモジュールの形で実現してもよい。

40

【0096】

実施形態 3 の基本的な処理手順は、実施形態 1 および実施形態 2 と同様なので、説明を省略する。

【0097】

【実施形態 4】

図 9 は、本発明によるメモリ制御システムの実施形態 4 の系統構成を示すブロック図である。本実施形態 4 は、実施形態 1 に S E L F R 信号 1 0 4 を追加した系統構成である。本

50

メモリ制御システムは、SDRAMコントローラ1と、マイクロプロセッサMPU2と、シンクロナスDRAM(SDRAM)3と、電源監視手段4と、リードオンリメモリROM5とを有している。

【0098】

SELF R信号104は、SDRAM制御手段10から電源監視手段4にSDRAMのセルフリフレッシュ遷移を通知するための信号である。

【0099】

SDRAM制御手段10は、セルフリフレッシュコマンド発行と同時にまたはそれ以降に、SELF R信号104を非アクティブLowからアクティブHighに切り替える。

【0100】

ROM5は、電源復電時のシステム初期化プログラム、電源停電時のシステム終了プログラムなどを格納している。

【0101】

電源監視手段4は、ここでは図示していない主電源およびバックアップ電源の状態を監視する。電源監視手段4は、主電源の電圧が所定値よりも低下した場合には、電源停電と判断し、ノンマスカラブルインタラプトNMI__信号40をアクティブLowにし、MPU2に通知する。MPU2はNMI__信号40がアクティブLowに切り替わったことを検知すると、電源停電前に必要な処理を実行し、最後にSELF 14をセットし、SDRAM3をセルフリフレッシュ状態にする。

【0102】

また、電源監視手段4は、初期化完了信号INIT信号101がアクティブHighでかつSELF R信号104がアクティブHighに切り替わったことを検知し、DRAMバックアップ(BUP)信号41をアクティブHighにする。

【0103】

さらに、電源監視手段4は、主電源が遮断状態でかつSDRAM3がバックアップ電源によるバックアップ状態にある時に、バックアップ電源の電圧が所定値よりも低下した場合には、バックアップ喪失と判断し、BUP信号41を非アクティブLowにする。

【0104】

SDRAMコントローラ1は、MPU2からSDRAM3へのアクセスとSDRAM3の初期化とSDRAM3のリフレッシュとを制御する。SDRAMコントローラ1は、SDRAM3を制御するSDRAM制御手段10と、SDRAM3のクロックイネーブルCKE信号110を生成するCKE信号生成手段11と、内部レジスタであるSDRAM設定レジスタINITSET12、リフレッシュ間隔設定レジスタREF13、セルフリフレッシュ制御レジスタSELF14、クロックイネーブルセットレジスタCKESET15とを有する。内部レジスタ12~15は、それぞれバス20を介して、MPU2から書込み/読出しが可能である。

【0105】

SDRAM制御手段10は、バス20経由で送られるMPU2のメモリアクセス要求や内部レジスタ12~15の設定に応じて、SDRAM3のアドレス、コマンド信号102、クロックイネーブル元CKE__S信号100を出力し、データ103を送受信する。

【0106】

INITSET12は、SDRAM3の各種コマンドインターバルやアドレスビット幅を設定するレジスタである。MPU2がINITSET12を設定すると、SDRAM制御手段10は、INITSET12の設定値を参照し、SDRAM3の初期化を実行する。

【0107】

SDRAM制御手段10は、SDRAM3の初期化を完了すると、INIT信号101を非アクティブLowからアクティブHighに切り替える。

【0108】

REF13は、SDRAM3のオートリフレッシュ間隔を設定するレジスタである。MPU2がREF13を設定すると、SDRAM制御手段10は、設定された間隔で定期的に

10

20

30

40

50

オートリフレッシュコマンドを発行する。

【0109】

SELF14は、セルフリフレッシュコマンドを発行するレジスタである。MPU2がSELF14をセットすると、SDRAM制御手段10は、CKE__S信号100を非アクティブLowにするとともに、セルフリフレッシュコマンドを発行し、SELFR信号104を非アクティブLowからアクティブHighに切り替える。

【0110】

CKESET15は、SDRAM3のCKE信号110のアクティブ/非アクティブを選択するレジスタである。CKE信号生成手段11は、CKESET15とBUP信号41とCKE__S信号100との状態に基づき、CKE信号110のHigh/Lowを決定する。

10

【0111】

本メモリ制御システムにおいて、主電源停電時にバックアップ電源から電力を供給する部分は、点線6で囲まれたSDRAM3と電源監視手段4とに限定される。バックアップ制御機能を有しているSDRAMコントローラ1には、バックアップ電源から電力を供給する必要はない。

【0112】

本メモリ制御システムは、MPU2とSDRAMコントローラ1に加えて、ROM5とSDRAM3とその他の図示していないモジュールを1つのチップに内蔵したシステムLSIの形で実現してもよい。または、MPU2とSDRAMコントローラ1に加えて、ROM5やその他の図示していないモジュールとさらにSDRAM3を1つのパッケージに内蔵したマルチチップモジュールの形で実現してもよい。

20

【0113】

電源監視手段4において、SDRAM3がバックアップ可能な状態かどうかを判定する条件として、SDRAM3の初期化が完了しているということの他に、SDRAM3のセルフリフレッシュ遷移が完了しているということも条件に加えたい場合がある。

【0114】

そこで、本実施形態4においては、SDRAM制御手段10が電源監視手段4に、INIT信号101によってSDRAM3の初期化完了を通知し、さらに、SELFR信号104によってSDRAM3のセルフリフレッシュ遷移完了を通知する。

30

【0115】

さらに、電源監視手段4は、INIT信号101がアクティブHighでかつSELFR信号104がアクティブHighに切り替わったことを検知し、BUP信号41をアクティブHighにする。

【0116】

その結果、SDRAM3がセルフリフレッシュ状態である場合だけ、BUP信号41はアクティブHighになり、安定したバックアップ機能を実現できる。

【0117】

なお、実施形態4における電源監視手段4は、INIT信号101の状態に関わらず、SELFR信号104がアクティブHighに切り替わったことを検知してBUP信号41をアクティブHighにしてもよい。この場合、SDRAM3はセルフリフレッシュ状態になる前に初期化されているものとみなす。この機能により、INIT信号101が不要になる。

40

【0118】

実施形態4の基本的な処理手順は、実施形態1と同様なので、説明を省略する。

【0119】

【実施形態5】

図10は、本発明によるメモリ制御システムの実施形態5の系統構成を示すブロック図である。本実施形態5は、実施形態1に初期化完了フラグレジスタINITS16と、セルフリフレッシュ遷移完了フラグレジスタSELF S17と、デジタル出力ポートDOA2

50

01およびDOB202とを追加した系統構成である。本メモリ制御システムは、SDRAMコントローラ1と、マイクロプロセッサMPU2と、シンクロナスDRAM(SDRAM)3と、電源監視手段4と、リードオンリメモリROM5とを有している。

【0120】

デジタル出力ポートDOA201およびDOB202は、ここでは図示していないMPU2のレジスタへの書込みによってHighまたはLowに切り替ええる信号である。本実施形態5では、DOA201を介してMPU2から電源監視手段4にSDRAM3の初期化完了を通知し、DOB202を介してMPU2から電源監視手段4にSDRAM3のセルフリフレッシュ遷移完了を通知する。

【0121】

ROM5は、電源復電時のシステム初期化プログラム、電源停電時のシステム終了プログラムなどを格納している。

【0122】

電源監視手段4は、ここでは図示していない主電源およびバックアップ電源の状態を監視する。電源監視手段4は、主電源の電圧が所定値よりも低下した場合には、電源停電と判断し、ノンマスカラブルインタラプトNMI__信号40をアクティブLowにし、MPU2に通知する。MPU2はNMI__信号40がアクティブLowに切り替わったことを検知すると、電源停電前に必要な処理を実行し、最後にSELF14をセットし、SDRAM3をセルフリフレッシュ状態にする。

【0123】

また、電源監視手段4は、デジタル出力ポートDOA201がアクティブHighでかつデジタル出力ポートDOB202がアクティブHighに切り替わったことを検知し、DRAMバックアップ(BUP)信号41をアクティブHighにする。

【0124】

さらに、電源監視手段4は、主電源が遮断状態でかつSDRAM3がバックアップ電源によるバックアップ状態にある時に、バックアップ電源の電圧が所定値よりも低下した場合には、バックアップ喪失と判断し、BUP信号41を非アクティブLowにする。

【0125】

SDRAMコントローラ1は、MPU2からSDRAM3へのアクセスとSDRAM3の初期化とSDRAM3のリフレッシュとを制御する。SDRAMコントローラ1は、SDRAM3を制御するSDRAM制御手段10と、SDRAM3のクロックイネーブルCKE信号110を生成するCKE信号生成手段11と、内部レジスタであるSDRAM設定レジスタINITSET12、リフレッシュ間隔設定レジスタREF13、セルフリフレッシュ制御レジスタSELF14、クロックイネーブルセットレジスタCKESET15、初期化完了フラグINIT16、セルフリフレッシュ遷移完了フラグSELF17とを有する。内部レジスタ12~17は、それぞれバス20を介して、MPU2から書込み/読み出しが可能である。

【0126】

SDRAM制御手段10は、バス20経由で送られるMPU2のメモリアクセス要求や内部レジスタ12~15の設定に応じて、SDRAM3のアドレス、コマンド信号102、クロックイネーブル元CKE__S信号100を出力し、データ103を送受信する。

【0127】

INITSET12は、SDRAM3の各種コマンドインターバルやアドレスビット幅を設定するレジスタである。MPU2がINITSET12を設定すると、SDRAM制御手段10は、INITSET12の設定値を参照し、SDRAM3の初期化を実行する。

【0128】

SDRAM制御手段10は、SDRAM3の初期化を完了すると、INIT信号101を非アクティブLowからアクティブHighに切り替える。

【0129】

REF13は、SDRAM3のオートリフレッシュ間隔を設定するレジスタである。MP

10

20

30

40

50

U2がREF13を設定すると、SDRAM制御手段10は、設定された間隔で定期的にオートリフレッシュコマンドを発行する。

【0130】

SELF14は、セルフリフレッシュコマンドを発行するレジスタである。MPU2がSELF14をセットすると、SDRAM制御手段10は、CKE__S信号100を非アクティブLowにするとともに、セルフリフレッシュコマンドを発行し、SELR信号104を非アクティブLowからアクティブHighに切り替える。

【0131】

CKESET15は、SDRAM3のCKE信号110のアクティブ/非アクティブを選択するレジスタである。CKE信号生成手段11は、CKESET15とBUP信号41とCKE__S信号100との状態に基づき、CKE信号110のHigh/Lowを決定する。

10

【0132】

INIT16は、INITSET12の設定によって実行されるSDRAM3の初期化が完了したことを示すフラグレジスタである。INIT16の初期状態は0であり、SDRAM制御手段10は、SDRAM3の初期化完了後にINIT16を1に切り替える。

【0133】

SELS17は、SELF14のセットによって実行されるSDRAM3のセルフリフレッシュ遷移が完了したことを示すフラグレジスタである。SELS17の初期状態は0であり、SDRAM制御手段10は、SDRAM3のセルフリフレッシュ遷移完了後にSELS17を1に切り替える。

20

【0134】

本メモリ制御システムにおいて、主電源停電時にバックアップ電源から電力を供給する部分は、点線6で囲まれたSDRAM3と電源監視手段4とに限定される。バックアップ制御機能を有しているSDRAMコントローラ1には、バックアップ電源から電力を供給する必要はない。

【0135】

本メモリ制御システムは、MPU2とSDRAMコントローラ1に加えて、ROM5とSDRAM3とその他の図示していないモジュールを1つのチップに内蔵したシステムLSIの形で実現してもよい。または、MPU2とSDRAMコントローラ1に加えて、ROM5やその他の図示していないモジュールとさらにSDRAM3を1つのパッケージに内蔵したマルチチップモジュールの形で実現してもよい。

30

【0136】

本メモリ制御システムでは、MPU2のデジタル出力ポートを用いて電源監視手段4にSDRAM3の初期化完了やSDRAM3のセルフリフレッシュ遷移完了を通知しているが、ここでは図示していないデジタル出力ポート手段をバス20に接続して用いてもよいし、デジタル出力ポートの代わりにシリアル通信手段やパラレル通信手段を用いてもよい。

【0137】

本メモリ制御システムでは、MPU2のデジタル出力ポートを用いて電源監視手段4にSDRAM3の初期化完了やSDRAM3のセルフリフレッシュ遷移完了を通知しているが、実施形態4で示したINIT信号101またはSELR信号104を用いてSDRAM3の初期化完了またはSDRAM3のセルフリフレッシュ遷移完了のいずれか一方を電源監視手段4に通知してもよい。

40

【0138】

なお、実施形態5における電源監視手段4は、デジタル出力ポートDOA201の状態に関わらず、デジタル出力ポートDOB202がアクティブHighに切り替わったことを検知してBUP信号41をアクティブHighにしてもよい。この場合、SDRAM3はセルフリフレッシュ状態になる前に初期化されているものとみなす。この機能により、デジタル出力ポートDOA201が不要になる。

50

【0139】

図11は、電源復電時にMPU2が実行するSDRAM初期化プログラムの基本的処理手順を示すフローチャートである。

【0140】

SDRAM3がバックアップ状態であるかないか、すなわち、BUP信号41がHighかLowかに関わらず、SDRAM初期化プログラムの基本的処理手順は同じである。

【0141】

まず、CKESET15をセットする(1110)。SDRAM3がバックアップ状態であり、BUP信号41がHighであれば、この時にCKE信号110がLowからHighになり、セルフリフレッシュが解除される。

10

【0142】

次に、INITSET12を設定し(1120)、SDRAM3の初期化を開始する。

【0143】

次に、INITS16を定期的に出し(1130)、INITS16に1がセットされた、すなわち、SDRAM3の初期化が完了したことを確認して、デジタル出力ポートDOA201を非アクティブLowからアクティブHighに切り替える(1140)。

【0144】

最後に、REF13を設定し(1150)、SDRAM3のオートリフレッシュを開始する。なお、REF13の設定(1150)は、INITSET12の設定(1120)の次に実行してもよい。

20

【0145】

図12は、電源停電前にMPU2が実行するSDRAMセルフリフレッシュ遷移プログラムの基本的処理手順を示すフローチャートである。

【0146】

電源監視手段4が主電源の電圧低下を検知すると、ノンマスカラブルインタラプトMNI_信号40をアクティブLowにしてMPU2に通知する。MPU2は主電源が停電すると判断して、本SDRAMセルフリフレッシュ遷移プログラムを実行する。

【0147】

まず、SELF14をセットし(1210)、SDRAM3のセルフリフレッシュ遷移を開始する。

30

【0148】

次に、SELS17を定期的に出し(1220)、SELS17に1がセットされた、すなわち、SDRAM3のセルフリフレッシュ遷移が完了したことを確認して、デジタル出力ポートDOB202を非アクティブLowからアクティブHighに切り替える(1230)。

【0149】

【発明の効果】

本発明によれば、SDRAMのバックアップ制御機能を有するSDRAMコントローラにおいて、CKE信号の元信号とバックアップ状態を示す信号BUPとCKEセットフラグとからCKE信号のレベルを決定するので、SDRAMのセルフリフレッシュモードへの遷移だけでなく、セルフリフレッシュモードからの解除を任意のタイミングで実行できるので、セルフリフレッシュモードの解除からオートリフレッシュ開始までの時間に関する規定を満足するようなバックアップ制御を容易に実現できる。

40

【0150】

また、バックアップ制御機能を有しているSDRAMコントローラにバックアップ電源から電力を供給する必要がないので、消費電力をより一層削減できる。

【0151】

さらに、バックアップ制御に必要な回路を内蔵した結果、外付け回路が不要となり、SDRAMを高速動作させることができる。

【図面の簡単な説明】

50

【図 1】本発明による本発明によるメモリ制御システムの実施形態 1 の系統構成を示すブロック図である。

【図 2】CKE 信号生成手段 11 が出力する CKE のレベルを示す図表である。

【図 3】電源が復電した時に MPU 2 が実行する SDRAM 初期化プログラムの基本的処理手順を示すフローチャートである。

【図 4】4 バーストライト実行中にセルフリフレッシュ制御レジスタ SELF 14 のセットによって実行される SELF コマンドの発行処理手順を示すタイムチャートである。

【図 5】SDRAM 3 が非バックアップ状態である時に電源が復電しリセットが解除された後の SDRAM 初期化処理手順を示すタイムチャートである。

【図 6】SDRAM 3 がバックアップ状態である時に電源が復電しリセットが解除された後の SDRAM 初期化処理手順を示すタイムチャートである。

【図 7】本発明による本発明によるメモリ制御システムの実施形態 2 の系統構成を示すブロック図である。

【図 8】本発明による本発明によるメモリ制御システムの実施形態 3 の系統構成を示すブロック図である。

【図 9】本発明によるメモリ制御システムの実施形態 4 の系統構成を示すブロック図である。

【図 10】本発明によるメモリ制御システムの実施形態 5 の系統構成を示すブロック図である。

【図 11】本発明によるメモリ制御システムの実施形態 5 において電源復電時に MPU 2 が実行する SDRAM 初期化プログラムの基本的処理手順を示すフローチャートである。

【図 12】本発明によるメモリ制御システムの実施形態 5 において電源停電前に MPU 2 が実行する SDRAM セルフリフレッシュ遷移プログラムの基本的処理手順を示すフローチャートである。

【符号の説明】

- 1 SDRAM コントローラ
- 2 マイクロプロセッサ MPU
- 3 シンクロナス SDRAM (SDRAM)
- 4 電源監視手段
- 5 リードオンリメモリ ROM
- 6 点線
- 7 リセット手段
- 10 SDRAM 制御手段
- 11 クロックイネーブル CKE 信号生成手段
- 12 SDRAM 設定レジスタ INITSET
- 13 リフレッシュ間隔設定レジスタ REF
- 14 セルフリフレッシュ制御レジスタ SELF
- 15 クロックイネーブルセットレジスタ CKESSET
- 16 バックアップ状態フラグ SBP
- 111 AND ゲート

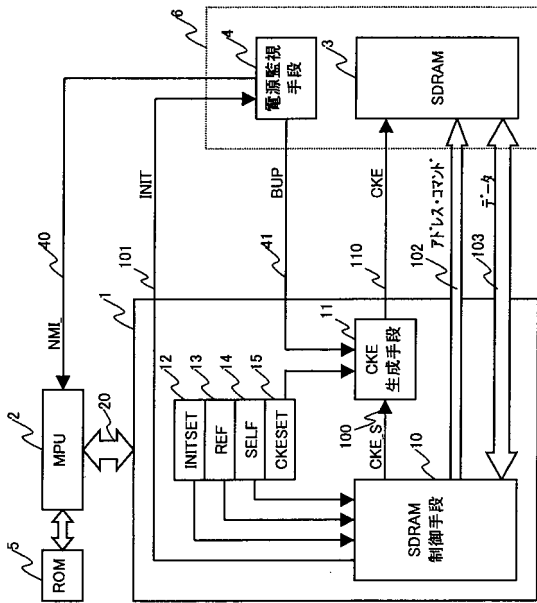
10

20

30

40

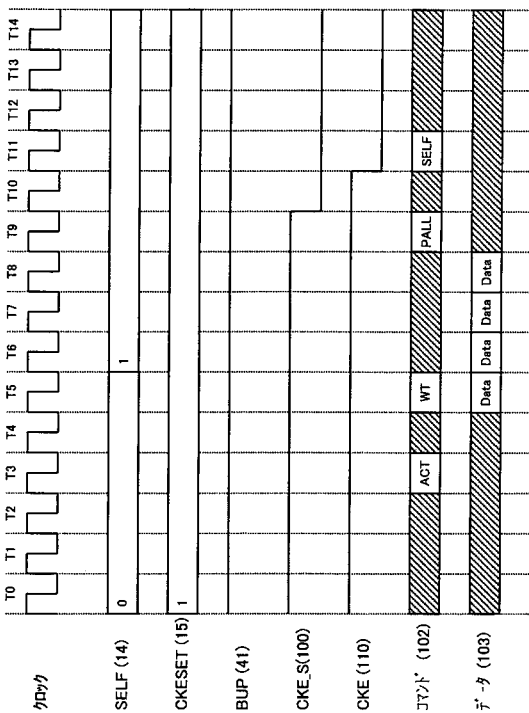
【図1】



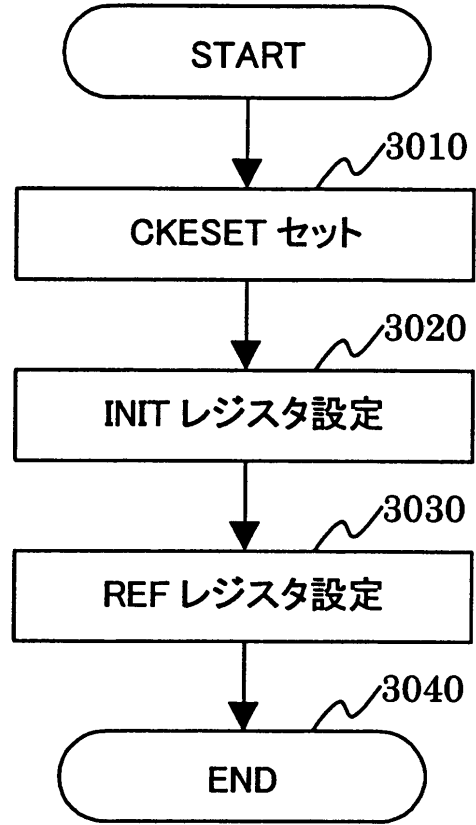
【図2】

CKE_S (100)	BUP (41)	CKESET (15)	CKE (110)
L	x	x	L
H	L	x	H
H	H	0	L
H	H	1	H

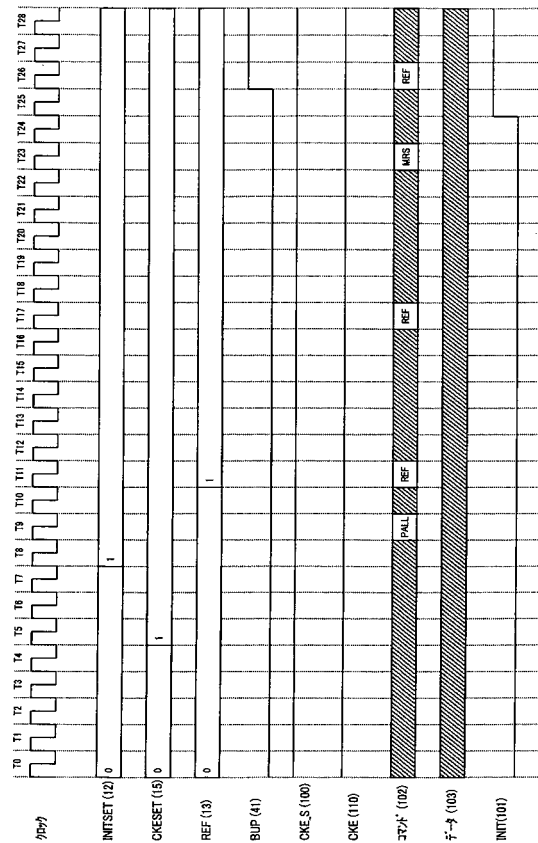
【図4】



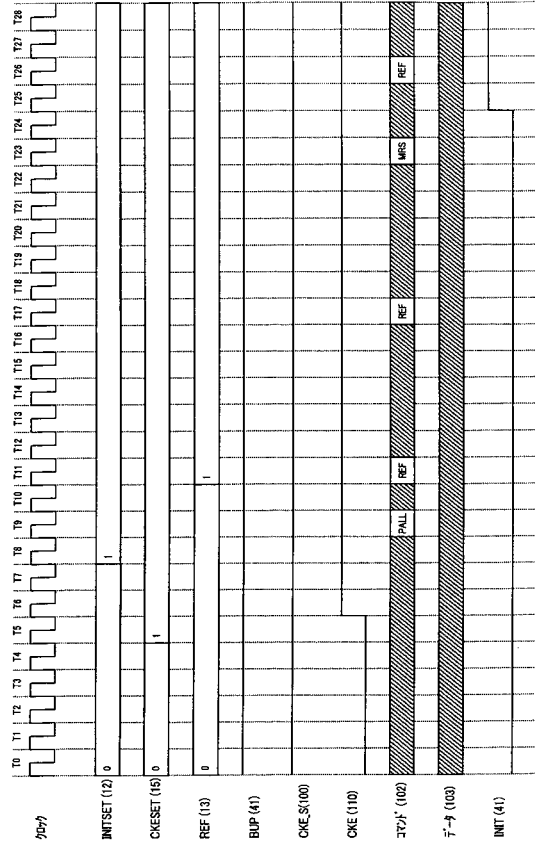
【図3】



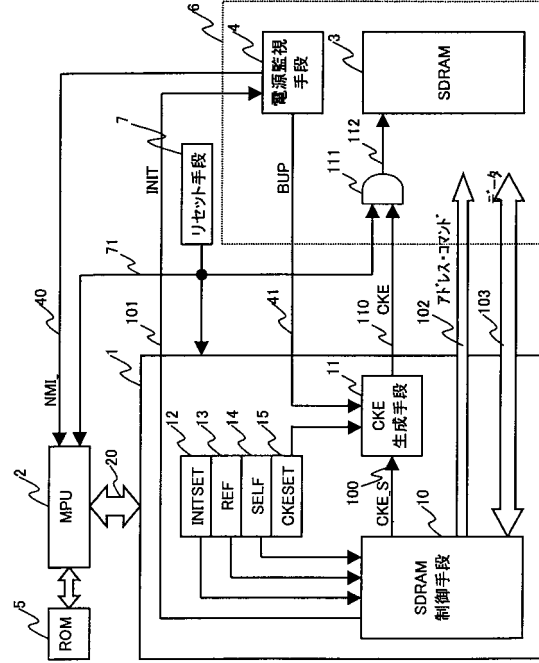
【図5】



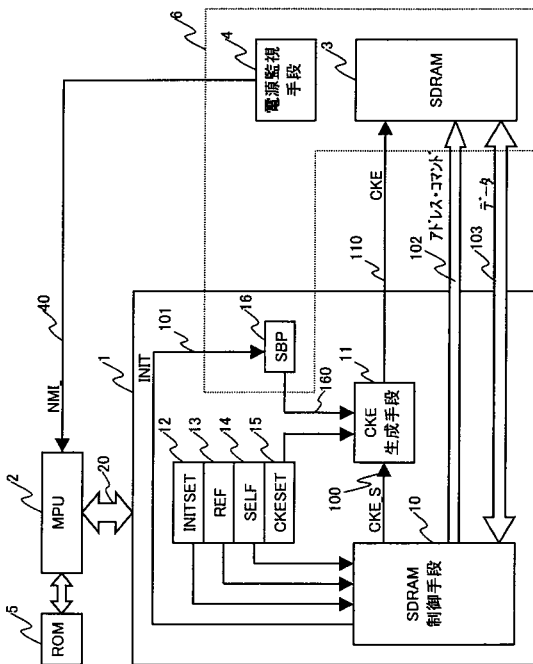
【図 6】



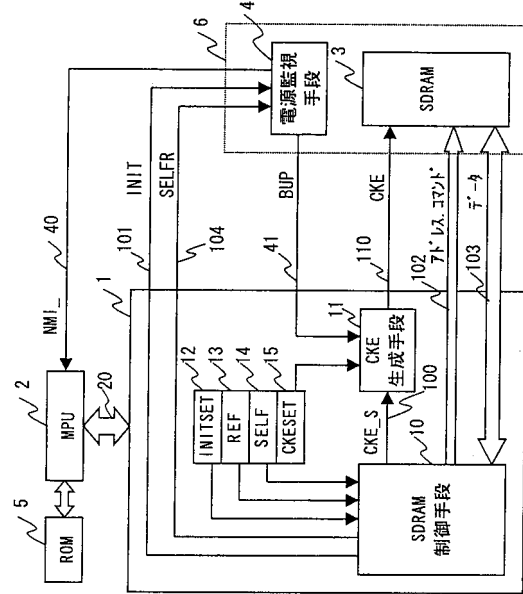
【図 7】



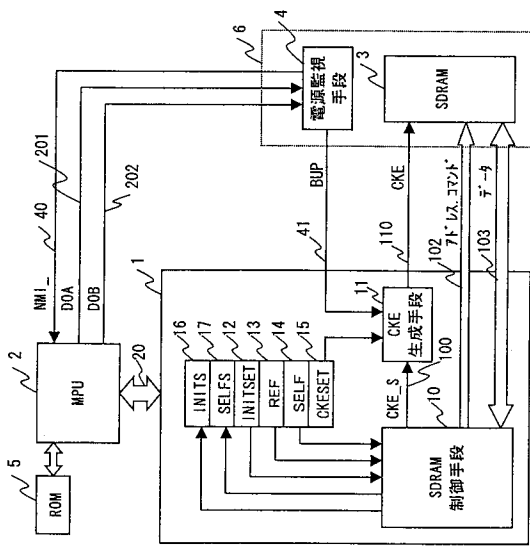
【図 8】



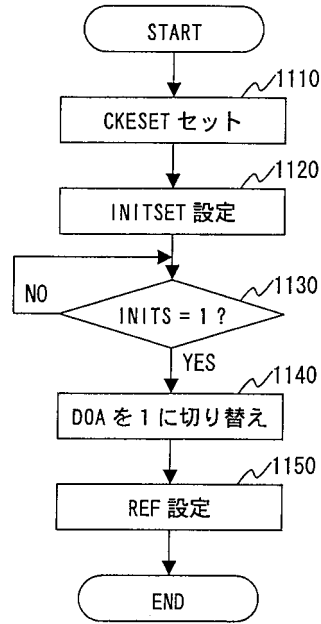
【図 9】



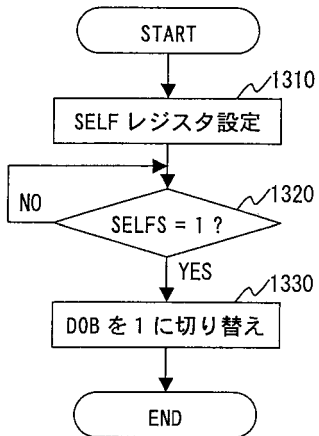
【図10】



【図11】



【図12】



フロントページの続き

- (72)発明者 城 学
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内
- (72)発明者 斉藤 清一
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 岡田 豊
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 鈴木 康方
東京都品川区西五反田一丁目1番8号 アルパイン株式会社内

審査官 堀江 義隆

- (56)参考文献 特開2002-108725(JP,A)
特開2001-143469(JP,A)
特開2001-250377(JP,A)
特開2001-338489(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16
G11C 11/403
G11C 11/407