



(12)发明专利申请

(10)申请公布号 CN 110323268 A

(43)申请公布日 2019.10.11

(21)申请号 201910574857.7

H01L 29/20(2006.01)

(22)申请日 2013.06.28

H01L 29/205(2006.01)

(62)分案原申请数据

H01L 29/78(2006.01)

201380076968.6 2013.06.28

H01L 21/02(2006.01)

H01L 21/336(2006.01)

(71)申请人 英特尔公司

H01L 21/335(2006.01)

地址 美国加利福尼亚

(72)发明人 N·戈埃尔 G·杜威 M·V·梅茨

N·慕克吉 M·拉多萨夫列维奇

B·舒金 J·T·卡瓦列罗斯

R·S·周

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 邬少俊

(51)Int.Cl.

H01L 29/06(2006.01)

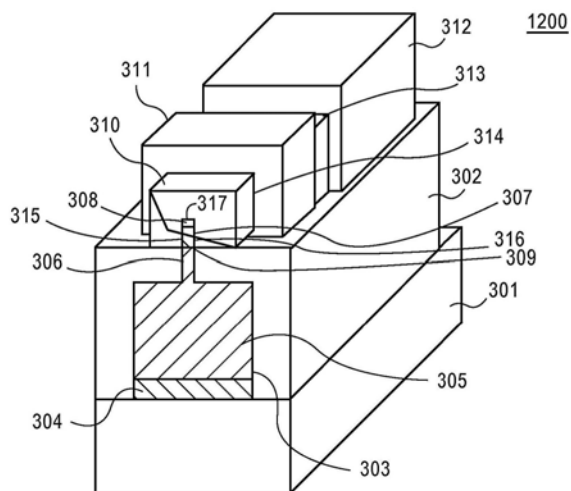
权利要求书2页 说明书14页 附图8页

(54)发明名称

基于选择性外延生长的III-V族材料的器件

(57)摘要

第一基于III-V族材料的缓冲层被沉积在硅衬底上。第二基于III-V族材料的缓冲层被沉积到第一基于III-V族材料的缓冲层上。基于III-V族材料的器件沟道层被沉积在第二基于III-V族材料的缓冲层上。



1. 一种集成电路结构,包括:
衬底,所述衬底包括单晶硅;
位于所述衬底上的绝缘层,所述绝缘层包括硅和氧,并且所述绝缘层在其中具有沟槽以暴露出所述衬底的单晶硅表面;
位于所述沟槽中和所述衬底的所述单晶硅表面上的第一缓冲层,所述第一缓冲层包括铟和磷;
位于所述沟槽中和所述第一缓冲层上的第二缓冲层,所述第二缓冲层包括铟、镓、砷和锑;以及
位于所述第二缓冲层上的器件沟道层,所述器件沟道层包括铟、镓和砷,所述器件沟道层具有顶部和侧壁。
2. 根据权利要求1所述的集成电路结构,还包括位于所述器件沟道层的所述顶部和侧壁上的栅极介电层和栅极电极。
3. 根据权利要求2所述的集成电路结构,还包括:
位于所述栅极电极的第一侧的第一源极或漏极区;以及
位于所述栅极电极的第二侧的第二源极或漏极区,所述第二侧与所述第一侧相对。
4. 根据权利要求2所述的集成电路结构,其中,所述栅极介电层包括铪和氧。
5. 根据权利要求2所述的集成电路结构,其中,所述栅极介电层包括硅和氧。
6. 根据权利要求1所述的集成电路结构,其中,所述器件沟道层是晶体管沟道层。
7. 根据权利要求1所述的集成电路结构,其中,所述第二缓冲层在所述绝缘层之上延伸。
8. 根据权利要求1所述的集成电路结构,其中,所述器件沟道层具有至少53%的铟浓度。
9. 根据权利要求1所述的集成电路结构,其中,所述器件沟道层包括 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 。
10. 根据权利要求1所述的集成电路结构,还包括:
位于所述器件沟道层上的帽层。
11. 根据权利要求9所述的集成电路结构,其中,所述帽层包括铟和磷。
12. 一种计算设备,包括:
板;以及
耦合到所述板的部件,所述部件包括集成电路结构,所述集成电路结构包括:
衬底,所述衬底包括单晶硅;
位于所述衬底上的绝缘层,所述绝缘层包括硅和氧,并且所述绝缘层在其中具有沟槽以暴露出所述衬底的单晶硅表面;
位于所述沟槽中和所述衬底的所述单晶硅表面上的第一缓冲层,所述第一缓冲层包括铟和磷;
位于所述沟槽中和所述第一缓冲层上的第二缓冲层,所述第二缓冲层包括铟、镓、砷和锑;以及
位于所述第二缓冲层上的器件沟道层,所述器件沟道层包括铟、镓和砷,所述器件沟道层具有顶部和侧壁。
13. 根据权利要求12所述的计算设备,还包括:

耦合到所述板的存储器。

14. 根据权利要求12所述的计算设备,还包括:
耦合到所述板的通信芯片。

15. 根据权利要求12所述的计算设备,还包括:
耦合到所述板的照相机。

16. 根据权利要求12所述的计算设备,还包括:
耦合到所述板的电池。

17. 根据权利要求12所述的计算设备,还包括:
耦合到所述板的天线。

18. 根据权利要求12所述的计算设备,其中,所述部件是封装的集成电路管芯。

19. 根据权利要求12所述的计算设备,其中,所述部件选自由处理器、通信芯片和数字信号处理器所组成的组。

20. 根据权利要求12所述的计算设备,其中,所述计算设备选自由移动电话、膝上型计算机、台式计算机、服务器和机顶盒所组成的组。

基于选择性外延生长的III-V族材料的器件

[0001] 本申请为分案申请,其原申请是2015年11月27日进入中国国家阶段、国际申请日为2013年6月28日的国际专利申请PCT/US2013/048743,该原申请的中国国家申请号是201380076968.6,发明名称为“基于选择性外延生长的III-V族材料的器件”。

技术领域

[0002] 本文所述的实施例涉及电子器件制造的领域,更具体而言,涉及基于III-V族材料的器件的制造。

背景技术

[0003] 通常,当诸如III-V族材料之类的新型材料生长在硅(“Si”)衬底上时,由于晶格失配而产生缺陷。此缺陷可以减小III-V族材料中的载流子(例如,电子、空穴或者两者)的迁移率。

[0004] 由于缺陷的产生,对于互补金属氧化物半导体(“COMS”)系统来说将基于III-V族材料的器件、基于锗的器件或者其它基于晶格失配材料的器件集成到硅衬底上是一项重大挑战。

[0005] 目前,选择性区域外延用于在硅衬底上形成III-V族MOS器件。通常,选择性区域外延是指通过经构图的电介质掩模的外延层的局部生长,该经构图的电介质掩模沉积在半导体衬底上。由于晶格失配,当基于III-V族的器件局部地生长在经构图的硅衬底上时,缺陷产生。目前,现有技术中不存在将基于n型III-V族材料以及p型III-V族材料的MOS器件集成到硅衬底上的解决方案。

附图说明

[0006] 图1示出了根据一个实施例的电子器件结构的截面视图。

[0007] 图2是根据一个实施例的在将第一缓冲层沉积在衬底上之后的类似于图1的截面视图。

[0008] 图3是根据一个实施例的在将第二缓冲层沉积到第一缓冲层上之后的类似于图2的截面视图。

[0009] 图4是根据一个实施例的在将器件层沉积到第二缓冲层上之后的类似于图3的截面视图。

[0010] 图5是根据一个实施例的在器件层上可选地生长薄帽层之后的类似于图4的截面视图。

[0011] 图6是根据一个实施例的将重掺杂层沉积在器件层上方之后的类似于图5的截面视图。

[0012] 图7是根据一个实施例的从器件的栅极区去除重掺杂源极层/漏极层之后的类似于图6的截面视图。

[0013] 图8是根据一个实施例的形成器件鳍状物之后的类似于图7的截面视图。

[0014] 图9是根据一个实施例的将绝缘层沉积到与第一缓冲层的部分的侧壁相邻的绝缘层上之后的类似于图8的截面视图。

[0015] 图10是根据一个实施例的将栅极介电层和栅极电极层沉积在鳍状物上方之后的类似于图9的截面视图。

[0016] 图11是根据一个实施例的如图6中所示的多层叠置体的透视图。

[0017] 图12是根据一个实施例的如图10中所示的三栅极晶体管的部分的透视图。

[0018] 图13是根据一个实施例的示出了载流子的霍尔迁移率相对于InGaAs沟道厚度的示例性图。

[0019] 图14是根据一个实施例的示出了有效电子质量 (m_0) 相对于In含量 (%) 的示例性图。

[0020] 图15是根据一个实施例的示出了InGaAs中的镉含量相对于晶格常数的示例性图。

[0021] 图16根据一个实施例例示了计算设备1600。

具体实施方式

[0022] 在以下具体说明中,为了充分理解如本文所述的实施例中的一个或多个,阐述了诸如具体材料、元件的尺寸等之类的很多具体细节。然而,对于本领域技术人员显而易见的是,可以在没有这些具体细节的情况下实施如本文所述的一个或多个实施例。在其它示例中,没有详细介绍半导体制造工艺、技术、材料、设备等,以免不必要地使本说明书模糊不清。

[0023] 尽管在附图中描述并且示出了某些示例性实施例,但是应当理解的是这些实施例仅仅是说明性的而非限制性的,并且因为本领域技术人员可以想到修改,所以该实施例不局限于所示出以及所描述的特定构造以及设置。

[0024] 说明书中通篇提及的“一个实施例”、“另一个实施例”或者“实施例”表示结合实施例所描述的特定的特征、结构或者特性包括在至少一个实施例中。因此,在整个说明书的各个地方出现的诸如“一个实施例”以及“实施例”之类的短语不一定全都指相同的实施例。此外,可以以任意适当的方式在一个或多个实施例中结合该特定的特征、结构或者特性。

[0025] 此外,创造性方面在于少于单个所公开的实施例的全部特征。因此,具体实施方式之后的权利要求书由此明确地并入此具体实施方式中,其中每个权利要求作为单独的实施例而独立存在。尽管本文介绍了示例性实施例,但是本领域技术人员应当认识到,可以利用如本文所述的修改以及变更来实施此示例性实施例。因此,认为说明书是说明性的而非限制性的。

[0026] 本文描述了制造基于选择性外延生长的III-V族材料的器件的方法以及装置。第一缓冲层沉积到衬底上的绝缘层中的沟槽中。第二缓冲层沉积到第一缓冲层上。器件层沉积在第二缓冲层上。在实施例中,第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数。在实施例中,第一缓冲层具有介于衬底的晶格参数与器件沟道层的晶格参数之间的晶格参数。在实施例中,第一缓冲层、第二缓冲层以及器件层中的至少一个是基于III-V族材料的层,并且该衬底是硅衬底。在实施例中,帽层沉积在器件层上。在实施例中,形成鳍状物,其包括第一缓冲层的部分上的第二缓冲层上的器件层。在实施例中,栅极介电层沉积在鳍状物上方;并且在鳍状物中形成源极区和漏极区。在实施例中,器件层包括沟道层。

[0027] 在至少某些实施例中,多层叠置体包括硅衬底上的第一基于III-V族材料的缓冲层。第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上。包括有第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层的多层叠置体沉积在硅衬底上的绝缘层中的沟槽中。本文所述的多层叠置体允许利用选择性外延方法将III-V族材料集成在硅上。选择性外延生长涉及在硅衬底上的绝缘层中的沟槽中生长多层叠置体。衬底上的绝缘层中的沟槽具有一纵横比(深度比宽度(D/W)),以使得源自晶格失配生长的缺陷被捕获于被沉积在沟槽中的缓冲层内。

[0028] 选择性地生长在衬底与器件层之间的缓冲层提供了将位错缺陷捕获在底部缓冲层内的优点,减少了传播到器件层的缺陷。如本文所述的层叠置体组合提供了容纳Si衬底与III-V族器件层之间较大的晶格失配的优点。在实施例中,III-V族器件层是具有高镨(“In”)组分(例如,至少53%)的InGaAs。

[0029] 包括有如本文所述的多个缓冲层的层叠置体的实施例容纳了Si衬底与III-V族器件沟道层之间的晶格失配。可以利用本文所述的异集成的(hetero-integrated)方案来制造诸如三栅极器件、纳米线、纳米带等之类的任何器件架构。

[0030] 图1示出了根据一个实施例的基于III-V族材料的电子器件结构的截面视图100。沟槽103形成于绝缘层102中,以暴露出衬底101。

[0031] 在一个实施例中,衬底101包括半导体材料(例如,单晶硅(“Si”)、单晶锗(“Ge”)、硅锗(“SiGe”))、基于III-V族材料的材料(例如,砷化镓(“GaAs”))或者其任意组合。在一个实施例中,衬底101包括用于集成电路的金属化互连层。在至少某些实施例中,衬底101包括电子器件,例如晶体管、存储器、电容器、电阻器、光电子器件、开关以及由电绝缘层(例如,层间电介质、沟槽绝缘层或者电子器件制造领域技术人员公知的任意其它绝缘层)分隔开的任意其它有源电子器件和无源电子器件。在至少某些实施例中,衬底101包括被配置为连接金属化层的互连部,例如,过孔。

[0032] 在实施例中,衬底101是绝缘体上半导体(SOI)衬底,其包括块状较低的衬底、中间绝缘层以及顶部单晶层。顶部单晶层可以包括以上所列的任意材料(例如,硅)。

[0033] 绝缘层102可以是适于使相邻器件绝缘并且防止漏电的任意材料。在一个实施例中,电绝缘层102是氧化物层,例如二氧化硅或者由电子器件设计确定的任意其它电绝缘层。在一个实施例中,绝缘层102包括诸如二氧化硅之类的层间电介质(ILD)。在一个实施例中,绝缘层102可以包括聚酰亚胺、环氧、光可限定材料(例如,苯并环丁烯(BCB))以及WPR系列材料或者旋涂玻璃。在一个实施例中,绝缘层102是低介电常数(低k)ILD层。通常,低k是指电介质具有低于二氧化硅的电容率的介质常数(电容率k)。

[0034] 在一个实施例中,绝缘层102是浅沟槽隔离(STI)层,以提供将衬底101上的一个鳍状物与衬底101上的其它鳍状物隔离开的场隔离区。在一个实施例中,层102的厚度在500埃(Å)到10,000 Å的大致范围内。可以利用电子器件制造领域技术人员公知的技术(例如(但不限于),化学气相沉积(CVD)以及物理气相沉积(PVP))中的任意一项来均厚(blanket)沉积绝缘层102。

[0035] 在实施例中,利用电子器件制造领域技术人员公知的构图技术以及刻蚀技术中的一项对绝缘层102进行构图以及刻蚀,以形成诸如沟槽103之类的沟槽。沟槽103具有深度D₁₂₁以及宽度W₁₂₂。沟槽103的纵横比(D/W)确定了穿过此沟槽所沉积的缓冲层的厚度。沟

槽的D/W比越高,则缓冲层越厚。在实施例中,穿过沟槽沉积到衬底上的缓冲层足够厚,从而将源自晶格失配的大部分缺陷捕获在此缓冲层内并且防止其传播到形成于缓冲层上的器件层中。在实施例中,沟槽的纵横比(D/W)至少是1.5,更具体而言至少是3。在实施例中,沟槽的宽度由电子器件的宽度确定。电子器件例如可以是三栅极器件、基于纳米线的器件、基于纳米带的器件或者任意其它的电子器件。例如,对于三栅极晶体管沟槽103的宽度可以从约5nm到约80nm。例如,对于纳米管器件或者纳米线器件沟槽103的宽度可以从约5nm到约80nm。在实施例中,沟槽的深度比沟槽的宽度大至少三倍。例如,对于三栅极晶体管沟槽103的深度可以从约250纳米(“nm”)到约400nm,更具体而言从约300nm到约350nm。

[0036] 绝缘层102中的沟槽103可以具有正方形、矩形、圆形、椭圆形或者任意其它的形状,以暴露出基底衬底(underlying substrate)101。在至少某些实施例中,沟槽的宽度从约20nm到约300nm。在至少某些实施例中,沟槽的深度从约60nm到约600nm。

[0037] 图2是根据一个实施例的将第一缓冲层沉积在衬底上之后的类似于图1的截面视图200。第一缓冲层104穿过沟槽103选择性地沉积到衬底101的暴露部分上。在实施例中,缓冲层104具有介于衬底101的晶格参数与形成于其上的器件层的晶格参数之间的晶格参数。通常,晶格常数是通常被称为晶格中的晶胞之间的距离的晶格参数。晶格参数是对不同材料之间的结构兼容性的度量。

[0038] 将用于缓冲层104的材料选择为使得第一缓冲层104的晶格常数(“ LC_1 ”)介于Si的晶格常数(“ LC_{Si} ”)与器件沟道层的晶格常数(“ LC_{dc} ”)之间。在实施例中,衬底101是硅衬底,并且缓冲层104包括III-V族材料。通常,III-V族材料是指化合物半导体材料,其包括周期表的III族元素(例如,铝(“Al”)、镓(“Ga”)、铟(“In”))中的至少一个以及周期表的V族元素(例如,氮(“N”)、磷(“P”)、砷(“As”)、锑(“Sb”))中的至少一个。在实施例中,缓冲层104是InP、GaAs、InAlAs、其它III-V族材料或者其任意组合。在实施例中,第一缓冲层104的晶格常数为使得比率 $R = (LC_1 - LC_{Si}) / LC_{Si}$ 从约4%到约8%。

[0039] 在实施例中,第一缓冲层104的厚度为至少约50纳米(“nm”),更具体而言至少约70nm。

[0040] 在实施例中,利用选择性区域外延穿过沟槽103将缓冲层104沉积到衬底101的暴露部分上。如图2所示,外延缓冲层104穿过沟槽103局部地生长在半导体衬底101的暴露部分上。可以利用电子器件制造领域技术人员公知的外延技术,例如,化学气相沉积(“CVD”)、金属有机化学气相沉积(“MOCVD”)、原子层沉积(“ALD”,或者电子器件制造领域技术人员公知的其它外延生长技术中的一项穿过沟槽103将外延缓冲层104选择性地沉积到衬底101的暴露部分上。在实施例中,通过MOCVD技术在从约400°C到约650°C(更具体而言,约500°C)的温度下穿过沟槽103将InP的第一外延缓冲层沉积到衬底101的暴露部分上。

[0041] 图3是根据一个实施例的将第二缓冲层沉积到第一缓冲层上之后的类似于图2的截面视图300。第二缓冲层105穿过沟槽103选择性地沉积到缓冲层104上。在实施例中,第二缓冲层105包括III-V族材料。在实施例中,第二缓冲层105是砷化铟铝(“ $In_xAl_{1-x}As$ ”)、锑化铟镓砷(“ $In_xGa_{1-x}AsSb$ ”)、其它III-V族材料或者其任意组合。在实施例中,一种基于III-V族材料的第二缓冲层105沉积到另一种基于III-V族材料的第一缓冲层104上。在实施例中,第二基于III-V族材料的缓冲层105具有与基于III-V族材料的器件沟道层的晶格参数相匹配的晶格参数。在实施例中,第二基于III-V族材料的缓冲层105具有与具有高铟含量(至少

53% (重量)) 的 III-V 族材料的器件层 (例如, $\text{In}_x\text{Al}_{1-x}\text{As}$ 层、 $\text{In}_x\text{Ga}_{1-x}\text{AsSb}$ 层, 其中 x 至少为 0.53) 的晶格参数相匹配的晶格参数。在更具体的实施例中, 第二缓冲层 105 的晶格参数与具有至少 70% 的原子分数的铟含量的 III-V 族材料的器件层 (例如, (“ $\text{In}_x\text{Al}_{1-x}\text{As}$ ”、“ $\text{In}_x\text{Ga}_{1-x}\text{AsSb}$ ”), 其中 x 至少为 0.7) 的晶格参数相匹配。

[0042] 在实施例中, 器件沟道层是砷化铟镓 (“InGaAs”), 并且缓冲层 105 是 InAlAs、InGaAsSb 或者其任意组合。在实施例中, 将具有与第一缓冲层交界的底部以及与器件沟道层交界的顶部的第二缓冲材料选择为使得第二缓冲层的晶格常数与 InGaAs 沟道层的晶格常数相匹配。在实施例中, 第二缓冲层 105 的厚度为至少约 200nm。

[0043] 在实施例中, 利用选择性区域外延穿过沟槽 103 将缓冲层 105 沉积到缓冲层 104 上。如图 2 所示, 外延缓冲层 105 穿过沟槽 103 局部地生长在第一缓冲层 104 上。可以利用电子器件制造领域技术人员公知的外延技术, 例如, 化学气相沉积 (“CVD”)、金属有机化学气相沉积 (“MOCVD”)、原子层沉积 (“ALD”), 或者电子器件制造领域技术人员公知的其它外延生长技术中的一项穿过沟槽 103 将外延缓冲层 105 选择性地沉积到第一缓冲层 104 上。在实施例中, 通过 MOCVD 技术在从约 425°C 到约 650°C 的温度 (更具体而言, 从约 450°C 到 650°C) 下穿过沟槽 103 将第二外延缓冲层 InAlAs 沉积到第一缓冲层 104 上。

[0044] 图 4 是根据一个实施例的将器件层沉积到第二缓冲层上之后的类似于图 3 的截面视图 400。器件层 106 穿过沟槽 103 选择性地沉积到第二缓冲层 105 上。在实施例中, 器件层 106 包括器件沟道层。第二缓冲层 105 具有与器件层 106 的晶格参数相匹配的晶格参数。在实施例中, 器件层 106 包括 III-V 族材料, 例如具有高铟含量 (例如, 至少 53% (重量)) 的 InGaAs、InGaAsSb (例如, $\text{In}_x\text{Ga}_{1-x}\text{As}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{AsSb}$, 其中 x 至少为 0.53)。在实施例中, 器件层 105 包括含有至少 70% 的铟的 InGaAs、InGaAsSb (例如, $\text{In}_x\text{Ga}_{1-x}\text{As}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{AsSb}$, 其中 x 至少为 0.7)。

[0045] 在实施例中, 器件沟道层 106 是 InGaAs, 并且第二缓冲层 105 是 InAlAs、InGaAsSb 或者其任意组合。在实施例中, 如上所述第二缓冲层的 III-V 族材料的晶格常数与器件层 106 的 III-V 族材料的晶格常数相匹配。器件层 106 的厚度由器件设计确定。在实施例中, 器件层 106 的厚度从约 5nm 到约 100nm。

[0046] 在实施例中, 利用选择性区域外延穿过沟槽 103 将器件层 106 沉积到缓冲层 105 上。如图 4 所示, 器件层 106 穿过沟槽 103 局部地生长在缓冲层 105 上。可以利用电子器件制造领域技术人员公知的外延技术, 例如, 化学气相沉积 (“CVD”)、金属有机化学气相沉积 (“MOCVD”)、原子层沉积 (“ALD”), 或者电子器件制造领域技术人员公知的其它外延生长技术中的一项穿过沟槽 103 将外延器件层 106 选择性地沉积到缓冲层 105 上。在实施例中, 通过 MOCVD 技术在从约 400°C 到约 650°C 的温度下穿过沟槽 103 将 InGaAs 的器件层沉积到缓冲层 105 上。

[0047] 图 5 是根据一个实施例的在器件层上可选地生长薄帽层之后的类似于图 4 的截面视图 500。薄帽层可以可选地沉积到器件层 106 上作为与高 k 栅极电介质 (例如, TaSiO_x) 的界面, 以改善对栅极的控制。薄帽层 107 可以穿过沟槽 103 选择性地沉积到器件层 106 上。在实施例中, 帽层 107 包括 III-V 族材料。在实施例中, 帽层 107 是 InP。在实施例中, 帽层 107 的厚度从约 0.5nm 到约 3nm。

[0048] 在实施例中, 利用选择性区域外延穿过沟槽 103 将帽层 107 沉积到器件层 106 上。如

图5所示,帽层107穿过沟槽103局部地生长在器件层107上。可以利用电子器件制造领域技术人员公知的外延技术,例如,化学气相沉积(“CVD”)、金属有机化学气相沉积(“MOCVD”)、原子层沉积(“ALD”),或者电子器件制造领域技术人员公知的其它外延生长技术中的一项穿过沟槽103将帽层107选择性地沉积到器件层106上。

[0049] 图6是根据一个实施例的将重掺杂层沉积在器件层上方之后的类似于图5的截面视图600。在实施例中,重掺杂层108沉积在器件层上方,以便为晶体管器件提供源极和漏极。如图6所示,多层叠置体选择性地生长在衬底101上的沟槽103中,其包括衬底101上的第一缓冲层104上的第二缓冲层105上的器件层106上的帽层107上的重掺杂层108。在实施例中,在晶体管制造期间,重源极/漏极掺杂层108在处理中随后从栅极区去除,并且留在源极/漏极区中。

[0050] 在实施例中,重掺杂源极/漏极层108包括III-V族材料。在实施例中,重掺杂层108具有 1×10^{19} 原子/cm³与 1×10^{21} 原子/cm³之间的掺杂剂的浓度,并且包括与器件层107的III-V族材料类似的III-V族材料。在实施例中,源极/漏极层108的厚度由器件设计确定。在实施例中,源极/漏极层108的厚度从约10nm到约100nm。在更具体的实施例中,源极/漏极层108的厚度为约20nm。在实施例中,利用选择性区域外延穿过沟槽103将源极/漏极层108沉积到帽层107上。可以利用电子器件制造领域技术人员公知的外延技术,例如,化学气相沉积(“CVD”)、金属有机化学气相沉积(“MOCVD”)、原子层沉积(“ALD”),或者电子器件制造领域技术人员公知的其它外延生长技术中的一项穿过沟槽103将源极/漏极层108选择性地沉积到帽层107上。

[0051] 图11是根据一个实施例的如图6中所示的多层叠置体的透视图1100。用于制造电子器件的多层叠置体包括在衬底202上的绝缘层202中形成的沟槽中的第一缓冲层204。第二缓冲层205沉积在第一缓冲层204上,并且器件沟道层206沉积在第二缓冲层上。第二缓冲层205具有与器件沟道层206的晶格参数相匹配的晶格参数。如上所述,第一缓冲层204具有介于衬底201的晶格参数与器件沟道层206的晶格参数之间的晶格参数。

[0052] 在实施例中,如上所述第一缓冲层204、第二缓冲层205以及器件沟道层206中的每个都是基于III-V族材料的层,并且衬底201是硅衬底。如上所述,帽层207可选地沉积在器件沟道层206上。在实施例中,第一缓冲层204、第二缓冲层205、器件沟道层206以及帽层207中的每个都是通过如上所述的化学气相沉积来沉积的。

[0053] 通常,当晶格失配膜被结合在一起时,缺陷形成。这些缺陷一旦形成,就以一定角度向晶格上部传播。用于制造电子器件的多层叠置体包括:衬底201上的绝缘层202中的沟槽203中的第一缓冲层204;第一缓冲层204上的第二缓冲层205;以及第二缓冲层205上的器件沟道层206,其中第二缓冲层205具有与器件沟道层206的晶格参数相匹配的晶格参数,并且其中第一缓冲层204具有介于衬底201的晶格参数与器件沟道层206的晶格参数之间的晶格参数,允许将缺陷终端界面(defect terminated interface)移至实际的器件沟道层206的正下方以便不影响器件性能。

[0054] 图7是根据一个实施例从器件的栅极区123去除重掺杂源极/漏极层之后的类似于图6的截面视图700。重掺杂源极/漏极层108被完好无损地留在器件层106的源极/漏极区(未示出)上。

[0055] 图8是根据一个实施例形成器件鳍状物之后的类似于图7的截面视图800。如图8所

示,器件鳍状物109包括第二缓冲层110的部分上的器件层111的部分上的可选的帽层112的部分。如图8所示,鳍状物108具有顶部表面124以及相对的侧壁125和侧壁126。在实施例中,如电子器件制造领域技术人员公知形成鳍状物109涉及将经构图的硬掩模沉积到帽层107上,并且然后使绝缘层102向下凹陷至由器件设计所确定的深度。在一个实施例中,通过选择性刻蚀技术使绝缘层102凹陷,同时使鳍状物109保持不变。例如,可以利用电子器件制造领域技术人员公知的选择性刻蚀技术(例如(但不限于),借助于对衬底101上的鳍状物具有相当高的选择性的化学剂的湿法刻蚀以及干法刻蚀)使绝缘层102凹陷。这意味着该化学剂主要对绝缘层102进行刻蚀,而非对衬底101的鳍状物进行刻蚀。在一个实施例中,绝缘层102的刻蚀速率与鳍状物的刻蚀速率的比率为至少10:1。

[0056] 如图8所示,从鳍状物109去除经构图的硬掩模。如电子器件制造领域技术人员公知,可以通过抛光工艺(例如,CMP)从鳍状物109的顶部去除经构图的硬掩模。如图8所示,使绝缘层102向下凹陷至预先确定的深度,其限定了器件鳍状物109相对于绝缘层102的顶部表面的高度。鳍状物109的高度和宽度通常由设计确定。在实施例中,鳍状物109的高度从约10nm到约100nm,并且鳍状物109的宽度从约5nm到约20nm。

[0057] 图9是根据一个实施例的将绝缘层113沉积到与第一缓冲层110的部分的侧壁相邻的绝缘层102上之后的类似于图8的截面视图900。在实施例中,绝缘层113可以是适于使相邻器件绝缘并且防止鳍状物漏电的任意材料。在一个实施例中,电绝缘层113是氧化物层,例如二氧化硅层或者由设计确定的任意其它的电绝缘层。在一个实施例中,绝缘层113是STI层,以提供使衬底101上的一个鳍状物与衬底101上的其它鳍状物隔离开的场隔离区。在一个实施例中,绝缘层113的厚度对应于由鳍状物器件设计所确定的第二缓冲层110的部分的厚度。在实施例中,绝缘层113的厚度在1nm到约30nm的大致范围内。可以利用电子器件制造领域技术人员公知的技术(例如(但不限于),化学气相沉积(CVD)以及物理气相沉积(PVP))中的任意一项来均厚沉积绝缘层113。

[0058] 图10是根据一个实施例将栅极介电层和栅极电极层沉积在鳍状物上方之后的类似于图9的截面视图1000。栅极介电层114形成于半导体鳍状物109上以及半导体鳍状物109的三侧周围。如图10所示,栅极介电层114形成于鳍状物109的顶部表面124上或者与其相邻、鳍状物109的侧壁125上或者与其相邻以及鳍状物109的侧壁126上或者与其相邻。栅极介电层114可以是任意公知的栅极介电层。

[0059] 在一个实施例中,栅极介电层103是具有大于二氧化硅的介电常数的介电常数的高k介电材料。在一个实施例中,电绝缘层103包括诸如金属氧化物电介质之类的高k介电材料。例如,栅极介电层103可以是(但不限于)氧化钽硅($TaSiO_x$);五氧化物(Ta_2O_5)以及氧化钛(TiO_2)、氧化锆(ZrO_2)、氧化铪(HfO_2)、氧化镧(La_2O_3)、钛酸铅锆(PZT)、其它高k介电材料或者其组合。在实施例中,栅极介电层114是二氧化硅(SiO_2)介电层、氮氧化硅(SiO_xN_y)介电层或者氮化硅(Si_3N_4)介电层。在实施例中,栅极介电层103的厚度在约1nm到约20nm之间的大致范围内,更具体而言在约5nm到约10nm之间的大致范围内。

[0060] 如图10所示,栅极电极层115沉积在鳍状物109上的栅极介电层114上。如图10所示,栅极电极115形成于栅极介电层114上及其周围。栅极电极115形成于半导体鳍状物109的侧壁125上的栅极电介质114上或者与其相邻;形成于半导体鳍状物109的顶部表面124上的栅极电介质114上;并且形成为邻近于半导体鳍状物109的侧壁125上的栅极介电层114或

者形成于其上。

[0061] 如图10所示,栅极电极115具有顶部130以及一对横向相对的侧壁,例如由对鳍状物器件的沟道的长度进行限定的距离所分隔开的侧壁127以及侧壁128。栅极电极115可以由任意适当的栅极电极材料形成。在实施例中,栅极电极115是金属栅极电极,例如(但不限于)钨、钼、钛及其氮化物。应当理解的是,栅极电极115不一定是单种材料,并且可以是薄膜的复合叠置体,例如(但不限于)多晶硅/金属电极或者金属/多晶硅电极。在实施例中,栅极电极115由掺杂至 1×10^{19} 原子/cm³到 1×10^{20} 原子/cm³之间的浓度密度的多晶硅构成。

[0062] 图12是根据一个实施例的如图10中所示的三栅极晶体管的部分的透视图1200。如图12所示,三栅极晶体管包括与鳍状物309相邻的衬底301上的电绝缘层302。在一个实施例中,三栅极晶体管耦合到一层或多层金属化层(未示出)。可以通过诸如层间电介质(ILD)(未示出)之类的介电材料将该一层或多层金属化层与相邻的金属化层分隔开。可以通过过孔(未示出)使相邻的金属化层电互连。

[0063] 如图12所示,鳍状物309从绝缘层302的顶部表面突出。鳍状物309包括可选的基于III-V族材料的帽层308,其位于基于III-V族材料的第一缓冲层304上的基于III-V族材料第二缓冲层305的部分306上的基于III-V族材料的器件沟道层307上。栅极电极311形成于栅极电介质310上及其周围。

[0064] 鳍状物309包括可选的基于III-V族材料的帽层308,其位于基于III-V族材料的第一缓冲层304上的基于III-V族材料的第二缓冲层305的部分306上的基于III-V族材料的器件沟道层307上,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,并且其中第一缓冲层具有介于衬底的晶格参数与器件层的晶格参数之间的晶格参数,容纳了(accommodation)衬底301与器件沟道层307之间的晶格失配,从而可以将缺陷捕获在缓冲层304和缓冲层305的厚度内。

[0065] 如图12所示,鳍状物309具有由限定半导体鳍状物宽度的距离分隔开的一对相对的侧壁。在一个实施例中,鳍状物宽度在从约5nm到约50nm的大致范围内。在一个实施例中,鳍状物的长度大于宽度,并且由设计确定。在一个实施例中,鳍状物的长度从约50nm到几百微米。在实施例中,绝缘层302的顶部表面上方的鳍状物高度在从约5nm到约500nm的大致范围内。

[0066] 如图12所示,栅极电极311沉积在鳍状物309上的栅极电介质310上。栅极电极311形成于栅极电介质310上及其周围。源极区和漏极区形成于鳍状物313的器件层部分313中的栅极电极311的对侧。利用电子器件制造领域技术人员公知的技术中的一项在栅极电极311的一侧处的源极/漏极区上形成源极电极/漏极电极中的一个电极312,并且在栅极电极311的对侧处的源极/漏极区上形成源极/漏极电极中的另一个电极(未示出)。

[0067] 源极区和漏极区由诸如N型导电性或者P型导电性之类的相同导电性类型形成。在实施例中,源极区和漏极区具有 1×10^{19} 原子/cm³与 1×10^{21} 原子/cm³之间的掺杂浓度。源极区和漏极区可以由均匀浓度形成,或者可以包括诸如尖端区之类的不同浓度或掺杂分布的子区(例如,源极/漏极延伸区)。在实施例中,源极区和漏极区具有相同的掺杂浓度和掺杂分布。在实施例中,可以改变诸如源极区104和漏极区106之类的源极区和漏极区的掺杂浓度和掺杂分布,以获得特定的电特性。鳍状物309的位于源极区与漏极区之间的部分限定了晶体管的沟道区314。

[0068] 也可以将沟道区314限定为栅极电极311所包围的半导体鳍状物309的区域。然而,有时例如可以通过扩散使源极/漏极区略微延伸于栅极电极之下,以限定略微小于栅极电极长度(Lg)的沟道区。在实施例中,沟道区314是本征的或者未掺杂的。在实施例中,沟道区314例如被掺杂至 1×10^{16} 原子/cm³到 1×10^{19} 原子/cm³之间的导电性水平。在实施例中,当对沟道区进行掺杂时,通常其被掺杂至源极/漏极区的相反导电性类型。例如,当源极区和漏极区为N型导电性时,沟道区将被掺杂至p型导电性。类似地,当源极区和漏极区是P型导电性时,沟道区将是N型导电性。以此方式,三栅极晶体管100可以相应地形成NMOS晶体管或者PMOS晶体管。

[0069] 诸如沟道区314之类的沟道区可以是均匀地掺杂的或者可以是非均匀地掺杂的,或者具有不同的浓度以便提供特定的电特性和性能特性。例如,如果需要,诸如沟道区314之类的沟道区可以包括公知的晕圈区。如图12所示,三栅极晶体管具有电介质310以及栅极电极311,其从三侧包围半导体鳍状物309,提供了鳍状物309上的三条沟道,一条沟道在鳍状物的一个侧壁(例如,侧壁315)上的源极区与漏极区之间延伸,第二条沟道在鳍状物的顶部表面(例如,表面317)上的源极区与漏极区之间延伸,并且第三条沟道在鳍状物的其它侧壁(例如,侧壁316)上的源极区与漏极区之间延伸。

[0070] 在实施例中,晶体管1200的源极区电耦合到较高级金属化物(例如,金属1、金属2、金属3等),以便使阵列中的各个晶体管电互连到功能电路中。在一个实施例中,晶体管1200的漏极区耦合到较高级金属化物(例如,金属1、金属2、金属3等),以便使阵列中的各个晶体管一起电互连到功能电路中。

[0071] 图13是根据一个实施例示出了载流子(例如,电子、空穴)1301的霍尔迁移率相对于InGaAs沟道厚度1302的示例性图1300。具有高(例如,至少70%)镓成分的InGaAs材料(例如,In_{0.7}Ga_{0.3}As)具有高载流子迁移率,使得其对于III-V族器件是有吸引力的沟道材料选择。将具有高(例如,至少70%)镓成分的InGaAs(例如,In_{0.7}Ga_{0.3}As)用作器件沟道层提高了器件的性能并且增大了器件增益。数据1303示出霍尔迁移率在低至5nm的薄器件体下维持在较高约10,000cm²/(V·s)。表面粗糙度对载流子的迁移率没有影响。

[0072] 图14是根据一个实施例示出了有效电子质量(m₀)1401相对于In含量(%)1402的示例性图1400。数据1403表明m₀随着较高的镓含量(%)而下降。参考图12,为了增大利用具有高(例如,70%)镓含量的InGaAs(例如,In_{0.7}Ga_{0.3}As)制造的三栅极器件中的鳍状物的鳍状物的高度(H_{Si}),需要使沟道层(例如,层307)与邻近沟道层的底部缓冲层(例如,缓冲层305)之间的晶格失配最小化。如果晶格失配较大,为了防止新的缺陷产生,需要将In_{0.7}Ga_{0.3}As的厚度(以及因此H_{Si})限制到临界层厚度。因此,与In_{0.7}Ga_{0.3}As器件沟道层相邻的底部缓冲层需要具有与In_{0.7}Ga_{0.3}As沟道层基本上相同的晶格常数。器件沟道层(例如,器件沟道层307以及缓冲层的基底部分、例如第二缓冲层305的部分306)的相似的晶格常数允许了(1)三栅极H_{Si}是无限制的、(2)防止任何新的缺陷在沟道/相邻的底部缓冲处产生,并且(3)允许建立在第二缓冲层与第一缓冲层之间(例如,缓冲层305与缓冲层303之间)的界面处的全部缺陷,以及建立在第一缓冲层与Si衬底之间(例如,沟槽中的缓冲层303与衬底301之间,该沟槽例如是正好被捕获在器件沟道层之前的沟槽303,该器件沟道层例如是器件沟道层307)的界面处的全部缺陷。

[0073] 图15是根据一个实施例示出了InGaAs 1501中的镓含量相对于晶格常数1502的示

例性图1500。如图15所示, InGaAs器件中较高的镉浓度能够更容易实现环栅(“GAA”)硅架构。镉含量的提高增大了InGaAs的晶格常数。如图15所示, 由于临界层厚度, 三栅极器件1503需要用于 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 的新缓冲。纳米线器件1504具有小于临界层厚度 t_c 的厚度 t ($t < t_c$)。

[0074] 数据1505示出了在基于III-V族材料的第一缓冲层上的基于III-V族材料的第二缓冲层上制造基于III-V族材料的器件沟道层能够提高器件性能, 其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数, 并且其中第一缓冲层具有介于衬底的晶格参数与器件层(例如, 缓冲器件1503上的三栅极、缓冲器件1504上的纳米线)的晶格参数之间的晶格参数。

[0075] 图16根据一个实施例对计算设备1600进行了说明。计算设备1600容纳了板1602。板1602可以包括多个部件, 包括(但不限于)处理器1601以及至少一个通信芯片1604。处理器1601物理耦合并且电耦合到板1602。在某些实施方式中, 至少一个通信芯片也物理耦合并且电耦合到板1602。在其它实施方式中, 至少一个通信芯片1604是处理器1601的一部分。

[0076] 取决于其应用, 计算设备1600可以包括可以或不物理耦合并且电耦合到板1602的其它部件。这些其它部件包括(但不限于)存储器(例如, 易失性存储器1608(例如, DRAM)、非易失性存储器1610(例如, ROM)、闪存)、图形处理器1612、数字信号处理器(未示出)、密码处理器(未示出)、芯片组1614、天线1616、显示器(例如, 触屏显示器1617)、显示控制器(例如, 触屏控制器1611)、电池1618、音频编解码器(未示出)、视频编解码器(未示出)、放大器(例如, 功率放大器1609)、全球定位系统(GPS)设备1613、指南针1614、加速计(未示出)、陀螺仪(未示出)、扬声器1615、照相机1603以及大容量存储设备(例如, 硬盘驱动器、光盘(CD)、数字通用光盘(DVD)等)(未示出)。

[0077] 诸如通信芯片1604之类的通信芯片实现了用于将数据传送至计算设备1600并且传送来自计算设备1600的数据的无线通信。术语“无线”及其派生词可以用于描述可以通过利用经调制的电磁辐射借助于非固体介质来传输数据的电路、设备、系统、方法、技术、通信信道等。该术语未暗示关联的器件不包含任何线, 尽管在某些实施例中它们可能不包含。通信芯片1604可以实施多个无线标准或无线协议中的任意一个, 该无线标准或无线协议包括(但不限于)Wi-Fi (IEEE 802.11族)、WiMAX (IEEE 802.16族)、IEEE 802.20族、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙及其派生物以及指定为3G、4G、5G及以上的任何其它的无线协议。通信设备1600可以包括多个通信芯片。例如, 通信芯片1604可以专用于诸如Wi-Fi和蓝牙之类的较短范围的无线通信, 并且通信芯片1636可以专用于诸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-TO及其它之类的较长范围的无线通信。

[0078] 在至少某些实施例中, 计算设备1600的部件中的至少某些部件(例如, 处理器1601、通信芯片1604、图形CPU 1612)包括多层叠置体, 如上所述该多层叠置体包括硅衬底上的绝缘层中的沟槽中的第一基于III-V族材料的缓冲层、第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层; 以及第二缓冲层上的基于III-V族材料的器件层, 其中第二基于III-V族材料的缓冲层具有与基于III-V族材料的器件沟道层的晶格参数相匹配的晶格参数, 并且其中第一基于III-V族材料的缓冲层具有介于硅衬底的晶格参数与基于III-V族材料的器件层的晶格参数之间的晶格参数。

[0079] 计算设备1600的至少某些部件(例如,处理器1601、图形CPU 1612)的集成电路管芯包括一个或多个基于III-V族材料的器件,例如利用如本文所述的方法制造的三栅极晶体管、纳米线、纳米带。术语“处理器”可以表示处理来自寄存器和/或存储器的电子数据从而将该电子数据转换为可以存储在寄存器和/或存储器中的其它电子数据的任意设备或设备的一部分。

[0080] 通信芯片1604也可以包括多层叠置体,根据本文所述的实施例该多层叠置体包括硅衬底上的绝缘层中的沟槽中的第一基于III-V族材料的缓冲层、第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二缓冲层上的基于III-V族材料的器件层,其中第二基于III-V族材料的缓冲层具有与基于III-V族材料的器件沟道层的晶格参数相匹配的晶格参数,并且其中第一基于III-V族材料的缓冲层具有介于硅衬底的晶格参数与基于III-V族材料的器件层的晶格参数之间的晶格参数。

[0081] 在其它实施方式中,容纳在计算设备1600内的另一个部件可以包含多层叠置体,根据本文所述的实施例该多层叠置体包括硅衬底上的绝缘层中的沟槽中的第一基于III-V族材料的缓冲层、第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二缓冲层上的基于III-V族材料的器件层,其中第二基于III-V族材料的缓冲层具有与基于III-V族材料的器件沟道层的晶格参数相匹配的晶格参数,并且其中第一基于III-V族材料的缓冲层具有介于硅衬底的晶格参数与基于III-V族材料的器件层的晶格参数之间的晶格参数。

[0082] 根据一个实施方式,如上所述通信芯片的集成电路管芯包括一个或多个器件,其包括三栅极晶体管器件、纳米线器件以及纳米带器件。在各个实施方式中,计算设备1600可以是膝上型计算机、上网本、超极本、智能手机、平板计算机、个人数字助理(PDA)、超移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字照相机、便携式音乐播放器或者数字视频录像机。在其它实施方式中,计算设备1600可以是对数据进行处理中的任意其它电子设备。

[0083] 以下实例涉及其它实施例:

[0084] 一种制造基于III-V族材料的器件的方法,包括:将第一基于III-V族材料的缓冲层沉积在硅衬底上;将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上;并且将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上。

[0085] 一种制造基于III-V族材料的器件的方法,包括:将第一基于III-V族材料的缓冲层沉积在硅衬底上;将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上;并且将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上,其中第二基于III-V族材料的缓冲层具有与基于III-V族材料的器件沟道层的晶格参数相匹配的晶格参数。

[0086] 一种制造基于III-V族材料的器件的方法,包括:将第一基于III-V族材料的缓冲层沉积在硅衬底上;将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上;并且将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上,其中第一基于III-V族材料的缓冲层具有介于硅衬底的晶格参数与基于III-V族材料的器件沟道层的晶格参数之间的晶格参数。

[0087] 一种制造基于III-V族材料的器件的方法,包括:将第一基于III-V族材料的缓冲

层沉积在硅衬底上；将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上；并且将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上，并且将帽层沉积在基于III-V族材料的器件沟道层上。

[0088] 一种制造基于III-V族材料的器件的方法，包括：在硅衬底上的绝缘层中形成沟槽；将第一基于III-V族材料的缓冲层沉积到硅衬底上的沟槽中；将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上；并且将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上。

[0089] 一种制造基于III-V族材料的器件的方法，包括：将第一基于III-V族材料的缓冲层沉积到硅衬底上的绝缘层中的沟槽中；将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上；将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上；并且将栅极介电层沉积在基于III-V族材料的器件沟道层上方。

[0090] 一种制造基于III-V族材料的器件的方法，包括：将第一基于III-V族材料的缓冲层沉积到硅衬底上的绝缘层中的沟槽中；将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上；将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上；形成鳍状物，其包括第一基于III-V族材料的缓冲层的部分上的第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层；并且将栅极介电层沉积在鳍状物上。

[0091] 一种制造基于III-V族材料的器件的方法，包括：将第一基于III-V族材料的缓冲层沉积到硅衬底上的绝缘层中的沟槽中；将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上；将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上；并且将经掺杂的基于III-V族材料的层沉积在基于III-V族材料的器件沟道层上方。

[0092] 一种制造基于III-V族材料的器件的方法，包括：将第一基于III-V族材料的缓冲层沉积到硅衬底上的绝缘层中的沟槽中；将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上；将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上，其中基于III-V族材料的器件沟道层中的钢的浓度为至少53%。

[0093] 一种制造基于III-V族材料的器件的方法，包括：将第一基于III-V族材料的缓冲层沉积到硅衬底上的绝缘层中的沟槽中；将第二基于III-V族材料的缓冲层沉积到第一基于III-V族材料的缓冲层上；将基于III-V族材料的器件沟道层沉积在第二基于III-V族材料的缓冲层上，其中第一基于III-V族材料的缓冲层、第二基于III-V族材料的缓冲层以及基于III-V族材料的器件沟道层中的至少一个是通过化学气相沉积来进行沉积的。

[0094] 一种基于III-V族材料的器件，包括：硅衬底上的第一基于III-V族材料的缓冲层；第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层；以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层。

[0095] 一种基于III-V族材料的器件，包括：硅衬底上的第一基于III-V族材料的缓冲层；第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层；以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层，其中第二基于III-V族材料的缓冲层具有与基于III-V族材料的器件沟道层的晶格参数相匹配的晶格参数。

[0096] 一种基于III-V族材料的器件，包括：硅衬底上的第一基于III-V族材料的缓冲层；

第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层,其中第一基于III-V族材料的缓冲层具有介于硅衬底的晶格参数与基于III-V族材料的器件沟道层的晶格参数之间的晶格参数。

[0097] 一种基于III-V族材料的器件,包括:硅衬底上的第一基于III-V族材料的缓冲层;第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层,其中第一基于III-V族材料的缓冲层、第二基于III-V族材料的缓冲层以及基于III-V族材料的器件沟道层中的至少一个是通过化学气相沉积来进行沉积的。

[0098] 一种基于III-V族材料的器件,包括:硅衬底上的第一基于III-V族材料的缓冲层;第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层,其中帽层被沉积在基于III-V族材料的器件沟道层上。

[0099] 一种基于III-V族材料的器件,包括:衬底上的绝缘层中的沟槽;硅衬底上的沟槽中的第一基于III-V族材料的缓冲层;第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层。

[0100] 一种基于III-V族材料的器件,包括:硅衬底上的第一基于III-V族材料的缓冲层;第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层;以及基于III-V族材料的器件沟道层上方的栅极介电层。

[0101] 一种基于III-V族材料的器件,包括:硅衬底上的第一基于III-V族材料的缓冲层;第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层,其中鳍状物由基于III-V族材料的器件沟道层、第二基于III-V族材料的缓冲层以及第一基于III-V族材料的缓冲层所形成。

[0102] 一种基于III-V族材料的器件,包括:硅衬底上的第一基于III-V族材料的缓冲层;第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层;以及基于III-V族材料的器件沟道层的部分上方的经掺杂的基于III-V族材料的层。

[0103] 一种基于III-V族材料的器件,包括:硅衬底上的第一基于III-V族材料的缓冲层;第一基于III-V族材料的缓冲层上的第二基于III-V族材料的缓冲层;以及第二基于III-V族材料的缓冲层上的基于III-V族材料的器件沟道层,其中基于III-V族材料的器件沟道层中的铟的浓度为至少53%。

[0104] 一种制造电子器件的方法,包括:将第一缓冲层沉积到衬底上的绝缘层中的沟槽中;将第二缓冲层沉积到第一缓冲层上;并且将器件层沉积在第二缓冲层上,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数。

[0105] 一种制造电子器件的方法,包括:将第一缓冲层沉积到衬底上的绝缘层中的沟槽中;将第二缓冲层沉积到第一缓冲层上;并且将器件层沉积在第二缓冲层上,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,并且其中第一缓冲层具有介于衬底的

晶格参数与器件层的晶格参数之间的晶格参数。

[0106] 一种制造电子器件的方法,包括:将第一缓冲层沉积到衬底上的绝缘层中的沟槽中;将第二缓冲层沉积到第一缓冲层上;并且将器件层沉积在第二缓冲层上,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,其中第一缓冲层具有介于衬底的晶格参数与器件层的晶格参数之间的晶格参数,并且其中第一缓冲层、第二缓冲层以及器件层中的至少一个是基于III-V族材料的层,并且衬底是硅衬底。

[0107] 一种制造电子器件的方法,包括:将第一缓冲层沉积到衬底上的绝缘层中的沟槽中;将第二缓冲层沉积到第一缓冲层上;并且将器件层沉积在第二缓冲层上,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,并且其中第一缓冲层具有介于衬底的晶格参数与器件层的晶格参数之间的晶格参数,其中第一缓冲层、第二缓冲层以及器件层中的至少一个是基于III-V族材料的层,并且衬底是硅衬底。

[0108] 一种制造电子器件的方法,包括:将第一缓冲层沉积到衬底上的绝缘层中的沟槽中;将第二缓冲层沉积到第一缓冲层上;并且将器件层沉积在第二缓冲层上,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,并且其中第一缓冲层具有介于衬底的晶格参数与器件层的晶格参数之间的晶格参数,并且其中帽层被沉积在器件层上。

[0109] 一种电子器件,包括:衬底上的绝缘层中的沟槽中的第一缓冲层;第一缓冲层上的第二缓冲层;以及第二缓冲层上的器件层,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,并且其中第一缓冲层具有介于衬底的晶格参数与器件层的晶格参数之间的晶格参数。

[0110] 一种电子器件,包括:衬底上的绝缘层中的沟槽中的第一缓冲层;第一缓冲层上的第二缓冲层;以及第二缓冲层上的器件层,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,并且其中第一缓冲层具有介于衬底的晶格参数与器件层的晶格参数之间的晶格参数,并且其中第一缓冲层、第二缓冲层以及器件层中的至少一个是基于III-V族材料的层,并且衬底是硅衬底。

[0111] 一种电子器件,包括:衬底上的绝缘层中的沟槽中的第一缓冲层;第一缓冲层上的第二缓冲层;以及第二缓冲层上的器件层,其中第二缓冲层具有与器件沟道层的晶格参数相匹配的晶格参数,并且其中第一缓冲层具有介于衬底的晶格参数与器件层的晶格参数之间的晶格参数,并且其中帽层被沉积在器件层上。

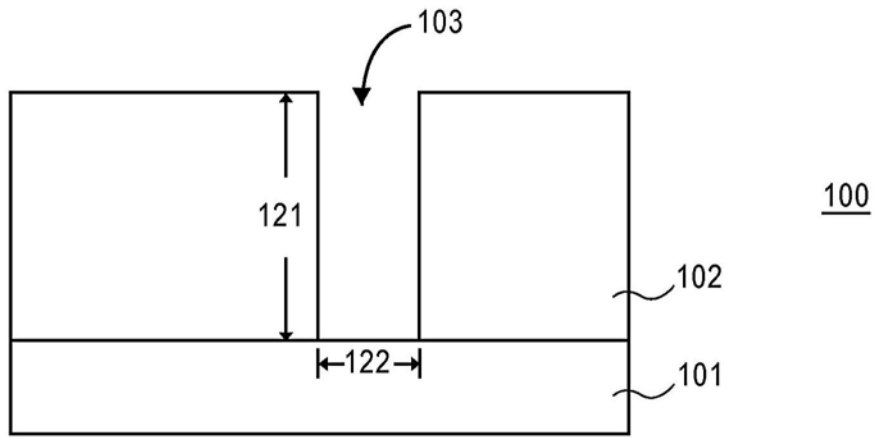


图1

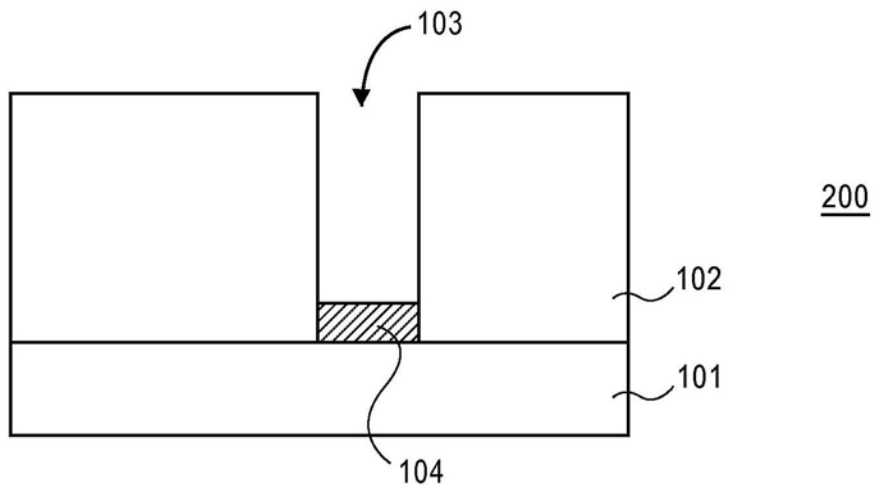


图2

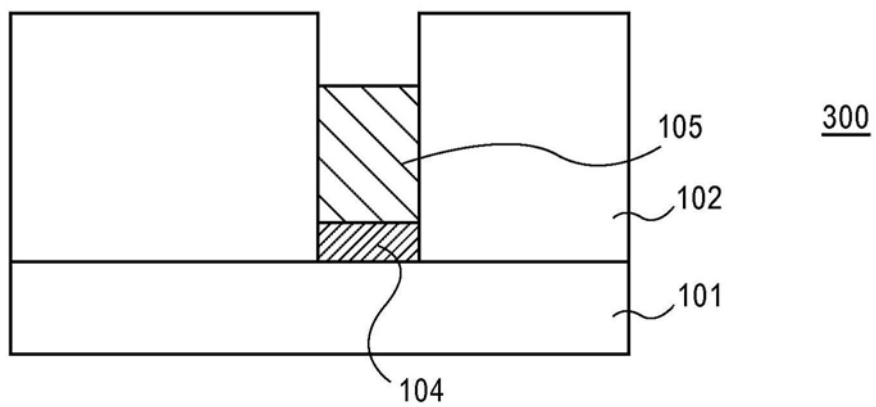


图3

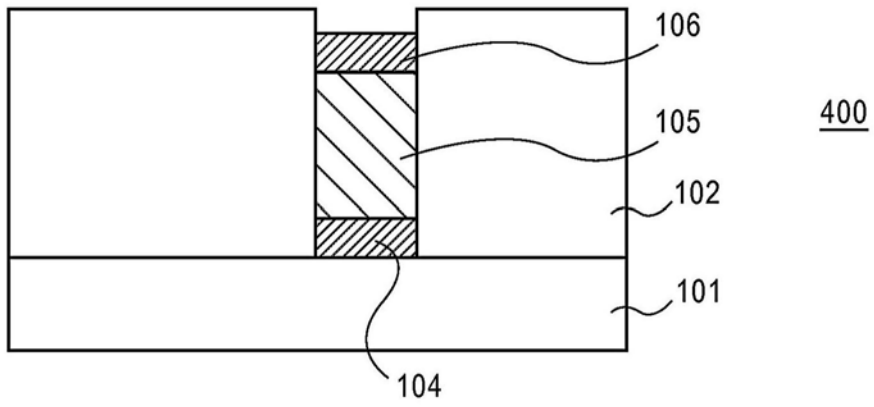


图4

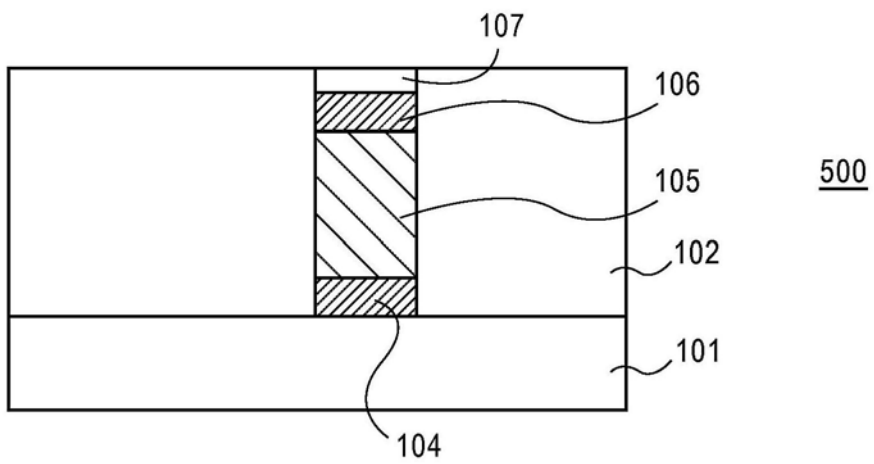


图5

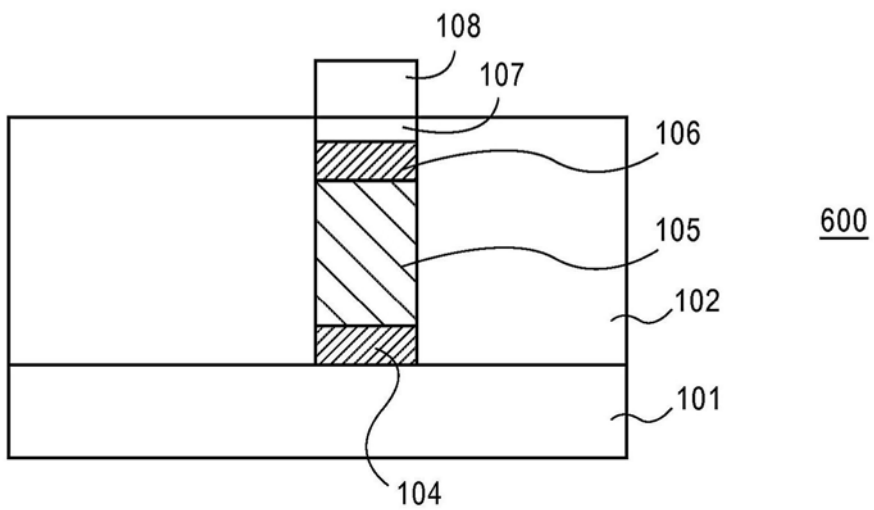


图6

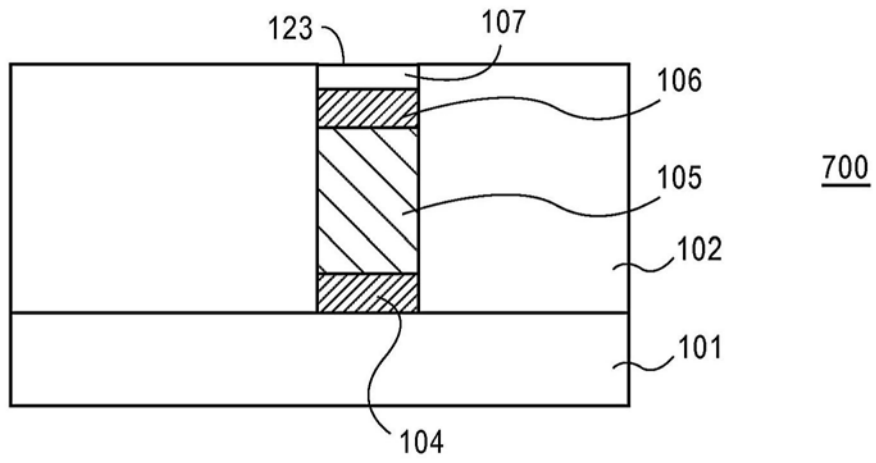


图7

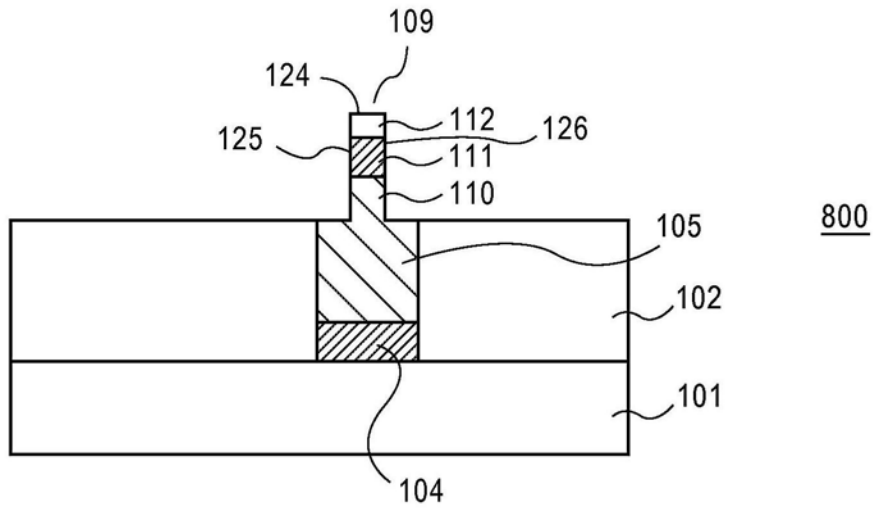


图8

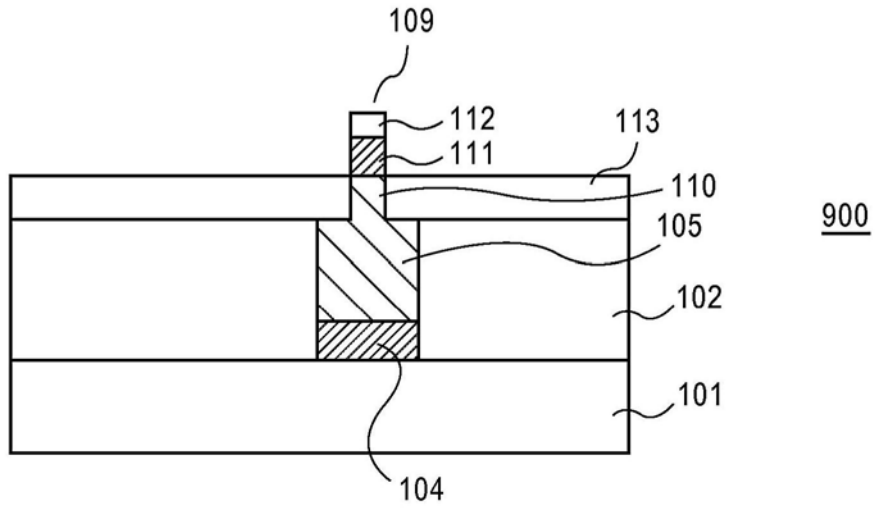


图9

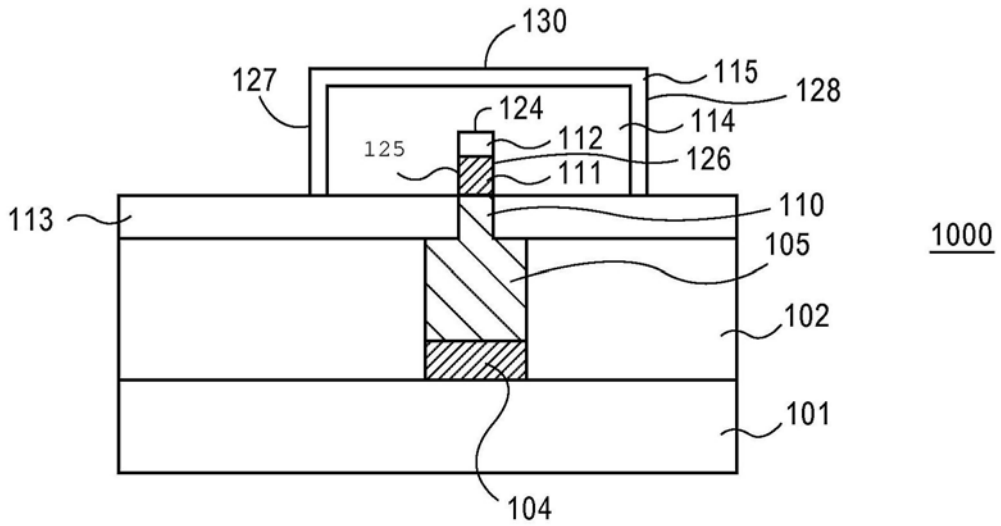


图10

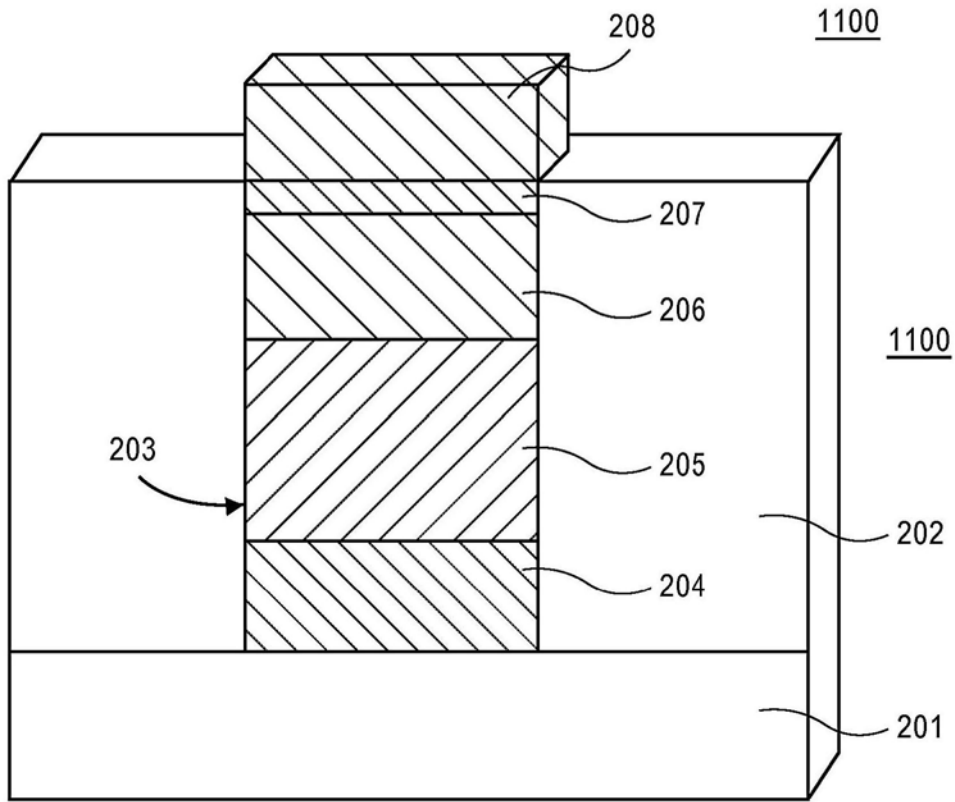


图11

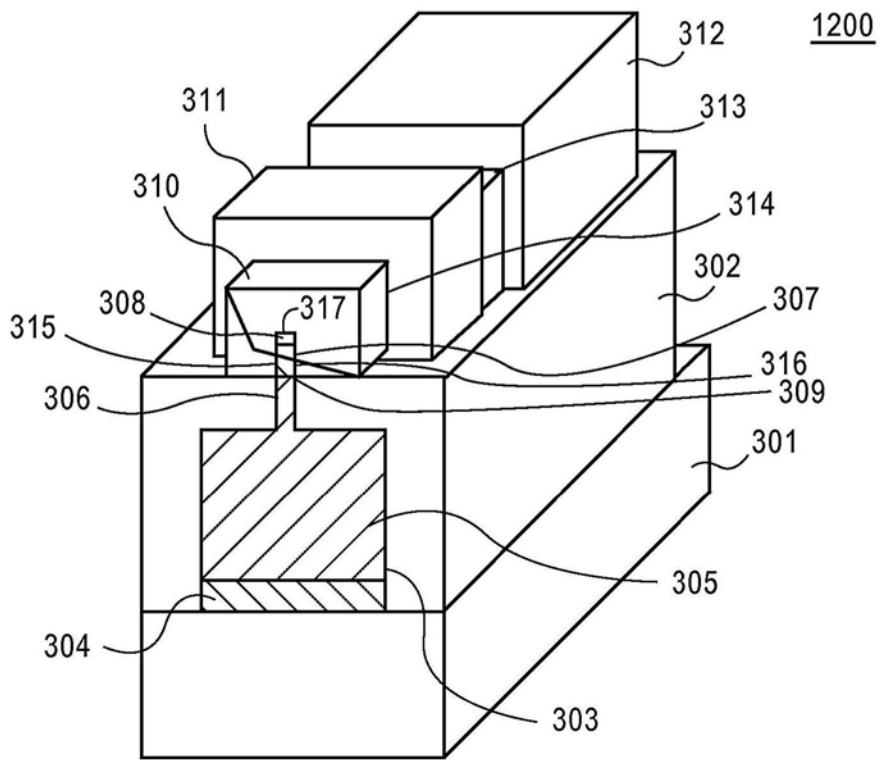


图12

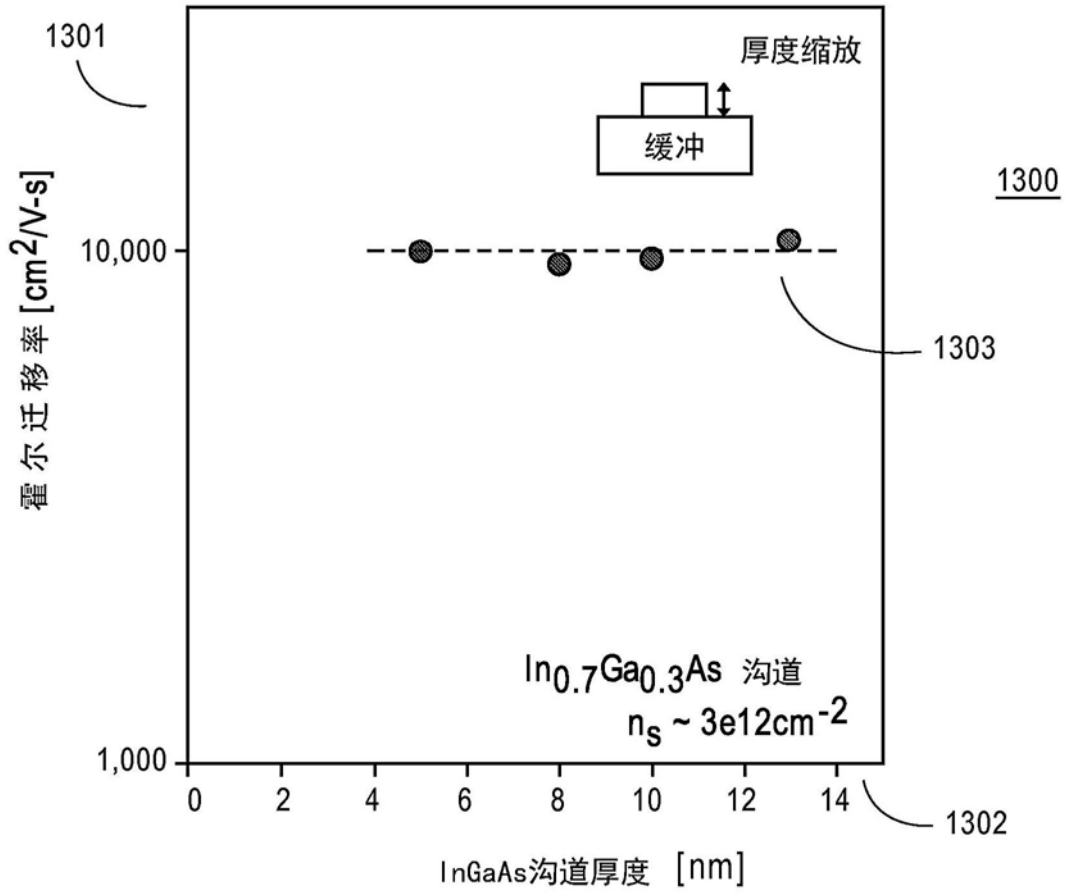


图13

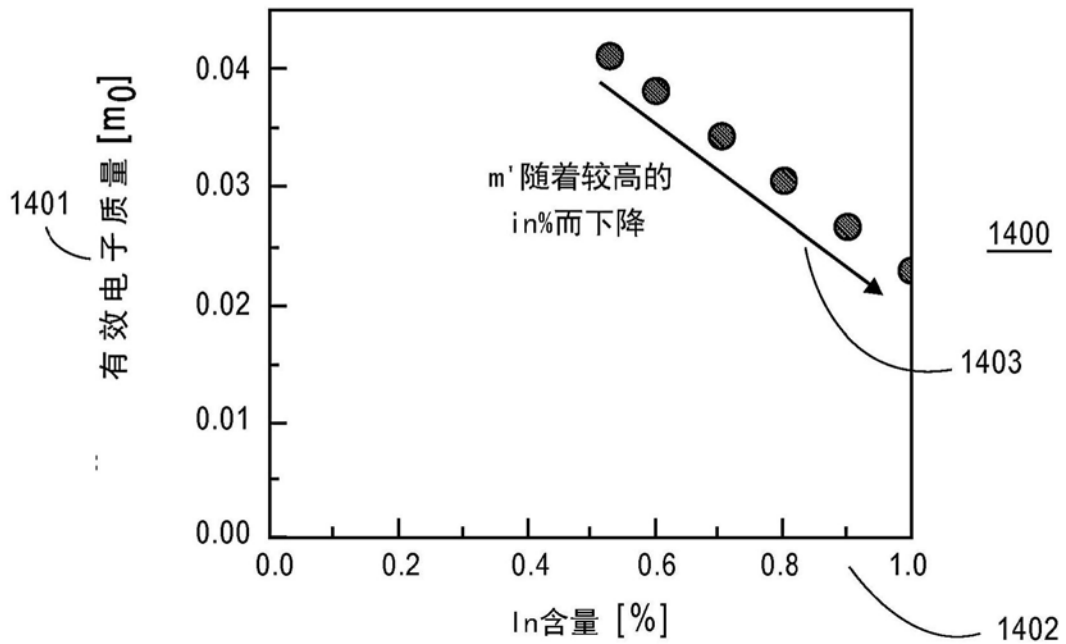


图14

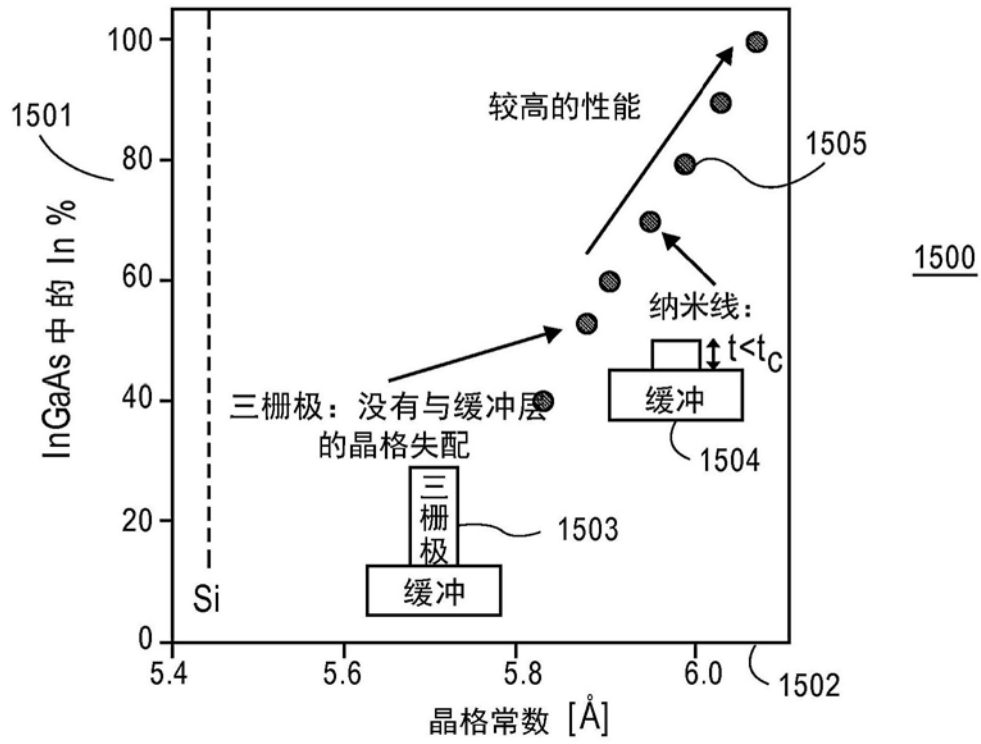


图15

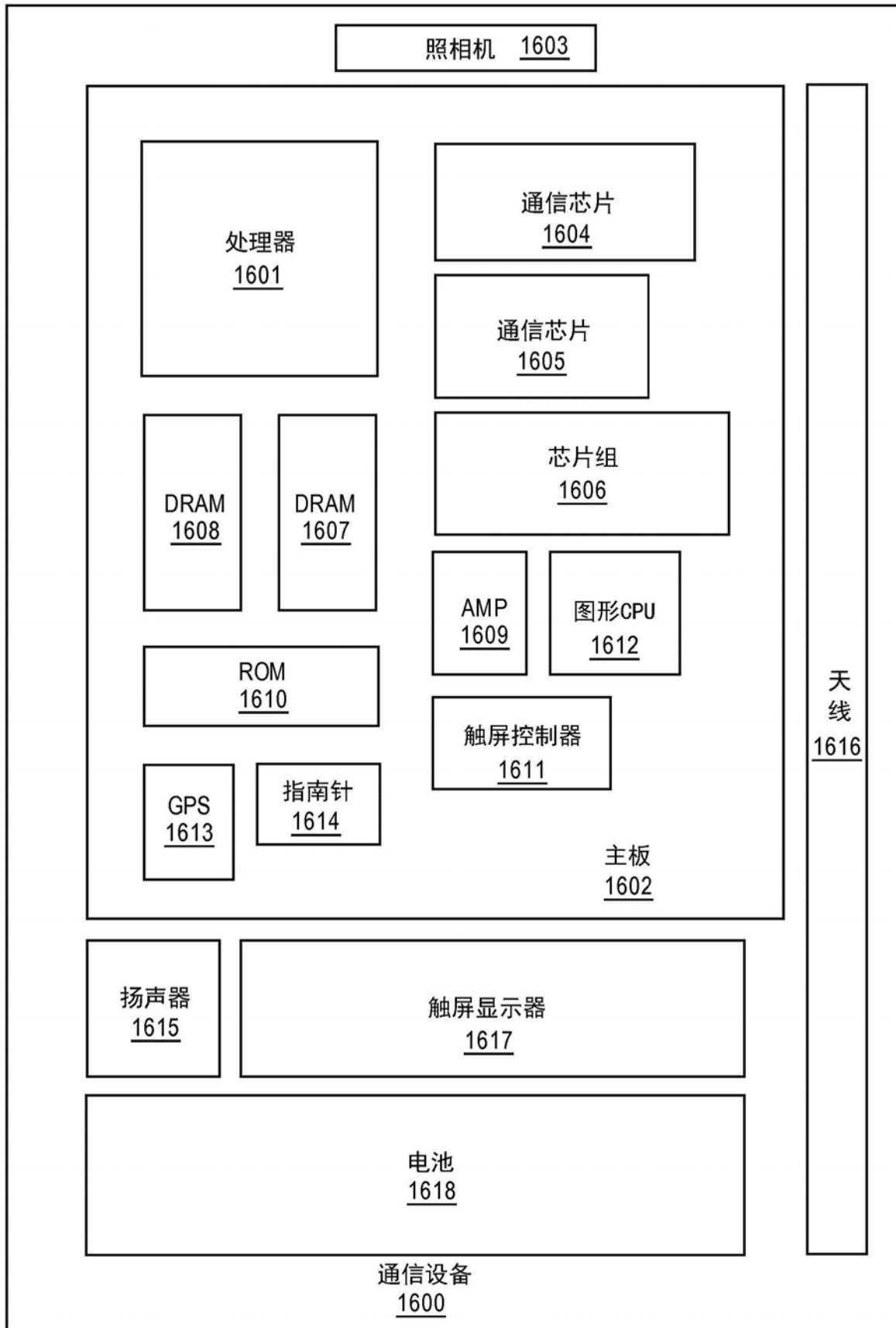


图16