



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년01월10일  
 (11) 등록번호 10-1936752  
 (24) 등록일자 2019년01월03일

(51) 국제특허분류(Int. Cl.)  
 H01L 27/115 (2017.01) H01L 21/8247 (2006.01)  
 (21) 출원번호 10-2012-0056925  
 (22) 출원일자 2012년05월29일  
 심사청구일자 2017년05월12일  
 (65) 공개번호 10-2013-0133566  
 (43) 공개일자 2013년12월09일  
 (56) 선행기술조사문헌  
 JP2011054969 A\*  
 (뒷면에 계속)

(73) 특허권자  
 삼성전자주식회사  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
 유진혁  
 경기 화성시 병점동로 23, 105동 1604호 (병점동, 구봉마을우남퍼스트빌1차아파트)  
 장대현  
 경기 성남시 분당구 판교로 20, 304동 1303호 (판교동, 판교원마을3단지아파트)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인씨엔에스

전체 청구항 수 : 총 10 항

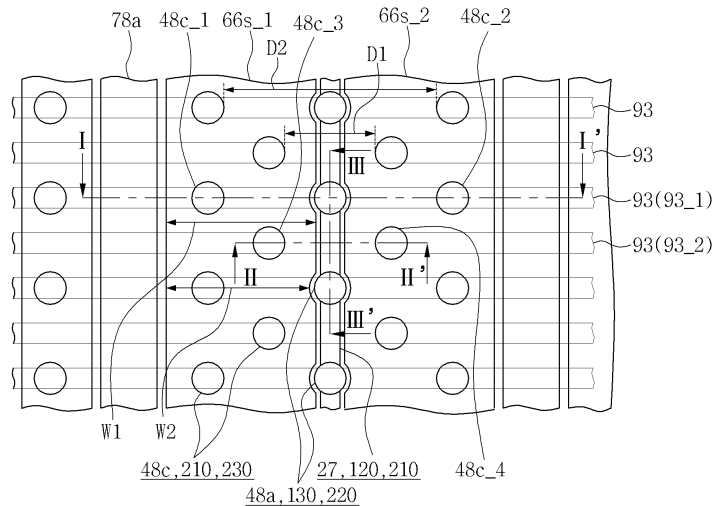
심사관 : 고연화

(54) 발명의 명칭 **반도체 소자**

**(57) 요약**

반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치된 도전성 패턴을 포함한다. 상기 도전성 패턴 상에 배치되며 서로 동일한 레벨에 위치하는 제1 도전성 라인 및 제2 도전성 라인이 제공된다. 상기 제1 및 제2 도전성 라인들 사이에 라인 분리 패턴이 배치된다. 상기 제1 도전성 라인 및 상기 도전성 패턴을 관통하는 제1 수직 구조체가 제공된다. 상기 제2 도전성 라인 및 상기 도전성 패턴을 관통하는 제2 수직 구조체가 제공된다. 상기 도전성 패턴을 관통하며 상기 라인 분리 패턴과 접촉하는 보조 패턴이 제공된다.

**대표도 - 도1**



(72) 발명자

**공유철**

서울 강동구 양재대로81길 76, 302호 (성내동, 동남아파트)

**신경섭**

경기 성남시 분당구 수내로 174, 102동 1401호 (수내동, 푸른마을벽산신성아파트)

(56) 선행기술조사문헌

KR1020110129256 A\*

KR1020120035468 A\*

KR1020090093770 A

US20110207303 A1

US20110291172 A1

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

반도체 기관 상에 배치된 도전성 패턴;

상기 도전성 패턴 상에 배치되며, 상기 반도체 기관의 상부면으로부터 서로 동일한 높이에 위치하는 제1 도전성 라인 및 제2 도전성 라인;

상기 제1 및 제2 도전성 라인들 사이에 배치되는 라인 분리 패턴;

상기 제1 도전성 라인 및 상기 도전성 패턴을 관통하는 제1 수직 구조체;

상기 제2 도전성 라인 및 상기 도전성 패턴을 관통하는 제2 수직 구조체; 및

상기 도전성 패턴을 관통하며 상기 라인 분리 패턴과 접촉하는 보조 패턴을 포함하는 반도체 소자.

**청구항 2**

제 1 항에 있어서,

상기 보조 패턴은 상기 라인 분리 패턴 보다 큰 폭을 갖는 반도체 소자.

**청구항 3**

제 1 항에 있어서,

상기 보조 패턴은 상기 라인 분리 패턴을 관통하고,

상기 보조 패턴은 상기 제1 및 제2 수직 구조체들과 동일한 단면 구조로 형성되고,

상기 제1 및 제2 수직 구조체들 및 상기 보조 패턴은 서로 동일한 반도체 물질을 포함하는 반도체 소자.

**청구항 4**

제 1 항에 있어서,

상기 제1 및 제2 도전성 라인들을 가로지르며, 상기 제1 및 제2 수직 구조체들 및 상기 보조 패턴과 중첩하는 비트라인;

상기 비트라인과 상기 제1 수직 구조체 사이에 개재되어 상기 비트라인과 상기 제1 수직 구조체를 전기적으로 연결하는 제1 콘택 구조체;

상기 비트라인과 상기 제2 수직 구조체 사이에 개재되어 상기 비트라인과 상기 제2 수직 구조체를 전기적으로 연결하는 제2 콘택 구조체; 및

상기 비트라인과 상기 보조 패턴 사이에 개재되어 상기 비트라인을 상기 보조 패턴으로부터 절연시키는 절연체를 더 포함하되,

상기 라인 분리 패턴은 상기 제1 및 제2 도전성 라인들을 서로 이격시키며 상기 도전성 패턴 보다 상기 반도체 기관의 상부면으로부터 높은 위치에 배치되고,

상기 도전성 패턴의 제1 방향의 폭은 각각의 상기 제1 및 제2 도전성 라인들의 상기 제1 방향의 폭 보다 크고,

상기 제1 방향은 상기 반도체 기관의 상부면과 평행하며 상기 제1 및 제2 도전성 라인들의 길이 방향과 교차하는 방향인 반도체 소자.

**청구항 5**

반도체 기관;

상기 반도체 기판 상에 배치되며 서로 이격된 제1 및 제2 소자 분리 패턴들;

상기 제1 및 제2 소자 분리 패턴들 사이에 배치되며, 상기 반도체 기판의 상부면으로부터 서로 동일한 높이에 위치하는 제1 및 제2 도전성 라인들;

상기 제1 및 제2 도전성 라인들과 상기 반도체 기판 사이에 배치된 도전성 패턴들;

상기 제1 및 제2 도전성 라인들 사이에 개재된 라인 분리 패턴;

상기 제1 도전성 라인 및 상기 도전성 패턴들을 관통하는 제1 수직 구조체;

상기 제2 도전성 라인 및 상기 도전성 패턴들을 관통하는 제2 수직 구조체; 및

상기 제1 및 제2 도전성 라인들 사이에 배치되며 상기 도전성 패턴들을 관통하는 보조 패턴들을 포함하는 반도체 소자.

**청구항 6**

제 5 항에 있어서,

상기 제1 도전성 라인 및 상기 도전성 패턴들을 관통하며 상기 제1 수직 구조체와 이격된 제3 수직 구조체;

상기 제2 도전성 라인 및 상기 도전성 패턴들을 관통하며 상기 제2 수직 구조체와 이격된 제4 수직구조체를 더 포함하되,

상기 제1 및 제2 수직 구조체들 사이의 이격 거리는 상기 제3 및 제4 수직 구조체들 사이의 이격 거리 보다 큰 반도체 소자.

**청구항 7**

제 6 항에 있어서,

상기 제1 및 제2 도전성 라인들을 가로지르며 상기 제1 및 제2 수직 구조체들과 중첩하는 제1 비트라인; 및

상기 제1 및 제2 도전성 라인들을 가로지르며 상기 제3 및 제4 수직 구조체들과 중첩하는 제2 비트라인을 더 포함하되,

상기 제1 비트라인은 상기 보조 패턴들 중 어느 하나와 중첩하고,

상기 제2 비트라인은 평면상에서 상기 보조 패턴들 사이를 지나는 반도체 소자.

**청구항 8**

제 5 항에 있어서,

상기 제1 도전성 라인은 상기 보조 패턴들 사이에 위치하는 상기 라인 분리 패턴과 상기 제1 소자분리 패턴 사이에서 제1 폭을 갖고, 상기 제1 소자분리 패턴과 상기 보조 패턴들 사이에서 상기 제1 폭 보다 작은 제2 폭을 갖는 반도체 소자.

**청구항 9**

기판 상에서 상기 기판의 상부면과 수직한 방향으로 서로 이격되면서 배열되는 셀 게이트 전극들;

상기 셀 게이트 전극들 상에 배치되며, 상기 기판의 상부면으로부터 동일한 높이에 배치되고 서로 이격되는 선택 게이트 라인들;

상기 선택 게이트 라인들 사이에 배치되고 상기 셀 게이트 전극들 보다 상기 기판으로부터 높은 위치에 배치되는 선택 라인 분리 패턴;

상기 선택 라인 분리 패턴과 이격되고 상기 선택 게이트 라인들 및 상기 셀 게이트 전극들을 관통하는 수직 구조체들; 및

상기 선택 라인 분리 패턴을 관통하며 상기 선택 라인 분리 패턴 아래의 상기 셀 게이트 전극들을 관통하는 보조 패턴들을 포함하되,

상기 수직 구조체들 및 상기 보조 패턴들은 서로 동일한 반도체 물질을 포함하는 반도체 소자.

**청구항 10**

제 9 항에 있어서,

상기 보조 패턴들은 상기 수직 구조체들의 상부면들과 동일한 레벨에 위치하는 상부면들을 갖고,  
 각각의 상기 보조 패턴들 및 각각의 상기 수직 구조체들은 상기 선택 라인 분리 패턴 보다 큰 폭을 갖고,  
 상기 수직 구조체들 및 상기 보조 패턴들은 동일한 단면 구조를 갖는 반도체 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 기술적 사상은 반도체 소자, 반도체 소자의 제조방법, 이들을 채택하는 전자 장치 및 전자 시스템에 관한 것이다.

**배경 기술**

[0002] 반도체 소자의 크기를 축소하고 성능을 개선하기 위하여, 다수의 메모리 셀들을 기판 상에 수직하게 형성하는 여러 가지 방법들이 연구되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 기술적 사상이 해결하려는 과제는 신뢰성 높은 3차원 반도체 소자를 제조할 수 있는 반도체 소자들의 구조를 제공하는데 있다.

[0004] 본 발명의 기술적 사상이 해결하고자 하는 또 다른 기술적 과제는 상기 반도체 소자들의 제조방법들을 제공하는데 있다.

[0005] 본 발명의 기술적 사상이 해결하고자 하는 또 다른 기술적 과제는 상기 반도체 소자들을 갖는 전자 장치 및 전자 시스템을 제공하는데 있다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0007] 본 발명의 기술적 사상의 일 양태에 따르면, 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치된 도전성 패턴을 포함한다. 상기 도전성 패턴 상에 배치되며 서로 동일한 레벨에 위치하는 제1 도전성 라인 및 제2 도전성 라인이 제공된다. 상기 제1 및 제2 도전성 라인들 사이에 라인 분리 패턴이 배치된다. 상기 제1 도전성 라인 및 상기 도전성 패턴을 관통하는 제1 수직 구조체가 제공된다. 상기 제2 도전성 라인 및 상기 도전성 패턴을 관통하는 제2 수직 구조체가 제공된다. 상기 도전성 패턴을 관통하며 상기 라인 분리 패턴과 접촉하는 보조 패턴이 제공된다.

[0008] 몇몇 실시예들에서, 상기 보조 패턴은 상기 라인 분리 패턴 보다 큰 폭을 가질 수 있다.

[0009] 다른 실시예에서, 상기 보조 패턴은 상기 라인 분리 패턴을 관통할 수 있다.

[0010] 또 다른 실시예에서, 상기 제1 및 제2 도전성 라인들을 가로지르며 상기 제1 및 제2 수직 구조체들, 및 상기 보조 패턴과 중첩하는 비트라인, 상기 비트라인과 상기 제1 수직 구조체 사이에 개재되어 상기 비트라인과 상기 제1 수직 구조체를 전기적으로 연결하는 제1 콘택 구조체, 상기 비트라인과 상기 제2 수직 구조체 사이에 개재되어 상기 비트라인과 상기 제2 수직 구조체를 전기적으로 연결하는 제2 콘택 구조체 및 상기 비트라인과 상기 보조 패턴 사이에 개재되어 상기 비트라인을 상기 보조 패턴으로부터 절연시키는 절연체를 더 포함할 수 있다.

[0011] 본 발명의 기술적 사상의 다른 양태에 따르면, 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 상에 배치되며 서로 이격된 제1 및 제2 소자 분리 패턴들을 포함한다. 상기 제1 및 제2 소자 분리 패턴들 사이에 배치

되며 서로 동일한 레벨에 위치하는 제1 및 제2 도전성 라인들이 제공된다. 상기 제1 및 제2 도전성 라인들과 상기 반도체 기판 사이에 배치된 도전성 패턴들이 제공된다. 상기 제1 및 제2 도전성 라인들 사이에 개재된 라인 분리 패턴이 제공된다. 상기 제1 도전성 라인 및 상기 도전성 패턴들을 관통하는 제1 수직 구조체가 제공된다. 상기 제2 도전성 라인 및 상기 도전성 패턴들을 관통하는 제2 수직 구조체가 제공된다. 상기 제1 및 제2 도전성 라인들 사이에 배치되며 상기 도전성 패턴들을 관통하는 보조 패턴들이 제공된다.

- [0012] 몇몇 실시예들에서, 상기 제1 도전성 라인 및 상기 도전성 패턴들을 관통하며 상기 제1 수직 구조체와 이격된 제3 수직 구조체; 상기 제2 도전성 라인 및 상기 도전성 패턴들을 관통하며 제2 수직 구조체와 이격된 제4 수직 구조체를 더 포함하되, 상기 제1 및 제2 수직 구조체들 사이의 이격 거리는 상기 제3 및 제4 수직 구조체들 사이의 이격 거리 보다 클 수 있다.
- [0013] 상기 제1 및 제2 도전성 라인들을 가로지르며 상기 제1 및 제2 수직 구조체들과 중첩하는 제1 비트라인; 및 상기 제1 및 제2 도전성 라인들을 가로지르며 상기 제3 및 제4 수직 구조체들과 중첩하는 제2 비트라인을 더 포함하되, 상기 제1 비트라인은 상기 보조 패턴들 중 어느 하나와 중첩하고, 상기 제2 비트라인은 평면상에서 상기 보조 패턴들 사이를 지날 수 있다.
- [0014] 다른 실시예에서, 상기 제1 및 제2 수직 구조체들의 각각은 상기 반도체 기판과 전기적으로 연결된 반도체 패턴을 포함할 수 있다.
- [0015] 또 다른 실시예에서, 상기 제1 도전성 라인은 상기 보조 패턴들 사이에 위치하는 상기 라인 분리 패턴과 상기 제1 소자분리 패턴 사이에서 제1 폭을 갖고, 상기 제1 소자분리 패턴과 상기 보조 패턴들 사이에서 상기 제1 폭 보다 작은 제2 폭을 가질 수 있다.
- [0016] 또 다른 실시예에서, 상기 보조 패턴들은 서로 이격되며 상기 라인 분리 패턴과 직접적으로 접촉할 수 있다.
- [0017] 또 다른 실시예에서, 상기 보조 패턴들은 상기 도전성 패턴들을 관통하면서 상기 라인 분리 패턴을 관통할 수 있다.
- [0018] 또 다른 실시예에서, 상기 도전성 패턴들과 교대로 그리고 반복적으로 적층된 층간 절연 막들을 더 포함하되, 상기 보조 패턴들은 상기 도전성 패턴들을 관통하면서 상기 층간 절연 막들을 관통할 수 있다.
- [0019] 또 다른 실시예에서, 상기 보조 패턴들은 상기 제1 및 제2 수직 구조체들의 상부면들과 동일한 레벨에 위치하는 상부면들을 가질 수 있다.
- [0020] 또 다른 실시예에서, 상기 제1 및 제2 수직 구조체들은 상기 라인 분리 패턴과 다른 레벨에 위치하는 상부면을 가질 수 있다.
- [0021] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0022] 본 발명의 기술적 사상의 실시 예들에 따르면, 반도체 소자를 제조하기 위한 공정들 중에 발생하는 반도체 소자의 손상 또는 불량을 방지할 수 있는 구조 및 제조 방법을 제공하여, 신뢰성 높은 3차원 반도체 소자를 제공할 수 있다.

**도면의 간단한 설명**

- [0023] 도 1은 본 발명의 기술적 사상의 일 실시 예에 따른 반도체 소자를 나타낸 평면도이다.
- 도 2a 및 도 2b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 단면도들이다.
- 도 3의 도 2a의 P 부분을 확대한 부분 확대도이다.
- 도 4a 및 도 4b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 일 변형 예를 나타낸 단면도들이다.
- 도 5는 도 4a의 P' 부분을 확대한 부분 확대도이다.
- 도 6은 도 5의 일 변형 예를 나타낸 단면도이다.
- 도 7a 내지 도 7c는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 다른 변형 예를 각각 나타낸 평

면도들이다.

도 8a 내지 도 17b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 제조 방법을 나타낸 단면도들이다.

도 18a 및 도 18b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다.

도 19a 내지 도 21b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예의 제조 방법을 나타낸 단면도들이다.

도 22a 및 도 22b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다.

도 23a 내지 도 24b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예의 제조 방법을 나타낸 단면도들이다.

도 25는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 평면도이다.

도 26a 및 도 26b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다.

도 27a 내지 도 29b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예의 제조 방법을 나타낸 단면도들이다.

도 30은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 평면도이다.

도 31a 및 도 31b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다.

도 32a 내지 도 33b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예의 제조 방법을 나타낸 단면도들이다.

도 34a 및 도 34b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다.

도 35a 내지 도 37b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예의 제조 방법을 나타낸 단면도들이다.

도 38a 및 도 38b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다.

도 39는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도이다.

도 40a 내지 도 43b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예의 제조 방법을 나타낸 단면도들이다.

도 44a 및 도 44b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다.

도 45는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도이다.

도 46a 내지 도 47b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예의 제조 방법을 나타낸 단면도들이다.

도 48은 본 발명의 기술적 사상의 일 실시예에 따른 메모리 카드를 나타낸 개략도이다.

도 49는 본 발명의 기술적 사상의 일 실시예에 따른 전자 시스템을 나타낸 블록도이다.

도 50은 본 발명의 기술적 사상의 일 실시예에 따른 데이터 저장 장치를 나타낸 블록도이다.

도 51은 본 발명의 기술적 사상의 일 실시예에 따른 전자 장치를 나타낸 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 기술적 사상의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0025] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0026] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0027] 제1, 제2등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수 있다.
- [0028] 상단, 하단, 상면, 하면, 또는 상부, 하부 등의 용어는 구성요소에 있어 상대적인 위치를 구별하기 위해 사용되는 것이다. 예를 들어, 편의상 도면상의 위쪽을 상부, 도면상의 아래쪽을 하부로 명명하는 경우, 실제로 있어서는 본 발명의 권리 범위를 벗어나지 않으면서 상부는 하부로 명명될 수 있고, 하부는 상부로 명명될 수 있다.
- [0029] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명의 기술적 사상을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 기술적 사상이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0031] 우선, 도 1, 도 2a, 도 2b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자에 대하여 설명하기로 한다. 도 2a는 도 1의 I-I'선을 따라 취해진 단면도이다. 도 2b에서, "A"로 표시된 부분은 도 1의 II-II'선을 따라 취해진 영역을 나타내고, "B"로 표시된 부분은 도 1의 III-III'선을 따라 취해진 영역을 나타낸다.
- [0032] 도 1, 도 2a 및 도 2b를 참조하면, 기판(1)이 제공될 수 있다. 상기 기판(1)은 반도체 기판일 수 있다. 예를 들어, 상기 기판(1)은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판 등일 수 있다. 한편, 상기 기판(1)은 SOI(silicon on insulating layer)일 수도 있다. 상기 기판(1)은 메모리 셀들이 형성되는 메모리 셀 어레이 영역 및 상기 메모리 셀들을 동작시키기 위한 주변 회로들이 형성되는 주변 회로 영역을 포함할 수 있다. 상기 기판(1) 내에 웰 영역(3)이 제공될 수 있다.
- [0033] 상기 기판(1) 상에 소자 분리 패턴들(78a, 78b)이 배치될 수 있다. 상기 소자분리 패턴들(78a, 78b)은 서로 이격된 라인 형상일 수 있다. 상기 소자분리 패턴들(78a, 78b)은 서로 평행할 수 있다. 상기 소자분리 패턴들(78a, 78b)은 서로 인접하는 제1 소자분리 패턴(78a) 및 제2 소자분리 패턴(78b)를 포함할 수 있다. 상기 제1 및 제2 소자분리 패턴들(78a, 78b)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.



- [0034] 상기 기관(1) 상에 적층 구조체(67)가 배치될 수 있다. 상기 적층 구조체(67)는 상기 소자분리 패턴들(78a, 78b) 사이에 배치될 수 있다.
- [0035] 상기 적층 구조체(67)는 복수의 층간 절연 막들(21) 및 복수의 도전성 패턴들(66)을 포함할 수 있다. 상기 층간 절연 막들(21)은 상기 소자분리 패턴들(78a, 78b) 사이에 위치하는 상기 기관(1) 상에 서로 이격되면서 수직적으로 배열될 수 있다. 상기 도전성 패턴들(66)은 서로 이격된 상기 층간 절연 막들(21) 사이에 배치될 수 있다. 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)은 상기 소자분리 패턴들(78a, 78b) 사이에 위치하는 상기 기관(1) 상에 교대로 그리고 반복적으로 적층 될 수 있다.
- [0036] 상기 도전성 패턴들(66)은 하나 또는 복수의 하부 도전성 패턴들(66g), 복수의 중간 도전성 패턴들(66c) 및 복수의 상부 도전성 패턴들(66s)을 포함할 수 있다. 상기 중간 도전성 패턴들(66c)은 상기 하부 도전성 패턴들(66g) 보다 높은 레벨에 위치할 수 있고, 상기 상부 도전성 패턴들(66s)은 상기 중간 도전성 패턴들(66c) 보다 높은 레벨에 위치할 수 있다.
- [0037] 상기 상부 도전성 패턴들(66s)은 동일 평면에서 서로 이격된 제1 도전성 라인(66s\_1) 및 제2 도전성 라인(66s\_2)을 포함할 수 있다. 상기 제1 도전성 라인(66s\_1) 및 상기 제2 도전성 라인(66s\_2)은 서로 동일한 레벨에 위치하며 서로 이격될 수 있다.
- [0038] 실시예들에서, 상기 도전성 패턴들(66)은 반도체 메모리 소자의 게이트 전극들 또는 게이트 배선들일 수 있다. 예를 들어, 상기 중간 도전성 패턴들(66c)은 비휘발성 메모리 소자의 셀 게이트 전극들일 수 있고, 상기 셀 게이트 전극들 중 최하위 셀 게이트 전극과 상기 기관(1) 사이에 개재된 하나 또는 복수의 상기 하부 도전성 패턴들(66g)은 접지 선택 게이트 전극들일 수 있고, 상기 셀 게이트 전극들(66c) 상에 위치하는 상기 상부 도전성 패턴들(66s)은 스트링 선택 게이트 전극 또는 스트링 선택 게이트 라인일 수 있다.
- [0039] 상기 층간 절연 막들(21)은 상기 하부 도전성 패턴들(66g)과 상기 기관(1) 사이에 개재된 최하위 절연 막(6), 상기 하부 도전성 패턴들(66g) 사이에 개재된 하부 절연 막(8), 상기 하부 도전성 패턴들(66g)과 상기 중간 도전성 패턴들(66c) 사이에 개재된 하부 층간 절연 막(9), 상기 중간 도전성 패턴들(66c) 사이에 개재된 중간 절연 막들(11), 상기 중간 도전성 패턴들(66c)과 상기 상부 도전성 패턴들(66s) 사이에 개재된 상부 층간 절연 막(12), 상/하로 배치된 상부 도전성 패턴들(66s) 사이에 위치하는 상부 절연 막(14), 및 상기 상부 도전성 패턴들(66s) 상에 배치된 최상위 절연 막(15)을 포함할 수 있다. 상기 상부 층간 절연 막(12)은 상기 상부 절연 막(14) 및 각각의 상기 중간 절연 막들(11) 보다 큰 수직 두께를 갖도록 형성될 수 있다.
- [0040] 상기 도전성 패턴들(66)은 도핑된 반도체(ex, 도우프트 실리콘 등), 금속(ex, 텅스텐, 구리, 알루미늄 등), 도전성 금속 질화물(ex, 질화 티타늄, 질화 탄탈륨, 질화 텅스텐 등), 도전성 금속-반도체 화합물(ex, 금속 실리콘사이드 등), 또는 전이 금속(ex, 티타늄, 탄탈륨 등) 등에서 적어도 하나를 포함하도록 형성될 수 있다. 상기 층간 절연 막들(21)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0041] 상기 제1 도전성 라인(66s\_1) 및 상기 제2 도전성 라인(66s\_2) 사이에 개재된 라인 분리 패턴(27)이 배치될 수 있다. 메모리 소자에서, 상기 라인 분리 패턴(27)은 메모리 소자의 스트링 선택 게이트 라인 역할을 할 수 있는 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)을 분리 또는 전기적으로 절연시키기 위한 패턴으로써, 스트링 선택 라인 분리 패턴으로 명명될 수도 있다. 상기 라인 분리 패턴(27)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0042] 상기 적층 구조체(67) 및 상기 라인 분리 패턴(27) 상에 제1 캐핑 막(30)이 배치될 수 있다. 상기 제1 캐핑 막(30)은 상기 소자분리 패턴들(78a, 78b) 사이에 배치될 수 있다. 상기 제1 캐핑 막(30)은 실리콘 산화물로 형성될 수 있다.
- [0043] 상기 제1 캐핑 막(30), 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)을 관통하는 수직 구조체들(48c)이 배치될 수 있다. 상기 수직 구조체들(48c)은 상기 제1 캐핑 막(30), 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)을 관통하면서 상기 기관(1)과 물리적으로 연결될 수 있다. 예를 들어, 상기 수직 구조체들(48c)은 상기 기관(1)의 상기 웰 영역(3)과 전기적으로 연결될 수 있다. 평면에서, 상기 수직 구조체들(48c)은 상기 라인 분리 패턴(27)을 가운데 두고 좌우 대칭적인 구조로 배열될 수 있다.
- [0044] 상기 수직 구조체들(48c)은 제1 내지 제4 수직 구조체들(48c\_1, 48c\_2, 48c\_3, 48c\_4)을 포함할 수 있다.
- [0045] 상기 제1 및 제3 수직 구조체들(48c\_1, 48c\_3)은 상기 제1 소자분리 패턴(78a)과 상기 라인 분리 패턴(27) 사이에 위치하며 서로 인접할 수 있다. 상기 제1 및 제3 수직 구조체들(48c\_1, 48c\_3)은 상기 제1 캐핑 막(30), 상

기 층간 절연 막들(21), 상기 제1 도전성 라인(66s<sub>1</sub>), 상기 중간 도전성 패턴들(66c) 및 상기 하부 도전성 패턴들(66g)을 관통할 수 있다. 상기 제1 수직 구조체(48c<sub>1</sub>)는 상기 라인 분리 패턴(27) 보다 상기 제1 소자분리 패턴(78a)에 가까울 수 있다. 상기 제3 수직 구조체(48c<sub>3</sub>)은 상기 제1 소자분리 패턴(78a) 보다 상기 라인 분리 패턴(27)에 가까울 수 있다.

[0046] 상기 제2 및 제4 수직 구조체들(48c<sub>2</sub>, 48c<sub>4</sub>)은 상기 제2 소자분리 패턴(78b)과 상기 라인 분리 패턴(27) 사이에 위치하며 서로 인접할 수 있다. 상기 제2 및 제4 수직 구조체들(48c<sub>2</sub>, 48c<sub>4</sub>)은 상기 제1 캐핑 막(30), 상기 층간 절연 막들(21), 상기 제2 도전성 라인(66s<sub>2</sub>), 상기 중간 도전성 패턴들(66c) 및 상기 하부 도전성 패턴들(66g)을 관통할 수 있다. 상기 제2 수직 구조체(48c<sub>2</sub>)는 상기 라인 분리 패턴(27) 보다 상기 제2 소자분리 패턴(78b)에 가까울 수 있다. 상기 제4 수직 구조체(48c<sub>4</sub>)는 상기 제2 소자분리 패턴(78b) 보다 상기 라인 분리 패턴(27)에 가까울 수 있다. 상기 제2 및 제4 수직 구조체들(48c<sub>2</sub>, 48c<sub>4</sub>)은 상기 라인 분리 패턴(27)을 사이에 두고 상기 제1 및 제3 수직 구조체들(48c<sub>1</sub>, 48c<sub>3</sub>)과 미러 구조를 형성하도록 배치될 수 있다.

[0047] 상기 제1 및 제2 수직 구조체들(48c<sub>1</sub>, 48c<sub>2</sub>)은 상기 라인 분리 패턴(27)을 사이에 두고 대칭적인 위치에 배치될 수 있고, 상기 제3 및 제4 수직 구조체들(48c<sub>3</sub>, 48c<sub>4</sub>)은 상기 라인 분리 패턴(27)을 사이에 두고 대칭적인 위치에 배치될 수 있다. 상기 제1 및 제2 수직 구조체들(48c<sub>1</sub>, 48c<sub>2</sub>) 사이의 이격 거리(D2)는 상기 제3 및 제4 수직 구조체들(48c<sub>3</sub>, 48c<sub>4</sub>) 사이의 이격 거리(D1) 보다 클 수 있다.

[0048] 상기 제1 캐핑 막(30), 상기 라인 분리 패턴(27), 상기 층간 절연 막들(21), 상기 중간 도전성 패턴들(66c) 및 상기 하부 도전성 패턴들(66g)을 관통하는 보조 패턴들(48a)이 배치될 수 있다. 상기 보조 패턴들(48a)은 상기 라인 분리 패턴(27)을 관통하면서 상기 라인 분리 패턴(27)과 직접적으로 접촉할 수 있다. 상기 보조 패턴들(48a)은 평면상에서 상기 제1 및 제2 도전성 라인들(66s<sub>1</sub>, 66s<sub>2</sub>) 사이에 배치될 수 있다.

[0049] 상기 보조 패턴들(48a)은 상기 라인 분리 패턴(27)을 가운데 두고 서로 마주보며 상대적으로 이격 거리가 큰 수직 구조체들(48c<sub>1</sub>, 48c<sub>2</sub>) 사이에 배치되면서 상기 라인 분리 패턴(27)을 가운데 두고 서로 마주보며 상대적으로 이격 거리가 작은 수직 구조체들(48c<sub>3</sub>, 48c<sub>4</sub>) 사이에는 배치되지 않을 수 있다. 상기 제1 및 제2 수직 구조체들(48c<sub>1</sub>, 48c<sub>2</sub>) 사이의 이격 거리(D2)는 상기 제3 및 제4 수직 구조체들(48c<sub>3</sub>, 48c<sub>4</sub>) 사이의 이격 거리(D1) 보다 클 수 있다.

[0050] 상기 제1 및 제2 수직 구조체들(48c<sub>1</sub>, 48c<sub>2</sub>) 사이에 상기 보조 패턴들(48a) 중 어느 하나가 위치할 수 있고, 상기 제3 및 제4 수직 구조체들(48c<sub>3</sub>, 48c<sub>4</sub>) 사이에 상기 보조 패턴들(48a)이 위치하지 않을 수 있다.

[0051] 상기 보조 패턴들(48a)은 상기 수직 구조체들(48c)과 동일한 레벨에 형성될 수 있다. 상기 보조 패턴들(48a)은 상기 수직 구조체들(48c)과 동일한 단면 구조로 형성될 수 있다. 상기 보조 패턴들(48a)은 상기 수직 구조체들(48c)과 동일한 물질들로 형성될 수 있다.

[0052] 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)의 각각은 반도체 패턴(39)을 포함할 수 있다. 예를 들어, 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)의 각각은 절연성의 코어 패턴(42), 상기 코어 패턴(42) 상의 패드 패턴(45), 상기 코어 패턴(42)의 바닥면과 상기 기판(1) 사이에 개재되면서 상기 코어 패턴(42)의 측면 및 상기 패드 패턴(45)의 측면 상으로 연장된 상기 반도체 패턴(39)을 포함할 수 있다. 상기 반도체 패턴(39)은 트랜지스터의 채널 영역이 형성될 수 있는 반도체 물질로 형성될 수 있다. 예를 들어, 상기 반도체 패턴(39)은 실리콘 등과 같은 반도체 물질로 형성될 수 있다.

[0053] 한편, 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)은 기둥(pillar) 형태의 반도체 패턴들로 형성될 수도 있다.

[0054] 상기 도전성 패턴들(66)과 상기 수직 구조체들(48c) 사이에 개재된 부분, 상기 도전성 패턴들(66)과 상기 층간 절연 막들(21) 사이에 개재된 부분 및 상기 도전성 패턴들(66)과 상기 보조 패턴들(48a) 사이에 개재된 부분을 포함하는 유전체(60)가 배치될 수 있다.

[0055] 상기 제1 도전성 라인(66s<sub>1</sub>)은 상기 제1 소자분리 패턴(78a)과 상기 보조 패턴들(48a) 사이에 위치하는 상기 라인 분리 패턴(27) 사이에서 제1 폭(W1)을 갖고, 상기 제1 소자분리 패턴(78a)과 상기 보조 패턴들(48a) 사이에서 상기 제1 폭(W1) 보다 작은 제2 폭(W2)을 가질 수 있다. 이와 마찬가지로, 상기 제2 도전성 라인(66s<sub>2</sub>)은 상기 제2 소자분리 패턴(78b)과 상기 보조 패턴들(48a) 사이에 위치하는 상기 라인 분리 패턴(27) 사이에서 제1 폭(W1)을 갖고, 상기 제2 소자분리 패턴(78b)과 상기 보조 패턴들(48a) 사이에서 상기 제1 폭(W1) 보다 작은 제2 폭(W2)을 가질 수 있다.

- [0056] 상기 라인 분리 패턴(27) 및 상기 보조 패턴들(48a)을 사이에 두고 서로 마주 보는 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)의 측면들은, 평면에서 굴곡진 모양일 수 있고, 상기 소자분리 패턴들(78a, 78b)과 인접하는 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)의 측면들은, 평면에서 라인 모양일 수 있다. 예를 들어, 상기 제1 도전성 라인(66s\_1)은 서로 마주보는 제1 측면(S1) 및 제2 측면(S2)을 가질 수 있다. 상기 제1 도전성 라인(66s\_1)의 상기 제1 측면(S1)은 상기 제1 소자분리 패턴(78a) 보다 상기 라인 분리 패턴(27) 및 상기 보조 패턴들(48a)에 가까우며, 평면에서 굴곡진 모양일 수 있다. 상기 제1 도전성 라인(66s\_2)의 상기 제2 측면(S2)은 상기 라인 분리 패턴(27) 및 상기 보조 패턴들(48a) 보다 상기 제1 소자분리 패턴(78a)에 가까우며, 평면에서 라인 모양일 수 있다.
- [0057] 상기 수직 구조체들(48c), 상기 보조 패턴들(48a) 및 상기 제1 캐핑 막(30)을 덮는 제2 캐핑 막(51)이 배치될 수 있다. 상기 제2 캐핑 막(51)은 상기 소자분리 패턴들(78a, 78b) 사이에 배치될 수 있다. 상기 제2 캐핑 막(51)은 실리콘 산화물로 형성될 수 있다.
- [0058] 상기 제1 및 제2 소자 분리 패턴들(78a, 78b), 및 상기 제2 캐핑 막(51)을 덮는 캐핑 층간 절연 막(81)이 배치될 수 있다. 상기 캐핑 층간 절연 막(81)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0059] 상기 소자분리 패턴들(78a, 78b)의 측면들 상에 절연성 스페이서들(69)이 배치될 수 있다. 상기 절연성 스페이서들(69)은 실리콘 질화물 또는 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다. 상기 절연성 스페이서들(69)은 상기 소자분리 패턴들(78a, 78b)과 상기 적층 구조체들(67) 사이에 개재됨과 아울러, 상기 소자분리 패턴들(78a, 78b)과 상기 제1 및 제2 캐핑 막들(30, 51) 사이에 개재될 수 있다.
- [0060] 상기 소자분리 패턴들(78a, 78b) 하부에 위치하는 상기 기판(1) 내에 불순물 영역(72)이 배치될 수 있다. 상기 불순물 영역(72)은 상기 웰 영역(3)과 다른 도전형일 수 있다. 상기 소자분리 패턴들(78a, 78b)과 상기 불순물 영역(72) 사이에 금속 실리사이드 등과 같은 금속-반도체 화합물(75)이 배치될 수 있다.
- [0061] 상기 캐핑 층간 절연 막(81) 및 상기 제2 캐핑 막(51)을 관통하며 상기 수직 구조체들(48c)과 전기적으로 연결된 도전성의 콘택 구조체들(90)이 배치될 수 있다.
- [0062] 상기 캐핑 층간 절연 막(81) 상에 상기 콘택 구조체들(90)과 전기적으로 연결된 비트 라인들(93)이 배치될 수 있다. 상기 비트라인들(93)은 서로 평행한 라인 형상일 수 있다.
- [0063] 상기 비트 라인들(93)은 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)과 교차하는 방향성의 라인 형상들일 수 있다. 예를 들어, 평면상에서, 상기 비트 라인들(93)은 상기 제1 및 제2 도전성 라인들(66s)과 수직적으로 교차하는 라인 형상들일 수 있다.
- [0064] 상기 비트 라인들(93)은 상기 수직 구조체들(48c)과 중첩할 수 있다. 상기 콘택 구조체들(93)은 상기 수직 구조체들(48c)과 상기 비트라인들(93) 사이에 개재되어, 상기 수직 구조체들(48c)과 상기 비트라인들(93)을 전기적으로 연결할 수 있다.
- [0065] 상기 비트 라인들(93)은 상기 보조 패턴들(48a)과 이격될 수 있다.
- [0066] 상기 비트라인들(93) 중 서로 인접하는 한 쌍의 비트라인들 중 어느 하나는 상기 보조 패턴들(48a) 중 어느 하나와 중첩할 수 있고, 다른 하나는 상기 보조 패턴들(48a)과 중첩하지 않을 수 있다.
- [0067] 상기 비트라인들(93)은 서로 인접하는 제1 비트라인(93\_1) 및 제2 비트라인(93\_2)을 포함할 수 있다. 상기 제1 비트라인(93\_1)은 상기 제1 및 제2 수직 구조체들(48c\_1, 48c\_2)과 중첩하면서 상기 제1 및 제2 수직 구조체들(48c\_1, 48c\_2) 사이에 위치하는 보조 패턴(48a)과 중첩할 수 있다. 상기 제2 비트라인(93\_2)은 상기 제3 및 제4 수직 구조체들(48c\_3, 48c\_4)과 중첩하면서 상기 보조 패턴들(48a)과 중첩하지 않을 수 있다.
- [0068] 상기 비트라인들(93) 중에서 상기 보조 패턴들(48a)과 중첩하는 비트라인(93\_1)과, 상기 보조 패턴들(48a) 사이에 절연체가 개재될 수 있다. 예를 들어, 상기 비트라인들(93)과 상기 보조 패턴들(48a) 사이에 위치하는 상기 캐핑 층간 절연 막(81) 및 상기 제2 캐핑 막(51)은 상기 비트라인들(93)을 상기 보조 패턴들(48a)로부터 절연시킬 수 있다.
- [0069] 도 3은 도 2a의 "P" 부분을 확대한 부분 확대도이다. 도 3과 함께 도 1, 도 2a 및 도 2b를 참조하여, 상기 도전성 패턴들(66) 및 상기 유전체(60)에 대하여 설명하기로 한다.
- [0070] 도 1, 도 2a, 도 2b 및 도 3을 참조하면, 상기 도전성 패턴들(66)의 각각은 제1 도전성 패턴(64) 및 제2 도전성

패턴(65)을 포함할 수 있다.

- [0071] 상기 제1 도전성 패턴(64)은 상기 층간 절연 막들(21) 사이에 개재될 수 있다.
- [0072] 상기 제2 도전성 패턴(65)은 상기 제1 도전성 패턴(64)과 상기 층간 절연 막들(21) 사이에 개재된 부분, 제1 도전성 패턴(64)과 상기 수직 구조체들(48c) 사이에 개재된 부분, 및 상기 제1 도전성 패턴(64)과 상기 보조 패턴들(48a) 사이에 개재된 부분을 포함할 수 있다. 상기 제1 도전성 패턴(64)은 텅스텐 등과 같은 도전성 물질로 형성될 수 있고, 상기 제2 도전성 패턴(65)은 질화 티타늄, 질화 탄탈륨 또는 질화 텅스텐 등과 같은 도전성의 금속 질화물로 형성될 수 있다.
- [0073] 상기 유전체(60)은 메모리 소자의 정보 저장을 위한 요소를 포함하는 복수의 막들로 형성될 수 있다. 상기 유전체(60)는 제1 유전 막(59a), 제2 유전 막(59b), 제3 유전 막(59c) 및 제4 유전 막(59d)을 포함할 수 있다.
- [0074] 상기 수직 구조체들(48c)과 상기 도전성 패턴들(66) 사이에 위치하는 상기 유전체(60)의 부분에서, 상기 제1 유전 막(59a), 상기 제2 유전 막(59b), 상기 제3 유전 막(59c) 및 상기 제4 유전 막(59d)은 상기 수직 구조체들(48c)로부터 상기 도전성 패턴들(66)이 위치하는 방향으로 차례로 배열될 수 있다. 상기 제1 유전 막(59a)은 상기 수직 구조체들(48c)에 인접 또는 가까울 수 있고, 상기 제4 유전 막(59d)은 상기 도전성 패턴들(66)에 인접 또는 가까울 수 있다. 그리고, 상기 제2 및 제3 유전 막들(59b, 59c)은 상기 제1 유전 막(59a)과 상기 제4 유전 막(59d) 사이에 개재될 수 있다. 상기 제2 유전 막(59b)은 상기 제3 유전 막(59c)과 상기 제1 유전 막(59a) 사이에 개재될 수 있다.
- [0075] 상기 제1 유전 막(59a)은 터널 유전 막일 수 있고, 상기 제2 유전 막(59b)은 비휘발성 메모리 소자에서 정보를 저장하기 위한 막일 수 있고, 상기 제3 유전 막(59c)은 장벽 유전 막일 수 있고, 상기 제4 유전 막(59d)은 블로킹 유전 막일 수 있다.
- [0076] 상기 제1 유전 막(59a)은 실리콘 산화막 및 질소 도핑된 실리콘 산화막(nitrogen doped silicon oxide layer) 중 적어도 하나를 포함할 수 있다.
- [0077] 상기 제2 유전 막(59b)은 전하(charge)를 트랩(trap)하여 정보를 저장할 수 있는 물질 막일 수 있다. 상기 제2 유전막(59b)은 비휘발성 메모리 소자의 동작 조건에 따라, 상기 반도체 패턴(39)으로부터 터널 유전막으로써의 상기 제1 유전막(59a)을 통과하여 주입된 전하(charge)를 트랩하여 보유(retention) 하거나, 또는 정보 저장을 위한 상기 제2 유전막(59b) 내의 트랩된 전하를 소거할 수 있는 물질로 이루어질 수 있다. 예를 들어, 상기 제2 유전 막(59b)은 실리콘 질화물 및 고유전체 적어도 하나를 포함할 수 있다. 상기 고유전체는 알루미늄 산화물 (AlO), 지르코늄 산화물(ZrO), 하프늄 산화물(HfO) 또는 란타늄 산화물(LaO) 등과 같이 실리콘 산화물 보다 높은 유전 상수를 갖는 유전체를 포함할 수 있다.
- [0078] 상기 제3 유전 막(59c)은 고유전체의 에너지 밴드 갭 보다 큰 에너지 밴드 갭을 갖는 유전체(ex, 실리콘 산화물 등)로 형성될 수 있다.
- [0079] 상기 제4 유전 막(59d)은 상기 터널 유전막으로써의 상기 제1 유전 막(59a)에 비하여 높은 유전상수를 갖는 고 유전체(ex, 하프늄 산화물 및/또는 알루미늄 산화물 등과 같은 금속 산화물 등)를 포함할 수 있다.
- [0080] 몇몇 실시예들에서, 수직 구조체들(48a)의 각각은 수직 유전체를 포함할 수 있다. 이와 같이, 수직 유전체를 포함하는 수직 구조체들(48a)을 갖는 반도체 소자에 대하여 도 4a, 도 4b 및 도 5를 참조하여 설명하기로 한다. 도 4a는 도 1의 I-I' 선을 따라 취해진 단면도이다. 그리고, 도 4b에서, "A"로 표시된 부분은 도 1의 II-II' 선을 따라 취해진 영역을 나타내고, "B"로 표시된 부분은 도 1의 III-III' 선을 따라 취해진 영역을 나타낸다. 도 5는 도 4a의 "P"로 표시된 부분을 확대한 부분 확대도이다.
- [0081] 도 4a, 도 4b 및 도 5를 참조하면, 수직 구조체들(48c') 및 보조 패턴들(48a')의 각각은 수직 유전체(36)를 포함할 수 있다. 예를 들어, 상기 수직 구조체들(48c') 및 상기 보조 패턴들(48a')의 각각은 상기 코어 패턴(42), 상기 코어 패턴(42) 상의 상기 패드 패턴(45), 상기 코어 패턴(42)의 바닥면과 상기 기판(1) 사이에 개재되면서 상기 코어 패턴(42)의 측면 및 상기 패드 패턴(45)의 측면 상으로 연장된 상기 반도체 패턴(39), 및 상기 반도체 패턴(39)의 측면 상에 배치된 상기 수직 유전체(36)를 포함할 수 있다.
- [0082] 상기 수직 유전체(36) 및 상기 유전체(60) 중 어느 하나는 비휘발성 메모리 소자의 정보 저장 요소를 포함할 수 있다.
- [0083] 상기 수직 유전체(36) 및 상기 유전체(60) 중 적어도 하나는 다중 막으로 형성될 수 있다. 이와 같이, 상기 수

직 유전체(36) 및 상기 유전체(60) 중 적어도 하나가 다중 막으로 형성될 수 있는 실시예에 대하여, 도 6을 참조하여 설명하기로 한다. 여기서, 도 6은 도 4a의 "P"로 표시된 부분을 확대한 부분 확대도이다.

- [0084] 도 6을 참조하면, 상기 수직 유전체(36) 및 상기 유전체(60) 중 어느 하나는 정보를 저장하기 위한 막을 포함하며 다중 막으로 형성될 수 있다. 예를 들어, 상기 수직 유전체(36)는 터널 유전 막(35b) 및 정보 저장 막(35a)을 포함할 수 있고, 상기 유전체(60)는 장벽 유전 막(59a) 및 블로킹 유전 막(59b)을 포함할 수 있다.
- [0085] 상기 반도체 패턴(39)과 상기 유전체(60) 사이에 위치하는 부분에서, 상기 터널 유전 막(35b)는 상기 유전체(66) 보다 상기 반도체 패턴(39)에 가까울 수 있고, 상기 정보 저장 막(35a)은 상기 반도체 패턴(39) 보다 상기 유전체(60)에 가까울 수 있다.
- [0086] 상기 도전성 패턴들(66)과 상기 수직 유전체(36) 사이에 위치하는 부분에서, 상기 블로킹 유전막(59b)은 상기 수직 유전체(36) 보다 상기 도전성 패턴들(66)에 가까울 수 있고, 상기 장벽 유전 막(59a)은 상기 도전성 패턴들(66) 보다 상기 수직 유전체(36)에 가까울 수 있다.
- [0087] 상기 보조 패턴들(48a)은 평면상에서 원형일 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 보조 패턴들(48a)은 다각형 또는 타원형일 수 있다. 예를 들어, 도 7a에서와 같이, 평면에서 꼭지점들 중 두 개가 상기 소자분리 패턴들(78a, 78b)에 가까운 사각형 모양의 보조 패턴들(48a\_1)이 배치될 수 있다.
- [0088] 한편, 도 7b에서와 같이, 평면에서 직사각형 모양의 보조 패턴들(48a\_2)이 배치될 수 있다. 직사각형 모양의 보조 패턴들(48a\_2)은, 평면에서 상기 소자분리 패턴들(78a, 78b)을 향하는 장축을 가질 수 있다.
- [0089] 한편, 도 7c에서와 같이, 평면에서 타원형 모양의 보조 패턴들(48a\_3)이 배치될 수 있다. 타원형 모양의 보조 패턴들(48a\_3)은, 평면에서 상기 소자분리 패턴들(78a, 78b)을 향하는 장축을 가질 수 있다.
- [0090] 도 2a 내지 도 4b에서 설명한 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자 및 그 변형 예에 대한 제조 방법들에 대하여 설명하기로 한다. 도 8a, 도 8b, 도 9a, 도 9b, 도 9a, 도 9b, 도 10a, 도 10b, 도 11a, 도 11b, 도 12a, 도 12b, 도 13a, 도 13b, 도 14a, 도 14b, 도 15a, 도 15b, 도 16a, 도 16b, 도 17a 및 도 17b은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 제조방법에 대하여 설명하기 위한 단면도들이다.
- [0091] 도 8a 내지 도 17b에서, 도 8a, 도 9a, 도 9a, 도 10a, 도 11a, 도 12a, 도 13a, 도 14a, 도 15a, 도 16a 및 도 17a은 도 1의 I-I'선을 따라 취해진 단면도들이다. 그리고, 도 8b, 도 9b, 도 9b, 도 10b, 도 11b, 도 12b, 도 13b, 도 14b, 도 15b, 도 16b 및 도 17b에서, "A"로 표시된 부분은 도 1의 II-II'선을 따라 취해진 영역을 나타내고, "B"로 표시된 부분은 도 1의 III-III'선을 따라 취해진 영역을 나타낸다.
- [0092] 도 1, 도 8a 및 도 8b를 참조하면, 기판(1)을 준비할 수 있다. 상기 기판(1)은 반도체 기판일 수 있다. 예를 들어, 상기 기판(1)은 실리콘 등과 같은 반도체 물질로 형성된 반도체 기판일 수 있다. 상기 기판(1)은 제1 도전형의 웰 영역(3)을 포함할 수 있다. 상기 제1 도전형은 P형일 수 있다.
- [0093] 상기 기판(1) 상에 수평 막들(18, 21)을 형성할 수 있다. 상기 수평 막들(18, 21)은 교대로 그리고 반복적으로 수직 적층된 층간 절연막들(21) 및 희생 막들(18)을 포함할 수 있다. 상기 희생 막들(18)은 층간 절연막들(21)에 의해 수직적으로 이격될 수 있다.
- [0094] 상기 희생 막들(18)은 상기 층간 절연막들(21)에 대하여 식각 선택비를 갖는 물질로 형성될 수 있다. 예를 들어, 상기 층간 절연막들(21)은 절연성 산화물(ex, CVD 방법에 의한 실리콘 산화물 등)로 형성할 수 있으며, 상기 희생막들(18)은 절연성 질화물 등으로 형성할 수 있다. 예를 들어, 상기 층간 절연막들(21)을 실리콘 산화물로 형성하는 경우에, 상기 희생막들(18)은 실리콘 질화물 등과 같은 절연성 질화물로 형성할 수 있다.
- [0095] 상기 희생 막들(18)은 하나 또는 복수의 하부 희생 막들(7), 복수의 중간 희생 막들(10) 및 하나 또는 복수의 상부 희생 막들(13)을 포함할 수 있다.
- [0096] 상기 중간 희생 막들(10)은 상기 하부 희생 막들(7) 보다 높은 레벨에 위치할 수 있고, 상기 상부 희생 막들(13)은 상기 중간 희생 막들(10) 보다 높은 레벨에 위치할 수 있다. 상기 하부 희생 막들(7)은 제1 하부 희생 막(7L) 및 상기 제1 하부 희생 막(7L) 보다 높은 레벨에 위치하는 제2 하부 희생 막(7U)을 포함할 수 있다. 상기 상부 희생 막들(13)은 제1 상부 희생 막(13L) 및 상기 제1 상부 희생 막(13L) 보다 높은 레벨에 위치하는 제2 상부 희생 막(13U)을 포함할 수 있다.

- [0097] 상기 층간 절연 막들(21)은 상기 제1 하부 희생 막(7L)과 상기 기판(1) 사이에 개재된 최하위 절연 막(6), 상기 제1 및 제2 하부 희생 막들(7L, 7U) 사이에 개재된 하부 층간 막(8), 상기 제2 하부 희생 막(7U)과 상기 중간 희생 막들(10) 사이에 개재된 하부 절연 막(9), 상기 중간 희생 막들(10) 사이에 개재된 중간 층간 막들(11), 상기 중간 희생 막들(10)과 상기 제1 상부 희생 막(13L) 사이에 개재된 상부 절연 막(12), 상기 제1 및 제2 상부 희생 막들(13L, 13U) 사이에 개재된 상부 층간 막(14), 및 상기 제2 상부 희생 막(13U) 상에 배치된 최상위 절연 막(15)을 포함할 수 있다.
- [0098] 상기 상부 절연 막(12)은 상기 상부 층간 막(14) 및 각각의 상기 중간 층간 막들(11) 보다 큰 수직 두께를 갖도록 형성될 수 있다.
- [0099] 도 1, 도 9a 및 도 9b를 참조하면, 상기 수평 막들(18, 21) 중 일부 막들을 관통하며 가로지르는 트렌치(24)를 형성할 수 있다. 상기 트렌치(24)는 수평 막들(18, 21) 중 적어도 상기 상부 희생 막들(13)을 관통하며 가로지르도록 형성될 수 있다. 상기 트렌치(24)는 상기 최상위 절연 막(15), 상기 상부 희생 막들(13), 및 상기 상부 층간 절연 막(14)을 관통하며 가로지를 수 있다. 상기 트렌치(24)는, 평면상에서, 라인 형상일 수 있다.
- [0100] 도 1, 도 10a 및 도 10b를 참조하면, 상기 트렌치(24)를 채우는 라인 분리 패턴(27)을 형성할 수 있다. 상기 라인 분리 패턴(27)을 형성하는 것은 상기 트렌치(24)를 갖는 기판 상에 상기 트렌치(24)를 채우며 상기 최상위 절연 막(15)을 덮는 물질 막을 형성하고, 상기 물질 막을 평탄화하는 것을 포함할 수 있다.
- [0101] 상기 라인 분리 패턴(27)은 상기 희생 막들(18)에 대하여 식각 선택비를 갖는 물질막으로 형성할 수 있다. 예를 들어, 상기 희생 막들(18)은 실리콘 질화막으로 형성할 수 있고, 상기 라인 분리 패턴(27)은 실리콘 산화막 등과 같은 절연성 물질막으로 형성할 수 있다.
- [0102] 도 1, 도 11a 및 도 11b를 참조하면, 상기 라인 분리 패턴(27)을 갖는 기판 상에 제1 캐핑 막(30)을 형성할 수 있다. 상기 제1 캐핑 막(30)은 상기 희생 막들(18)에 대하여 식각 선택비를 갖는 절연성 물질(ex, 실리콘 산화물)로 형성할 수 있다.
- [0103] 상기 제1 캐핑 막(30) 및 상기 수평 막들(18, 21)을 관통하며 상기 기판(1)을 노출시키는 제1 홀들(33c)을 형성하면서, 상기 제1 캐핑 막(30), 상기 라인 분리 패턴(27) 및 상기 수평 막들(18, 21)을 관통하며 상기 기판(1)을 노출시키는 제2 홀들(33a)을 형성할 수 있다. 상기 제1 홀들(33c) 및 상기 제2 홀들(33a)은 동시에 형성될 수 있다.
- [0104] 상기 제1 홀들(33c)은 상기 라인 분리 패턴(27)과 이격될 수 있다. 상기 제2 홀들(33a)은 상기 라인 분리 패턴(27)과 중첩할 수 있다. 상기 제2 홀들(33a) 중 복수의 홀들은 하나의 라인 분리 패턴(27)을 관통하며 서로 이격될 수 있다.
- [0105] 도 1, 도 12a 및 도 12b를 참조하면, 상기 제1 홀들(33c) 내에 수직 구조체들(48c)을 형성하면서, 상기 제2 홀들(33a) 내에 보조 패턴들(48a)을 형성할 수 있다. 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)은 동시에 형성될 수 있으며, 동일한 물질로 형성될 수 있다.
- [0106] 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)의 각각은 반도체 패턴을 포함하도록 형성할 수 있다. 예를 들어, 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)은 결정질 실리콘 등과 같은 반도체 물질을 포함하도록 형성할 수 있다.
- [0107] 몇몇 실시예들에서, 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)을 형성하는 것은 상기 제1 및 제2 홀들(33c, 33a)을 갖는 기판 상에 반도체 막을 형성하고, 상기 반도체 막 상에 상기 제1 및 제2 홀들(33c, 33a)을 부분적으로 채우는 코어 절연 패턴들(42)을 형성하고, 상기 코어 절연 패턴들(42)을 갖는 기판 상에 패드 막을 형성하고, 상기 최상위 절연 막(15)이 노출될 때까지 상기 패드 막 및 상기 반도체 막을 평탄화하는 것을 포함할 수 있다. 상기 평탄화는 화학기계적 연마 공정 및/또는 에치 백 공정으로 진행할 수 있다. 상기 평탄화에 의하여 상기 제1 및 제2 홀들(33c, 33a) 내에 잔존하는 상기 반도체 막은 반도체 패턴들(39)로 정의될 수 있고, 상기 제1 및 제2 홀들(33c, 33a) 내에 잔존하는 상기 패드 막은 패드 패턴들(45)로 정의될 수 있다. 상기 반도체 막은 화학기상 증착법(CVD) 또는 원자층 증착법(ALD)으로 형성할 수 있다. 상기 반도체 패턴들(39)은 결정질의 반도체 물질(ex, 결정질 실리콘)로 형성될 수 있다. 상기 코어 절연 패턴들(42)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다. 상기 패드 패턴들(45)은 결정질의 반도체 물질(ex, 결정질 실리콘)로 형성될 수 있다. 상기 코어 절연 패턴들(42) 및 상기 패드 패턴들(45)은 차례로 적층될 수 있다. 상기 반도체 패턴들(39)은 상기 제1 및 제2 홀들(33c, 33a)의 내벽들을 덮을 수 있다. 상기 반도체 패턴들(39)은 상기 코어 절연 패턴

들(42)의 바닥면과 상기 기관(1) 사이에 개재되면서, 상기 코어 절연 패턴들(42)의 측면들 및 상기 패드 패턴들(45)의 측면들을 덮도록 형성될 수 있다. 따라서, 도 2a 및 도 2b에서 설명한 것과 같은 수직 구조체들(48c) 및 보조 패턴들(48a)을 형성할 수 있다.

- [0108] 다른 실시예에서, 상기 반도체 막을 형성하기 전에, 제1 홀들(33c) 및 상기 제2 홀들(33a)의 측면들 상에 수직 유전체(36)를 형성할 수 있다. 따라서, 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)의 각각은 상기 수직 유전체(36) 및 상기 반도체 패턴(39)을 포함할 수 있다. 따라서, 도 4a 및 도 4b에서 설명한 것과 같은 수직 구조체들(48c) 및 보조 패턴들(48a)을 형성할 수 있다.
- [0109] 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a) 내의 상기 반도체 패턴들(39)의 상부영역들 및 상기 패드 패턴들(45) 내에 불순물을 주입하여 불순물 영역들을 형성할 수 있다.
- [0110] 도 1, 도 13a 및 도 13b를 참조하면, 상기 수직 구조체들(48c) 및 상기 보조 패턴들(48a)을 갖는 기관 상에 제2 캐핑 막(51)을 형성할 수 있다. 상기 제2 캐핑 막(51)은 상기 희생 막들(18)에 대하여 식각 선택비를 갖는 물질(ex, 실리콘 산화물)로 형성할 수 있다.
- [0111] 상기 제2 캐핑 막(51), 상기 제1 캐핑 막(30) 및 상기 수평 막들(18, 21)을 관통하며 상기 기관(1)을 노출시키는 소자분리 트렌치들(54)을 형성할 수 있다. 상기 소자분리 트렌치들(54)은 라인 형상일 수 있다.
- [0112] 서로 인접하는 한 쌍의 상기 소자분리 트렌치들(54) 사이에 상기 라인 분리 패턴(27)이 위치할 수 있다. 상기 라인 분리 패턴(27)과 상기 소자분리 트렌치들(54) 사이에 상기 수직 구조체들(48c)이 위치할 수 있다. 상기 소자분리 트렌치들(54)에 의하여 상기 희생 막들(18)이 노출될 수 있다. 상기 소자분리 트렌치들(54)은 상기 라인 분리 패턴(27) 보다 큰 폭으로 형성될 수 있다.
- [0113] 도 1, 도 14a 및 도 14b를 참조하면, 상기 소자분리 트렌치들(54)에 의하여 노출된 상기 희생 막들(18)을 선택적으로 식각하여 제거할 수 있다. 따라서, 상기 희생 막들(18)이 제거되어 빈 공간들(57)이 형성될 수 있다. 상기 빈 공간들(57)에 의하여 상기 수직 구조체들(48c\_1, 48c\_2)의 일부 측면들 및 상기 보조 패턴들(48a)의 일부 측면들이 노출될 수 있다.
- [0114] 상기 보조 패턴들(48a)은 상기 층간 절연 막들(21)을 지지하는(supporting) 역할을 할 수 있다. 상기 층간 절연 막들(21)은 상기 수직 구조체들(48c)에 의하여 지지됨과 아울러, 상기 보조 패턴들(48a)에 의하여 지지될 수 있다. 상기 보조 패턴들(48a)은 상대적으로 이격 거리가 큰 상기 제1 및 제2 수직 구조체들(48c\_1, 48c\_2) 사이에 위치하는 상기 층간 절연 막들(21)의 부분들을 관통하면서 상기 층간 절연 막들(21)을 지지함으로써, 상기 층간 절연 막들(21)이 변형 또는 손상되는 것을 방지할 수 있다.
- [0115] 도 1, 도 15a 및 도 15b를 참조하면, 상기 빈 공간들(57)을 갖는 기관 상에 도전성 막(63)을 형성할 수 있다. 상기 도전성 막(63)은 상기 빈 공간들(57)을 채우면서 상기 소자분리 트렌치들(54)을 완전히 채우지 않는 오픈형(open-type)으로 형성할 수 있다.
- [0116] 상기 도전 막(63)은 도핑된 반도체(ex, 도우프트 실리콘 등), 금속(ex, 텅스텐, 구리, 알루미늄 등), 도전성 금속 질화물(ex, 질화 티타늄, 질화 탄탈륨, 질화 텅스텐 등), 도전성 금속-반도체 화합물(ex, 금속 실리콘사이드 등), 또는 전이 금속(ex, 티타늄, 탄탈륨 등) 등에서 적어도 하나를 포함하도록 형성할 수 있다. 예를 들어, 상기 도전 막(63)을 형성하는 것은 금속 질화막을 콘포멀하게 형성하고, 상기 금속 질화막을 갖는 기관 상에 상기 빈 공간(57)의 나머지 부분을 채우는 금속 막을 형성하는 것을 포함할 수 있다.
- [0117] 몇몇 실시예들에서, 상기 도전 막(63)을 형성하기 전에, 상기 빈 공간들(57)을 갖는 기관 상에 유전 막(60)을 콘포멀하게 형성할 수 있다.
- [0118] 상기 유전 막(60) 및 상기 도전 막(63)은 화학 기상 증착 공정(CVD) 또는 원자층 증착 공정(ALD)와 같이 공정 가스를 이용하는 증착 공정을 이용하여 형성할 수 있다. 상기 수직 구조체들(48c) 중에서, 상기 제1 도전성 라인(66s\_1)을 관통하는 수직 구조체들(48c\_1, 48c\_3)은 서로 일정한 간격을 갖도록 배열될 수 있다. 상기 수직 구조체들(48c) 중에서, 상기 제2 도전성 라인(66s\_2)을 관통하는 수직 구조체들(48c\_3, 48c\_4)은 서로 일정한 간격을 갖도록 배열될 수 있다. 그리고, 상기 제1 도전성 라인(66s\_1)을 관통하는 상기 수직 구조체들(48c\_1, 48c\_2)과 상기 제2 도전성 라인(66s\_2) 사이를 관통하는 상기 수직 구조체들(48c\_3, 48c\_4) 사이에서 상대적으로 상기 수직 구조체들(48c) 사이의 이격 거리가 큰 영역이 형성될 수 있다. 이와 같이, 상기 수직 구조체들(48c) 사이의 이격 거리가 큰 영역 내에 상기 보조 패턴들(48a)이 위치할 수 있다. 이와 같은 보조 패턴들(48a)은 상기 도전 막(63)을 형성하기 위한 공정 가스가 상기 빈 공간(57) 내에 균일하게 분포되게 하여 상기 도전

막(63)이 불량 없이 균일하게 형성될 수 있도록 한다. 또한, 상기 보조 패턴들(48a)은 상기 층간 절연 막들(21) 내에 크랙 등과 같은 불량이 발생하는 것을 방지하는 역할을 할 수 있다. 예를 들어, 상기 보조 패턴들(48a)은 상기 층간 절연 막들(21)을 지지하여(supporting) 상기 층간 절연 막들(21)이 휘어지거나 또는 상기 층간 절연 막들(21) 내에 크랙 등이 발생하는 것을 방지하는 역할을 할 수 있다.

- [0119] 도 1, 도 16a 및 도 16b를 참조하면, 상기 도전 막(63)을 부분 식각하여, 상기 빈 공간들(57) 내에 잔존하는 도전성 패턴들(66)을 형성할 수 있다. 상기 도전성 패턴들(66)은 상기 층간 절연 막들(21)에 의해 서로 이격되면서 수직적으로 적층될 수 있다. 상기 도전성 패턴들(66)은 하나 또는 복수의 하부 도전성 패턴들(66g), 복수의 중간 도전성 패턴들(66c) 및 하나 또는 복수의 상부 도전성 패턴들(66s)을 포함할 수 있다. 상기 중간 도전성 패턴들(66c)은 상기 하부 도전성 패턴들(66g) 보다 높은 레벨에 위치할 수 있고, 상부 도전성 패턴들(66s)은 상기 중간 도전성 패턴들(66c) 보다 높은 레벨에 위치할 수 있다. 상기 상부 도전성 패턴들(66s)은 동일 평면에서 서로 이격된 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)을 포함할 수 있다.
- [0120] 상기 소자분리 트렌치(54) 하부에 위치하는 상기 기관(1)이 노출될 수 있도록 상기 유전 막(60)을 식각할 수 있다.
- [0121] 도 1, 도 17a 및 도 17b를 참조하면, 상기 소자분리 트렌치들(54)의 측벽들 상에 절연성 스페이서들(69)을 형성할 수 있다. 상기 절연성 스페이서들(69)은 실리콘 질화물 및/또는 실리콘 산화물 등과 같은 절연성 물질로 형성할 수 있다.
- [0122] 상기 소자분리 트렌치들(54) 하부의 상기 기관(1)의 상기 웰 영역(3) 내에 불순물 영역들(72)을 형성할 수 있다. 상기 불순물 영역들(72)은 상기 웰 영역(3)과 다른 도전형일 수 있다. 예를 들어, 상기 웰 영역(3)은 P형의 도전형일 수 있고, 상기 불순물 영역들(72)은 N형의 도전형일 수 있다. 상기 불순물 영역들(72)은, 플래쉬 메모리 소자 등과 같은 비휘발성 메모리 소자에서, 공통 소오스 라인들로 이용될 수 있다. 상기 불순물 영역들(72) 상에 금속 실리사이드 등과 같은 금속-반도체 화합물(75)을 형성할 수 있다.
- [0123] 상기 금속-반도체 화합물(75)을 갖는 기관 상에 상기 소자분리 트렌치들(54)을 채우는 소자분리 패턴들(78)을 형성할 수 있다. 상기 소자분리 패턴들(78)을 형성하는 것은 상기 금속-반도체 화합물(75)을 갖는 기관 상에 절연성 물질 막을 형성하고, 상기 제2 캐핑 막(51)이 노출될 때까지 상기 절연성 물질 막을 평탄화하는 것을 포함할 수 있다. 상기 소자분리 패턴들(75)은 실리콘 산화물 등과 같은 절연성 물질로 형성할 수 있다.
- [0124] 상기 소자분리 패턴들(75)을 갖는 기관 상에 캐핑 층간 절연 막(81)을 형성할 수 있다. 상기 캐핑 층간 절연 막(81)은 실리콘 산화물로 형성할 수 있다.
- [0125] 다시, 도 2a 및 도 2b를 참조하면, 상기 캐핑 층간 절연 막(81), 상기 제2 캐핑 막(51) 및 상기 제1 캐핑 막(30)을 관통하며 상기 수직 구조체들(48c)과 전기적으로 연결된 콘택 구조체들(90)을 형성할 수 있다. 상기 콘택 구조체들(90) 상에 비트 라인들(93)을 형성할 수 있다. 상기 비트 라인들(93)은 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)과 교차하는 방향성을 갖도록 형성될 수 있다.
- [0126] 다음으로, 도 18a 및 도 18b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 다른 변형예에 대하여 설명하기로 한다. 도 18a는 도 1의 I-I'선을 따라 취해진 단면도이다. 도 18b에서, "A"로 표시된 부분은 도 1의 II-II'선을 따라 취해진 영역을 나타내고, "B"로 표시된 부분은 도 1의 III-III'선을 따라 취해진 영역을 나타낸다.
- [0127] 도 1, 도 18a 및 도 18b를 참조하면, 도 2a 및 도 2b를 참조하여 설명한 것과 같이, 반도체 기관(1) 상에 제1 및 제2 소자분리 패턴들(78a, 78b)이 배치될 있다. 도 2a 및 도 2b에서 설명한 것과 마찬가지로, 상기 제1 및 제2 소자분리 패턴들(78a, 78b) 사이의 상기 반도체 기관(1) 상에 교대로 그리고 반복적으로 적층된 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)을 포함하는 상기 적층 구조체(67)가 배치될 수 있다. 도 2a 및 도 2b에서 설명한 바와 같이, 상기 도전성 패턴들(66)은 서로 동일한 레벨에 위치하며 서로 이격된 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)을 포함할 수 있다.
- [0128] 상기 도전성 패턴들(66) 및 상기 층간 절연 막들(21)을 관통하는 수직 구조체들(110)이 배치될 수 있다. 상기 수직 구조체들(110)은 반도체 패턴(39)을 포함할 수 있다. 예를 들어, 상기 수직 구조체들(110)은 도 2a 및 도 2b에서 설명한 상기 수직 구조체들(48c)과 동일한 물질 및 동일한 단면 구조로 형성될 수 있다. 한편, 상기 수직 구조체들(110)은 도 4a 및 도 4b에서의 수직 구조체들(48c')와 같이 수직 유전체 및 반도체 패턴을 포함할



수도 있다.

- [0129] 상기 적층 구조체(67) 상에 제1 캐핑 막(30)이 배치될 수 있다. 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 개재되면서 상기 제1 캐핑 막(30), 상기 최상위 절연 막(15), 및 상기 상부 절연 막(14)을 가로지르며 관통하는 라인 분리 패턴(120)이 배치될 수 있다. 상기 라인 분리 패턴(120)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0130] 상기 라인 분리 패턴(110)을 관통하면서 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)을 관통하는 보조 패턴들(130)이 배치될 수 있다. 상기 보조 패턴들(130)은 상기 라인 분리 패턴(120)과 직접적으로 접촉될 수 있다. 상기 보조 패턴들(130)은 단일 막 또는 다중 막으로 형성될 수 있다. 예를 들어, 상기 보조 패턴들(130)은 실리콘 산화물 등과 같은 단일 물질 막으로 형성될 수 있다. 이와는 달리, 상기 보조 패턴들(130)은 제1 보조 패턴(126) 및 제2 보조 패턴(128)을 포함할 수 있다. 상기 제2 보조 패턴(126)은 기둥 모양일 수 있고, 상기 제1 보조 패턴(128)은 상기 제2 보조 패턴(126)의 바닥면 및 측면을 덮을 수 있다. 상기 제1 보조 패턴(126)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있고, 상기 제2 보조 패턴(128)은 실리콘 질화물 등과 같은 절연성 물질 또는 실리콘 등과 같은 도전성 물질로 형성될 수 있다.
- [0131] 상기 보조 패턴들(130) 및 상기 라인 분리 패턴(120)은 상기 수직 구조체들(110) 보다 높은 레벨에 위치하는 상부면을 가질 수 있다.
- [0132] 상기 적층 구조체(67) 및 상기 소자분리 패턴들(78a, 78b)을 덮는 캐핑 층간 절연 막(81)이 제공될 수 있다.
- [0133] 상기 캐핑 층간 절연 막(81), 상기 제2 캐핑 막(52) 및 상기 제1 캐핑 막(30)을 관통하며 상기 수직 구조체들(110)과 전기적으로 연결된 콘택 구조체들(90)이 제공될 수 있다. 상기 콘택 구조체들(90) 상에 도 2a 및 도 2b에서 설명한 것과 같은 상기 비트라인들(93)이 제공될 수 있다.
- [0134] 도 19a 내지 도 21b를 참조하여, 도 18a 및 도 18b에서 설명한 반도체 소자의 제조방법에 대하여 설명하기로 한다. 19a 내지 도 21b는 도 18a 및 도 18b를 참조하여 설명한 반도체 소자의 제조방법을 설명하기 위한 단면도들이다. 도 19a 내지 도 21b에서, 도 19a, 도 20a 및 도 21a는 도 1의 I-I'선을 따라 취해진 단면도들이다. 그리고, 도 19b, 도 20b 및 도 21b에서, "A"로 표시된 부분은 도 1의 II-II'선을 따라 취해진 영역을 나타내고, "B"로 표시된 부분은 도 1의 III-III'선을 따라 취해진 영역을 나타낸다.
- [0135] 도 1, 도 19a 및 도 19b를 참조하면, 도 8a 및 도 8b에서 설명한 것과 같은 수평 막들(18, 21)이 형성된 기관(1)을 준비할 수 있다. 상기 수평 막들(18, 21)은 교대로 그리고 반복적으로 수직 적층된 층간 절연막들(21) 및 희생 막들(18)을 포함할 수 있다. 상기 수평 막들(18, 21)을 관통하는 수직 구조체들(110)이 배치될 수 있다. 상기 수직 구조체들(110)의 각각은 반도체 패턴을 포함할 수 있다. 상기 수직 구조체들(110)은 도 12a 및 도 12b에서 설명한 바와 같은 상기 수직 구조체들(48c)을 형성하는 방법과 실질적으로 동일한 방법으로 형성할 수 있다.
- [0136] 도 1, 도 20a 및 도 20b를 참조하면, 상기 수직 구조체들(110)을 갖는 기관 상에 제1 캐핑 막(30)을 형성할 수 있다.
- [0137] 상기 제1 캐핑 막(30), 상기 최상위 절연 막(15), 상기 상부 희생 막들(13) 및 상기 상부 절연 막(14)을 관통하는 라인 분리 트렌치를 형성할 수 있다. 상기 라인 분리 트렌치를 채우는 라인 분리 패턴(120)을 형성할 수 있다. 상기 라인 분리 패턴(120)은 상기 상부 희생 막들(13)을 가로지르며 관통할 수 있다. 상기 라인 분리 패턴(120)은 실리콘 산화물로 형성할 수 있다.
- [0138] 도 1, 도 21a 및 도 21b를 참조하면, 상기 라인 분리 패턴(120)을 관통하면서 상기 수평 막들(18, 21)을 관통하는 보조 홀들을 형성할 수 있다. 상기 보조 홀들 내에 보조 패턴들(130)을 형성할 수 있다. 상기 보조 패턴들(130)은 단일 막 또는 다중 막으로 형성할 수 있다. 상기 보조 패턴들(130)은 상기 희생 막들(18)에 대하여 식각 선택비를 갖는 절연성 물질막(ex, 실리콘 산화막 등)으로 형성할 수 있다. 한편, 상기 보조 패턴들(130)은 상기 보조 홀들의 내벽 상에 실리콘 산화 막 등과 같은 제1 물질 막(126)을 형성하고, 상기 제1 물질 막(126) 상에 상기 보조 홀들을 채우는 제2 물질 막(128)을 형성하고, 상기 제1 캐핑 막(30)이 노출될 때까지 상기 제1 및 제2 물질 막들(126, 128)을 평탄화하는 것을 포함할 수 있다. 상기 제2 물질 막(128)은 실리콘 질화막 등과 같은 절연성 물질 막 또는 폴리 실리콘 막 등과 같은 도전성 물질막으로 형성할 수 있다.
- [0139] 다시 도 18a 및 도 18b를 참조하면, 상기 보조 패턴들(130)을 갖는 기관 상에 제2 캐핑 막(51)을 형성할 수 있다. 상기 제2 캐핑 막(51)을 갖는 기관 상에 도 13a 및 도 13b에서 설명한 상기 소자분리 트렌치(54)를 형성하

는 공정, 도 14a 및 도 14b에서 설명한 상기 희생 막들(18)을 제거하는 공정, 도 15a, 도 15b, 도 16a 및 도 16b에서 설명한 상기 유전체(60) 및 상기 도전성 패턴들(66)을 형성하는 공정, 도 17a 및 도 17b에서 설명한 상기 소자분리 패턴들(78a, 78b)을 형성하는 공정 및 상기 캐핑 층간 절연 막(81)을 형성하는 공정을 차례로 진행할 수 있다. 이어서, 상기 콘택 구조체들(90) 및 상기 비트 라인들(93)을 형성할 수 있다.

- [0140] 다음으로, 도 22a 및 도 22b를 참조하여 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예에 대하여 설명하기로 한다. 도 22a는 도 1의 I-I'선을 따라 취해진 단면도이다. 도 22b에서, "A"로 표시된 부분은 도 1의 II-II'선을 따라 취해진 영역을 나타내고, "B"로 표시된 부분은 도 1의 III-III'선을 따라 취해진 영역을 나타낸다.
- [0141] 도 1, 도 29a 및 도 29b를 참조하면, 도 2a 및 도 2b를 참조하여 설명한 것과 같이, 반도체 기판(1) 상에 제1 및 제2 소자분리 패턴들(78a, 78b)이 배치될 있다. 도 2a 및 도 2b에서 설명한 것과 마찬가지로, 상기 제1 및 제2 소자분리 패턴들(78a, 78b) 사이의 상기 반도체 기판(1) 상에 교대로 그리고 반복적으로 적층된 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)을 포함하는 상기 적층 구조체(67)가 배치될 수 있다. 도 2a 및 도 2b에서 설명한 바와 같이, 상기 도전성 패턴들(66)은 서로 동일한 레벨에 위치하며 서로 이격된 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)을 포함할 수 있다.
- [0142] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 개재되면서 상기 최상위 절연 막(15), 및 상기 상부 절연 막(14)을 가로지르며 관통하는 라인 분리 패턴(210)이 배치될 수 있다. 상기 라인 분리 패턴(210)은 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 보다 낮은 레벨에 위치하는 바닥면을 가질 수 있다.
- [0143] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 위치하면서 상기 라인 분리 패턴(210), 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)을 관통하는 보조 패턴들(220)이 배치될 수 있다. 상기 보조 패턴들(220)은 단일 막 또는 다중 막으로 형성될 수 있다.
- [0144] 상기 소자 분리 패턴들(78a, 78b) 사이에 위치하면서 상기 보조 패턴들(220), 상기 라인 분리 패턴(210) 및 상기 적층 구조체(67) 상에 위치하는 제1 캐핑 막(30)이 배치될 수 있다.
- [0145] 상기 제1 캐핑 막(30) 및 상기 적층 구조체(67)를 관통하는 수직 구조체들(230)이 배치될 수 있다. 상기 수직 구조체들(230)은 반도체 패턴을 포함할 수 있다. 상기 수직 구조체들(230)은 도 2a 및 도 2b에서 설명한 상기 수직 구조체들(48c) 또는 도 4a 및 도 4b에서 설명한 상기 수직 구조체들(48c')과 동일한 물질 및 동일한 단면 구조로 형성될 수 있다. 상기 수직 구조체들(230)은 상기 라인 분리 패턴(210)과 상기 소자분리 패턴들(78a, 78b) 사이에 배치될 수 있다. 상기 수직 구조체들(230)은 상기 보조 패턴들(220) 및 상기 라인 분리 패턴(210) 보다 높은 레벨에 위치하는 상부면을 가질 수 있다.
- [0146] 상기 소자 분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제1 캐핑 막(30) 및 상기 수직 구조체들(230)을 덮는 제2 캐핑 막(51)이 배치될 수 있다.
- [0147] 상기 제2 캐핑 막(51) 및 상기 소자분리 패턴들(78a, 78b)을 덮는 캐핑 층간 절연 막(81)이 제공될 수 있다.
- [0148] 상기 캐핑 층간 절연 막(81) 및 상기 제2 캐핑 막(52)을 관통하며 상기 수직 구조체들(230)과 전기적으로 연결된 콘택 구조체들(90)이 제공될 수 있다. 상기 콘택 구조체들(90) 상에 비트라인들(93)이 제공될 수 있다.
- [0149] 도 23a, 도 23b, 도 24a 및 도 24b는 도 22a 및 도 22b에서 설명한 반도체 소자의 제조방법을 설명하기 위한 단면도들이다. 도 23a 내지 도 24b에서, 도 23a 및 도 24a는 도 1의 I-I'선을 따라 취해진 단면도들이다. 그리고, 도 23b 및 도 24b에서, "A"로 표시된 부분은 도 1의 II-II'선을 따라 취해진 영역을 나타내고, "B"로 표시된 부분은 도 1의 III-III'선을 따라 취해진 영역을 나타낸다.
- [0150] 도 1, 도 23a 및 도 23b를 참조하면, 도 8a 및 도 8b에서 설명한 것과 같은 수평 막들(18, 21)이 형성된 기판(1)을 준비할 수 있다. 상기 수평 막들(18, 21)은 교대로 그리고 반복적으로 적층된 상기 층간 절연막들(21) 및 상기 희생 막들(18)을 포함할 수 있다.
- [0151] 적어도 상기 상부 희생 막들(13)을 가로지르며 관통하는 라인 분리 패턴(210)을 형성할 수 있다. 상기 라인 분리 패턴(210)은 상기 상부 희생 막들(13) 상부에 위치하는 상기 최상위 절연 막(15) 및 상기 상부 희생 막들(13) 사이에 위치하는 상기 상부 절연 막을 관통할 수 있다. 상기 라인 분리 패턴(210)을 관통하면서 상기 수평

막들(18, 21)을 관통하는 보조 패턴들(220)을 형성할 수 있다. 상기 보조 패턴들(220) 및 상기 라인 분리 패턴(210)을 갖는 기판 상에 제1 캐핑 막(30)을 형성할 수 있다.

[0152] 도 1, 도 24a 및 도 24b를 참조하면, 상기 제1 캐핑 막(30) 및 상기 수평 막들(18, 21)을 관통하는 수직 구조체들(230)을 형성할 수 있다. 상기 수직 구조체들(230)은 상기 라인 분리 패턴(210) 양 옆에 형성될 수 있다. 상기 수직 구조체들(230)은 반도체 패턴을 포함할 수 있다. 상기 수직 구조체들(230)은 도 12a 및 도 12b에서 설명한 바와 같은 상기 수직 구조체들(48c)을 형성하는 방법과 실질적으로 동일한 방법으로 형성할 수 있다.

[0153] 다시, 도 22a 및 도 22b를 참조하면, 상기 수직 구조체들(230)을 갖는 기판 상에 제2 캐핑 막(51)을 형성할 수 있다. 상기 제2 캐핑 막(51)을 갖는 기판 상에 도 13a 및 도 13b에서 설명한 상기 소자분리 트렌치(54)를 형성하는 공정, 도 14a 및 도 14b에서 설명한 상기 희생 막들(18)을 제거하는 공정, 도 15a, 도 15b, 도 16a 및 도 16b에서 설명한 상기 유전체(60) 및 상기 도전성 패턴들(66)을 형성하는 공정, 도 17a 및 도 17b에서 설명한 상기 소자분리 패턴들(78a, 78b)을 형성하는 공정 및 상기 캐핑 층간 절연 막(81)을 형성하는 공정을 차례로 진행할 수 있다. 이어서, 상기 콘택 구조체들(90) 및 상기 비트 라인들(93)을 형성할 수 있다.

[0154] 도 25는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 평면도이다. 도 26a 및 도 26b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다. 도 26a 및 도 26b에서, 도 26a는 도 25의 IV-IV'선을 따라 취해진 단면도이다. 도 26b에서, "C"로 표시된 부분은 도 25의 V-V'선을 따라 취해진 영역을 나타내고, "D"로 표시된 부분은 도 25의 VI-VI'선을 따라 취해진 영역을 나타낸다.

[0155] 도 25, 도 26a 및 도 26b를 참조하면, 도 2a 및 도 2b에서 설명한 것과 같이 웰 영역(3)을 갖는 반도체 기판(1)이 제공될 수 있다. 상기 반도체 기판(1) 상에 서로 이격된 소자 분리 패턴들(78a, 78b)이 배치될 수 있다. 상기 소자 분리 패턴들(78a, 78b) 사이의 상기 반도체 기판(1) 상에 교대로 그리고 반복적으로 적층된 상기 층간 절연 막(21) 및 상기 도전성 패턴들(66)을 포함하는 적층 구조체(67)가 배치될 수 있다. 상기 도전성 패턴들(66)은 서로 동일한 레벨에 위치하며 서로 이격된 제1 도전성 라인(66s\_1) 및 제2 도전성 라인(66s\_2)을 포함할 수 있다.

[0156] 상기 적층 구조체(67)를 관통하는 수직 구조체들(310c)이 배치될 수 있다. 상기 수직 구조체들(310c)은 도 2a 및 도 2b에서 설명한 상기 수직 구조체들(48c)과 동일한 물질 및 동일한 구조로 형성되거나, 도 4a 및 도 4b에서 설명한 상기 수직 구조체들(48c')과 동일한 물질 및 동일한 구조로 형성될 수 있다.

[0157] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 개재된 라인 분리 패턴(320)이 배치될 수 있다. 상기 라인 분리 패턴(320)은 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 위치하면서 상기 제1 캐핑 막(30), 상기 상부 층간 절연 막(12), 상기 상부 절연 막(14)을 관통할 수 있다. 상기 라인 분리 패턴(320)은 절연성 물질로 형성될 수 있다. 상기 라인 분리 패턴(320)은 상기 수직 구조체들(310c) 보다 높은 레벨에 위치하는 상부면을 가질 수 있다. 상기 라인 분리 패턴(320)은 상기 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 보다 낮은 레벨에 위치하는 바닥면을 가질 수 있다.

[0158] 상기 중간 도전성 패턴들(48c) 및 상기 하부 도전성 패턴들(48g)을 관통하면서 상기 중간 및 하부 도전성 패턴들(48c, 48g)과 인접하는 층간 절연 막들(6, 8, 9, 11, 12)을 관통하는 보조 패턴들(310a)이 배치될 수 있다. 상기 보조 패턴들(310a)은 상기 최하위 절연 막(6), 상기 하부 절연 막(8), 상기 하부 층간 절연 막(9), 상기 중간 절연 막들(11) 및 상기 상부 층간 절연 막(12)을 관통할 수 있다.

[0159] 상기 보조 패턴들(310a)은 상기 라인 분리 패턴(320)과 중첩하면서 상기 라인 분리 패턴(320)과 직접적으로 접촉할 수 있다. 상기 보조 패턴들(310a)은 상기 라인 분리 패턴(320) 하부에 위치할 수 있다.

[0160] 상기 소자 분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제1 캐핑 막(30) 상에 배치된 제2 캐핑 막(51)이 제공될 수 있다.

[0161] 상기 제1 및 제2 소자 분리 패턴들(78a, 78b), 및 상기 제2 캐핑 막(51)을 덮는 캐핑 층간 절연 막(81)이 배치될 수 있다. 상기 캐핑 층간 절연 막(81) 및 상기 제2 캐핑 막(51)을 관통하며 상기 수직 구조체들(310c)과 전기적으로 연결된 도전성의 콘택 구조체들(90)이 배치될 수 있다. 상기 캐핑 층간 절연 막(81) 상에 상기 콘택 구조체들(90)과 전기적으로 연결된 비트 라인들(93)이 배치될 수 있다.

- [0162] 다음으로, 26a 및 도 26b에서 설명한 반도체 소자에 대한 제조방법을 도 27a 내지 도 29b를 참조하여 설명하기로 한다. 도 27a 내지 도 29b에서, 도 27a, 도 28a 및 도 29a는 도 5의 IV-IV'선을 따라 취해진 단면도들이다. 그리고, 도 27b, 도 28b 및 도 29b에서, "C"로 표시된 부분은 도 25의 V-V'선을 따라 취해진 영역을 나타내고, "D"로 표시된 부분은 도 25의 VI-VI'선을 따라 취해진 영역을 나타낸다.
- [0163] 도 25, 도 27a 및 도 27b를 참조하면, 도 8a 및 도 8b에서 설명한 것과 같이 반도체 기판(1) 상에 상기 희생 막들(18) 및 상기 층간 절연 막들(21)을 포함하는 수평 막들을 형성할 수 있다.
- [0164] 상기 수평 막들(18, 21)을 관통하며 상기 반도체 기판(1)과 전기적으로 연결된 수직 구조체들(310c) 및 보조 패터들(310a)을 동시에 형성할 수 있다. 상기 수직 구조체들(310c) 및 상기 보조 패터들(310a)은 도 12a 및 도 12b에서 설명한 상기 제1 및 제2 수직 구조체들(48c) 및 상기 보조 패터들(48a)과 동일한 물질 및 동일한 구조로 형성될 수 있다.
- [0165] 도 25, 도 28a 및 도 28b를 참조하면, 상기 수직 구조체들(310c) 및 상기 보조 패터들(310a)을 갖는 기판 상에 제1 캐핑 막(30)을 형성할 수 있다. 상기 제1 캐핑 막(30)은 실리콘 산화물로 형성할 수 있다.
- [0166] 도 25, 도 29a 및 도 29b를 참조하면, 상기 제1 캐핑 막(30), 상기 최상위 절연 막(15), 상기 상부 희생 막들(13), 및 상기 상부 절연 막(14)을 가로지르며 관통하는 트렌치를 형성할 수 있다. 상기 트렌치는 상기 보조 패터들(310a)을 지나가도록 형성될 수 있다. 상기 트렌치를 채우는 라인 분리 패터(320)을 형성할 수 있다. 상기 라인 분리 패터(320)은 상기 보조 패터들(310a)과 중첩하도록 형성될 수 있다. 상기 라인 분리 패터(320)은 실리콘 산화물 등과 같은 물질로 형성할 수 있다.
- [0167] 다시 도 26a 및 도 26b를 참조하면, 상기 라인 분리 패터(127)을 갖는 기판 상에 제2 캐핑 막(51)을 형성하고, 도 13a 및 도 13b에서 설명한 상기 소자분리 트렌치(54)를 형성하는 공정, 도 14a 및 도 14b에서 설명한 상기 희생 막들(18)을 제거하는 공정, 도 15a, 도 15b, 도 16a 및 도 16b에서 설명한 상기 유전체(60) 및 상기 도전성 패터들(66)을 형성하는 공정, 도 17a 및 도 17b에서 설명한 상기 소자분리 패터들(78a, 78b)을 형성하는 공정 및 상기 캐핑 층간 절연 막(81)을 형성하는 공정을 차례로 진행할 수 있다. 이어서, 상기 콘택 구조체들(90) 및 상기 비트 라인들(93)을 형성할 수 있다.
- [0168] 도 30은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 평면도이다. 도 31a 및 도 31b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다. 도 31a 및 도 31b에서, 도 31a는 도 30의 VII-VII'선을 따라 취해진 단면도이다. 도 31b에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"로 표시된 부분은 도 30의 IX-IX'선을 따라 취해진 영역을 나타낸다.
- [0169] 도 30, 도 31a 및 도 31b를 참조하면, 도 2a 및 도 2b를 참조하여 설명한 것과 같이, 반도체 기판(1) 상에 제1 및 제2 소자분리 패터들(78a, 78b)이 배치될 있다. 도 2a 및 도 2b에서 설명한 것과 마찬가지로, 상기 제1 및 제2 소자분리 패터들(78a, 78b) 사이의 상기 반도체 기판(1) 상에 교대로 그리고 반복적으로 적층된 상기 층간 절연 막들(21) 및 상기 도전성 패터들(66)을 포함하는 상기 적층 구조체(67)가 배치될 수 있다. 도 2a 및 도 2b에서 설명한 바와 같이, 상기 도전성 패터들(66)은 서로 동일한 레벨에 위치하며 서로 이격된 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)을 포함할 수 있다.
- [0170] 상기 도전성 패터들(66) 및 상기 층간 절연 막들(21)을 관통하는 수직 구조체들(410)이 배치될 수 있다. 상기 제1 및 제2 수직 구조체들(410)은 도 2a 및 도 2b에서 설명한 상기 수직 구조체들(48c) 또는 도 4a 및 도 4b에서 설명한 상기 수직 구조체들(48c')과 동일한 물질 및 동일한 단면 구조로 형성될 수 있다.
- [0171] 상기 적층 구조체(67) 및 상기 수직 구조체들(410) 상에 제1 캐핑 막(30)이 배치될 수 있다.
- [0172] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 위치하면서 상기 제1 캐핑 막(30), 상기 층간 절연 막들(21) 및 상기 도전성 패터들(66)을 관통하는 보조 패터들(420)이 배치될 수 있다. 상기 보조 패터들(420)은 단일 막 또는 다중 막으로 형성될 수 있다.
- [0173] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 개재되면서 상기 제1 캐핑 막(30), 상기 최상위 절연 막(15), 및 상기 상부 절연 막(14)을 가로지르며 관통하는 라인 분리 패터(430)이 배치될 수 있다. 상기 라인 분

리 패턴(430)은 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 보다 낮은 레벨에 위치하는 바닥면을 가질 수 있다. 상기 라인 분리 패턴(430)은 상기 보조 패턴들(420)과 중첩하면서 직접적으로 접촉할 수 있다. 상기 라인 분리 패턴(430)은 상기 보조 패턴들(420) 보다 작은 폭을 가질 수 있다. 상기 라인 분리 패턴(430)은 상기 보조 패턴들(420) 상부 영역 내에 삽입된 모양일 수 있다. 상기 라인 분리 패턴(420)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다. 상기 라인 분리 패턴(430)은 보조 패턴들(420) 보다 작은 폭을 가질 수 있다.

[0174] 상기 제1 캐핑 막(30) 상에 제2 캐핑 막(51)이 배치될 수 있다. 상기 제1 및 제2 캐핑 막들(30, 51)은 상기 소자분리 패턴들(78a, 78b) 사이에 배치될 수 있다.

[0175] 상기 제2 캐핑 막(51) 및 상기 소자분리 패턴들(78a, 78b)을 덮는 캐핑 층간 절연 막(81)이 제공될 수 있다. 상기 캐핑 층간 절연 막(81), 상기 제2 캐핑 막(52) 및 상기 제1 캐핑 막(30)을 관통하며 상기 수직 구조체들(410)과 전기적으로 연결된 콘택 구조체들(90)이 제공될 수 있다. 상기 콘택 구조체들(90) 상에 비트라인들(93)이 제공될 수 있다.

[0176] 다음으로, 31a 및 도 31b에서 설명한 반도체 소자에 대한 제조방법을 도 32a 내지 도 33b를 참조하여 설명하기로 한다. 도 32a 내지 도 33b는 도 31a 및 도 31b를 참조하여 설명한 반도체 소자의 제조방법을 설명하기 위한 단면도들이다. 도 32a 내지 도 33b에서, 도 32a 및 도 33a는 도 30의 VII-VII'선을 따라 취해진 단면도들이다. 그리고, 도 32b 및 도 33b 에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"로 표시된 부분은 도 30의 IX-IX'선을 따라 취해진 영역을 나타낸다.

[0177] 도 30, 도 32a 및 도 32b를 참조하면, 도 8a 및 도 8b에서 설명한 것과 같은 수평 막들(18, 21)이 형성된 기판(1)을 준비할 수 있다. 상기 수평 막들(18, 21)은 교대로 그리고 반복적으로 수직 적층된 층간 절연막들(21) 및 희생 막들(18)을 포함할 수 있다.

[0178] 상기 수평 막들(18, 21)을 관통하는 수직 구조체들(410)을 형성할 수 있다. 상기 수직 구조체들(410)은 반도체 패턴(39)을 포함할 수 있다.

[0179] 상기 수직 구조체들(410)을 갖는 기판 상에 제1 캐핑 막(30)을 형성할 수 있다.

[0180] 상기 제1 캐핑 막(30) 및 상기 수평 막들(18, 21)을 관통하는 보조 패턴들(420)을 형성할 수 있다.

[0181] 상기 보조 패턴들(420)은 단일 막 또는 다중 막으로 형성할 수 있다. 예를 들어, 상기 보조 패턴들(420)은 실리콘 산화막으로 형성할 수 있다. 이와는 달리, 상기 보조 패턴들(420)의 각각은 폴리 실리콘 등과 같은 도전성 물질로 형성된 기둥 모양의 제1 패턴 및 실리콘 산화물 등과 같은 절연성 물질로 형성되며 상기 제1 패턴의 바닥면 및 측면을 덮는 제2 패턴을 포함할 수 있다.

[0182] 도 30, 도 33a 및 도 33b를 참조하면, 상기 보조 패턴들(420)과 중첩하고, 상기 수평 막들(18, 21) 중에서 상기 상부 희생 막들(13)을 가로지르며 분리하는 라인 분리 패턴(330)을 형성할 수 있다.

[0183] 상기 라인 분리 패턴(430)은 상기 상부 희생 막들(13) 상부에 위치하는 상기 최상위 절연 막(15) 및 상기 제1 캐핑 막(30)을 관통하며 상기 상부 희생 막들(13) 사이에 위치하는 상기 상부 절연 막(14)을 관통할 수 있다.

[0184] 상기 라인 분리 패턴(430)은 상기 보조 패턴들(420) 보다 작은 폭을 가질 수 있다. 상기 라인 분리 패턴(430)은 상기 보조 패턴들(420)의 상부 영역을 가로지르도록 형성될 수 있다.

[0185] 다시, 도 31a 및 도 31b를 참조하면, 상기 라인 분리 패턴(430)을 갖는 기판 상에 제2 캐핑 막(51)을 형성할 수 있다. 상기 제2 캐핑 막(51)을 갖는 기판 상에 도 13a 및 도 13b에서 설명한 상기 소자분리 트렌치(54)를 형성하는 공정, 도 14a 및 도 14b에서 설명한 상기 희생 막들(18)을 제거하는 공정, 도 15a, 도 15b, 도 16a 및 도 16b에서 설명한 상기 유전체(60) 및 상기 도전성 패턴들(66)을 형성하는 공정, 도 17a 및 도 17b에서 설명한 상기 소자분리 패턴들(78a, 78b)을 형성하는 공정 및 상기 캐핑 층간 절연 막(81)을 형성하는 공정을 차례로 진행할 수 있다. 이어서, 상기 콘택 구조체들(90) 및 상기 비트 라인들(93)을 형성할 수 있다.

[0186] 도 34a 및 도 34b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다. 도 34a 및 도 34b에서, 도 34a는 도 30의 VII-VII'선을 따라 취해진 단면도이다. 도 34b에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"로 표시된 부분은 도 30의 IX-IX'선을

따라 취해진 영역을 나타낸다.

- [0187] 도 30, 도 34a 및 도 34b를 참조하면, 도 2a 및 도 2b를 참조하여 설명한 것과 같이, 반도체 기관(1) 상에 제1 및 제2 소자분리 패턴들(78a, 78b)이 배치될 있다. 도 2a 및 도 2b에서 설명한 것과 마찬가지로, 상기 제1 및 제2 소자분리 패턴들(78a, 78b) 사이의 상기 반도체 기관(1) 상에 교대로 그리고 반복적으로 적층된 상기 층간 절연 막들(21) 및 상기 도전성 패턴들(66)을 포함하는 상기 적층 구조체(67)가 배치될 수 있다. 도 2a 및 도 2b에서 설명한 바와 같이, 상기 도전성 패턴들(66)은 서로 동일한 레벨에 위치하며 서로 이격된 제1 및 제2 도전성 라인들(66s\_1, 66s\_2)을 포함할 수 있다.
- [0188] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 위치하면서 상기 적층 구조체(67)를 관통하는 보조 패턴들(510)이 배치될 수 있다.
- [0189] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 개재되면서 상기 최상위 절연 막(15), 및 상기 상부 절연 막(14)을 가로지르며 관통하는 라인 분리 패턴(520)이 배치될 수 있다. 또한, 상기 라인 분리 패턴(520)은 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 위치하는 상기 보조 패턴들(510)을 가로지르면서 상기 보조 패턴들(510)과 직접적으로 접촉할 수 있다.
- [0190] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 적층 구조체(67) 및 상기 라인 분리 패턴(520)을 덮는 제1 캐핑 막(30)이 배치될 수 있다.
- [0191] 상기 제1 캐핑 막(30) 및 상기 적층 구조체(67)를 관통하는 수직 구조체들(530)이 배치될 수 있다.
- [0192] 상기 소자 분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제1 캐핑 막(30) 및 상기 수직 구조체들(530)을 덮는 제2 캐핑 막(51)이 배치될 수 있다.
- [0193] 상기 제2 캐핑 막(51) 및 상기 소자분리 패턴들(78a, 78b)을 덮는 캐핑 층간 절연 막(81)이 제공될 수 있다.
- [0194] 상기 캐핑 층간 절연 막(81) 및 상기 제2 캐핑 막(52)을 관통하며 상기 수직 구조체들(530)과 전기적으로 연결된 콘택 구조체들(90)이 제공될 수 있다. 상기 콘택 구조체들(90) 상에 비트라인들(93)이 제공될 수 있다.
- [0195] 도 35a, 도 35b, 도 36a, 도 36b, 도 37a 및 도 37b는 도 34a 및 도 34b에서 설명한 반도체 소자의 제조방법을 설명하기 위한 단면도들이다. 도 35a 내지 도 37b에서, 도 35a, 도 36a 및 도 37a는 도 30의 VII-VII'선을 따라 취해진 단면도들이다. 그리고, 도 35b, 도 36b 및 도 37b에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"로 표시된 부분은 도 30의 IX-IX'선을 따라 취해진 영역을 나타낸다.
- [0196] 도 30, 도 35a 및 도 35b를 참조하면, 도 8a 및 도 8b에서 설명한 것과 같은 수평 막들(18, 21)이 형성된 기관(1)을 준비할 수 있다. 상기 수평 막들(18, 21)은 교대로 그리고 반복적으로 수직 적층된 상기 층간 절연막들(21) 및 상기 희생 막들(18)을 포함할 수 있다.
- [0197] 상기 수평 막들(18, 21)을 관통하며 서로 이격된 보조 패턴들(510)을 형성할 수 있다.
- [0198] 도 30, 도 36a 및 도 36b를 참조하면, 상기 보조 패턴들(510)을 갖는 기관 상에 적어도 상기 상부 희생 막들(13)을 가로지르며 관통하는 라인 분리 패턴(520)을 형성할 수 있다. 상기 라인 분리 패턴(520)은 상기 상부 희생 막들(13) 상부에 위치하는 상기 최상위 절연 막(15) 및 상기 상부 희생 막들(13) 사이에 위치하는 상기 상부 절연 막을 관통할 수 있다. 상기 라인 분리 패턴(520)은 상기 보조 패턴들(510)을 가로지르면서 상기 보조 패턴들(510)과 직접적으로 접촉할 수 있다.
- [0199] 상기 보조 패턴들(520) 및 상기 라인 분리 패턴(510)을 갖는 기관 상에 제1 캐핑 막(30)을 형성할 수 있다.
- [0200] 도 30, 도 37a 및 도 37b를 참조하면, 상기 제1 캐핑 막(30) 및 상기 수평 막들(18, 21)을 관통하는 수직 구조체들(530)을 형성할 수 있다. 상기 수직 구조체들(530)은 상기 라인 분리 패턴(510) 양 옆에 형성될 수 있다.
- [0201] 다시, 도 34a 및 도 34b를 참조하면, 상기 라인 분리 패턴(520)을 갖는 기관 상에 제2 캐핑 막(51)을 형성할 수 있다. 상기 제2 캐핑 막(51)을 갖는 기관 상에 도 13a 및 도 13b에서 설명한 상기 소자분리 트렌치(54)를 형성하는 공정, 도 14a 및 도 14b에서 설명한 상기 희생 막들(18)을 제거하는 공정, 도 15a, 도 15b, 도 16a 및 도 16b에서 설명한 상기 유전체(60) 및 상기 도전성 패턴들(66)을 형성하는 공정, 도 17a 및 도 17b에서 설명한 상기 소자분리 패턴들(78a, 78b)을 형성하는 공정 및 상기 캐핑 층간 절연 막(81)을 형성하는 공정을 차례로 진행

할 수 있다. 이어서, 상기 콘택 구조체들(90) 및 상기 비트 라인들(93)을 형성할 수 있다.

- [0202] 도 38a 및 도 38b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면 도들이다. 도 38a 및 도 38b에서, 도 38a는 도 30의 VII-VII'선을 따라 취해진 단면도이다. 도 38b에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"로 표시된 부분은 도 30의 IX-IX'선을 따라 취해진 영역을 나타낸다.
- [0203] 도 30, 도 38a 및 도 38b를 참조하면, 반도체 기판(1) 상에 소자분리 패턴들(78a, 78b)이 배치될 수 있다. 상기 소자분리 패턴들(78a, 78b)은, 평면상에서, 라인 형상일 수 있다.
- [0204] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서, 상기 기판(1) 상에 수직적으로 배열된 제1 층간 절연 막들(610)이 배치될 수 있다. 상기 제1 층간 절연 막들(610)은 서로 이격될 수 있다.
- [0205] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제1 층간 절연 막들(610) 사이에 위치하는 하부 및 중간 도전성 패턴들(66g, 66c)이 배치될 수 있다. 따라서, 상기 제1 층간 절연 막들(610), 및 상기 하부 및 중간 도전성 패턴들(66g, 66c)은 교대로 그리고 반복적으로 수직적으로 배열될 수 있다.
- [0206] 상기 제1 층간 절연 막들(610) 및 상기 하부 및 중간 도전성 패턴들(66g, 66c)을 관통하는 보조 패턴들(620)이 배치될 수 있다. 상기 보조 패턴들(620)은 기둥 형상의 제1 패턴(618) 및 상기 제1 패턴(618)의 바닥면 및 측면을 덮는 절연성의 제2 패턴(616)을 포함할 수 있다.
- [0207] 몇몇 실시예들에서, 도 38a 및 도 38b에 도시된 바와 같이, 기둥 형상을 갖는 보조 패턴들(620)이 배치될 수 있다.
- [0208] 다른 실시예에서, 도 39에 도시된 바와 같이, 라인 형상을 갖는 보조 패턴(620')이 배치될 수 있다.
- [0209] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제1 층간 절연 막들(610) 상에 수직적으로 배열된 제2 층간 절연 막들(625)이 배치될 수 있다. 상기 제2 층간 절연 막들(625)은 서로 이격될 수 있다. 상기 제2 층간 절연 막들(625) 사이에 도전성 라인들(66s)이 배치될 수 있다. 따라서, 상기 제2 층간 절연 막들(625) 및 상기 도전성 라인들(66s)은 교대로 그리고 반복적으로 수직 배열될 수 있다. 상기 도전성 라인들(66s)은 동일 평면에서 서로 이격된 제1 도전성 라인(66s\_1) 및 제2 도전성 라인(66s\_2)을 포함할 수 있다.
- [0210] 상기 도전성 라인들(66s) 및 상기 하부 및 중간 도전성 패턴들(66c, 66g)은 도전성 패턴들(66)을 구성할 수 있다.
- [0211] 상기 제1 및 제2 층간 절연 막들(610, 625) 및 상기 도전성 패턴들(66)을 관통하는 수직 구조체들(640)이 배치될 수 있다. 상기 수직 구조체들(640)의 각각은 반도체 패턴(39)을 포함할 수 있다. 상기 수직 구조체들(640)의 각각은 도 2a 및 도 2b에서 설명한 상기 수직 구조체들(48c) 또는 도 4a 및 도 4b에서 설명한 상기 수직 구조체들(48c')과 실질적으로 동일한 물질 및 동일 구조로 형성될 수 있다.
- [0212] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제2 층간 절연 막들(625) 상에 위치하는 제1 캐핑 막(645)이 배치될 수 있다.
- [0213] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 위치하면서 상기 제1 캐핑 막(645) 및 상기 제2 층간 절연 막들(625)을 관통하는 라인 분리 패턴(650)이 배치될 수 있다. 상기 라인 분리 패턴(650)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0214] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 라인 분리 패턴(650) 및 상기 제1 캐핑 막(645)을 덮는 제2 캐핑 막(51)이 배치될 수 있다.
- [0215] 상기 소자분리 패턴들(78a, 78b) 및 상기 제2 캐핑 막(51)을 덮는 캐핑 층간 절연 막(81)이 배치될 수 있다.
- [0216] 상기 캐핑 층간 절연 막(81) 및 상기 제2 캐핑 막(51)을 관통하며 상기 수직 구조체들(640)과 전기적으로 연결된 도전성의 콘택 구조체들(90)이 배치될 수 있다. 상기 캐핑 층간 절연 막(81) 상에 상기 콘택 구조체들(90)과 전기적으로 연결된 비트 라인들(93)이 배치될 수 있다.
- [0217] 도 40a, 도 40b, 도 41a, 도 41b, 도 42a, 도 42b, 도 43a 및 도 43b는 도 38a 및 도 38b에서 설명한 반도체

소자의 제조방법을 설명하기 위한 단면도들이다. 도 40a 내지 도 43b에서, 도 40a, 도 41a, 도 42a 및 도 43a는 도 30의 VII-VII'선을 따라 취해진 단면도들이다. 그리고, 도 40b, 도 41b, 도 42b 및 도 43b에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"로 표시된 부분은 도 30의 IX-IX'선을 따라 취해진 영역을 나타낸다.

- [0218] 도 30, 도 40a 및 도 40b를 참조하면, 웰 영역(3)을 갖는 반도체 기판(1) 상에 교대로 그리고 반복적으로 적층된 제1 층간 절연 막들(610) 및 제1 희생 막들(615)을 형성할 수 있다. 상기 제1 희생 막들(615)은 상기 제1 층간 절연 막들(610)에 의해 수직적으로 이격될 수 있다. 상기 제1 층간 절연 막들(610) 중 최하위 막은 상기 제1 희생 막들(615) 중 최하위 막보다 하부에 위치할 수 있다. 상기 제1 층간 절연 막들(610) 중 최상위 막은 상기 제1 희생 막들(615) 중 최상위 막 보다 상부에 위치할 수 있다.
- [0219] 상기 제1 층간 절연 막들(610) 및 상기 제1 희생 막들(615)을 관통하는 보조 패턴들(620)을 형성할 수 있다. 상기 보조 패턴들(620)은 상기 제1 및 제2 희생 막들(615, 630)에 대하여 식각 선택비를 갖는 물질을 포함하도록 형성될 수 있다. 예를 들어, 상기 보조 패턴들(620)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다. 상기 보조 패턴들(620)은 단일 막 또는 다중 막으로 형성될 수 있다. 예를 들어, 상기 보조 패턴들(620)은 기둥 모양의 실리콘 산화막으로 형성되거나, 또는 폴리 실리콘 등과 같은 도전성 물질로 형성되는 기둥 모양의 제1 패턴 및 상기 제1 패턴의 바닥면 및 측면을 덮으며 실리콘 산화물 등과 같은 절연성 물질로 형성된 제2 패턴을 포함하도록 형성될 수 있다.
- [0220] 다른 실시예에서, 상기 보조 패턴들(620)은 평면에서 라인 형태로 형성될 수 있다.
- [0221] 도 30, 도 41a 및 도 41b를 참조하면, 상기 보조 패턴들(620)을 갖는 기판 상에 교대로 그리고 반복적으로 적층된 제2 층간 절연 막들(625) 및 제2 희생 막들(630)을 형성할 수 있다. 상기 제2 층간 절연 막들(625) 중 최하위 막은 상기 제2 희생 막들(630) 중 최하위 막보다 하부에 위치할 수 있다. 상기 제2 층간 절연 막들(625) 중 최상위 막은 상기 제2 희생 막들(630) 중 최상위 막 보다 상부에 위치할 수 있다.
- [0222] 상기 제1 및 제2 희생 막들(615, 630)은 상기 제1 및 제2 층간 절연 막들(610, 625)에 대하여 식각 선택비를 갖는 물질로 형성될 수 있다. 예를 들어, 상기 제1 및 제2 희생 막들(615, 630)은 실리콘 질화물로 형성될 수 있고, 상기 제1 및 제2 층간 절연 막들(610, 625)은 실리콘 산화물로 형성될 수 있다.
- [0223] 도 30, 도 42a 및 도 42b를 참조하면, 상기 제1 및 제2 희생 막들(615, 630), 및 상기 제1 및 제2 층간 절연 막들(610, 625)을 관통하는 수직 구조체들(640)을 형성할 수 있다. 상기 수직 구조체들(640)을 형성하는 것은 상기 제1 및 제2 희생 막들(615, 630), 및 상기 제1 및 제2 층간 절연 막들(610, 625)을 관통하는 홀들을 형성하고, 상기 홀들을 갖는 기판 상에 반도체 막을 형성하고, 상기 반도체 막 상에 상기 홀들을 부분적으로 채우는 코어 절연 패턴들(42)을 형성하고, 상기 코어 절연 패턴들(42)을 갖는 기판 상에 패드 막을 형성하고, 상기 제1 층간 절연 막들(610) 중 최상위 막이 노출될 때까지 상기 패드 막 및 상기 반도체 막을 평탄화하여, 상기 홀들 내에 잔존하는 반도체 막(39) 및 상기 홀들 내에 잔존하는 패드 막(45)을 형성하는 것을 포함할 수 있다.
- [0224] 도 30, 도 43a 및 도 43b를 참조하면, 상기 수직 구조체들(640)을 갖는 기판 상에 제1 캐핑 막(645)을 형성할 수 있다. 상기 제1 캐핑 막(645)은 실리콘 산화물로 형성될 수 있다.
- [0225] 적어도 상기 제2 희생 막들(630)을 가로지르며 분리하는 라인 분리 패턴(650)을 형성할 수 있다. 상기 라인 분리 패턴(650)은 상기 제1 캐핑 막(645), 상기 제2 희생 막들(630) 및 제2 층간 절연 막들(625)을 관통할 수 있다. 상기 라인 분리 패턴(650)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0226] 상기 제1 및 제2 층간 절연 막들(610, 625)은 도 8a 및 도 8b에서 설명한 상기 층간 절연 막들(21)에 대응할 수 있고, 상기 제1 및 제2 희생 막들(615, 630)은 도 8a 및 도 8b에서 설명한 상기 희생 막들(18)에 대응할 수 있다.
- [0227] 다시 도 38a 및 도 38b를 참조하면, 상기 라인 분리 패턴(650)을 갖는 기판 상에 제2 캐핑 막(51)을 형성할 수 있다. 상기 제2 캐핑 막(51)을 갖는 기판 상에 도 13a 및 도 13b에서 설명한 상기 소자분리 트렌치(54)를 형성하는 공정, 도 14a 및 도 14b에서 설명한 것과 동일한 방법으로 상기 제1 및 제2 희생 막들(615, 630)을 제거하는 공정, 도 15a, 도 15b, 도 16a 및 도 16b에서 설명한 상기 유전체(60) 및 상기 도전성 패턴들(66)을 형성하는 공정, 도 17a 및 도 17b에서 설명한 상기 소자분리 패턴들(78a, 78b)을 형성하는 공정 및 상기 캐핑 층간 절연 막(81)을 형성하는 공정을 차례로 진행할 수 있다. 이어서, 상기 콘택 구조체들(90) 및 상기 비트 라인들(93)을 형성할 수 있다.



- [0228] 도 44a 및 도 44b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 또 다른 변형 예를 나타낸 단면도들이다. 도 44a 및 도 44b에서, 도 44a는 도 30의 VII-VII'선을 따라 취해진 단면도이다. 도 44b에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"로 표시된 부분은 도 30의 IX-IX'선을 따라 취해진 영역을 나타낸다.
- [0229] 도 30, 도 44a 및 도 44b를 참조하면, 반도체 기판(1) 상에 소자분리 패턴들(78a, 78b)이 배치될 수 있다. 상기 소자분리 패턴들(78a, 78b)은, 평면상에서, 라인 형상일 수 있다. 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서, 상기 기판(1) 상에 수직적으로 배열된 제1 층간 절연 막들(610)이 배치될 수 있다. 상기 제1 층간 절연 막들(610)은 서로 이격될 수 있다. 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제1 층간 절연 막들(610) 사이에 위치하는 하부 및 중간 도전성 패턴들(66g, 66c)이 배치될 수 있다. 따라서, 상기 제1 층간 절연 막들(610), 및 상기 하부 및 중간 도전성 패턴들(66g, 66c)은 교대로 그리고 반복적으로 수직적으로 배열될 수 있다.
- [0230] 상기 제1 층간 절연 막들(610) 및 상기 하부 및 중간 도전성 패턴들(66g, 66c)을 관통하는 보조 패턴들(710)이 배치될 수 있다.
- [0231] 몇몇 실시예들에서, 도 44a 및 도 44b에 도시된 바와 같이, 기둥 형상을 갖는 보조 패턴들(710)이 배치될 수 있다.
- [0232] 다른 실시예에서, 도 45에 도시된 바와 같이, 라인 형상을 갖는 보조 패턴(710')이 배치될 수 있다.
- [0233] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제1 층간 절연 막들(610) 상에 수직적으로 배열된 제2 층간 절연 막들(625)이 배치될 수 있다. 상기 제2 층간 절연 막들(625)은 서로 이격될 수 있다. 상기 제2 층간 절연 막들(625) 사이에 도전성 라인들(66s)이 배치될 수 있다. 따라서, 상기 제2 층간 절연 막들(625) 및 상기 도전성 라인들(66s)은 교대로 그리고 반복적으로 수직 배열될 수 있다. 상기 도전성 라인들(66s)은 동일 평면에서 서로 이격된 제1 도전성 라인(66s\_1) 및 제2 도전성 라인(66s\_2)을 포함할 수 있다. 상기 도전성 라인들(66s) 및 상기 하부 및 중간 도전성 패턴들(66c, 66g)은 도전성 패턴들(66)을 구성할 수 있다.
- [0234] 상기 제1 및 제2 도전성 라인들(66s\_1, 66s\_2) 사이에 위치하면서 상기 제2 층간 절연 막들(625)을 관통하는 라인 분리 패턴(720)이 배치될 수 있다. 상기 라인 분리 패턴(720)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0235] 상기 라인 분리 패턴(720)은 상기 보조 패턴들(710)과 중첩할 수 있다. 상기 라인 분리 패턴(720)은 라인 형상일 수 있다. 하나의 상기 라인 분리 패턴(720)은 복수의 상기 보조 패턴들(710)과 중첩할 수 있다.
- [0236] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 제2 층간 절연 막들(625) 상에 위치하는 제1 캐핑 막(645)이 배치될 수 있다.
- [0237] 상기 제1 캐핑 막(645), 상기 제1 및 제2 층간 절연 막들(610, 625) 및 상기 도전성 패턴들(66)을 관통하는 수직 구조체들(730)이 배치될 수 있다. 상기 수직 구조체들(730)은 상기 라인 분리 패턴(720) 보다 높은 레벨에 위치하는 상부면들을 가질 수 있다. 상기 수직 구조체들(730)의 각각은 반도체 패턴을 포함할 수 있다. 상기 수직 구조체들(730)의 각각은 도 2a 및 도 2b에서 설명한 상기 수직 구조체들(48c) 또는 도 4a 및 도 4b에서 설명한 상기 수직 구조체들(48c')과 실질적으로 동일한 물질 및 동일 구조로 형성될 수 있다.
- [0238] 상기 소자분리 패턴들(78a, 78b) 사이에 위치하면서 상기 수직 구조체들(730) 및 상기 제1 캐핑 막(645)을 덮는 제2 캐핑 막(51)이 배치될 수 있다.
- [0239] 상기 소자분리 패턴들(78a, 78b) 및 상기 제2 캐핑 막(51)을 덮는 캐핑 층간 절연 막(81)이 배치될 수 있다.
- [0240] 상기 캐핑 층간 절연 막(81) 및 상기 제2 캐핑 막(51)을 관통하며 상기 수직 구조체들(730)과 전기적으로 연결된 도전성의 콘택 구조체들(90)이 배치될 수 있다. 상기 캐핑 층간 절연 막(81) 상에 상기 콘택 구조체들(90)과 전기적으로 연결된 비트 라인들(93)이 배치될 수 있다.
- [0241] 도 46a, 도 46b, 도 47a 및 도 47b는 도 44a 및 도 44b에서 설명한 반도체 소자의 제조방법을 설명하기 위한 단면도들이다. 도 46a 내지 도 47b에서, 도 46a 및 도 47a는 도 30의 VII-VII'선을 따라 취해진 단면도들이다. 그리고, 도 46b 및 도 47b에서, "E"로 표시된 부분은 도 30의 VIII-VIII'선을 따라 취해진 영역을 나타내고, "F"

로 표시된 부분은 도 30의 IX-IX'선을 따라 취해진 영역을 나타낸다.

- [0242] 도 30, 도 46a 및 도 46b를 참조하면, 웰 영역(3)을 갖는 반도체 기판(1) 상에 교대로 그리고 반복적으로 적층된 제1 층간 절연 막들(610) 및 제1 회생 막들(615)을 형성할 수 있다. 상기 제1 회생 막들(615)은 상기 제1 층간 절연 막들(610)에 의해 수직적으로 이격될 수 있다. 상기 제1 층간 절연 막들(610) 중 최하위 막은 상기 제1 회생 막들(615) 중 최하위 막보다 하부에 위치할 수 있다. 상기 제1 층간 절연 막들(610) 중 최상위 막은 상기 제1 회생 막들(615) 중 최상위 막 보다 상부에 위치할 수 있다.
- [0243] 상기 제1 층간 절연 막들(610) 및 상기 제1 회생 막들(615)을 관통하는 보조 패턴들(710)을 형성할 수 있다. 상기 보조 패턴들(710)은 상기 제1 및 제2 회생 막들(615, 630)에 대하여 식각 선택비를 갖는 물질을 포함하도록 형성될 수 있다. 예를 들어, 상기 보조 패턴들(710)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다. 상기 보조 패턴들(710)은 단일 막 또는 다중 막으로 형성될 수 있다. 예를 들어, 상기 보조 패턴들(710)은 기둥 모양의 실리콘 산화막으로 형성되거나, 또는 폴리 실리콘 등과 같은 도전성 물질로 형성되는 기둥 모양의 제1 패턴(708) 및 상기 제1 패턴(708)의 바닥면 및 측면을 덮으며 실리콘 산화물 등과 같은 절연성 물질로 형성된 제2 패턴(706)을 포함하도록 형성될 수 있다.
- [0244] 다른 실시예에서, 상기 보조 패턴들(710)은 평면에서 라인 형태로 형성될 수 있다.
- [0245] 상기 보조 패턴들(710)을 갖는 기판 상에 교대로 그리고 반복적으로 적층된 제2 층간 절연 막들(625) 및 제2 회생 막들(630)을 형성할 수 있다. 상기 제1 및 제2 층간 절연 막들(610, 625)은 도 8a 및 도 8b에서 설명한 상기 층간 절연 막들(21)에 대응할 수 있고, 상기 제1 및 제2 회생 막들(615, 630)은 도 8a 및 도 8b에서 설명한 상기 회생 막들(18)에 대응할 수 있다.
- [0246] 적어도 상기 제2 회생 막들(630)을 가로지르며 분리하는 라인 분리 패턴(720)을 형성할 수 있다. 상기 라인 분리 패턴(720)은 상기 제2 회생 막들(630) 및 제2 층간 절연 막들(625)을 관통하며 가로지를 수 있다. 상기 라인 분리 패턴(720)은 라인 형상일 수 있다. 상기 라인 분리 패턴(720)은 실리콘 산화물 등과 같은 절연성 물질로 형성할 수 있다. 상기 라인 분리 패턴(720)은 상기 보조 패턴들(710)과 중첩할 수 있다.
- [0247] 도 30, 도 47a 및 도 47b를 참조하면, 상기 라인 분리 패턴(720)을 갖는 기판 상에 제1 캐핑 막(645)을 형성할 수 있다. 상기 제1 캐핑 막(645)은 실리콘 산화물로 형성할 수 있다.
- [0248] 상기 제1 캐핑 막(645), 상기 제1 및 제2 회생 막들(615, 630), 및 상기 제1 및 제2 층간 절연 막들(610, 625)을 관통하는 수직 구조체들(730)을 형성할 수 있다. 상기 수직 구조체들(730)을 형성하는 것은 상기 제1 및 제2 회생 막들(615, 630), 및 상기 제1 및 제2 층간 절연 막들(610, 625)을 관통하는 홀들을 형성하고, 상기 홀들을 갖는 기판 상에 반도체 막을 형성하고, 상기 반도체 막 상에 상기 홀들을 부분적으로 채우는 코어 절연 패턴들(42)을 형성하고, 상기 코어 절연 패턴들(42)을 갖는 기판 상에 패드 막을 형성하고, 상기 제1 층간 절연 막들(610) 중 최상위 막이 노출될 때까지 상기 패드 막 및 상기 반도체 막을 평탄화하여, 상기 홀들 내에 잔존하는 반도체 막(39) 및 상기 홀들 내에 잔존하는 패드 막(45)을 형성하는 것을 포함할 수 있다.
- [0249] 다시 도 44a 및 도 44b를 참조하면, 상기 수직 구조체들(730)을 갖는 기판 상에 제2 캐핑 막(51)을 형성할 수 있다. 상기 제2 캐핑 막(51)을 갖는 기판 상에 도 13a 및 도 13b에서 설명한 상기 소자분리 트렌치(54)를 형성하는 공정, 도 14a 및 도 14b에서 설명한 것과 동일한 방법으로 상기 제1 및 제2 회생 막들(615, 630)을 제거하는 공정, 도 15a, 도 15b, 도 16a 및 도 16b에서 설명한 상기 유전체(60) 및 상기 도전성 패턴들(66)을 형성하는 공정, 도 17a 및 도 17b에서 설명한 상기 소자분리 패턴들(78a, 78b)을 형성하는 공정 및 상기 캐핑 층간 절연 막(81)을 형성하는 공정을 차례로 진행할 수 있다. 이어서, 상기 콘택 구조체들(90) 및 상기 비트 라인들(93)을 형성할 수 있다.
- [0250] 도 48은 본 발명의 기술적 사상에 따른 실시예들 중 어느 하나의 실시예에 의한 반도체 소자를 포함하는 메모리 카드 시스템을 보여주는 위한 도면이다.
- [0251] 도 48을 참조하면, 메모리 카드 시스템(800)이 제공될 수 있다. 상기 메모리 카드 시스템(800)은 컨트롤러(810), 메모리(820) 및 인터페이스(830)를 포함할 수 있다. 상기 컨트롤러(810)와 상기 메모리(820)는 명령어 및/또는 데이터를 주고받을 수 있도록 구성될 수 있다. 상기 메모리(820)는, 예를 들어, 상기 컨트롤러(810)에 의해 실행되는 명령어(command), 및/또는 사용자의 데이터(data)를 저장하는 데 사용될 수 있다. 따라서, 메모리 카드 시스템(800)은 상기 메모리(820)에 데이터를 저장하거나, 또는 상기 메모리(820)로부터 데이터를 외부로 출력할 수 있다. 상기 메모리(820)는 도 1 내지 도 47b에서 설명한 본 발명의 실시예들 중 어느 하나의 실시

예에 따른 반도체 소자, 예를 들어 비휘발성 메모리 소자를 포함할 수 있다.

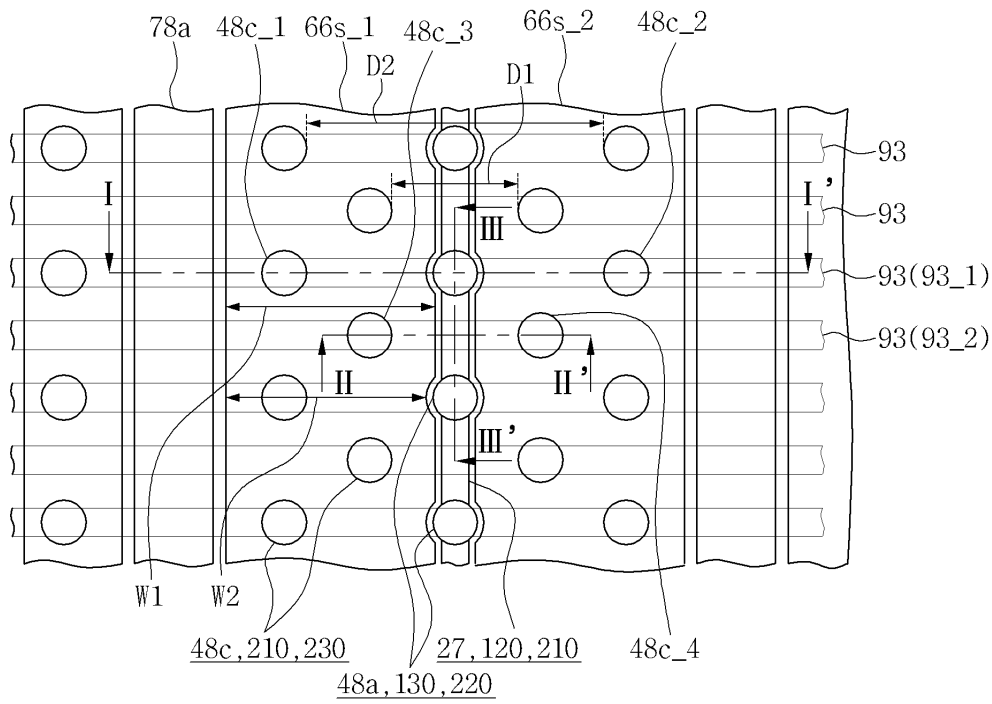
- [0252] 상기 인터페이스(830)는 외부와의 데이터의 입/출력을 담당할 수 있다. 상기 메모리 카드 시스템(800)은 멀티미디어 카드(multimedia card: MMC), 시큐어 디지털 카드(secure digital card: SD) 또는 휴대용 데이터 저장 장치일 수 있다.
- [0253] 도 49는 본 발명의 실시예들 중 어느 하나의 실시예에 따른 반도체 소자를 포함하는 전자장치를 설명하기 위한 블록도이다.
- [0254] 도 49를 참조하면, 전자장치(900)가 제공될 수 있다. 상기 전자 장치(900)는 프로세서(910), 메모리(920) 및 입출력 장치(I/O, 930)를 포함할 수 있다. 상기 프로세서(910), 메모리(920) 및 입출력 장치(930)는 버스(940)를 통하여 연결될 수 있다.
- [0255] 상기 메모리(920)는 상기 프로세서(910)로부터, RAS\*, WE\*, CAS\* 등의 제어 신호를 받을 수 있다. 상기 메모리(920)는 프로세서(910)의 동작을 위한 코드 및 데이터를 저장할 수 있다. 상기 메모리(920)는 버스(940)를 통하여 액세스 되는 데이터를 저장하도록 사용될 수 있다.
- [0256] 상기 메모리(920)는 도 1 내지 도 47b에서 설명한 본 발명의 실시예들 중 어느 하나의 실시예에 따른 반도체 소자, 예를 들어 비휘발성 메모리 소자를 포함할 수 있다. 발명의 구체적인 실현 및 변형을 위하여, 추가적인 회로 및 제어 신호들이 제공될 수 있다.
- [0257] 상기 전자 장치(900)는 상기 메모리(920)을 필요로 하는 다양한 전자 제어 장치를 구성할 수 있다. 예를 들어, 상기 전자 장치(900)는 컴퓨터 시스템, 무선통신 장치 예를 들어, PDA, 랩톱(laptop) 컴퓨터, 휴대용 컴퓨터, 웹 태블릿(web tablet), 무선 전화기, 휴대폰, 디지털 음악 재생기(digital music player), MP3 플레이어, 네비게이션, 솔리드 스테이트 디스크(solid state disk: SSD), 가전제품(household appliance), 또는 정보를 무선환경에서 송수신할 수 있는 모든 소자에 사용될 수 있다.
- [0258] 상기 전자 장치(900)의 보다 구체적인 실현 및 변형된 예에 대하여 도 50 및 도 51을 참조하여 설명하기로 한다.
- [0259] 도 50은 본 발명 기술적 사상의 실시예들 중 어느 하나의 실시예에 따른 반도체 소자를 포함하는 전자 장치의 시스템 블록도이다.
- [0260] 도 50을 참조하면, 전자 장치는 솔리드 스테이트 디스크(Solid State Disk; SSD; 1011)와 같은 데이터 저장장치일 수 있다. 상기 솔리드 스테이트 디스크(SSD; 1011)는 인터페이스(1013), 제어기(controller; 1015), 비-휘발성 메모리(non-volatile memory; 1018), 및 버퍼 메모리(buffer memory; 1019)를 포함할 수 있다.
- [0261] 상기 솔리드 스테이트 디스크(1011)는 반도체 소자를 이용하여 정보를 저장하는 장치이다. 상기 솔리드 스테이트 디스크(1011)는 하드 디스크 드라이브(Hard Disk Drive; HDD)에 비하여 속도가 빠르고 기계적 지연이나 실패율, 발열 및 소음도 적으며, 소형화/경량화할 수 있는 장점이 있다. 상기 솔리드 스테이트 디스크(1011)는 노트북PC, 넷북, 데스크톱PC, MP3 플레이어, 또는 휴대용 저장장치에 널리 사용될 수 있다.
- [0262] 상기 제어기(1015)는 상기 인터페이스(1013)에 인접하게 형성되고 전기적으로 접속될 수 있다. 상기 제어기(1015)는 메모리 제어기 및 버퍼 제어기를 포함하는 마이크로프로세서(microprocessor)일 수 있다. 상기 비-휘발성 메모리(1018)는 상기 제어기(1015)에 인접하게 형성되고 접속 터미널(T)을 경유하여 상기 제어기(1015)에 전기적으로 접속될 수 있다. 상기 솔리드 스테이트 디스크(1011)의 데이터 저장용량은 상기 비-휘발성 메모리(1018)에 대응할 수 있다. 상기 버퍼 메모리(1019)는 상기 제어기(1015)에 인접하게 형성되고 전기적으로 접속될 수 있다.
- [0263] 상기 인터페이스(1013)는 호스트(Host; 1002)에 접속될 수 있으며 데이터와 같은 전기신호들을 송수신하는 역할을 할 수 있다. 예를 들면, 상기 인터페이스(1013)는 SATA, IDE, SCSI, 및/또는 이들의 조합과 같은 규격을 사용하는 장치일 수 있다. 상기 비-휘발성 메모리(1018)는 상기 제어기(1015)를 경유하여 상기 인터페이스(1013)에 접속될 수 있다.
- [0264] 상기 비-휘발성 메모리(1018)는 상기 인터페이스(1013)를 통하여 수신된 데이터를 저장하는 역할을 할 수 있다.

상기 비-휘발성 메모리(non-volatile memory; 1018)는 도 1 내지 도 47b를 참조하여 설명한 본 발명의 기술적 사상의 실시예들에 의한 반도체 소자들 중 어느 하나를 포함할 수 있다.

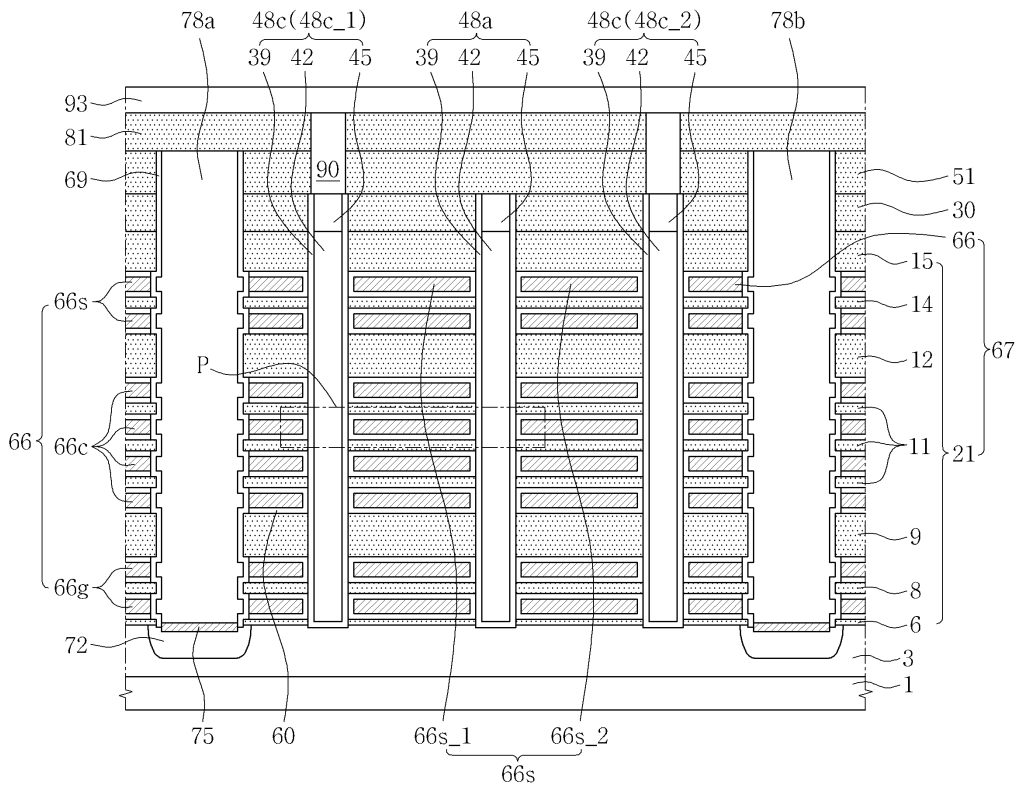
- [0265] 상기 솔리드 스테이트 디스크(1011)에 전원공급이 차단된다 할지라도, 상기 비-휘발성 메모리(1018)에 저장된 데이터는 보존되는 특성이 있다.
- [0266] 상기 버퍼 메모리(1019)는 휘발성 메모리(volatile memory)를 포함할 수 있다. 상기 휘발성 메모리는 디램(Dynamic Random Access Memory; DRAM), 및/또는 에스램(Static Random Access Memory; SRAM)일 수 있다. 상기 버퍼 메모리(1019)는 상기 비-휘발성 메모리(1018)에 비하여 상대적으로 빠른 동작속도를 보인다.
- [0267] 상기 인터페이스(1013)의 데이터 처리속도는 상기 비-휘발성 메모리(1018)의 동작속도에 비하여 상대적으로 빠를 수 있다. 여기서, 상기 버퍼 메모리(1019)는 데이터를 임시 저장하는 역할을 할 수 있다. 상기 인터페이스(1013)를 통하여 수신된 데이터는, 상기 제어기(1015)를 경유하여 상기 버퍼 메모리(1019)에 임시 저장된 후, 상기 비-휘발성 메모리(18)의 데이터 기록(write) 속도에 맞추어 상기 비-휘발성 메모리(1018)에 영구 저장될 수 있다. 또한, 상기 비-휘발성 메모리(1018)에 저장된 데이터들 중 자주 사용되는 데이터들은 사전에 읽기(read) 하여 상기 버퍼 메모리(1019)에 임시 저장할 수 있다. 즉, 상기 버퍼 메모리(1019)는 상기 솔리드 스테이트 디스크(1011)의 유효 동작속도를 증가시키고 에러(error) 발생률을 감소하는 역할을 할 수 있다.
- [0268] 도 51은 본 발명의 기술적 사상에 따른 실시예들 중 어느 하나의 실시예에 의한 반도체 소자를 포함하는 전자 장치의 시스템 블록도이다.
- [0269] 도 51을 참조하면, 도 1 내지 도 47b를 참조하여 설명한 본 발명의 기술적 사상의 실시예들에 의한 반도체 소자들 중 어느 하나의 반도체 소자는 전자 시스템(1100)에 적용될 수 있다. 상기 전자 시스템(1100)은 바디(Body; 1110), 마이크로 프로세서 유닛(Micro Processor Unit; 1120), 파워 유닛(Power Unit; 1130), 기능 유닛(Function Unit; 1140), 및 디스플레이 컨트롤러 유닛(Display Controller Unit; 1150)을 포함할 수 있다. 상기 바디(1110)는 인쇄 회로기판(PCB)으로 형성된 마더 보드(Mother Board)일 수 있다. 상기 마이크로 프로세서 유닛(1120), 상기 파워 유닛(1130), 상기 기능 유닛(1140), 및 상기 디스플레이 컨트롤러 유닛(1150)은 상기 바디(1110)에 장착될 수 있다. 상기 바디(1110)의 내부 혹은 상기 바디(1110)의 외부에 디스플레이 유닛(1160)이 배치될 수 있다. 예를 들면, 상기 디스플레이 유닛(1160)은 상기 바디(1110)의 표면에 배치되어 상기 디스플레이 컨트롤러 유닛(1150)에 의해 프로세스 된 이미지를 표시할 수 있다.
- [0270] 상기 파워 유닛(1130)은 외부 배터리(도시하지 않음) 등으로부터 일정 전압을 공급받아 이를 요구되는 전압 레벨로 분기하여 상기 마이크로 프로세서 유닛(1120), 상기 기능 유닛(1140), 상기 디스플레이 컨트롤러 유닛(1150) 등으로 공급하는 역할을 할 수 있다. 상기 마이크로 프로세서 유닛(1120)은 상기 파워 유닛(1130)으로부터 전압을 공급받아 상기 기능 유닛(1140)과 상기 디스플레이 유닛(1160)을 제어할 수 있다. 상기 기능 유닛(1140)은 다양한 전자 시스템(1100)의 기능을 수행할 수 있다. 예를 들어, 상기 전자 시스템(1100)이 휴대폰인 경우 상기 기능 유닛(1140)은 다이얼링, 또는 외부 장치(External Apparatus; 1170)와의 교신으로 상기 디스플레이 유닛(1160)으로의 영상 출력, 스피커로의 음성 출력 등과 같은 휴대폰 기능을 수행할 수 있는 여러 구성요소들을 포함할 수 있으며, 카메라가 함께 장착된 경우 카메라 이미지 프로세서(Camera Image Processor)의 역할을 할 수 있다.
- [0271] 응용 실시 예에서, 상기 전자 시스템(1100)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 상기 기능 유닛(1140)은 메모리 카드 컨트롤러일 수 있다. 상기 기능 유닛(1140)은 유선 혹은 무선의 통신 유닛(Communication Unit; 1180)을 통해 상기 외부 장치(1170)와 신호를 주고 받을 수 있다. 더 나아가서, 상기 전자 시스템(1100)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 상기 기능 유닛(1140)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다.
- [0272] 도 1 내지 도 47b를 참조하여 설명한 본 발명의 기술적 사상의 실시예들에 의한 반도체 소자들 중 어느 하나의 반도체 소자는 상기 마이크로 프로세서 유닛(1120) 및 상기 기능 유닛(1140) 중 적어도 어느 하나에 적용될 수 있다.
- [0273] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 개략적으로 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야 한다.

도면

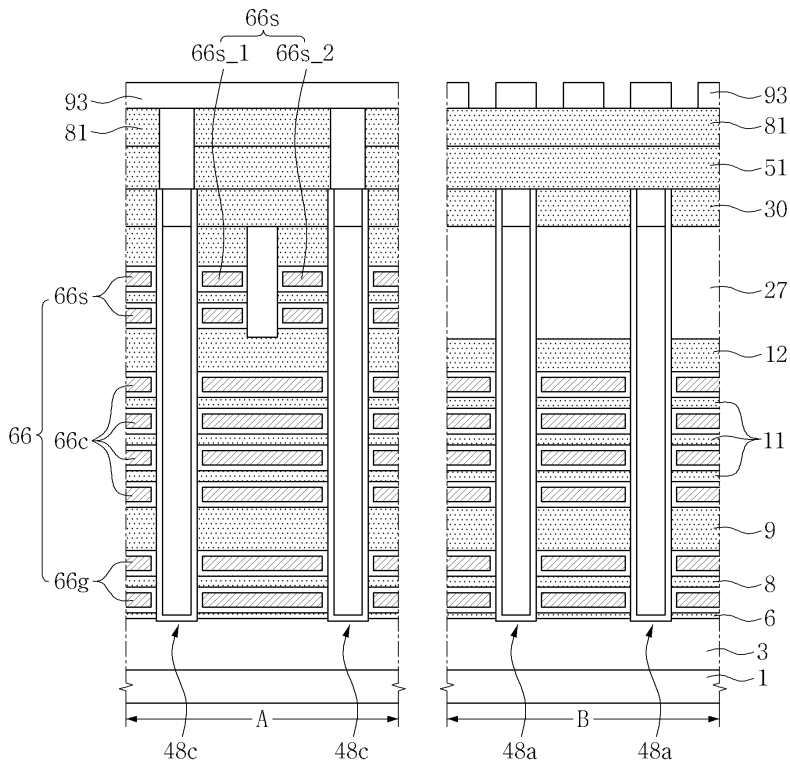
도면1



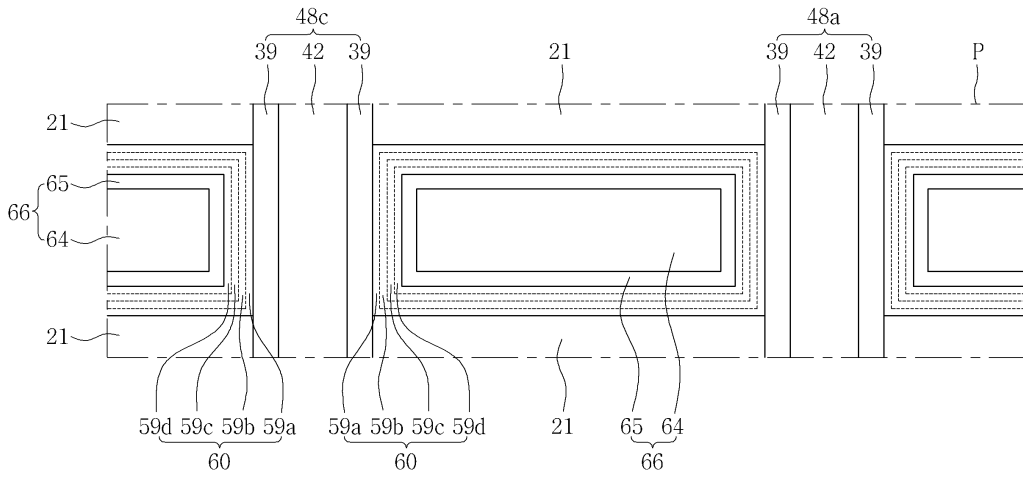
도면2a



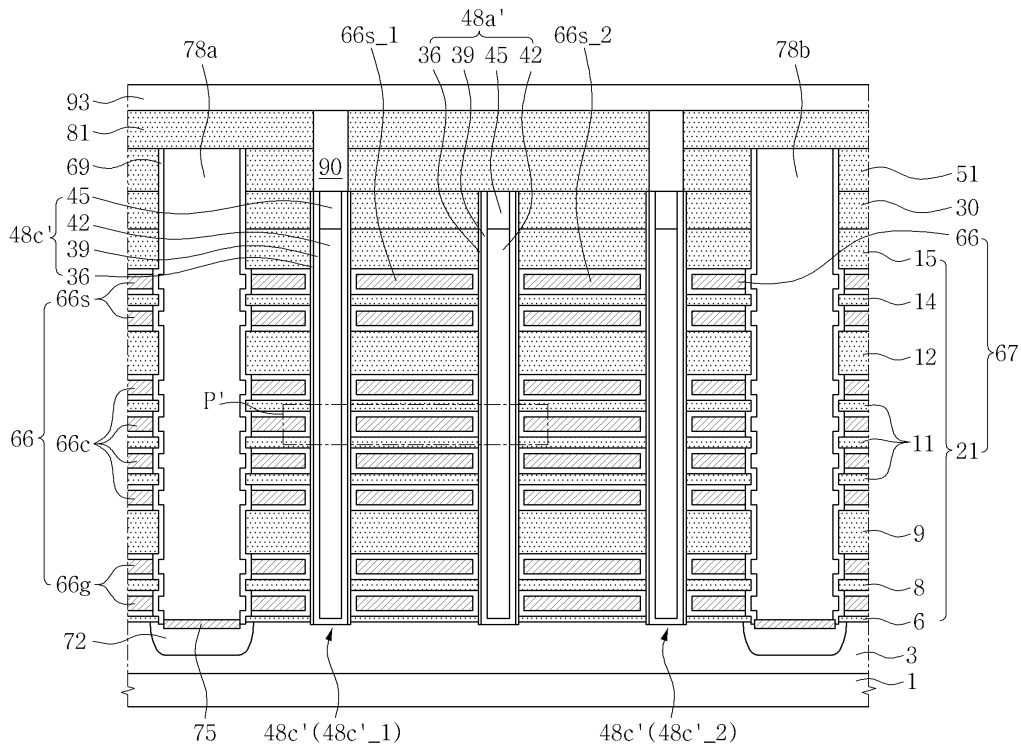
도면2b



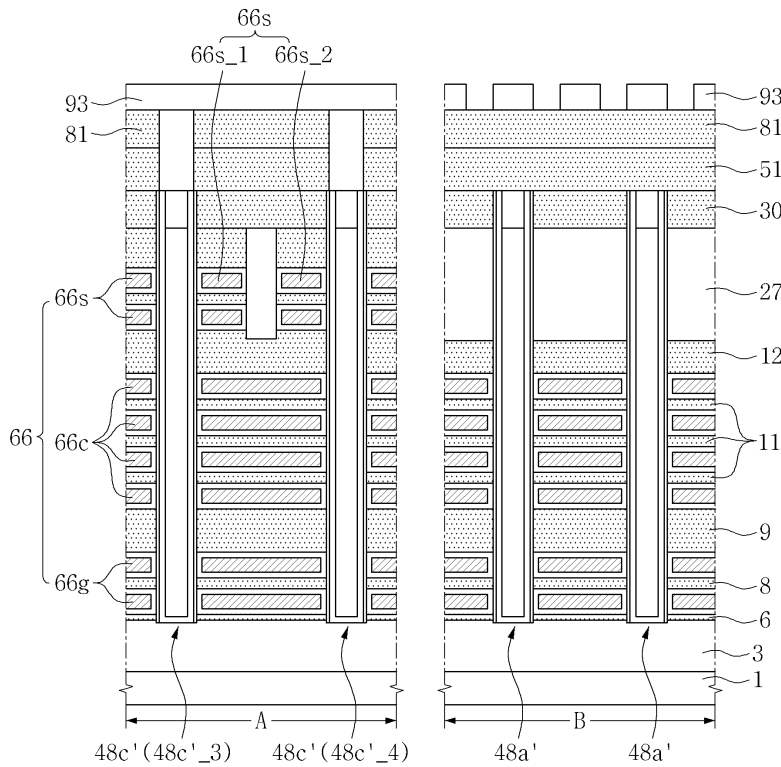
도면3



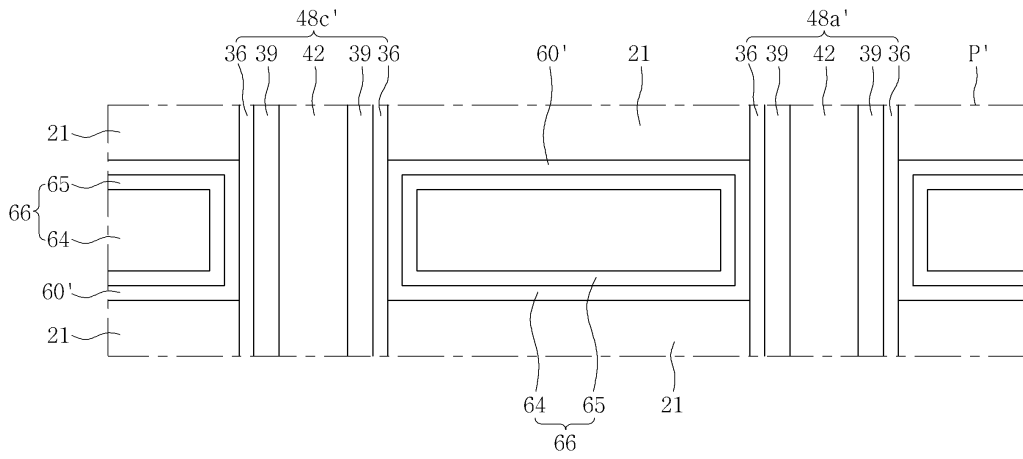
도면4a



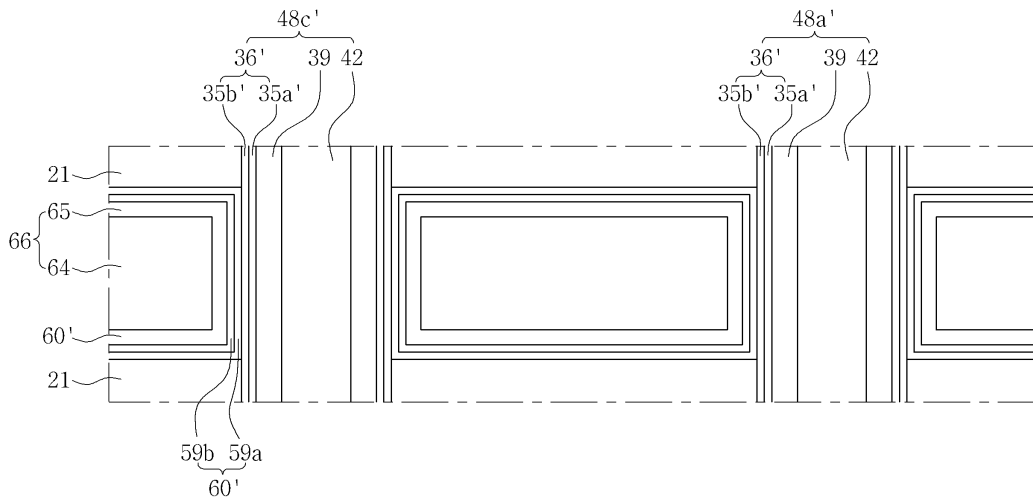
도면4b



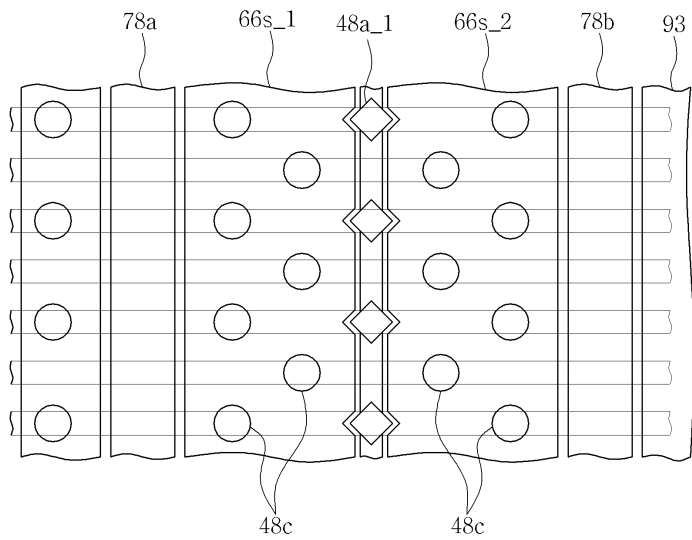
도면5



도면6

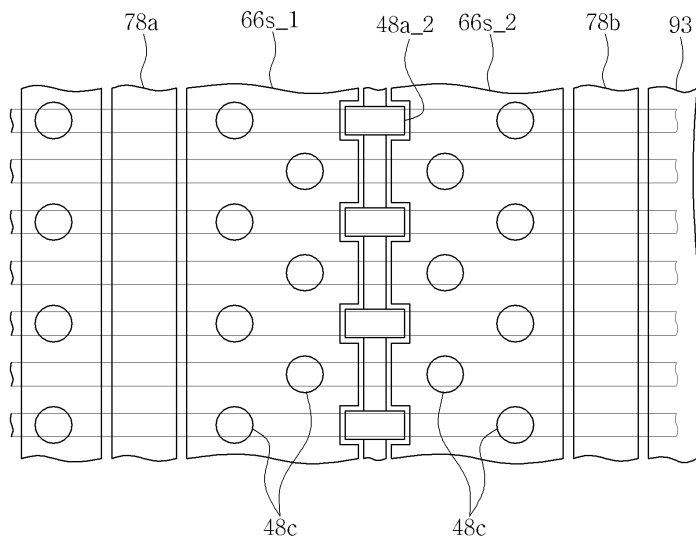


도면7a

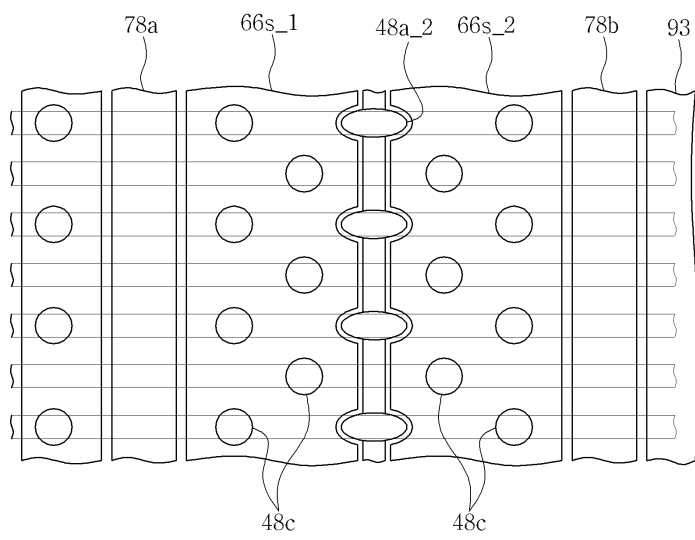




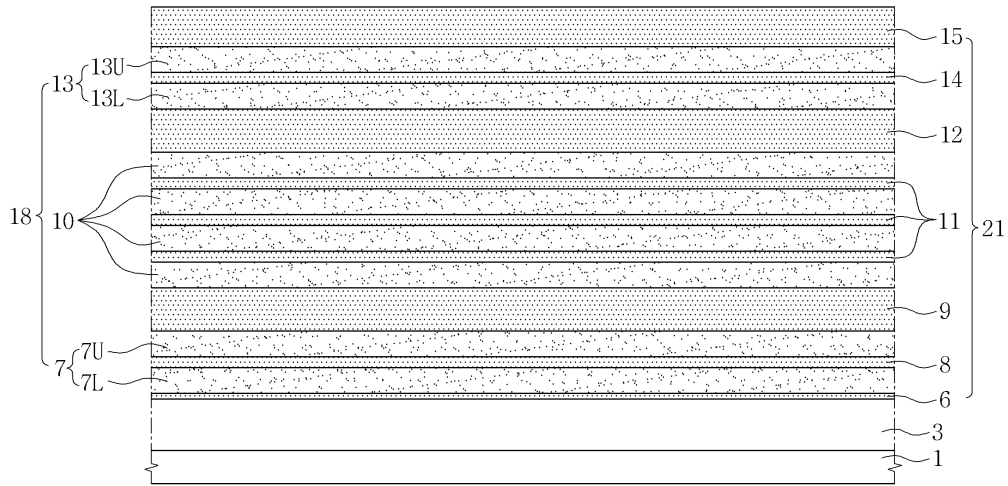
도면7b



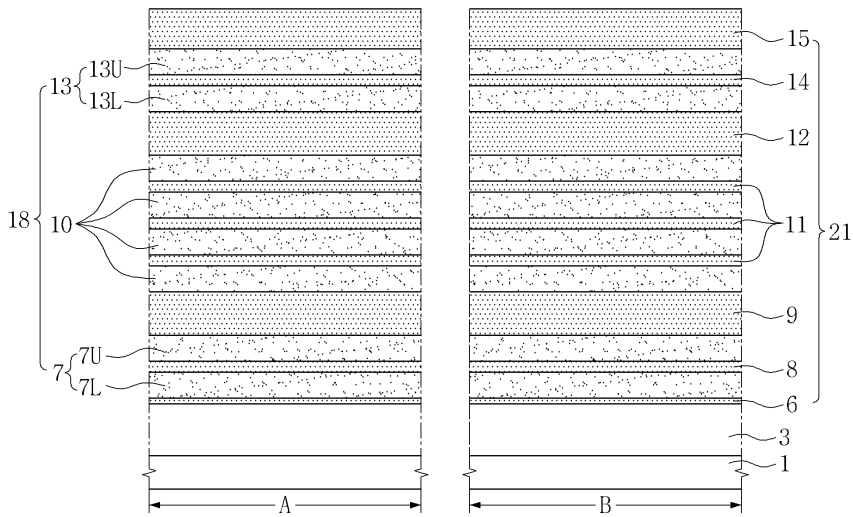
도면7c



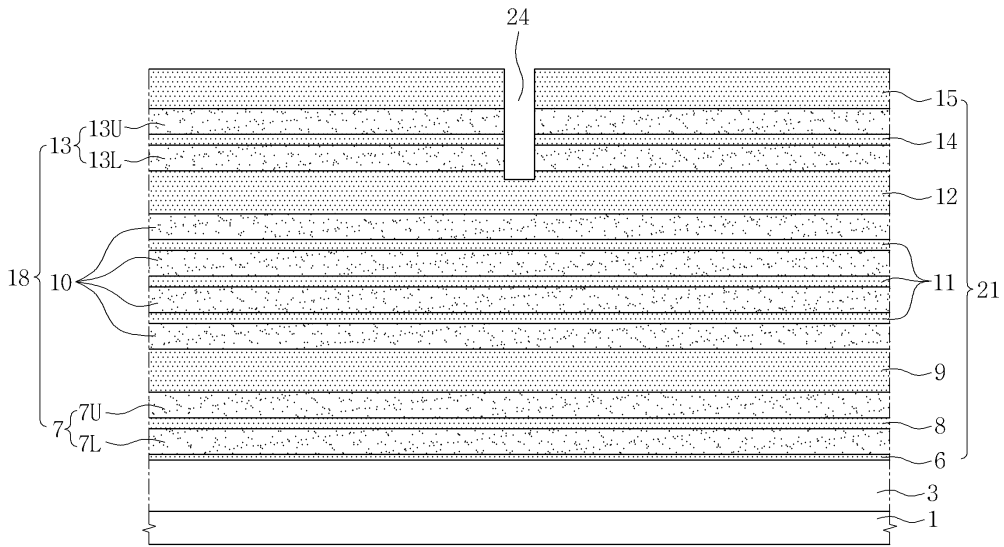
도면8a



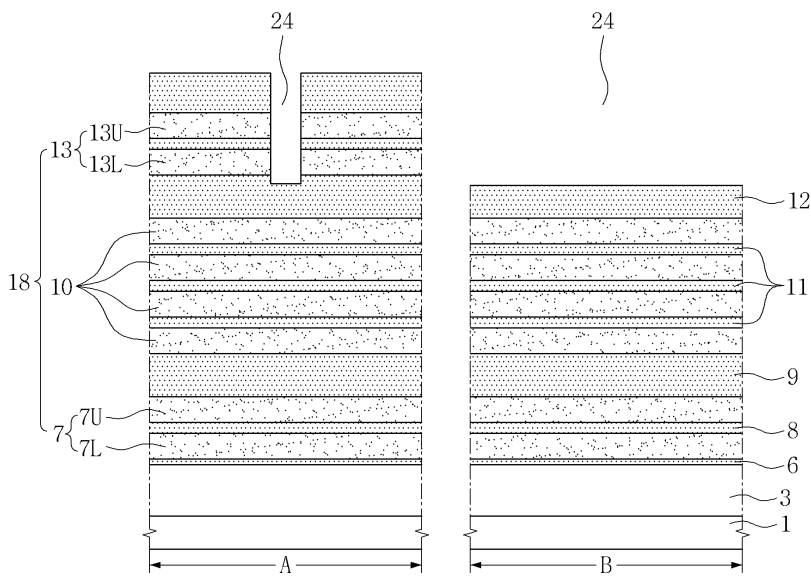
도면8b



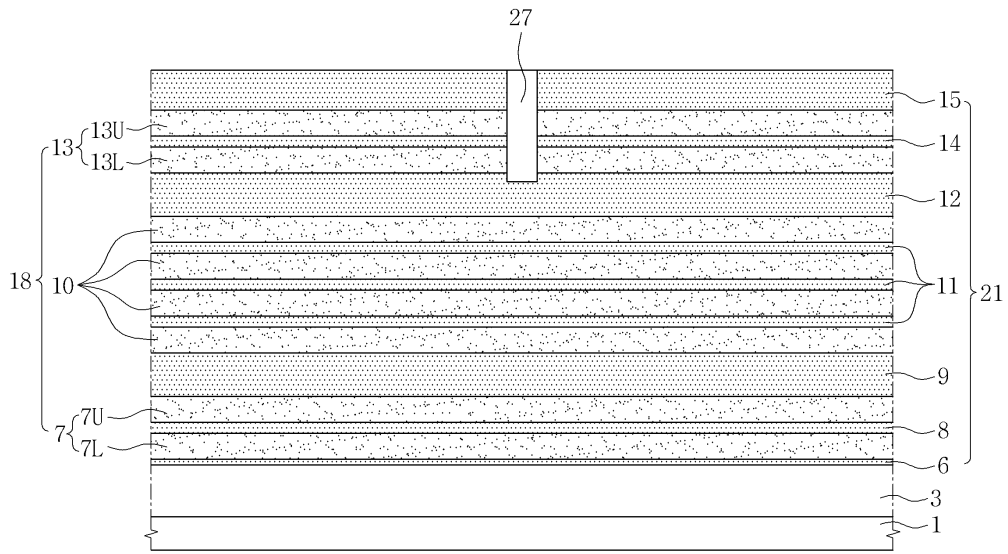
도면9a



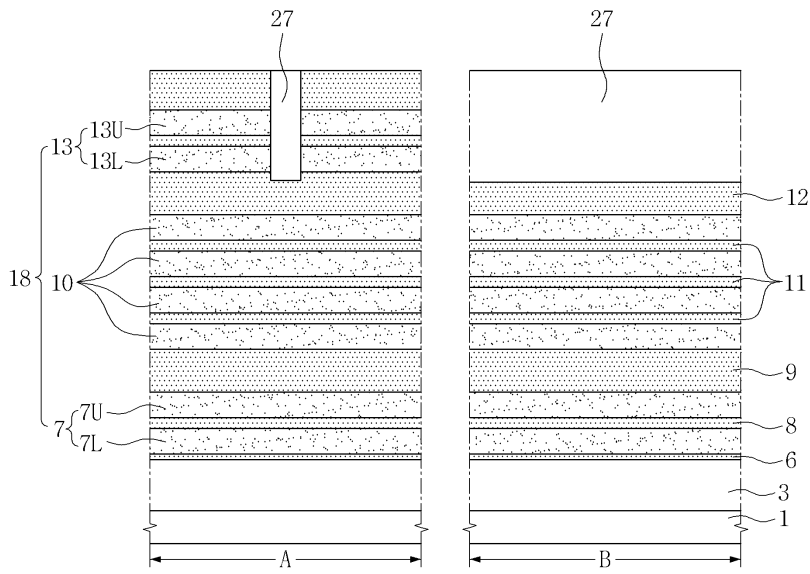
도면9b



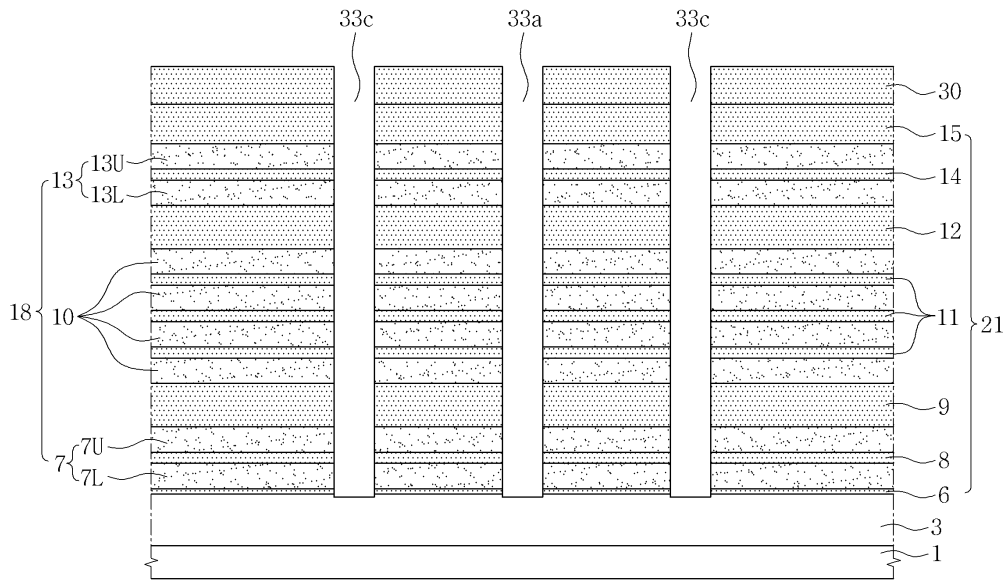
도면10a



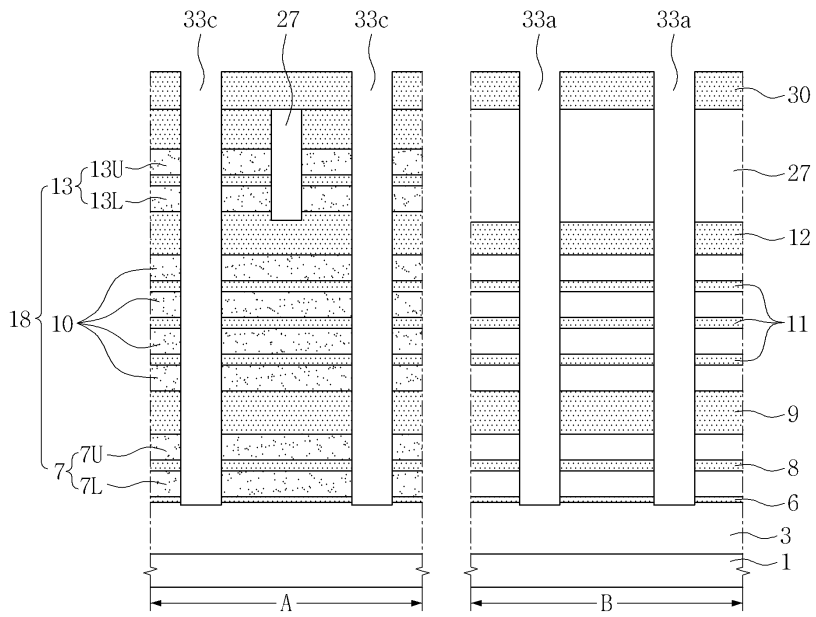
도면10b



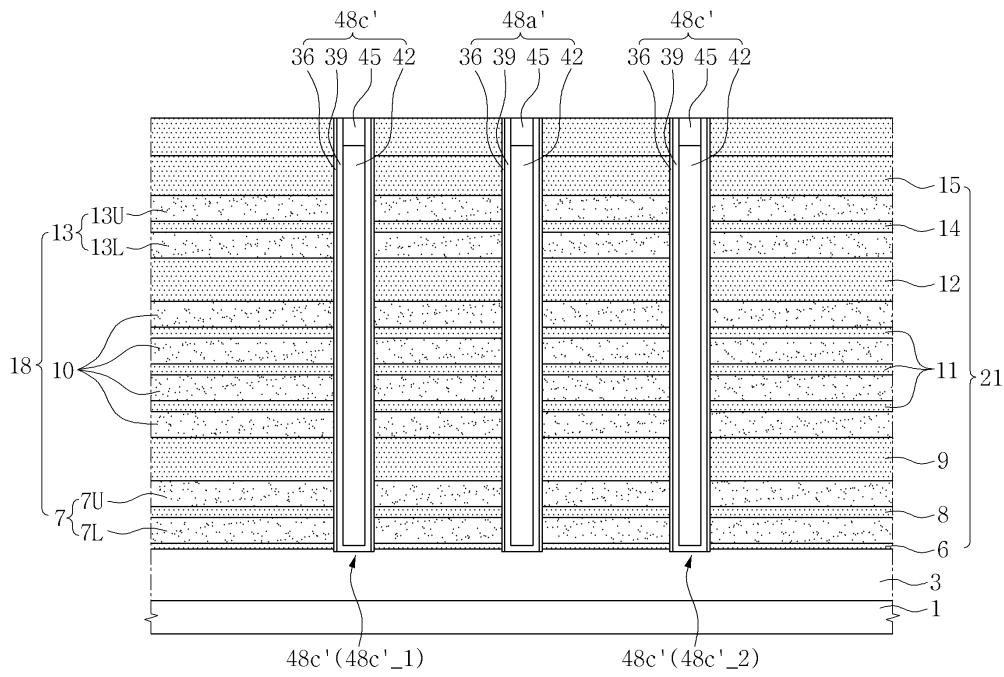
도면11a



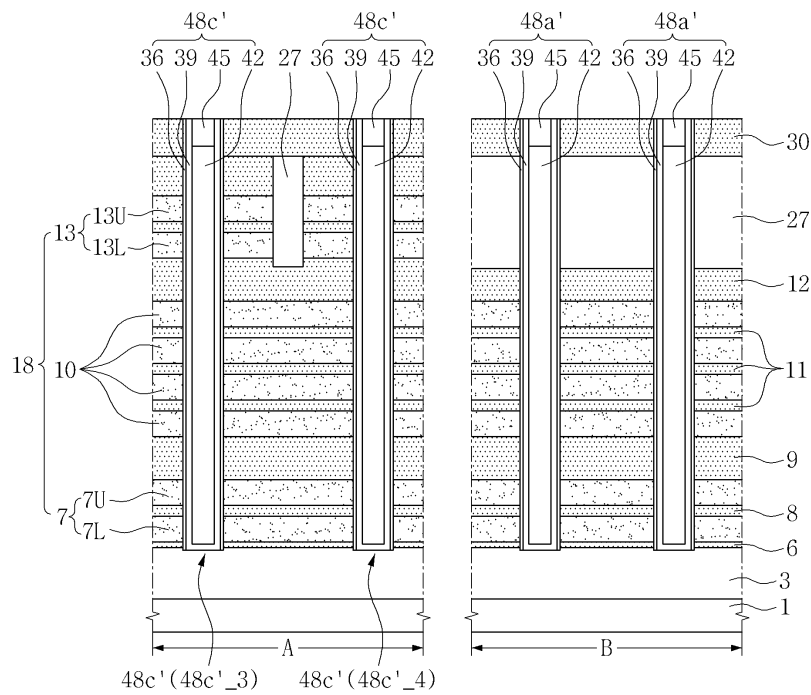
도면11b



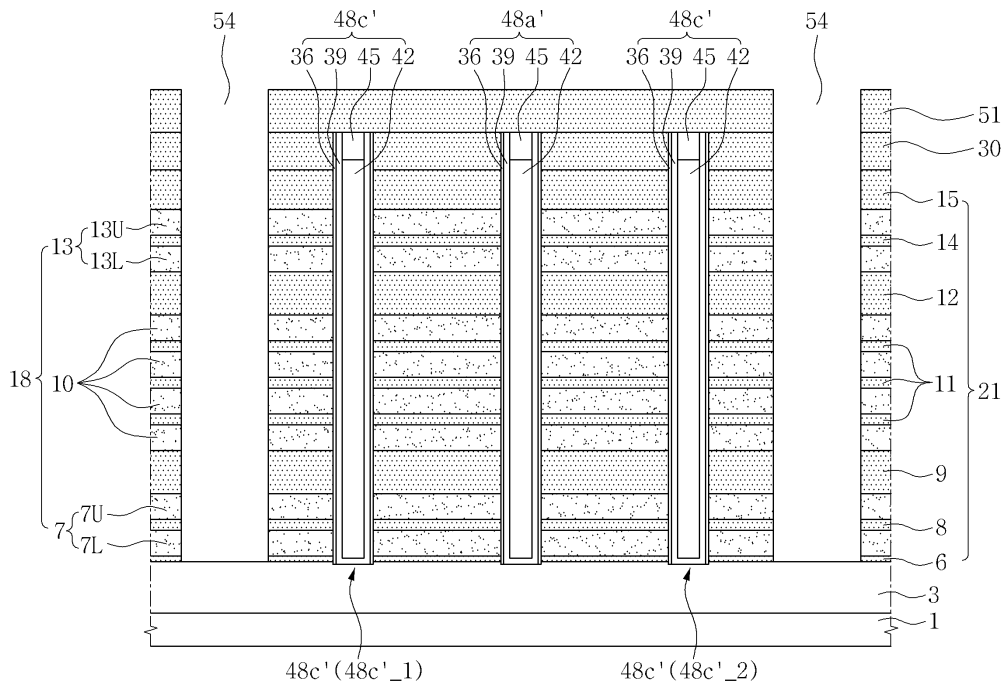
도면12a



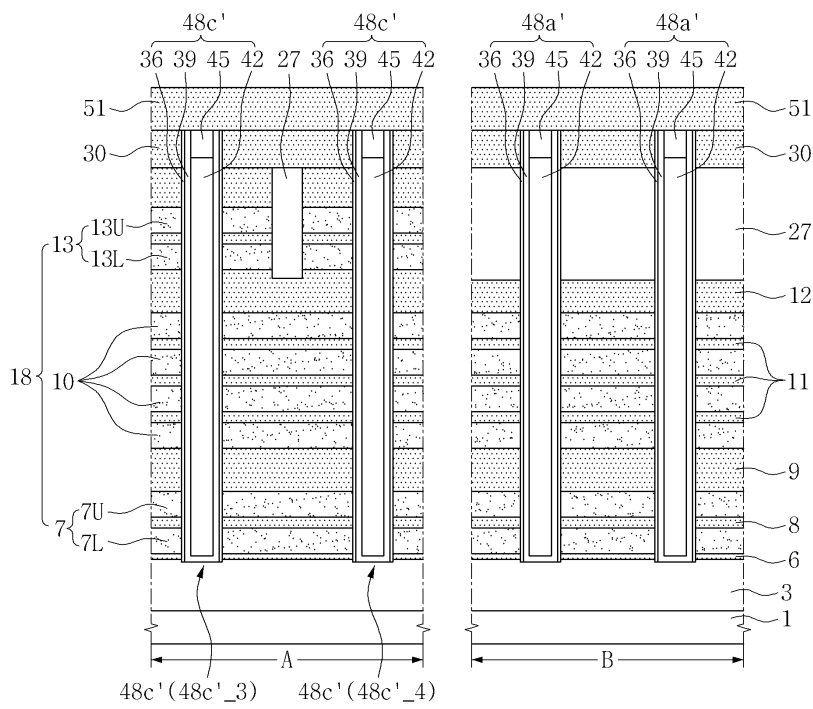
도면12b



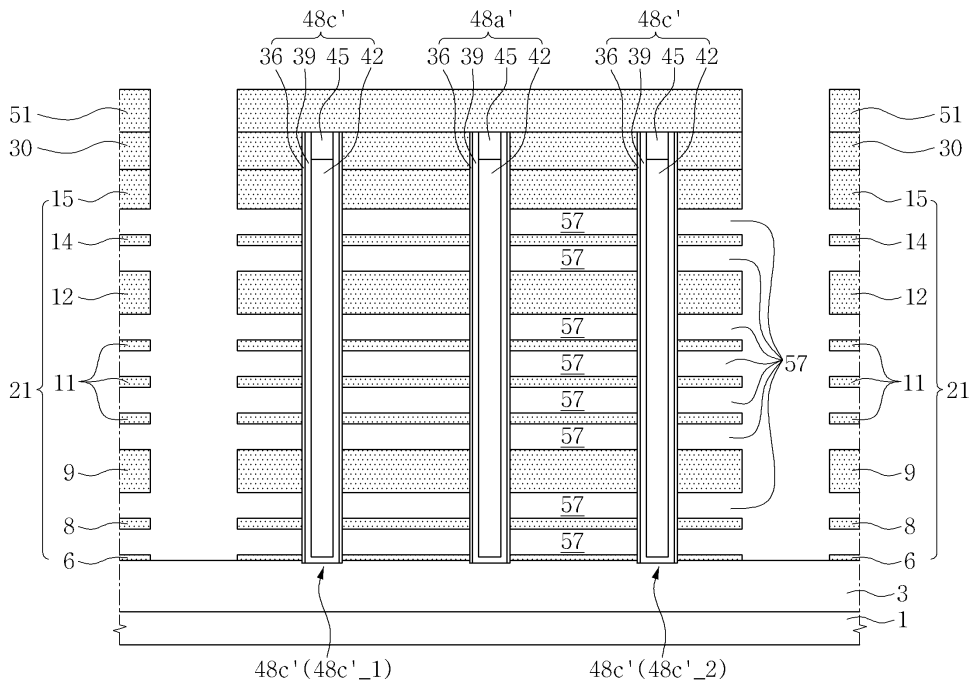
도면13a



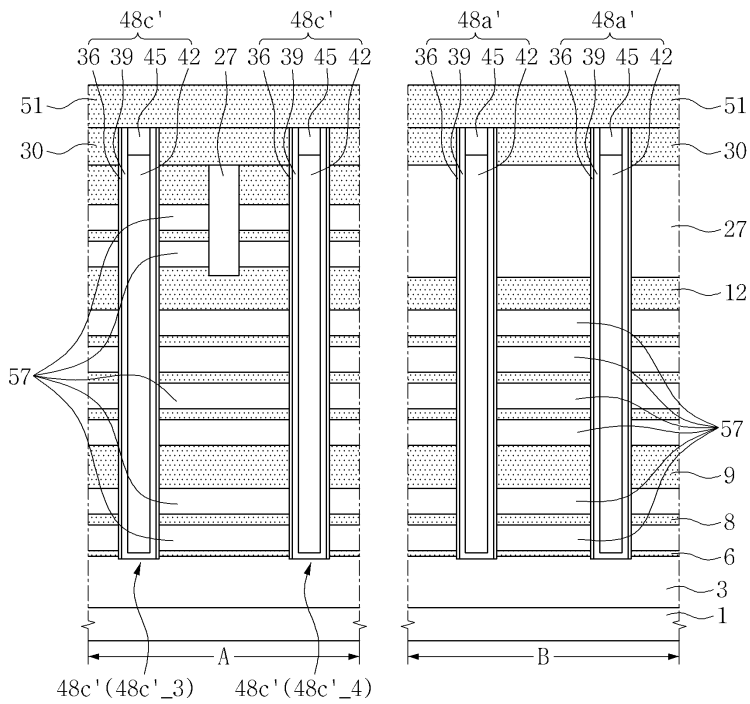
도면13b



도면14a

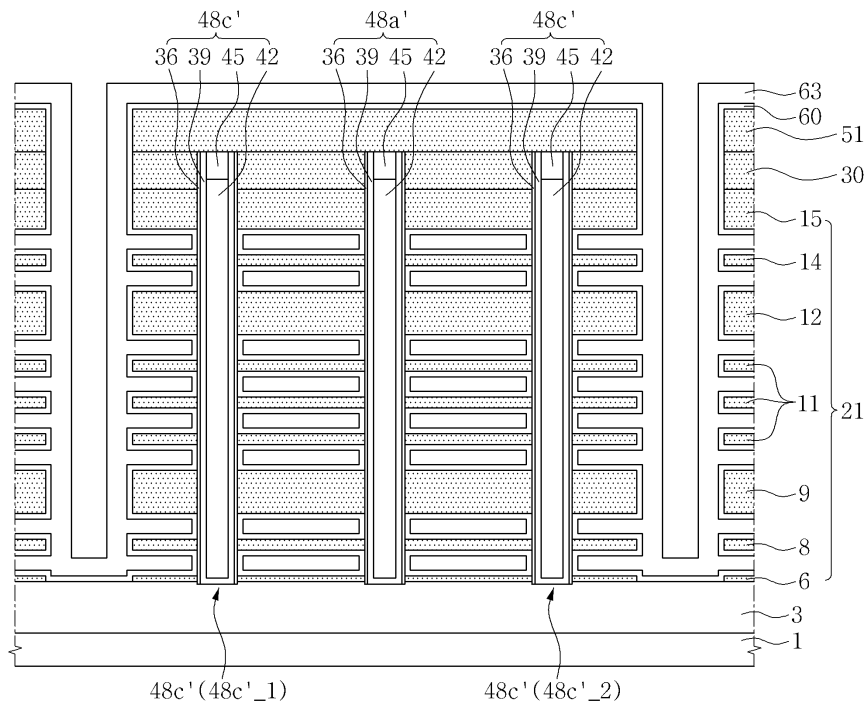


도면14b

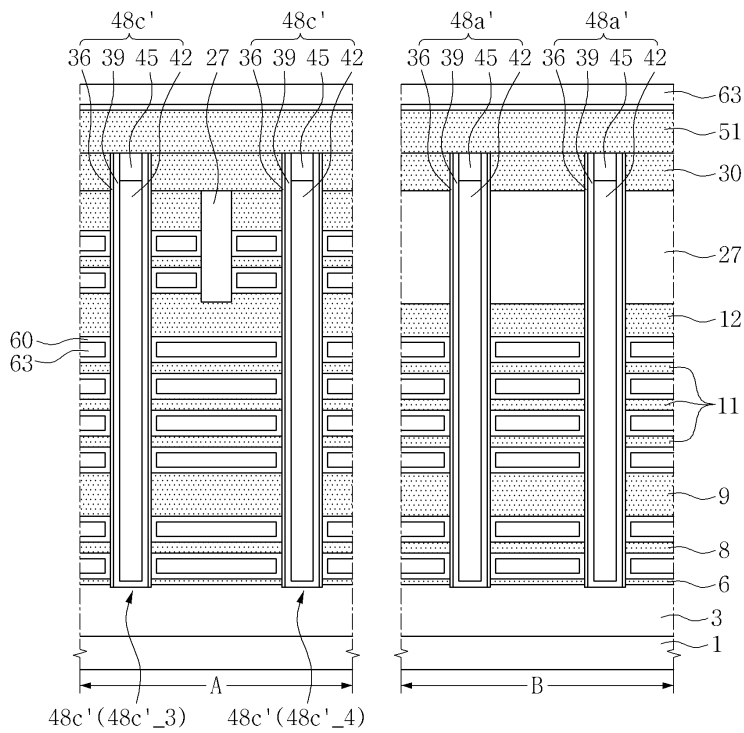




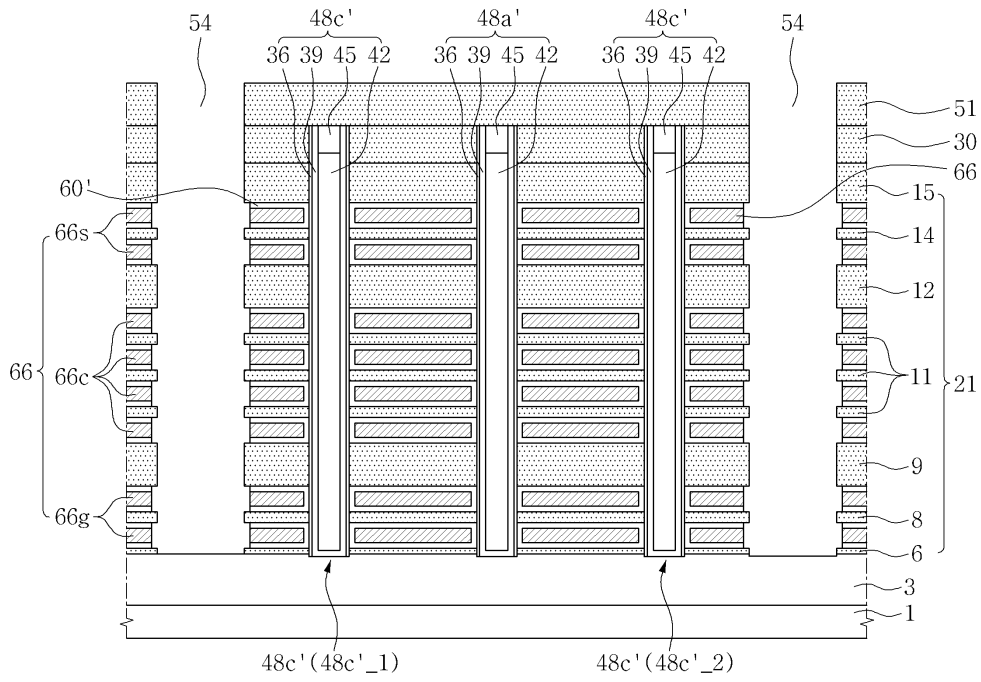
도면15a



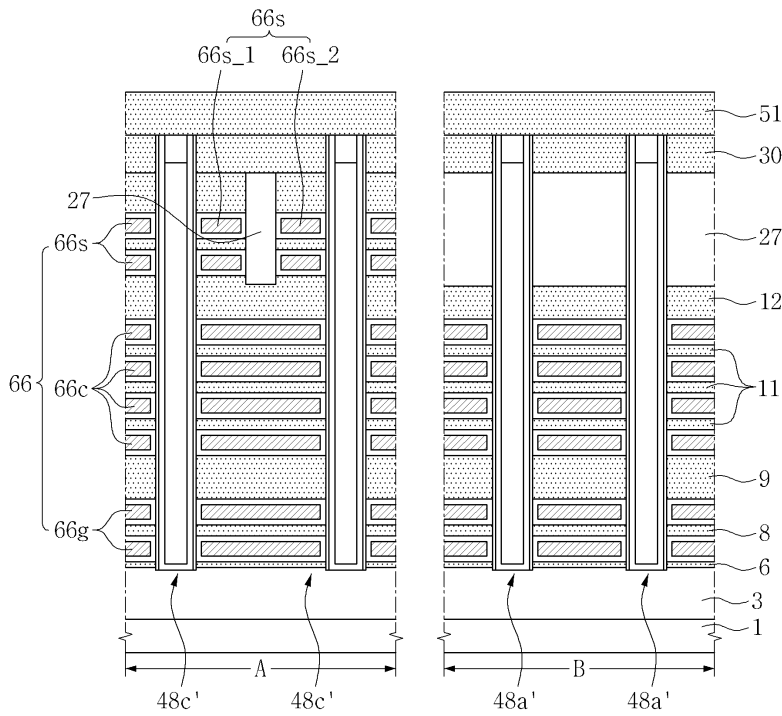
도면15b



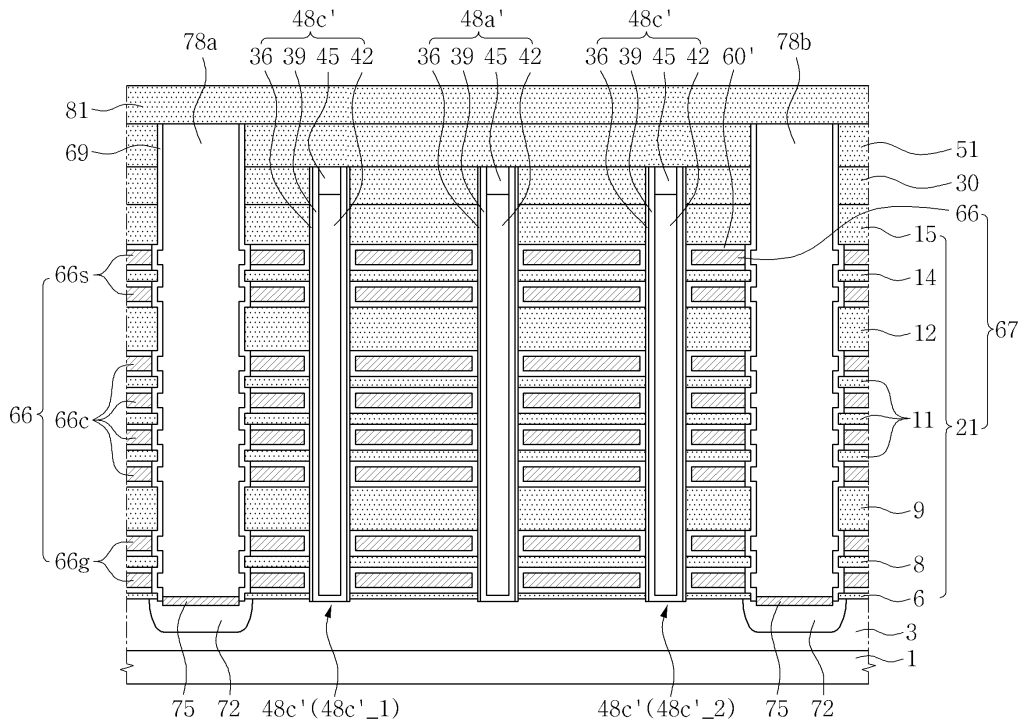
도면16a



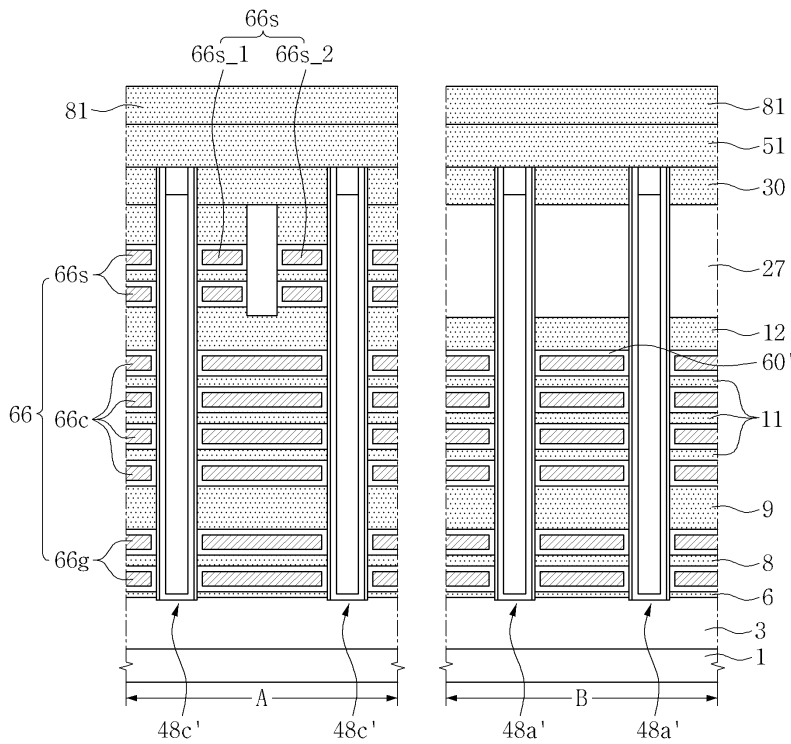
도면16b



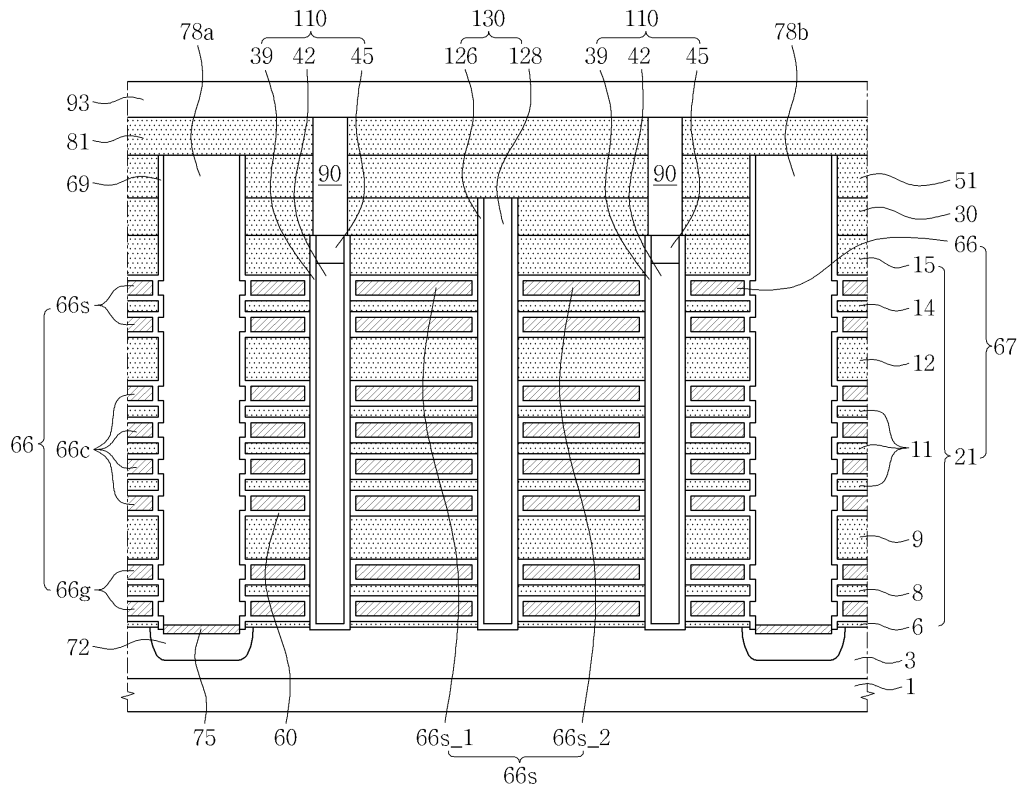
도면17a



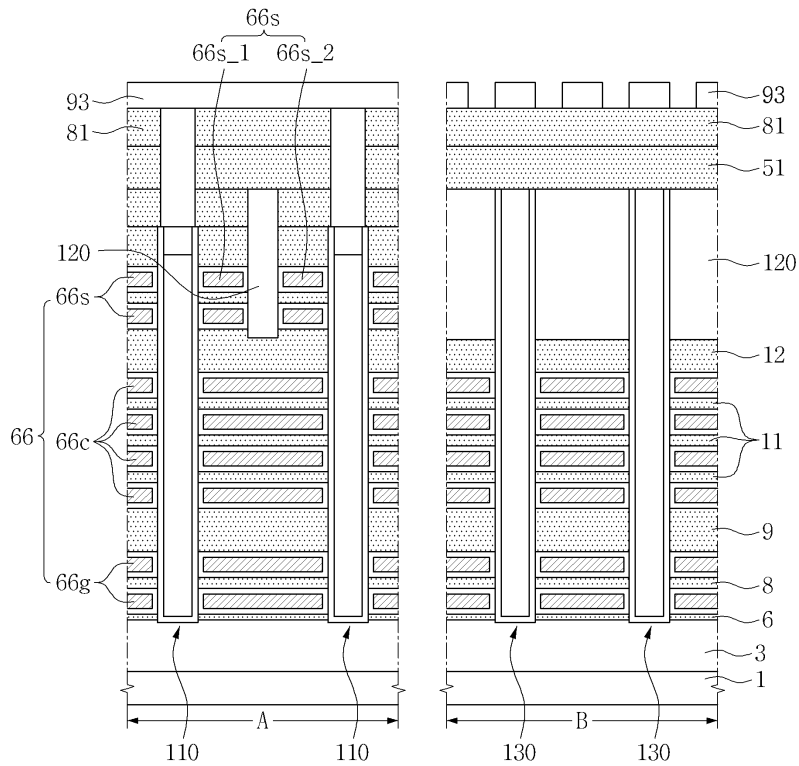
도면17b



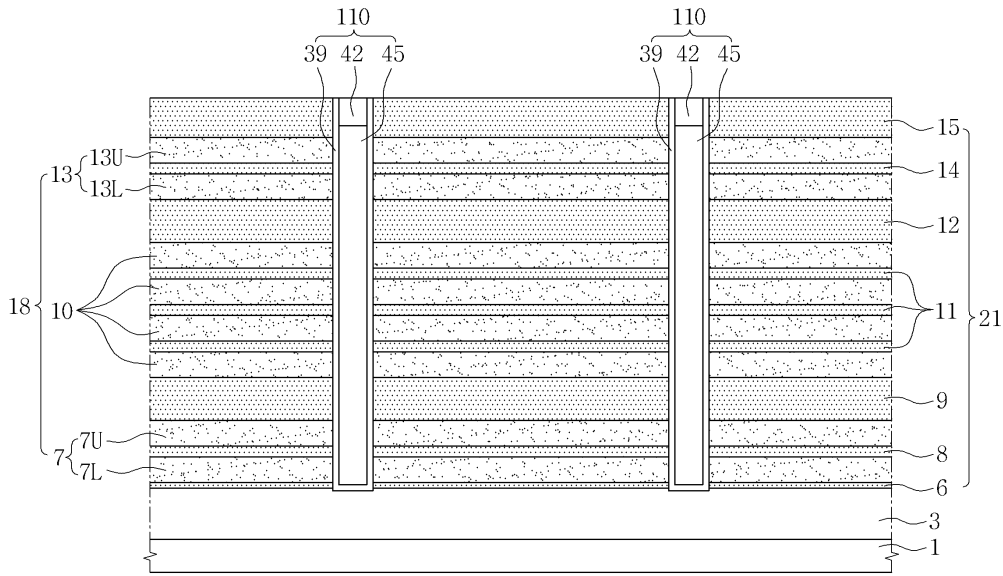
도면18a



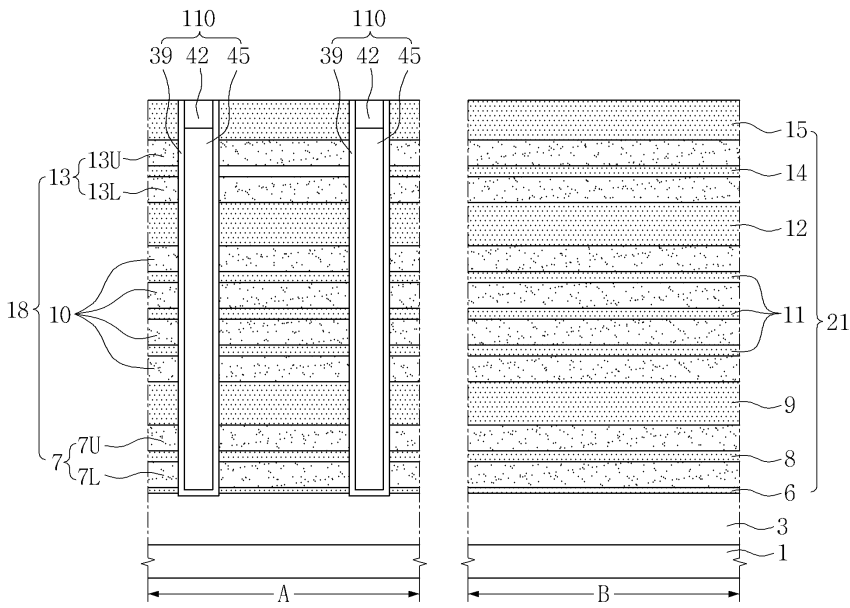
도면18b



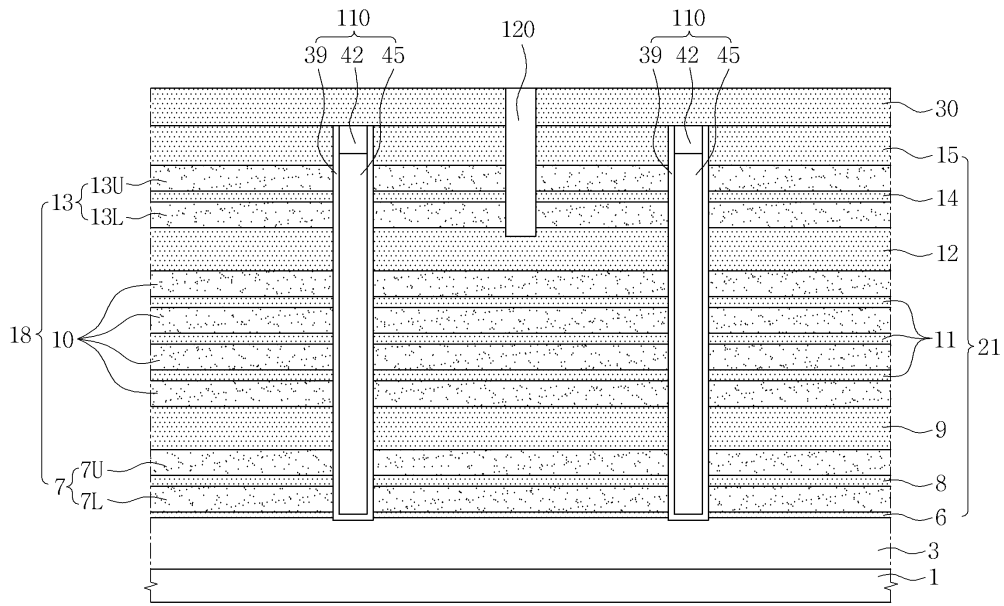
도면19a



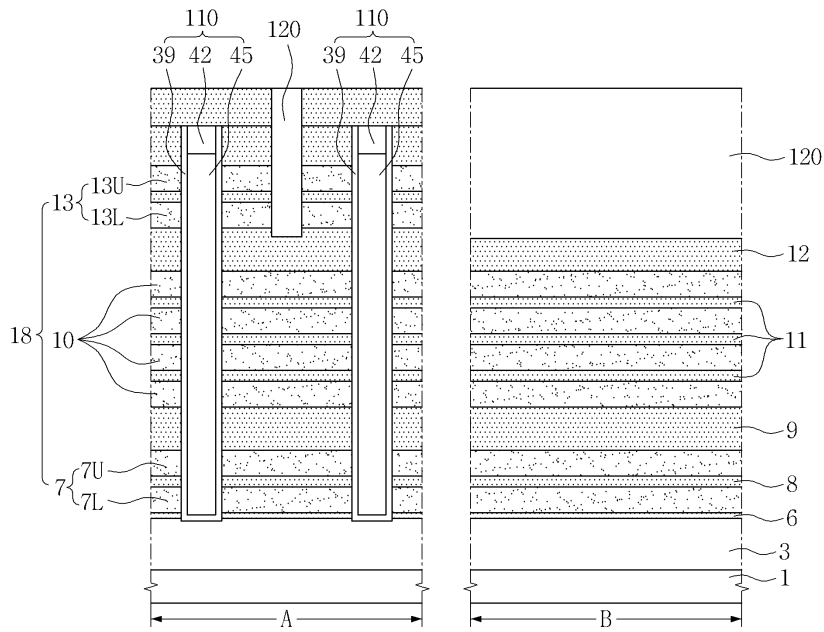
도면19b



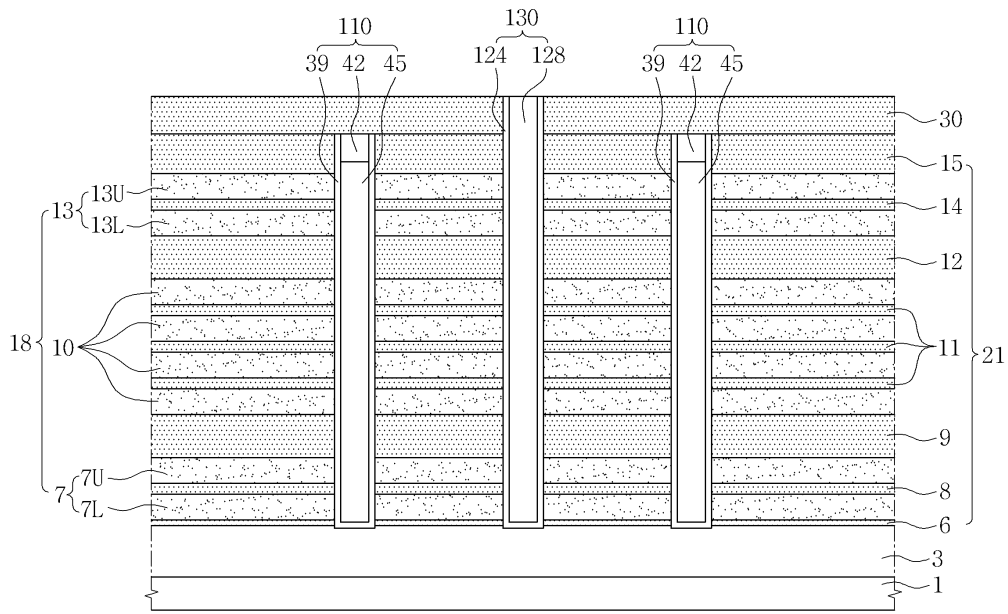
도면20a



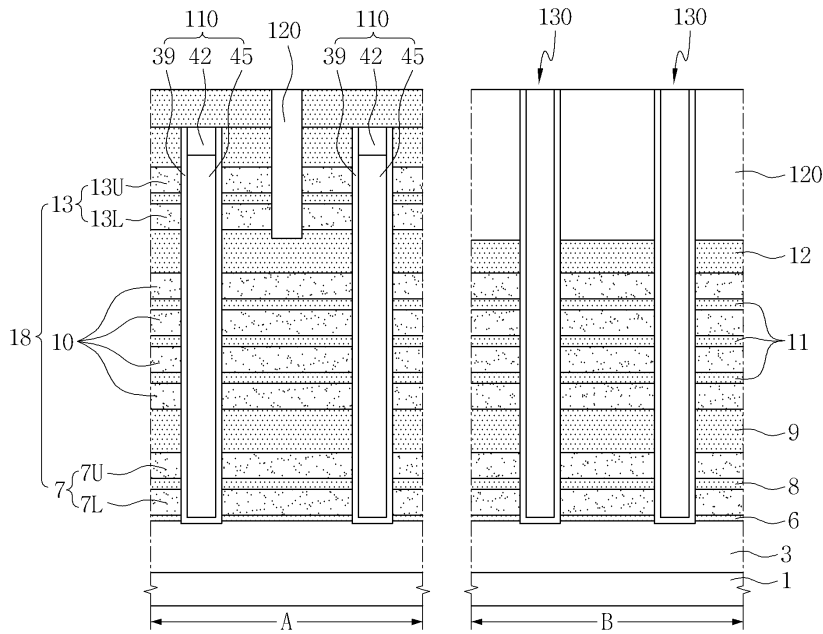
도면20b



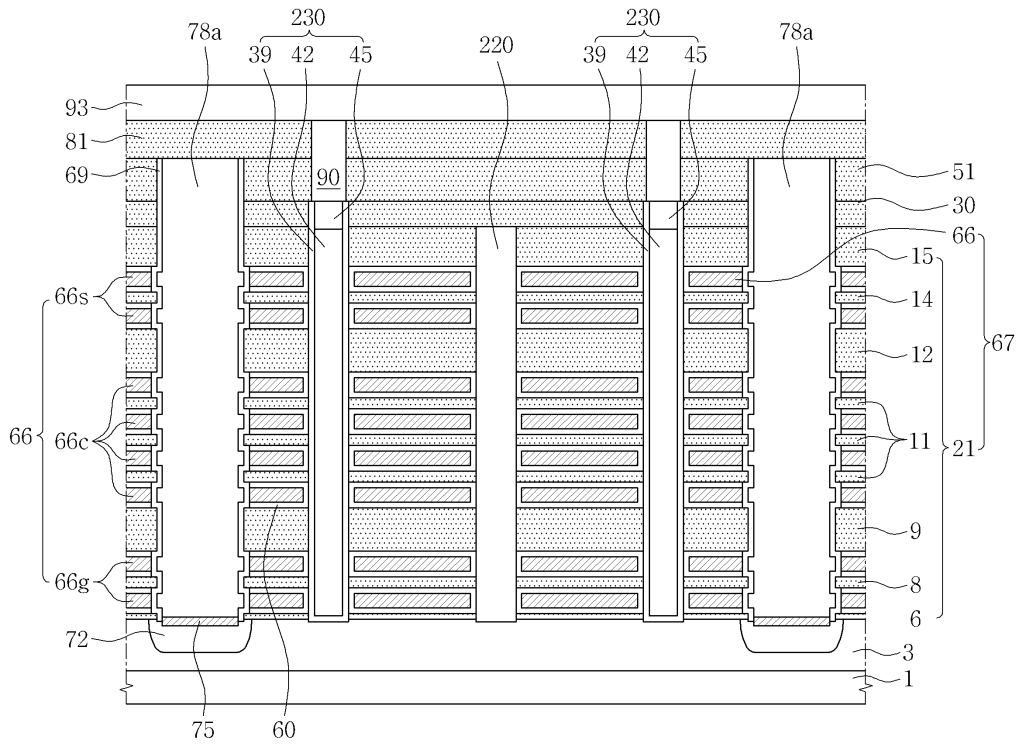
도면21a



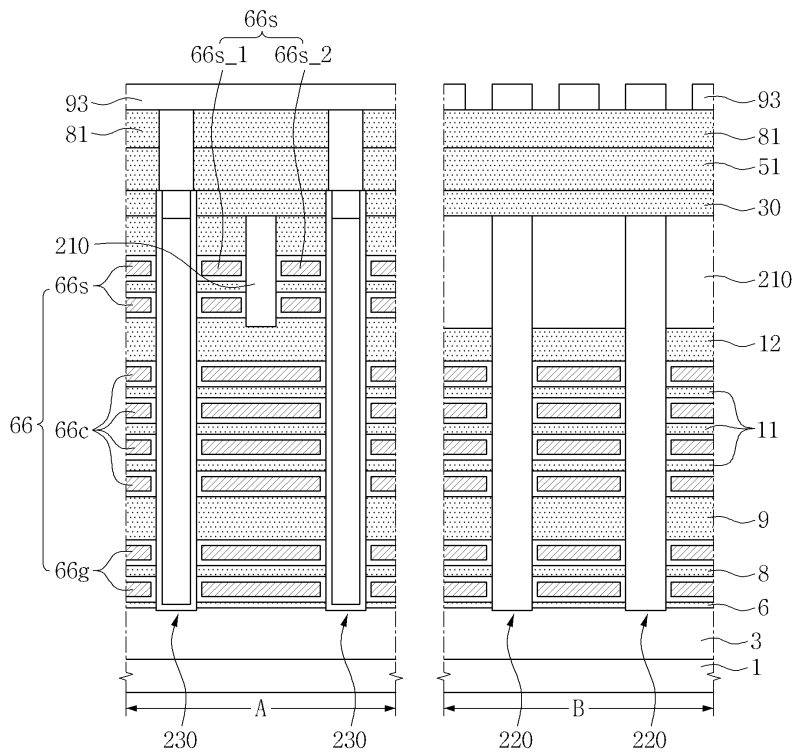
도면21b



도면22a

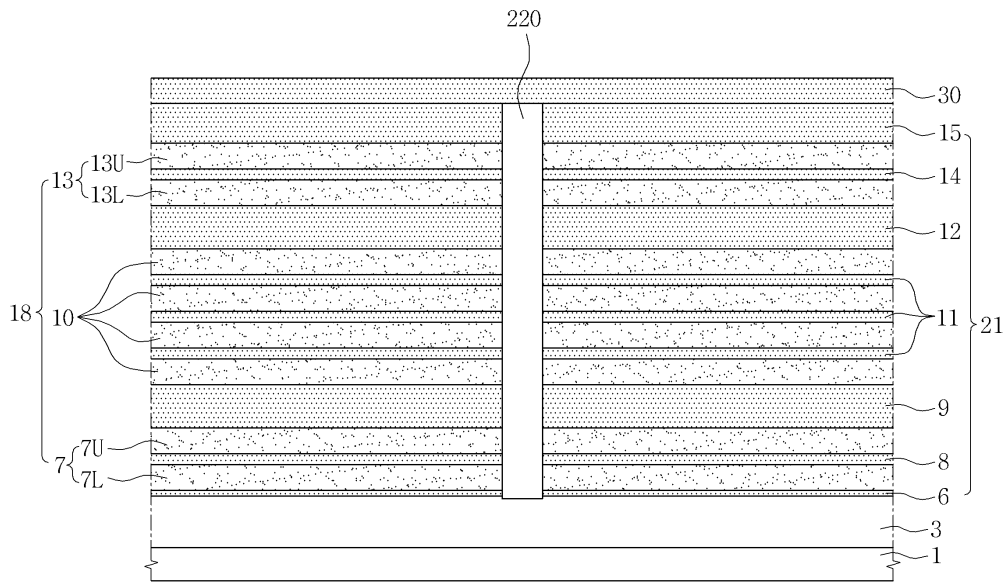


도면22b

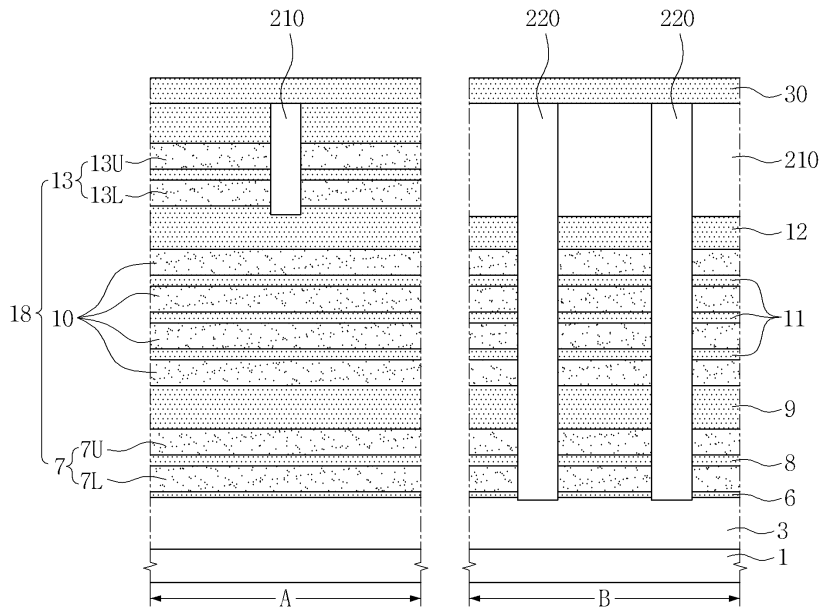




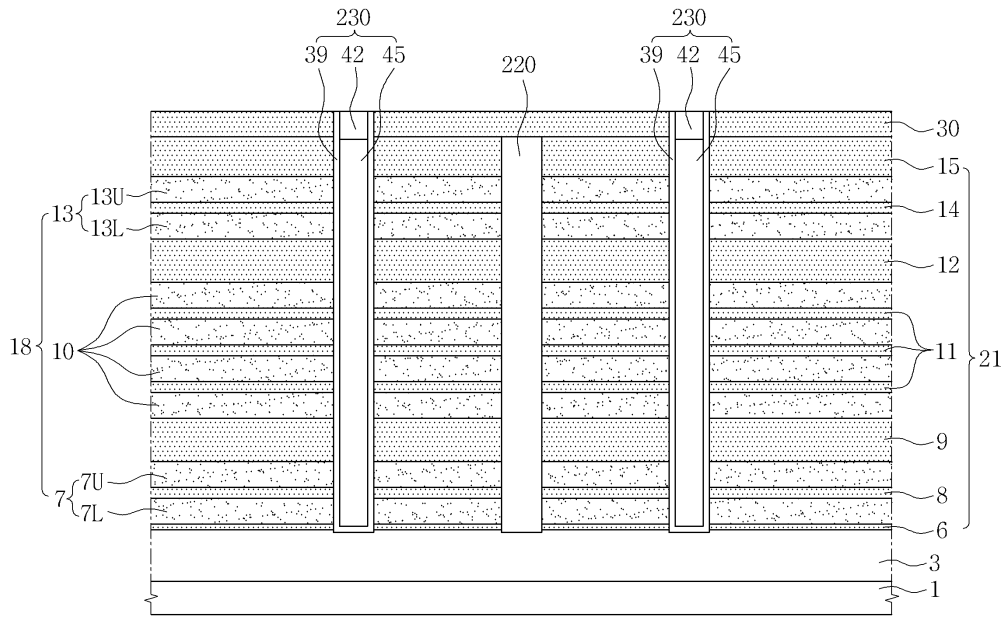
도면23a



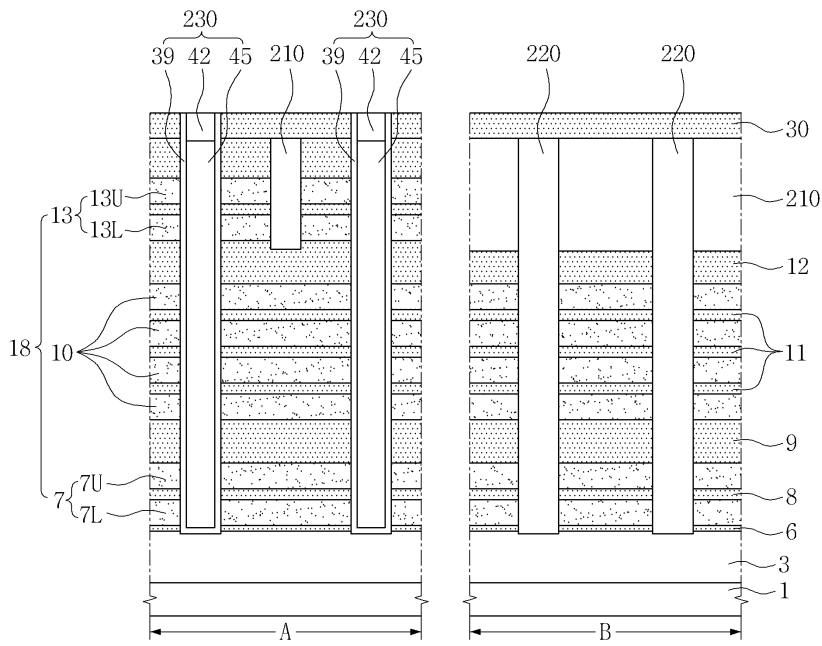
도면23b



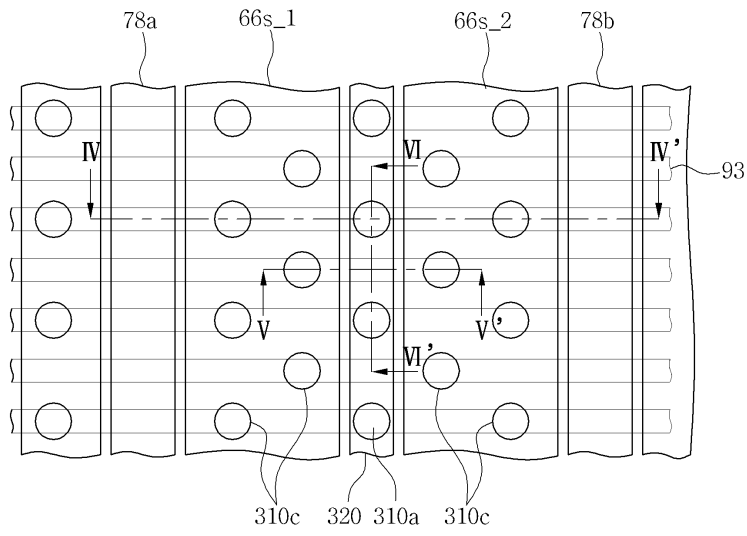
도면24a



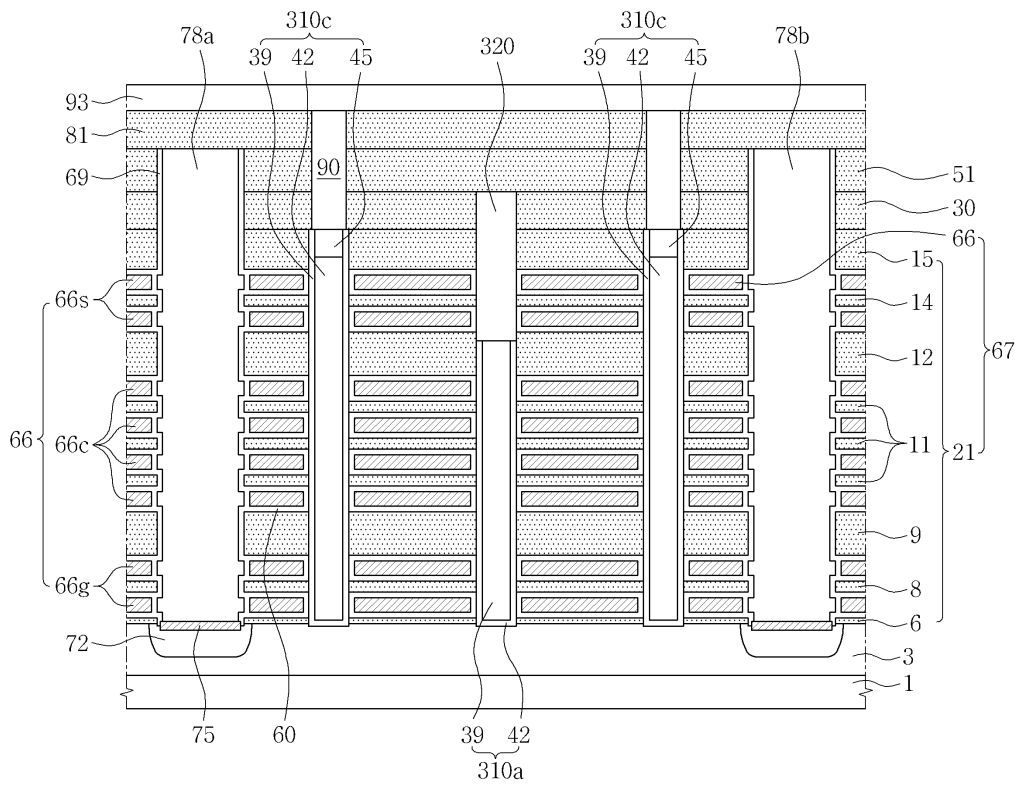
도면24b



도면25

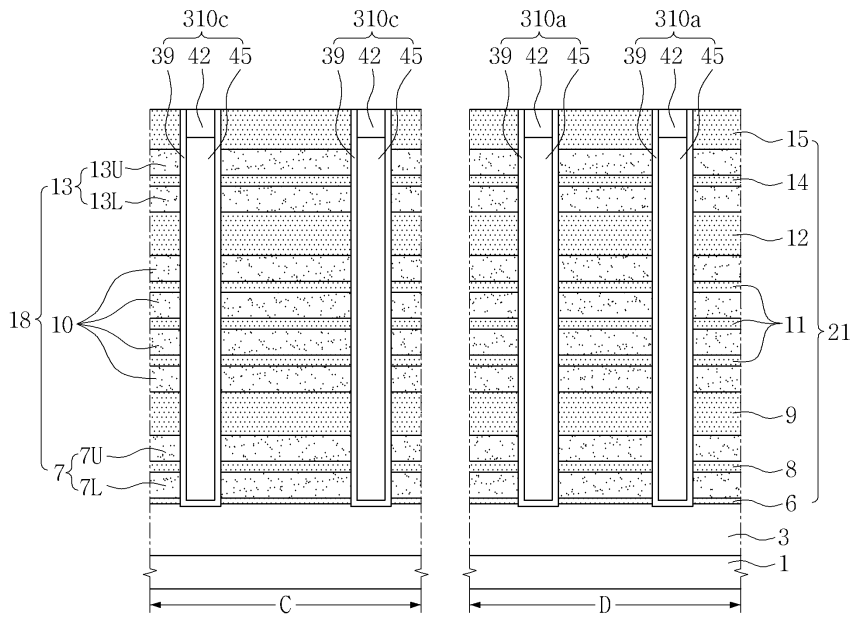


도면26a

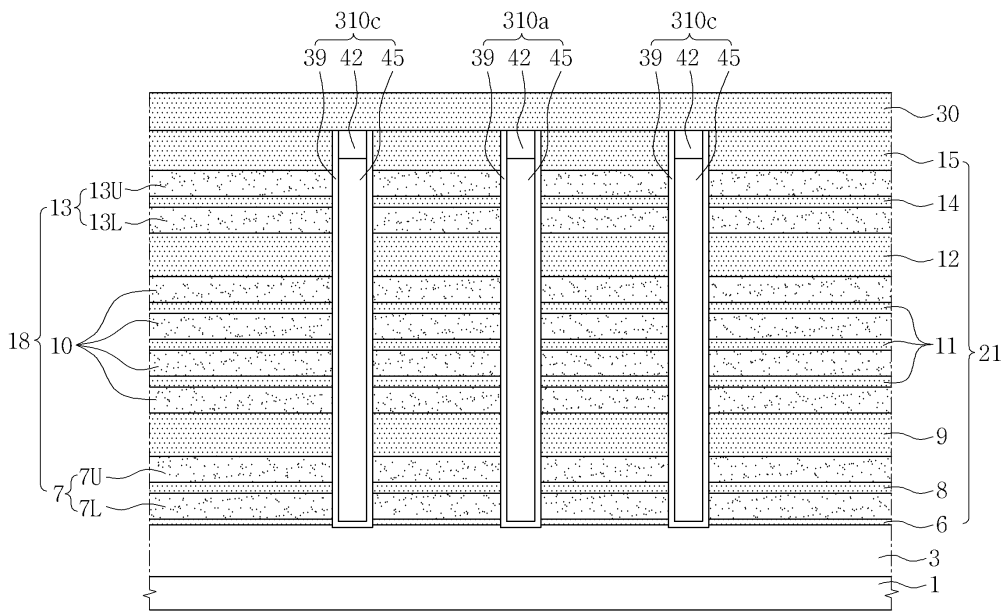




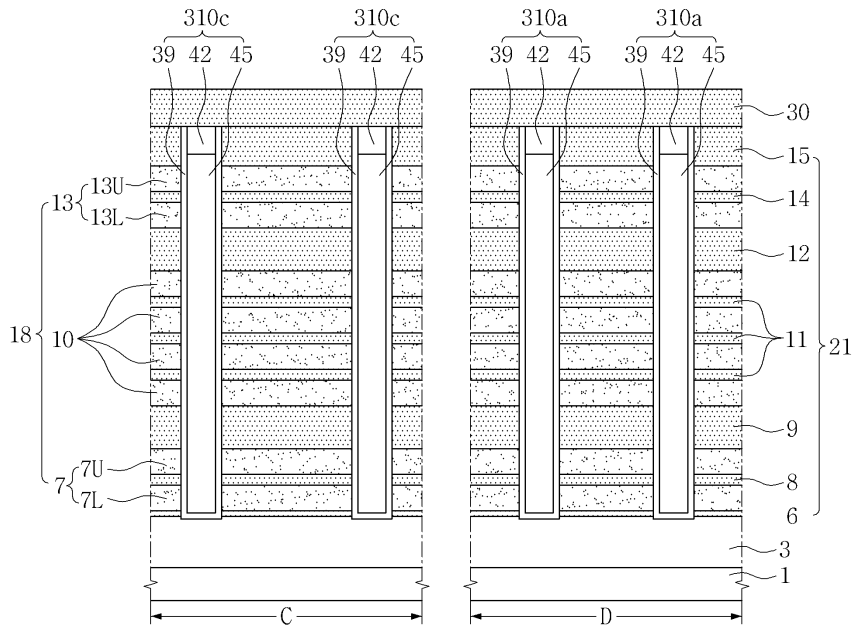
도면27b



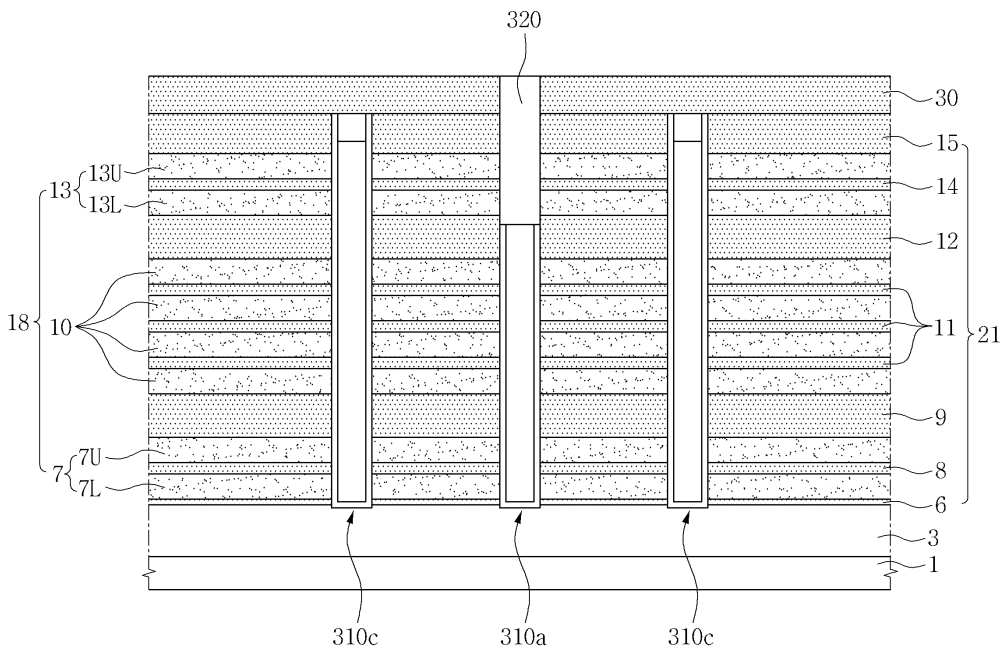
도면28a



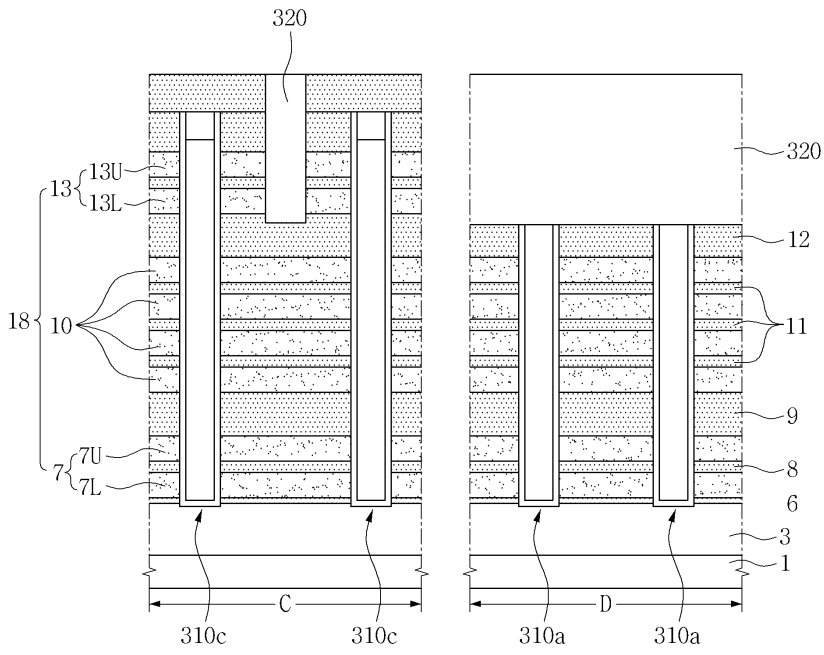
도면28b



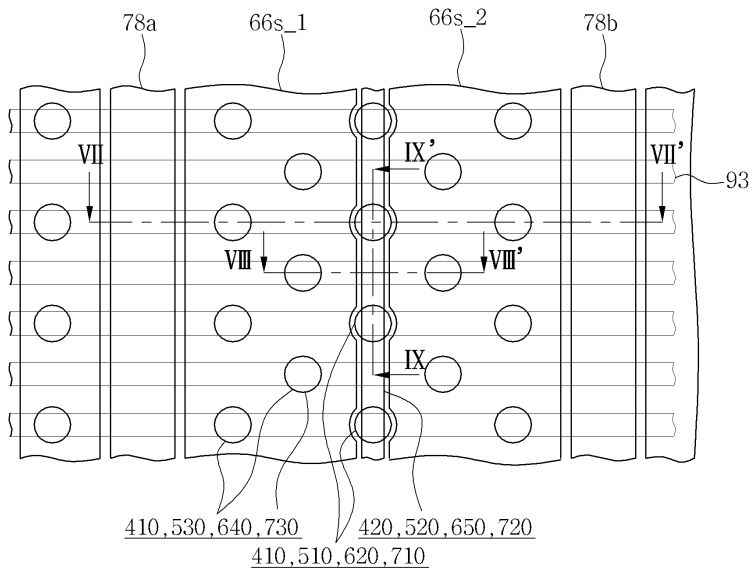
도면29a



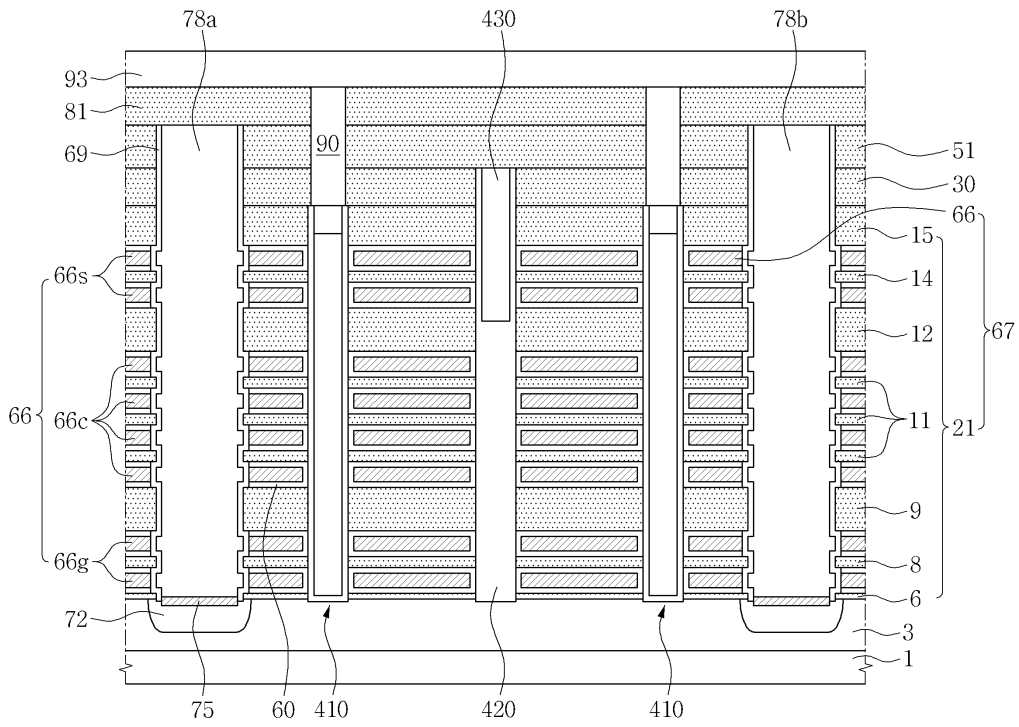
도면29b



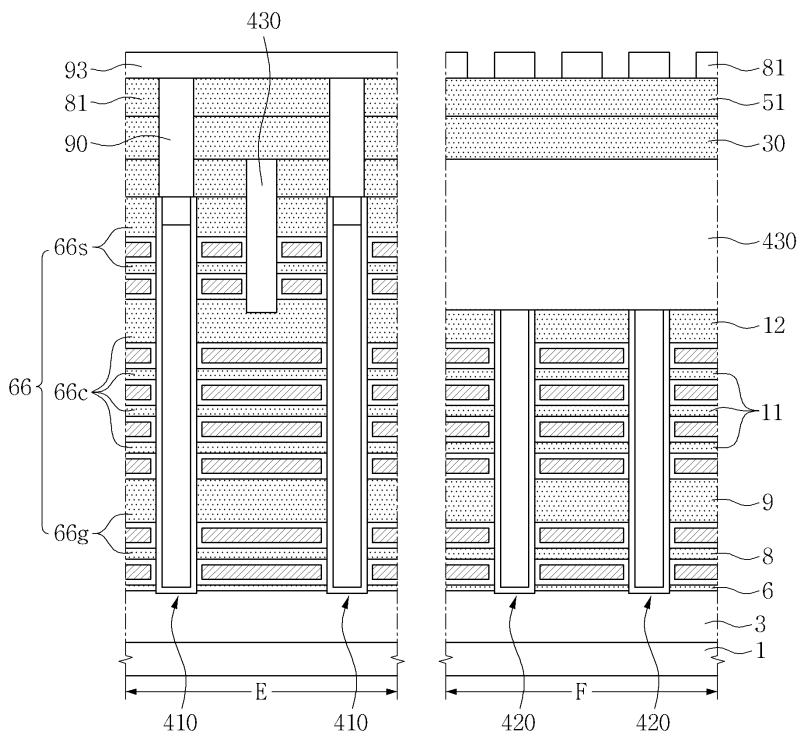
도면30



도면31a

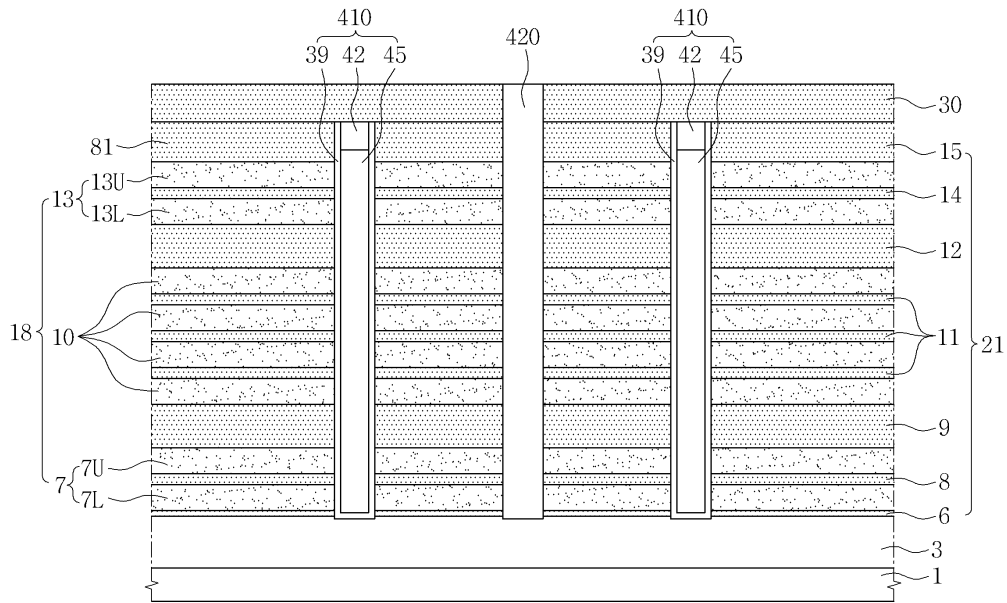


도면31b

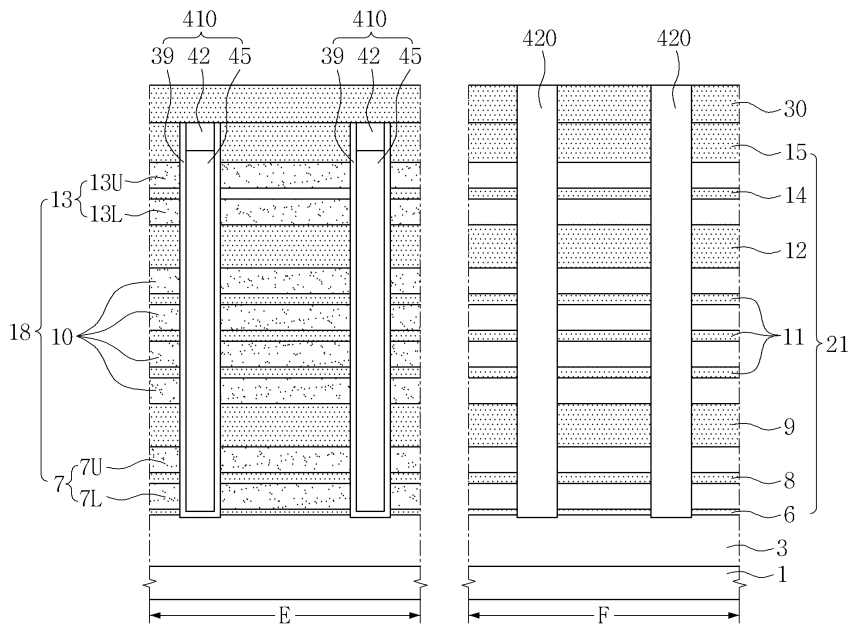




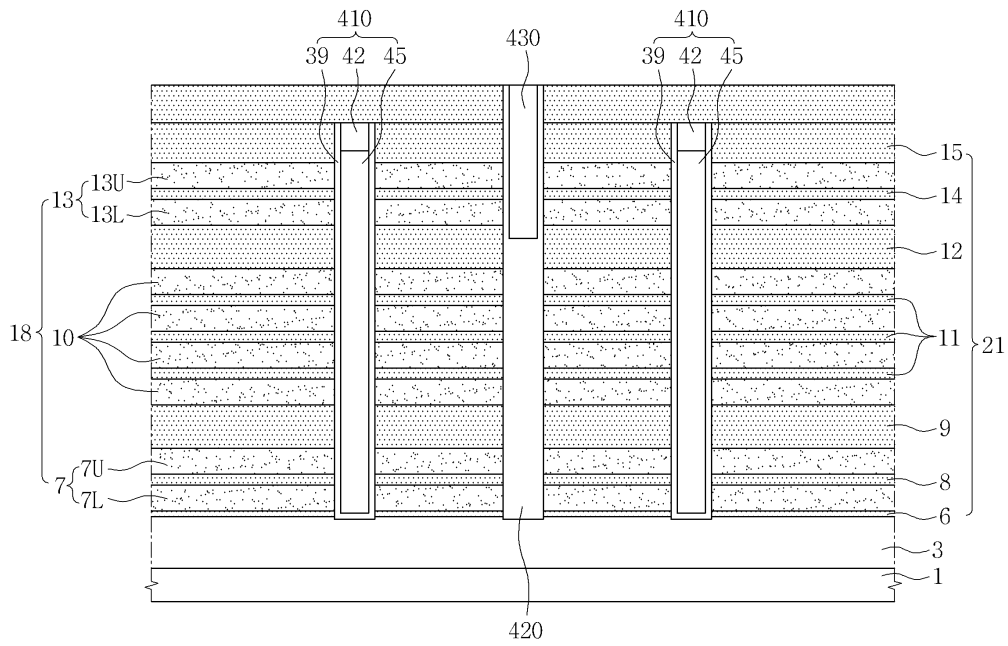
도면32a



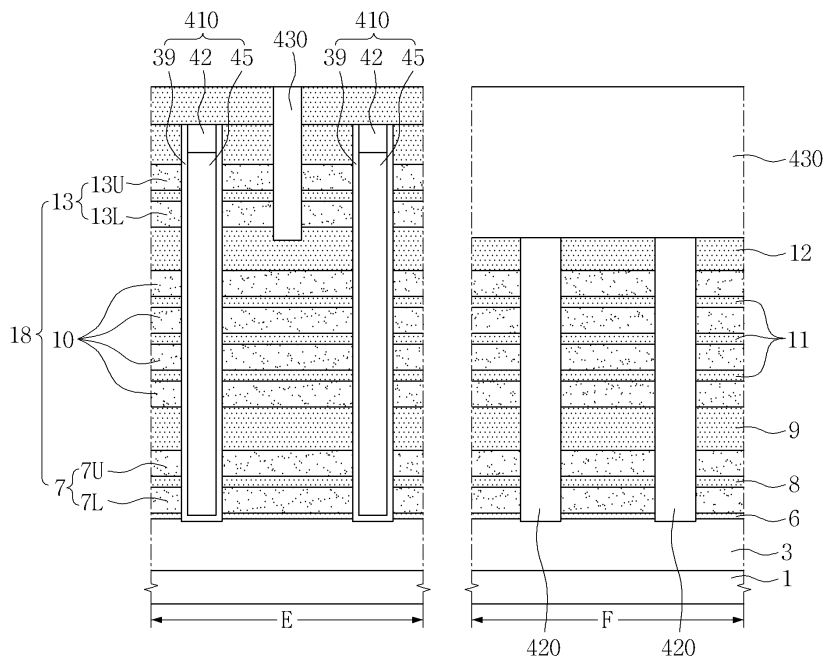
도면32b



도면33a

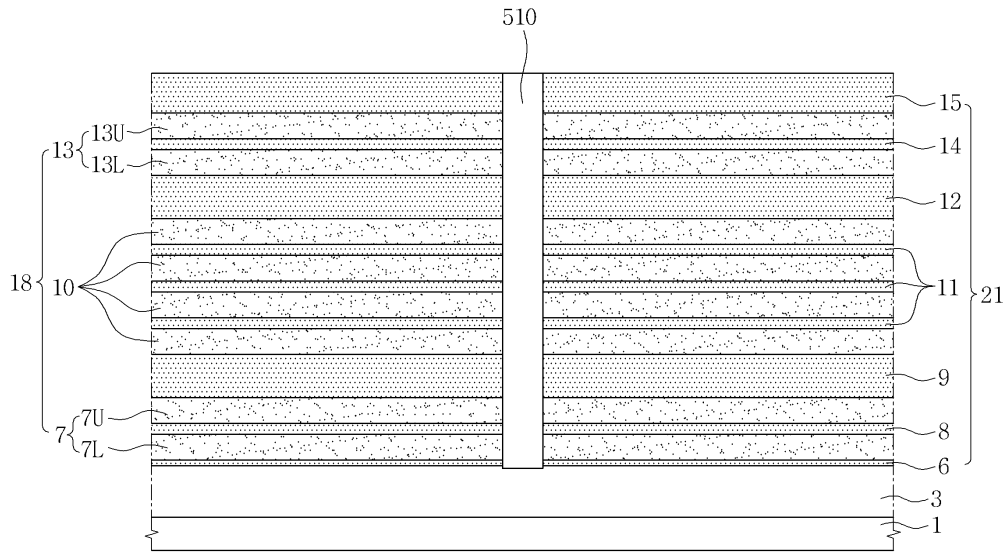


도면33b

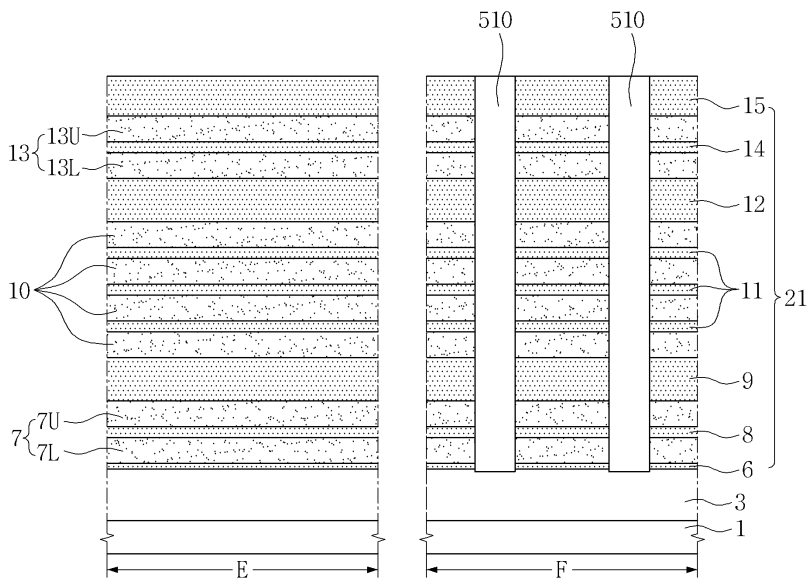




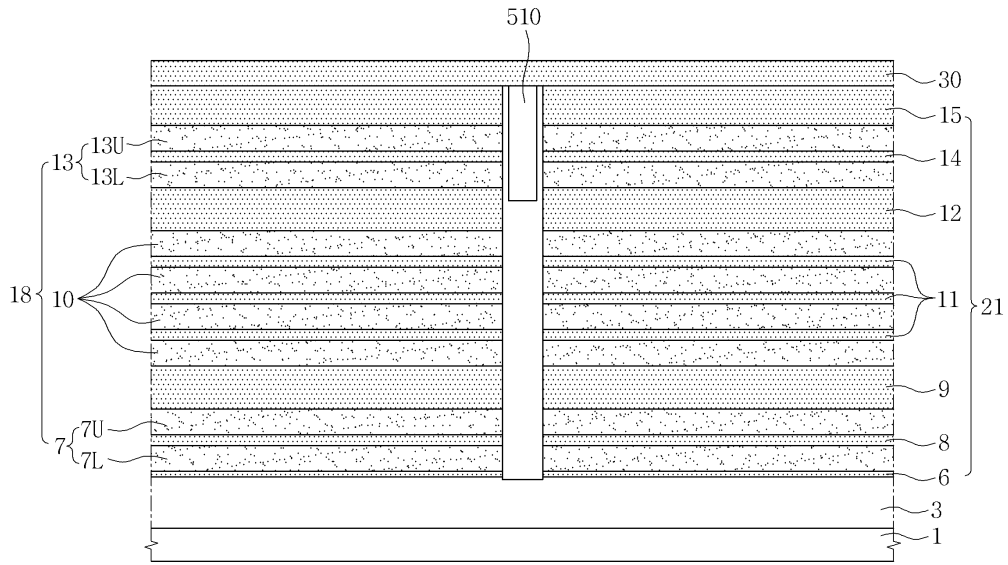
도면35a



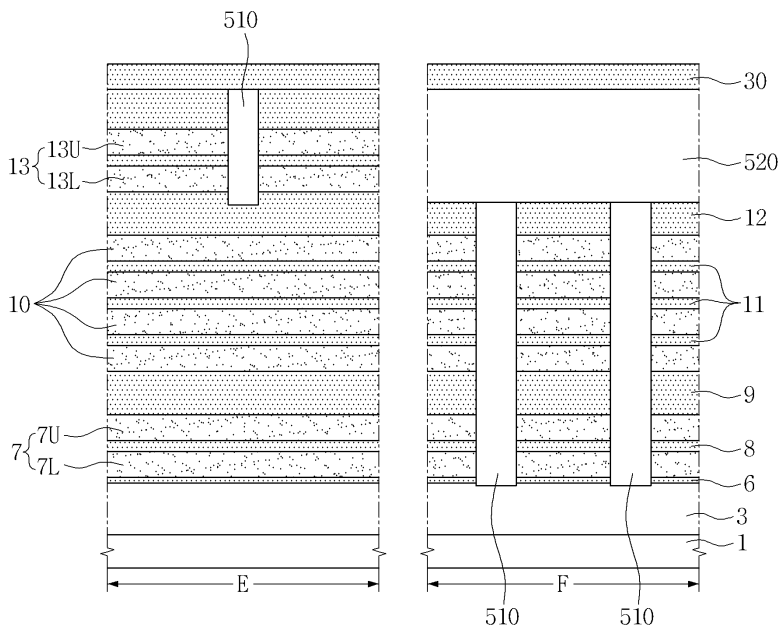
도면35b



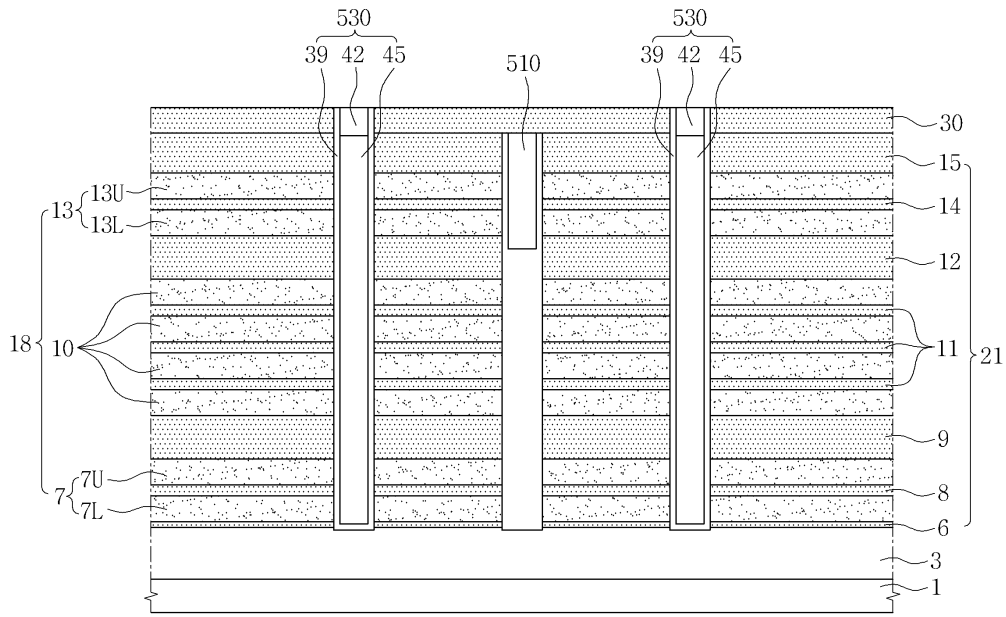
도면36a



도면36b



도면37a

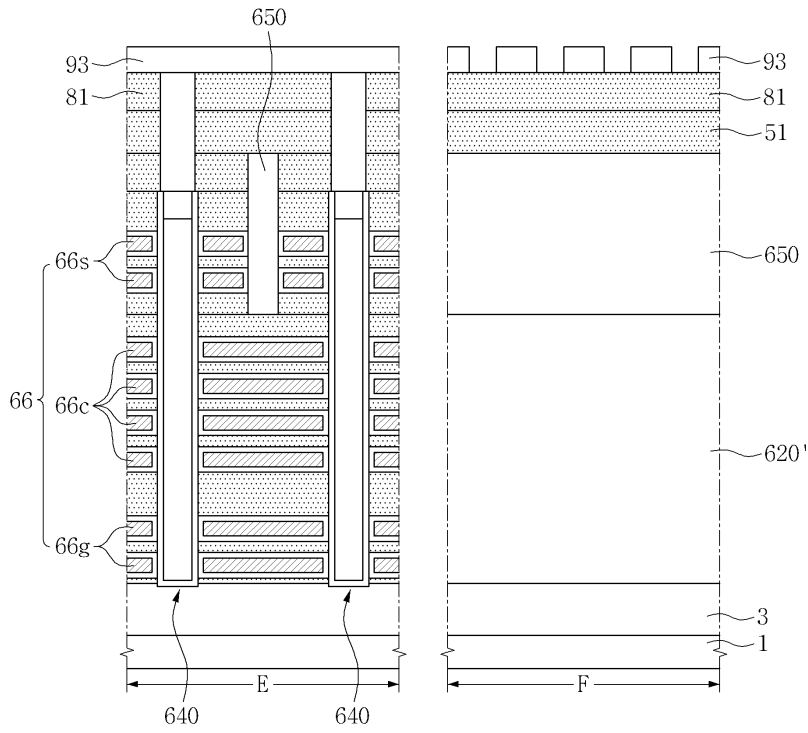


도면37b

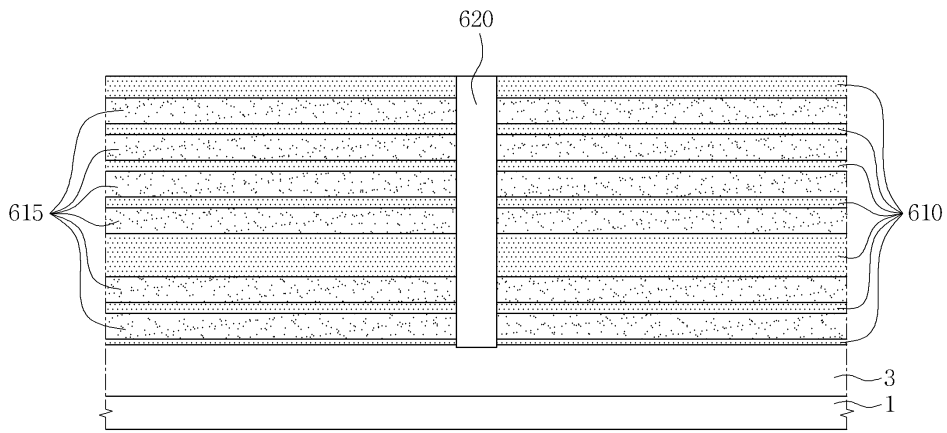




도면39

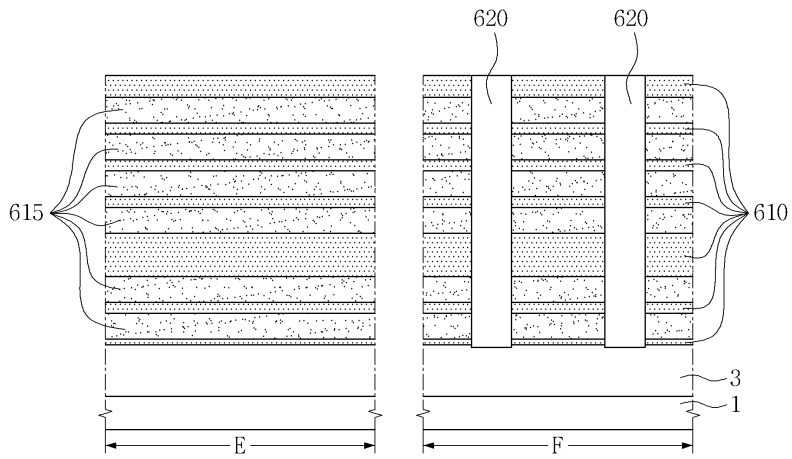


도면40a

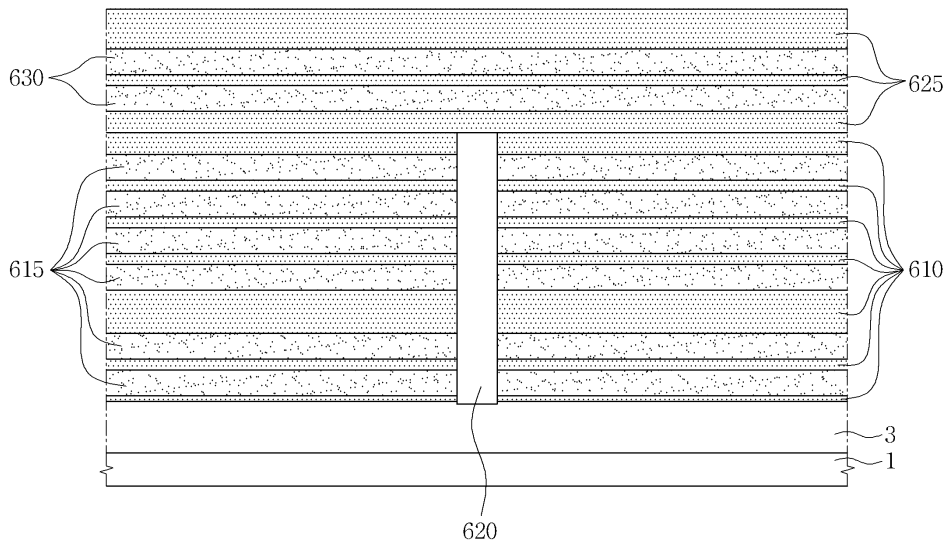




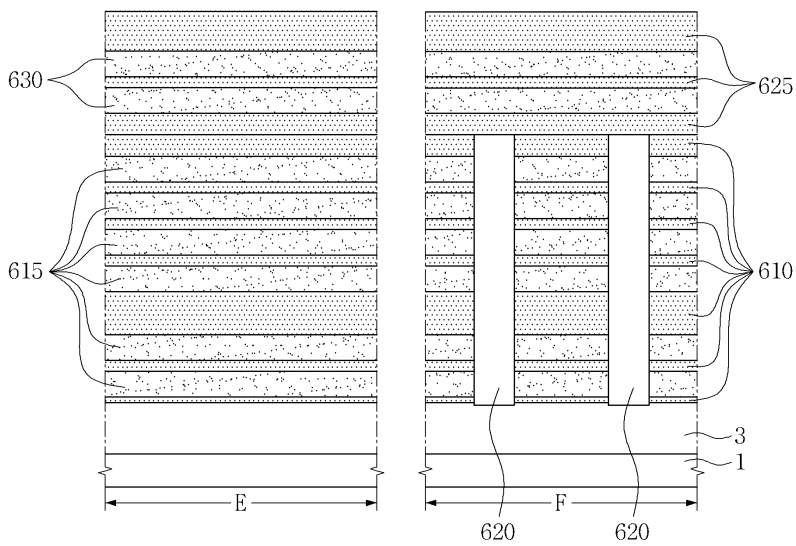
도면40b



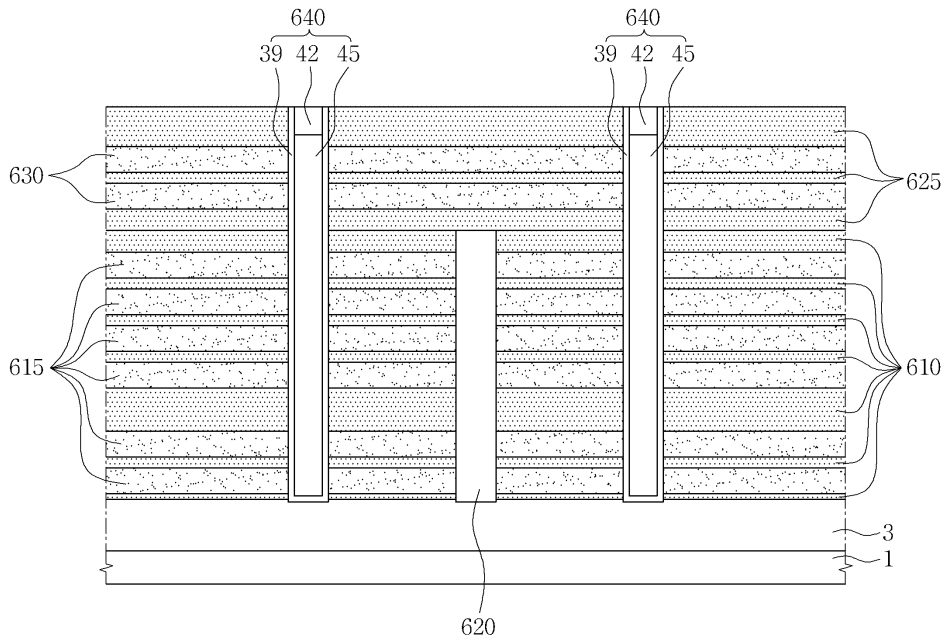
도면41a



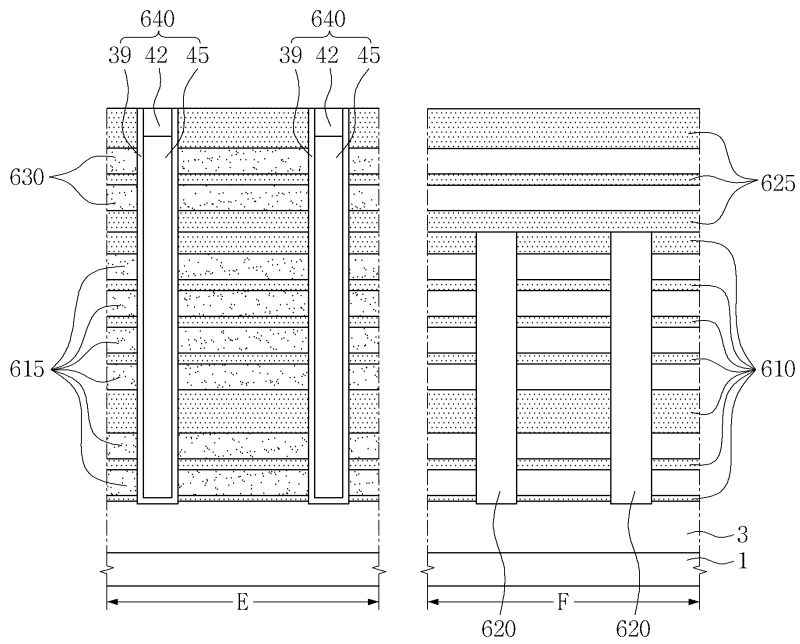
도면41b



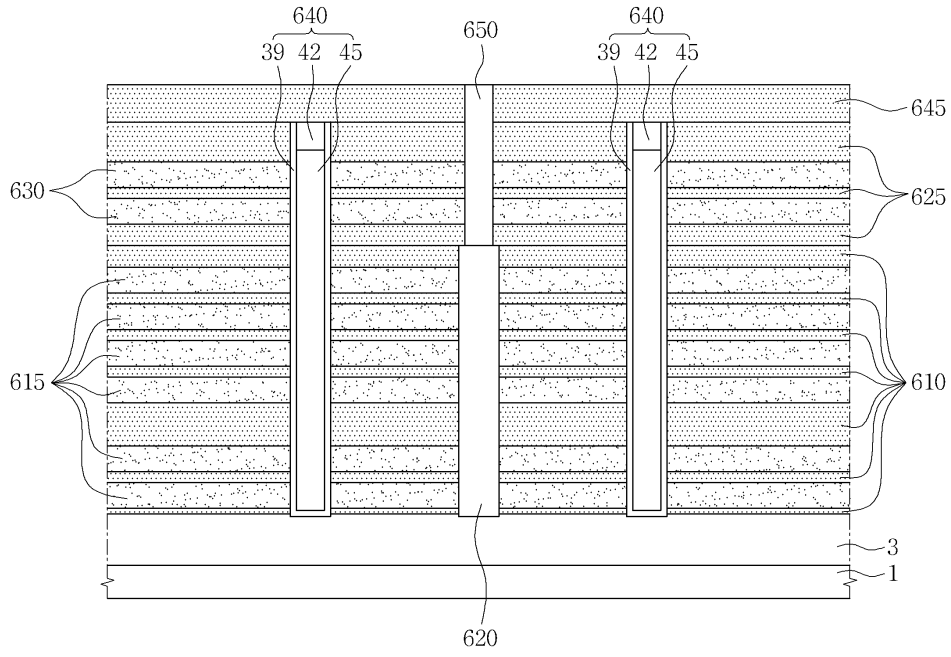
도면42a



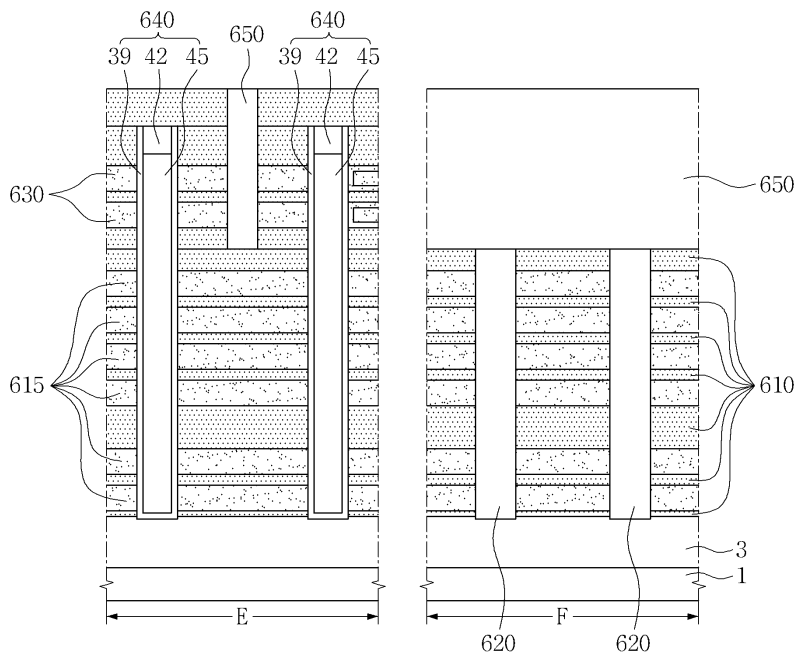
도면42b



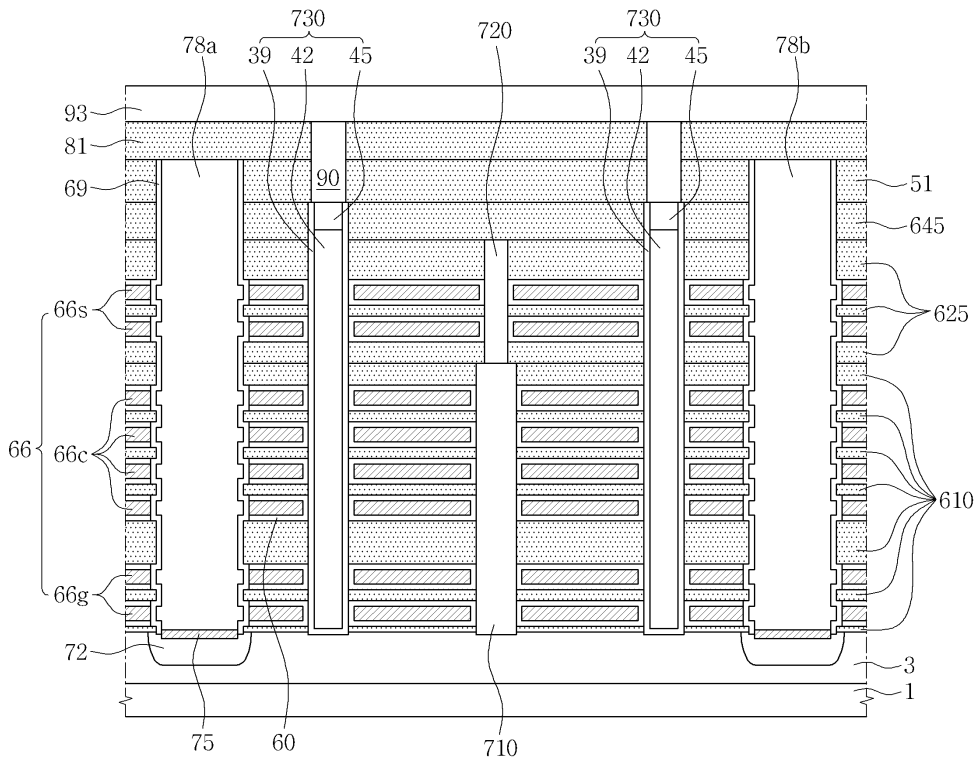
도면43a



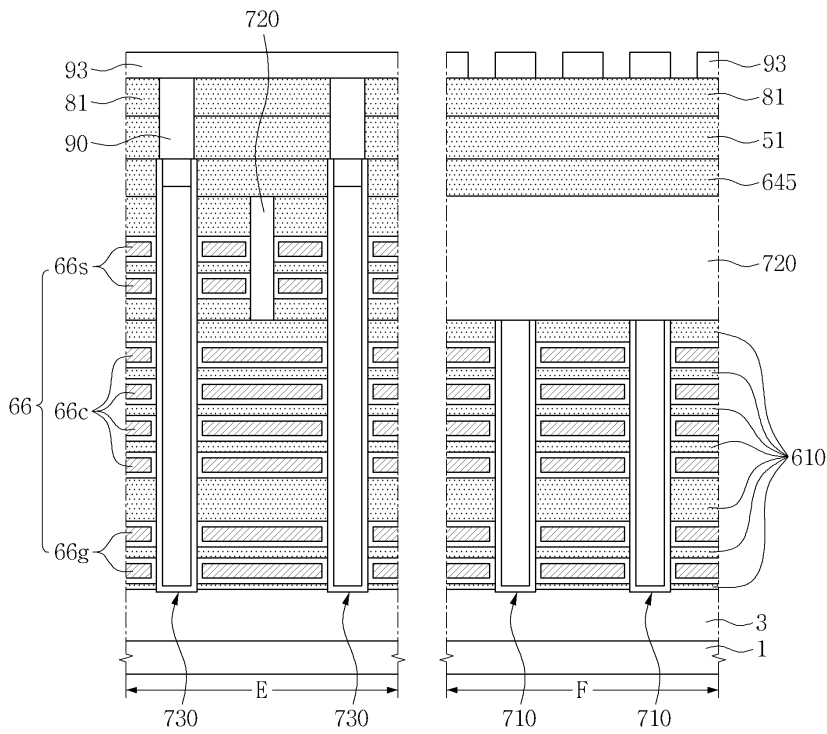
도면43b



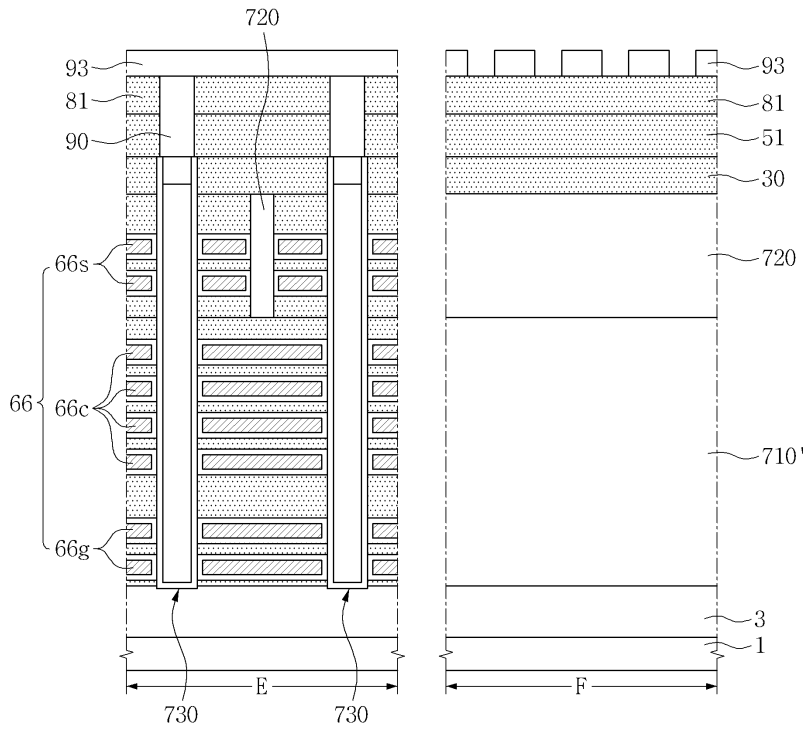
도면44a



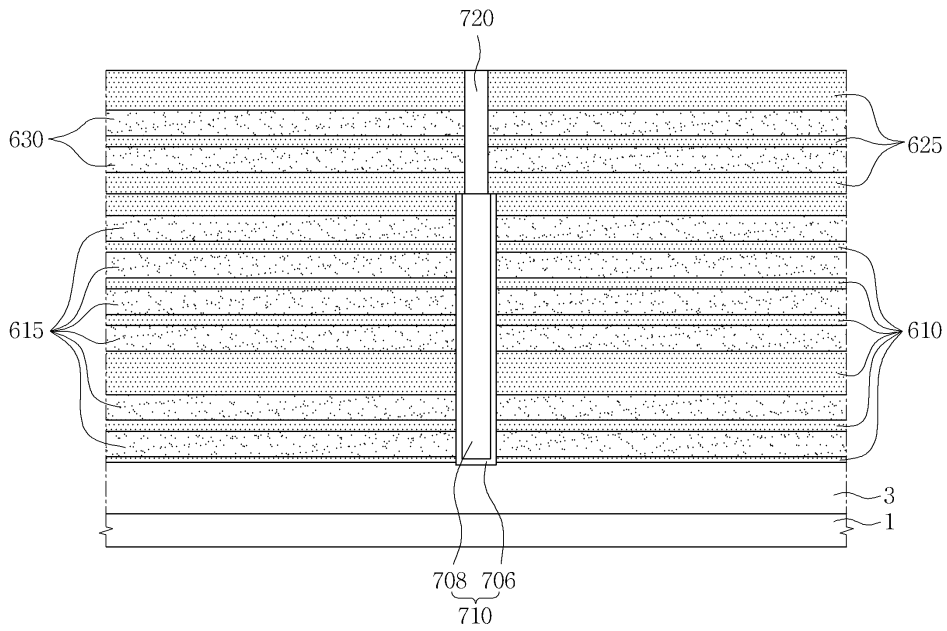
도면44b



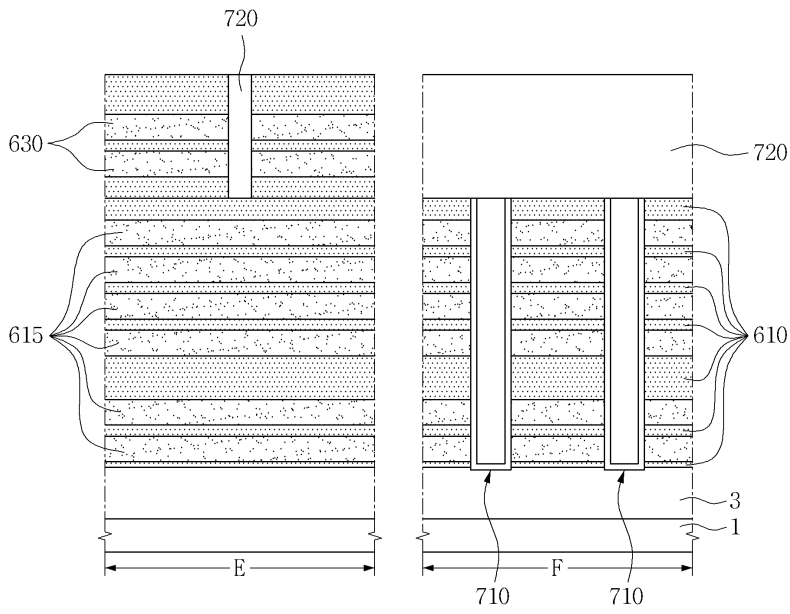
도면45



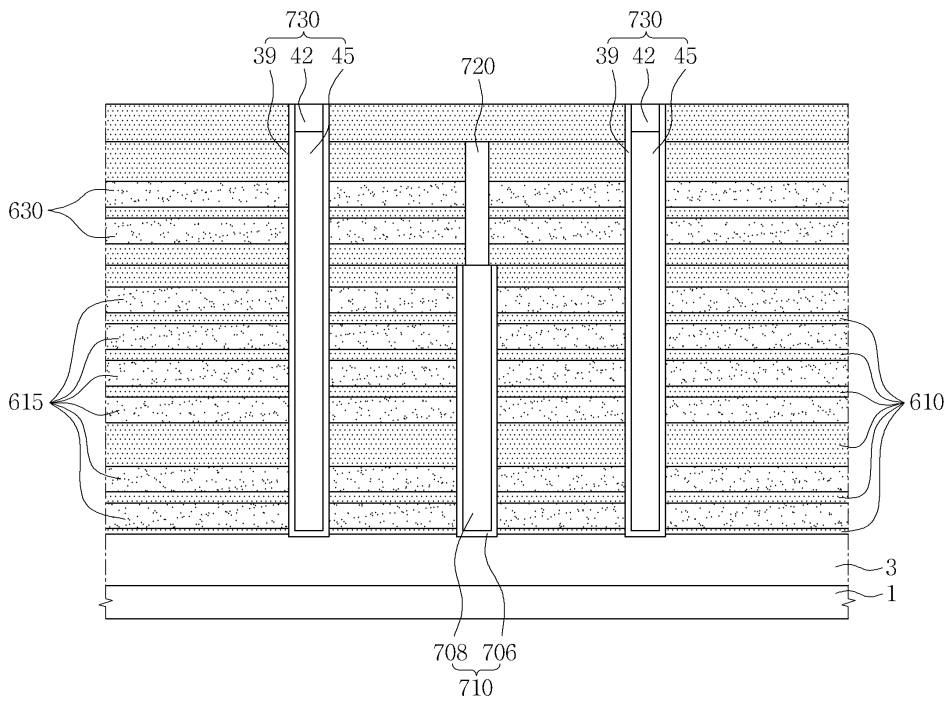
도면46a



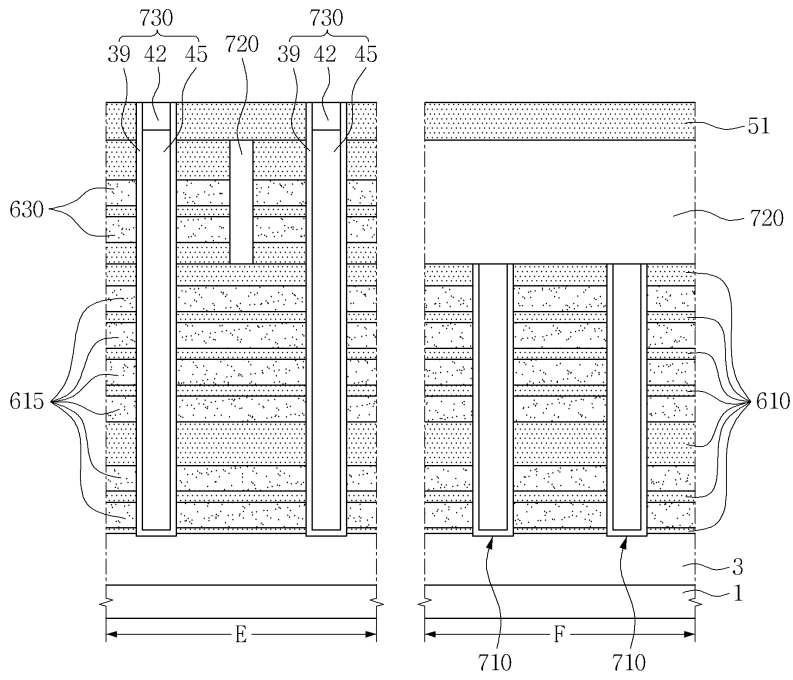
도면46b



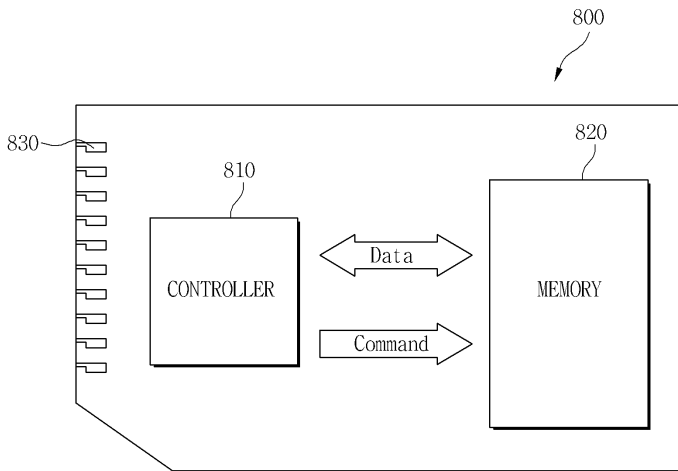
도면47a



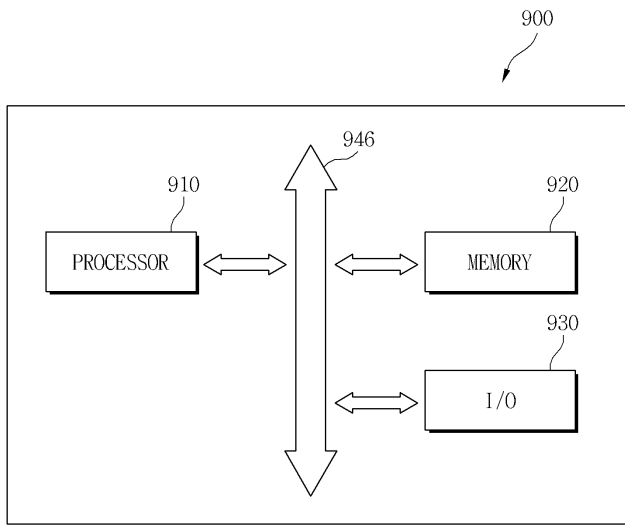
도면47b



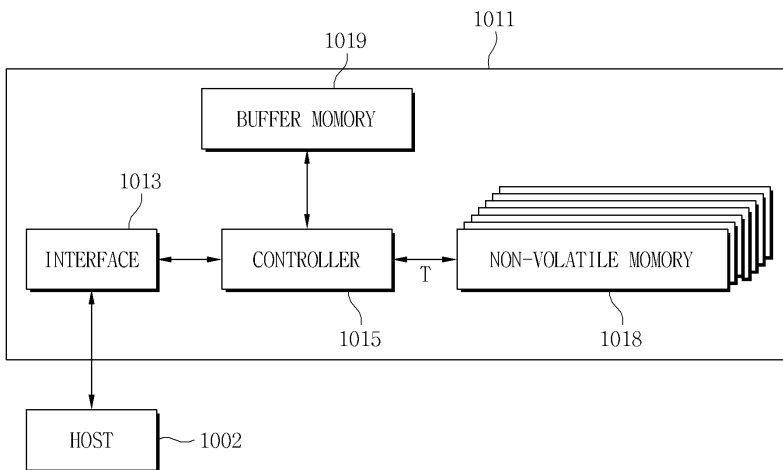
도면48



도면49



도면50





도면51

