



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월03일
 (11) 등록번호 10-1250665
 (24) 등록일자 2013년03월28일

(51) 국제특허분류(Int. Cl.)
 H01L 23/60 (2006.01) H01L 23/48 (2006.01)
 (21) 출원번호 10-2011-0100123
 (22) 출원일자 2011년09월30일
 심사청구일자 2011년09월30일
 (56) 선행기술조사문헌
 JP2007165436 A*
 KR1020100082180 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 정광천
 경기도 수원시 영통구 영통동 957-6 삼익아파트
 317-1202
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 5 항

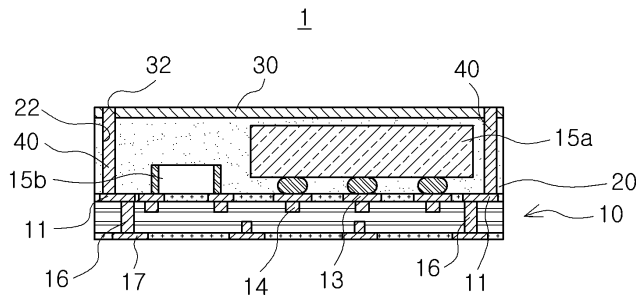
심사관 : 장지혜

(54) 발명의 명칭 **반도체 패키지 및 그 제조방법**

(57) 요약

본 발명의 일 실시예에 따른 반도체 패키지는 적어도 하나 이상의 소자가 탑재된 기판; 상기 소자를 덮도록 상기 기판상에 적층되는 프리프레그층; 상기 프리프레그층 상에 적층되어 상기 소자를 전기적으로 차폐시키는 금속 차폐층; 및 상기 금속차폐층과 상기 프리프레그층을 관통하도록 형성되며, 상기 기판에 형성된 접지전극에 전기적으로 연결되는 비아전극;을 포함하며, 상기 비아전극은 상기 프리프레그층과 상기 금속차폐층의 가장자리측에 복수개가 이격 배치되도록 형성될 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

적어도 하나 이상의 소자가 탑재된 기판;

상기 소자를 덮도록 상기 기판상에 적층되는 프리프레그층;

상기 프리프레그층 상에 적층되어 상기 소자를 전기적으로 차폐시키는 금속 차폐층; 및

상기 금속차폐층과 상기 프리프레그층을 관통하도록 형성되며, 상기 기판에 형성된 접지전극에 전기적으로 연결되는 비아전극;을 포함하며,

상기 비아전극은 상기 프리프레그층과 상기 금속차폐층의 가장자리층에 복수개가 이격 배치되도록 형성되는 반도체 패키지.

청구항 2

삭제

청구항 3

소자가 탑재된 기판 상에 프리프레그층을 형성하는 프리프레그를 안착시키는 단계;

상기 프리프레그의 상부에 금속 차폐층을 형성하는 박판을 안착시키는 단계;

상기 프리프레그와 상기 박판을 가압하여 프리프레그층과 금속차폐층을 형성하는 단계; 및

상기 프리프레그층과 상기 금속차폐층의 가장자리층에 복수개의 비아전극을 형성하는 단계;

를 포함하는 반도체 패키지 제조방법.

청구항 4

제3항에 있어서,

상기 비아전극이 내측에 배치되도록 상기 프리프레그층과 상기 금속차폐층 및 상기 기판을 절단하는 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 5

제3항에 있어서,

상기 비아전극은 상기 프리프레그층과 상기 금속차폐층의 가장자리층에 복수개가 이격 배치되도록 형성되는 반도체 패키지 제조방법.

청구항 6

제3항에 있어서,

상기 프리프레그와 상기 박판은 프레스 성형에 의해 가압되는 반도체 패키지 제조방법.

명세서

기술분야

[0001] 본 발명은 반도체 패키지 및 그 제조방법에 관한 것이다.

배경기술

[0002] 최근 전자제품 시장은 휴대용 장치의 수요가 급격하게 증가하고 있으며, 이로 인하여 이들 제품에 실장되는 전자 부품들의 소형화 및 경량화가 지속적으로 요구되고 있다.

- [0003] 이러한 전자 부품들의 소형화 및 경량화를 실현하기 위해서는 실장 부품의 개별 사이즈를 감소시키는 기술뿐만 아니라, 다수의 개별 소자들을 원칩(One-chip)화하는 시스템 온 칩(System On Chip: SOC) 기술 또는 다수의 개별 소자들을 하나의 패키지로 집적하는 시스템 인 패키지(System In Package : SIP) 기술 등이 요구된다.
- [0004] 특히, 휴대용 TV(DMB 또는 DVB) 모듈이나 네트워크 모듈과 같이 고주파 신호를 취급하는 고주파 반도체 패키지는 소형화뿐만 아니라 전자파 간섭(EMI) 또는 전자파 내성(EMS) 특성을 우수하게 구현하기 위해 다양한 전자파 차폐 구조를 구비할 것이 요구되고 있다.
- [0005] 이를 위해 종래에는 금속 재질로 이루어지는 덮개부재를 장착하는 전자파 차폐 구조를 채용하였다. 하지만 이 구조는 덮개부재와 소자들은 소정 간격 이격 배치시켜야 하고, 더하여 덮개부재의 자체 두께로 인하여 전체 제품 높이가 두꺼워지는 문제가 있다.
- [0006] 한편, 또 다른 방식으로 종래에는 몰딩 제품으로 패키징을 한 후에 얇은 전도성 물질 막을 씌우는 구조를 채용하였다. 하지만 이 구조는 몰딩 재질이 습기에 약한 성질을 가지고 있어 내습성이 좋지 못한 문제가 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 박형화를 구현할 수 있으면서도 내습성을 향상시킬 수 있는 반도체 패키지 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 반도체 패키지는 적어도 하나 이상의 소자가 탑재된 기판; 상기 소자를 덮도록 상기 기판상에 적층되는 프리프레그층; 상기 프리프레그층 상에 적층되어 상기 소자를 전기적으로 차폐시키는 금속 차폐층; 및 상기 금속차폐층과 상기 프리프레그층을 관통하도록 형성되며, 상기 기판에 형성된 집지전극에 전기적으로 연결되는 비아전극;을 포함하며, 상기 비아전극은 상기 프리프레그층과 상기 금속차폐층의 가장자리측에 복수개가 이격 배치되도록 형성될 수 있다.
- [0009] 상기 비아전극은 상기 프리프레그층과 상기 금속차폐층의 가장자리측에 복수개가 이격 배치되도록 형성될 수 있다.
- [0010] 본 발명의 일 실시예에 따른 반도체 패키지 제조방법은 소자가 탑재된 기판 상에 프리프레그층을 형성하는 프리프레그를 안착시키는 단계와, 상기 프리프레그의 상부에 금속 차폐층을 형성하는 박판을 안착시키는 단계와, 상기 프리프레그와 상기 박판을 가압하여 프리프레그층과 금속차폐층을 형성하는 단계 및 상기 프리프레그층과 상기 금속차폐층의 가장자리측에 복수개의 비아전극을 형성하는 단계를 포함한다.
- [0011] 본 발명의 일 실시예에 따른 반도체 패키지 제조방법은 상기 비아전극이 내측에 배치되도록 상기 프리프레그층과 상기 금속차폐층 및 상기 기판을 절단하는 단계를 더 포함할 수 있다.
- [0012] 상기 비아전극은 상기 프리프레그층과 상기 금속차폐층의 가장자리측에 복수개가 이격 배치되도록 형성될 수 있다.
- [0013] 상기 프리프레그와 상기 박판은 프레스 성형에 의해 가압될 수 있다.

발명의 효과

- [0014] 본 발명에 따르면, 프리프레그층과 금속차폐층을 통해 박형화를 구현할 수 있는 동시에 내습성을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 사시도이다.
- 도 2는 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 개략 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 평면도이다.
- 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 반도체 패키지 제조방법을 나타내는 공정 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하에서는 도면을 참조하여 본 발명의 구체적인 실시예를 상세하게 설명한다. 다만, 본 발명의 사상은 제시되는 실시예에 제한되지 아니하고, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에서 다른 구성요소를 추가, 변경, 삭제 등을 통하여, 퇴보적인 다른 발명이나 본 발명 사상의 범위 내에 포함되는 다른 실시예를 용이하게 제안할 수 있을 것이나, 이 또한 본원 발명 사상 범위 내에 포함된다고 할 것이다.
- [0017] 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단된 경우 그 상세한 설명은 생략한다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 사시도이고, 도 2는 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 개략 단면도이고, 도 3은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 평면도이다.
- [0019] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 따른 반도체 패키지(1)는 기판(10), 프리프레그층(20), 금속차폐층(30), 비아전극(40)을 포함하여 구성될 수 있다.
- [0020] 기판(10)에는 적어도 하나 이상의 소자(15a, 15b)가 탑재될 수 있다. 기판(10)은 당 기술분야에서 잘 알려진 다양한 종류의 기판(예를 들어, 세라믹 기판, 인쇄 회로 기판(PCB), 유연성 기판 등)이 이용될 수 있다.
- [0021] 기판(10)의 상면에는 소자(15a, 15b)를 실장하기 배선 전극(13)이나, 배선 전극(13)들 상호간을 전기적으로 연결하는 배선 패턴(14)이 형성될 수 있다.
- [0022] 또한, 기판(10)은 복수의 층으로 형성된 다층 기판일 수 있으며, 각 층 사이에는 전기적 연결을 형성하기 위한 회로패턴(미도시)이 형성될 수 있다.
- [0023] 그리고, 기판(10)의 상부면에는 접지전극(11)이 형성될 수 있다. 접지전극(11)은 사각 형태로 형성되는 기판(10)의 상면에서 측면을 따라 길게 형성될 수 있다.
- [0024] 한편, 접지전극(11)은 기판(10)의 네 측면 중 적어도 어느 한 측면을 따라 형성될 수 있다. 즉, 접지전극(11)은 기판(10)의 양 측면을 따라 기판(10)의 상면에 형성될 수도 있고 기판(10)의 네 측면에 모두 형성될 수도 있다.
- [0025] 만약, 접지전극(11)이 기판(10)의 네 측면에 모두 형성되는 경우 접지전극(11)은 기판의 외형을 따라 사각형 형태로 형성된다.
- [0026] 그리고, 접지전극(11)은 기판(10)의 측면을 따라 일정한 폭으로 길게 형성될 수 있으며, 소자(15a, 15b)의 단자와 전기적으로 연결될 필요가 있는 경우 접지전극(11)의 일부가 소자(15a, 15b)의 하부로 돌출되도록 접지전극(11)을 형성하여 돌출된 부분이 소자(15a, 15b)의 단자(즉, 접지단자)와 전기적으로 연결되도록 구성될 수도 있다.
- [0027] 더하여, 접지전극(11)은 기판(10)의 마주보는 양 측면에 각각 형성될 수 있으며, 두개의 접지전극(11)이 동일한 폭으로 형성될 수도 있으며, 필요에 따라서는 각 접지전극(11)의 폭을 다르게 형성하는 등 다양한 형상으로 접지전극(11)을 형성할 수 있다.
- [0028] 한편, 기판(10)에는 외부 접속 단자(17)와 접지전극(11)을 전기적으로 연결하는 접지비아(16)가 형성될 수 있다.
- [0029] 그리고, 기판(10)에 탑재되는 소자(15a, 15b)는 수동 소자와 능동 소자와 같은 다양한 전자 소자들을 포함하며, 기판(10)에 탑재되거나 기판(10) 내부에 내장될 수 있는 전자 소자들이라면 모두 소자(15a, 15b)로 이용될 수 있다.
- [0030] 프리프레그층(20)은 소자(15a, 15b)를 덮도록 기판(10) 상에 적층될 수 있다. 즉, 프리프레그층(20)은 기판(10) 상에 탑재된 소자(15a, 15b)를 내부에 수용하도록 기판(10) 상에 적층될 수 있다.
- [0031] 프리프레그층(20)은 기판(10) 상에 프리프레그(Prepreg)를 안착시킨 상태에서 안착된 프리프레그를 가압하여 형성할 수 있다. 즉, 프리프레그는 유리 직포 등의 유리 섬유 기재에 에폭시 수지 등의 열경화성 수지를 함침시켜 제조되는 절연 재료일 수 있으며, 프리프레그층(20)은 적층된 프리프레그를 가열 가압 경화시켜 형성될 수 있다.
- [0032] 이와 같이 프리프레그로 이루어진 프리프레그층(20)에 의해 내습성을 향상시킬 수 있다.

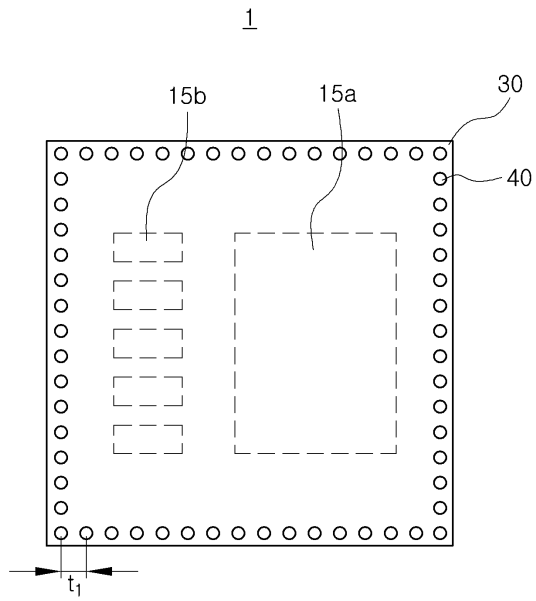
- [0033] 한편, 프리프레그층(20)은 외부 충격이 가해지는 경우 기판(10) 상에 탑재된 소자(15a,15b)를 보호하는 역할도 수행할 수 있다.
- [0034] 그리고, 프리프레그층(20)에는 비아전극(40)이 형성되기 위한 관통홀(22)이 형성될 수 있다. 관통홀(22)은 프리프레그층(20)의 상면에서부터 저면으로 연장 형성될 수 있다.
- [0035] 금속차폐층(30)은 프리프레그층(20) 상에 적층되어 소자(15a,15b)를 전기적으로 차폐시킨다. 금속 차폐층(30)은 구리 재질로 이루어지는 구리 박판으로 구성될 수 있다.
- [0036] 그리고, 금속차폐층(30)은 프리프레그층(20)의 형성시 프리프레그층(20)과 함께 성형될 수 있다. 즉, 기판(10) 상에 안착된 프리프레그의 상면에 구리 박판을 안착시킨 상태에서 프리프레그와 구리 박판을 가압하여 프리프레그층(20)과 금속차폐층(30)을 형성할 수 있다.
- [0037] 한편, 금속차폐층(30)에는 프리프레그층(20)에 형성된 관통홀(22)과 연결되도록 연통홀(32)이 형성될 수 있다. 즉, 프리프레그층(20)의 관통홀(22)과 금속차폐층(30)의 연통홀(32)은 프리프레그층(20)과 금속차폐층(30)을 형성한 후 일체로 형성시킬 수 있다.
- [0038] 다만, 금속차폐층(30)은 이와 같이 형성되는 경우에 한정되지 않으며, 다양한 방식, 예를 들어 스퍼터링, 기상 증착, 스프레이 코팅, 스크린 프린팅, 전해 도금, 비전해 도금과 같은 다양한 기술들을 통해 프리프레그층(20) 상에 적층될 수도 있을 것이다.
- [0039] 그리고, 도면에는 도시되지 않았으나 금속차폐층(30)의 상부에는 필요에 따라 솔더 레지스트(solder resists) 등으로 보호층을 더 형성할 수도 있다.
- [0040] 비아전극(40)은 금속차폐층(30)과 프리프레그층(20)을 관통하도록 형성되며, 기판(10)에 형성된 접지전극(11)에 전기적으로 연결될 수 있다. 즉, 비아전극(40)은 프리프레그층(20)의 관통홀(22)과 금속차폐층(30)의 연통홀(32)에 형성되어 일측이 접지전극(11)에 접촉될 수 있다.
- [0041] 그리고, 비아전극(40)은 프리프레그층(20)과 금속차폐층(30)의 가장자리측에 복수개가 이격 배치되도록 형성될 수 있다. 다시 말해, 비아전극(40)은 프리프레그층(20)과 금속차폐층(30)의 측면에 인접하게 배치되도록 복수개가 형성될 수 있다.
- [0042] 한편, 비아전극(40)은 이웃하는 비아전극(40)과 하기와 같은 간격(t_1)을 가지도록 형성될 수 있다.
- [0043] 일례로서, 10GHz의 주파수가 사용되는 경우 전자파를 차폐하기 위해 비아전극(40)은 이웃하는 비아전극(40)과 0.75mm의 간격(t_1)을 가지도록 형성될 수 있다.
- [0044] 보다 자세하게 살펴보면, 10GHz의 주파수를 가지는 경우 파장(λ)은 30mm의 파장을 가질 수 있다. 즉, $\lambda = C / f$ 의 식에서 C는 광속이며, f는 10GHz이다.
- [0045] 따라서, 파장(λ)는 30mm가 된다.
- [0046] 한편, PCB의 유전상수를 4라고 가정하면, 유효 파장(λ')는 15 mm가 된다. 즉, $\lambda' = \lambda / \text{sqrt}(4)$ 가 되므로 유효 파장(λ')는 15 mm가 된다.
- [0047] 그리고, 일례로서 10GHz 주파수로부터 전자파의 차폐를 기본파의 하모닉(Harmonic) 성분들 중 20번째 고주파까지만 고려한다면 비아전극(40)은 이웃하는 비아전극(40)과 0.75mm의 간격(t_1)을 가지도록 형성될 수 있다. 즉, $t_1 = \lambda' / 20$ 의 식으로부터 t_1 은 0.75mm가 될 수 있다.
- [0048] 다만, 비아전극(40)과 이웃하는 비아전극(40)과의 간격(t_1)은 상기한 0.75mm에 한정되는 것을 아니다. 즉, 주파수의 크기와, PCB의 유전상수와, 하모닉 성분들 중 몇번 째 고주파까지를 고려하는지에 따라 비아전극(40)과 이웃하는 비아전극(40)과의 간격(t_1)은 변경될 수 있을 것이다.
- [0049] 다른 예로서, 20GHz의 주파수가 사용되는 경우 전자파를 차폐하기 위해 비아전극(40)은 이웃하는 비아전극(40)과 0.375mm의 간격(t_1)을 가지도록 형성될 수 있다.
- [0050] 다시 한번 보다 자세하게 살펴보면, 20GHz의 주파수를 가지는 경우 파장(λ)은 15mm의 파장을 가질 수 있다. 즉, $\lambda = C / f$ 의 식에서 C는 광속이며, f는 20GHz이다.
- [0051] 따라서, 파장(λ)는 15mm가 된다.
- [0052] 한편, PCB의 유전상수를 4라고 가정하면, 유효 파장(λ')는 7.5 mm가 된다. 즉, $\lambda' = \lambda / \text{sqrt}(4)$ 가 되므로 유효

효 파장(λ')는 7.5 mm가 된다.

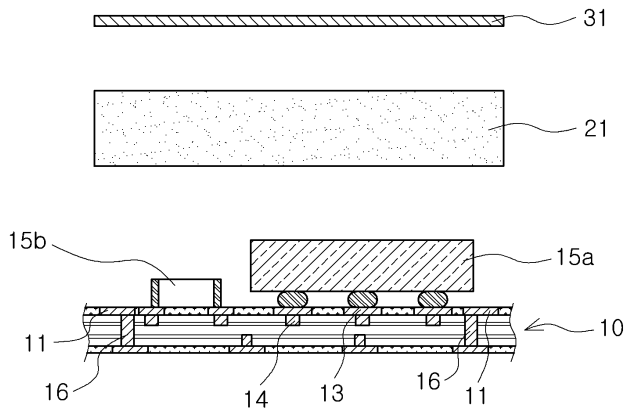
- [0053] 그리고, 일례로서 20GHz 주파수로부터 전자파의 차폐를 기본파의 하모닉(Harmonic) 성분들 중 20번째 고주파까지만 고려한다면 비아전극(40)은 이웃하는 비아전극(40)과 0.375mm의 간격(t_1)을 가지도록 형성될 수 있다. 즉, $t_1 = \lambda'/20$ 의 식으로부터 t_1 은 0.375mm가 될 수 있다.
- [0054] 상기한 바와 같이, 비아전극(40)과 이웃하는 비아전극(40)의 간격(t_1)을 조정함으로써 전자파의 누설을 보다 감소시킬 수 있는 것이다.
- [0055] 한편, 본 실시예에서는 비아전극(40)이 원기둥 형상을 가지도록 형성되는 경우를 예로 들어 설명하고 있으나, 이에 한정되지 않으며 비아전극(40)은 사각기둥 등 다각형의 기둥 형상을 가지도록 형성될 수 있을 것이다.
- [0056] 상기한 바와 같이, 프리프레그층(20)과 금속차폐층(30)을 통해 박형화를 구현함과 동시에 내습성을 향상시킬 수 있다.
- [0057] 즉, 프리프레그층(20)과 금속차폐층(30)을 통해 전자파의 차폐 구조를 형성함으로써, 금속재질의 덮개부재를 통해 전자파의 차폐 구조를 형성하는 경우와 비교하여 박형화를 구현할 수 있다.
- [0058] 더하여, 몰딩 제품으로 패키징을 한 후에 얇은 전도성 물질 막을 씌우는 전자파 차폐구조를 형성하는 경우와 비교하여 프리프레그층(20)과 금속차폐층(30)을 통해 전자파의 차폐 구조를 형성함으로써 내습성을 향상시킬 수 있다.
- [0059] 다시 말해, 프리프레그(21) 재질이 몰딩 재질과 비교하여 습기에 강한 성질을 가지고 있으므로 내습성이 향상될 수 있는 것이다.
- [0060] 이하에서는 도면을 참조하여 본 발명의 일 실시예에 따른 반도체 패키지 제조방법에 대하여 설명하기로 한다.
- [0061] 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 반도체 패키지 제조방법을 나타내는 공정 흐름도이다.
- [0062] 도 4a를 참조하면, 먼저 하나 이상의 소자(15a, 15b)가 탑재된 기판(10)과 프리프레그(21)와 박판(31)을 준비한다.
- [0063] 그리고, 기판(10) 상면에는 소자(15a, 15b)를 실장하기 배선 전극(13)이나, 배선 전극(13)들 상호간을 전기적으로 연결하는 배선 패턴(14)이 형성될 수 있다.
- [0064] 또한, 기판(10)은 복수의 층으로 형성된 다층 기판일 수 있으며, 각 층 사이에는 전기적 연결을 형성하기 위한 회로패턴(미도시)이 형성될 수 있다.
- [0065] 그리고, 기판(10)의 상부면에는 접지전극(11)이 형성될 수 있다. 한편, 접지전극(11)은 기판(10)의 측면을 따라 일정한 폭으로 길게 형성될 수 있으며, 소자(15a, 15b)의 단자와 전기적으로 연결될 필요가 있는 경우 접지전극(11)의 일부가 소자(15a, 15b)의 하부로 돌출되도록 접지전극(11)을 형성하여 돌출된 부분이 소자(15a, 15b)의 단자(즉, 접지단자)와 전기적으로 연결되도록 구성될 수도 있다.
- [0066] 한편, 기판(10)에는 외부 접속 단자(17)와 접지전극(11)을 전기적으로 연결하는 접지비아(16)가 형성될 수 있다.
- [0067] 그리고, 기판(10)에 탑재되는 소자(15a, 15b)는 수동 소자와 능동 소자와 같은 다양한 전자 소자들을 포함하며, 기판(10)에 탑재되거나 기판(10) 내부에 내장될 수 있는 전자 소자들이라면 모두 소자(15a, 15b)로 이용될 수 있다.
- [0068] 이후, 4b에 도시된 바와 같이, 소자(15a, 15b)가 탑재된 기판(10) 상에 프리프레그층(20, 도 4f 참조)을 형성하는 프리프레그(21)를 안착시킨다. 즉, 프리프레그(21)는 기판 상에 실장된 소자(15a, 15b)가 내부에 수용되도록 기판(10) 상에 적층될 수 있다.
- [0069] 이후, 프리프레그(21)의 상부에 금속 차폐층(30)을 형성하는 박판(31)을 안착시킨다. 여기서, 박판(31)은 구리 박판일 수 있다.
- [0070] 이후, 프리프레그(21)와 박판(31)을 프레스에 의해 가압하여 프리프레그층(20)과 금속차폐층(30)을 형성한다. 다시 말해, 기판(10) 상에 안착된 프리프레그(21)와 박판(31)을 동시에 압착시켜 기판(10) 상에 적층되도록 할 수 있다.
- [0071] 이에 따라, 프리프레그층(20)과 금속차폐층(30)이 형성되는 것이다.

- [0072] 이후, 4c에 도시된 바와 같이 복수개의 비아전극(40, 도 4d 참조)을 형성하기 위한 관통홀(22)과 연통홀(32)을 프리프레그층(20)과 금속차폐층(30)에 일시에 형성한다.
- [0073] 즉, 기판(10) 상에 적층된 프리프레그층(20)과 금속차폐층(30)에 일체로 관통홀(22)과 연통홀(32)을 형성한다.
- [0074] 이때, 관통홀(22)의 하부에 접지전극(11)이 배치되도록 관통홀(22)을 프리프레그층(20)에 형성한다.
- [0075] 이후, 4d에 도시된 바와 같이 관통홀(22)과 연통홀(32)에 도전성 재질로 이루어지는 비아전극(40)을 형성한다.
- [0076] 다시 말해, 비아전극(40)은 금속차폐층(30)과 프리프레그층(20)을 관통하도록 형성되어 기판(10)에 형성된 접지전극(11)에 전기적으로 연결될 수 있다. 즉, 비아전극(40)은 프리프레그층(20)의 관통홀(22)과 금속차폐층(30)의 연통홀(32)에 형성되어 일측이 접지전극(11)에 접촉되도록 형성될 수 있다.
- [0077] 그리고, 비아전극(40)은 프리프레그층(20)과 금속차폐층(30)의 가장자리측에 복수개가 이격 배치되도록 형성될 수 있다. 다시 말해, 비아전극(40)은 프리프레그층(20)과 금속차폐층(30)의 측면에 인접하게 배치되도록 복수개가 형성될 수 있다.
- [0078] 한편, 비아전극(40)은 이웃하는 비아전극(40)과 하기와 같은 간격(t_1)을 가지도록 형성될 수 있다.
- [0079] 일례로서, 10GHz의 주파수가 사용되는 경우 전자파를 차폐하기 위해 비아전극(40)은 이웃하는 비아전극(40)과 0.75mm의 간격을 가지도록 형성될 수 있다.
- [0080] 보다 자세하게 살펴보면, 10GHz의 주파수를 가지는 경우 파장(λ)은 30mm의 파장을 가질 수 있다. 즉, $\lambda = C / f$ 의 식에서 C는 광속이며, f는 10GHz이다.
- [0081] 따라서, 파장(λ)는 30mm가 된다.
- [0082] 한편, PCB의 유전상수를 4라고 가정하면, 유효 파장(λ')는 15 mm가 된다. 즉, $\lambda' = \lambda / \text{sqrt}(4)$ 가 되므로 유효 파장(λ')는 15 mm가 된다.
- [0083] 그리고, 일례로서 10GHz 주파수로부터 전자파의 차폐를 기본파의 하모닉(Harmonic) 성분들 중 20번째 고주파까지만 고려한다면 비아전극(40)은 이웃하는 비아전극(40)과 0.75mm의 간격(t_1)을 가지도록 형성될 수 있다. 즉, $t_1 = \lambda' / 20$ 의 식으로부터 t_1 은 0.75mm가 될 수 있다.
- [0084] 다만, 비아전극(40)과 이웃하는 비아전극(40)과의 간격(t_1)은 상기한 0.75mm에 한정되는 것을 아니다. 즉, 주파수의 크기와, PCB의 유전상수와, 하모닉 성분들 중 몇번 째 고주파까지를 고려하는지에 따라 비아전극(40)과 이웃하는 비아전극(40)과의 간격(t_1)은 변경될 수 있을 것이다.
- [0085] 즉, 다른 예로서 20GHz의 주파수가 사용되는 경우 전자파를 차폐하기 위해 비아전극(40)은 이웃하는 비아전극(40)과 0.375mm의 간격(t_1)을 가지도록 형성될 수 있다.
- [0086] 다시 한번 보다 자세하게 살펴보면, 20GHz의 주파수를 가지는 경우 파장(λ)은 15mm의 파장을 가질 수 있다. 즉, $\lambda = C / f$ 의 식에서 C는 광속이며, f는 20GHz이다.
- [0087] 따라서, 파장(λ)는 15mm가 된다.
- [0088] 한편, PCB의 유전상수를 4라고 가정하면, 유효 파장(λ')는 7.5 mm가 된다. 즉, $\lambda' = \lambda / \text{sqrt}(4)$ 가 되므로 유효 파장(λ')는 7.5 mm가 된다.
- [0089] 그리고, 일례로서 20GHz 주파수로부터 전자파의 차폐를 기본파의 하모닉(Harmonic) 성분들 중 20번째 고주파까지만 고려한다면 비아전극(40)은 이웃하는 비아전극(40)과 0.375mm의 간격(t_1)을 가지도록 형성될 수 있다. 즉, $t_1 = \lambda' / 20$ 의 식으로부터 t_1 은 0.375mm가 될 수 있다.
- [0090] 상기한 바와 같이, 비아전극(40)과 이웃하는 비아전극(40)의 간격(t_1)을 조정함으로써 전자파의 누설을 보다 감소시킬 수 있는 것이다.
- [0091] 한편, 본 실시예에서는 비아전극(40)이 원기둥 형상을 가지도록 형성되는 경우를 예로 들어 설명하고 있으나, 이에 한정되지 않으며 비아전극(40)은 사각기둥 등 다각형의 기둥 형상을 가지도록 형성될 수 있을 것이다.
- [0092] 이후, 도 4d에 도시된 바와 같이, 비아전극(40)이 내측에 배치되도록 프리프레그층(20)과 금속차폐층(30) 및 기판(10)을 절단한다. 다시 말해, 비아전극(40)이 프리프레그층(20)과 금속차폐층(30)의 내측에 배치되어 외부로 노출되지 않도록 도 4d에 도시된 절단선을 따라 프리프레그층(20)과 금속차폐층(30) 및 기판(10)을 절단한다.

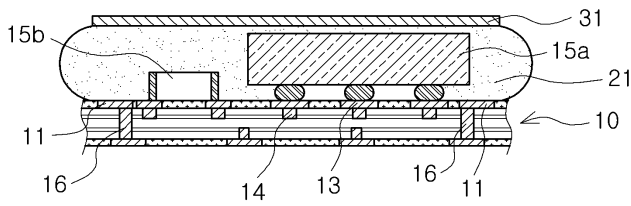
도면3



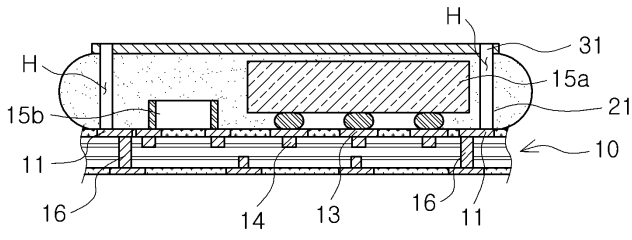
도면4a



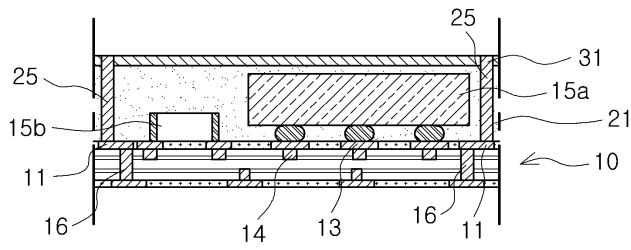
도면4b



도면4c



도면4d



도면4e

