



(10) **DE 10 2009 032 854 B4** 2015.07.23

(12)

Patentschrift

(21) Aktenzeichen: **10 2009 032 854.8**
(22) Anmeldetag: **13.07.2009**
(43) Offenlegungstag: **27.01.2011**
(45) Veröffentlichungstag
der Patenterteilung: **23.07.2015**

(51) Int Cl.: **H01L 21/331** (2006.01)
H01L 21/8228 (2006.01)
H01L 21/3065 (2006.01)
H01L 21/20 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**Texas Instruments Deutschland GmbH, 85356
Freising, DE**

(74) Vertreter:
**Prinz & Partner mbB Patentanwälte
Rechtsanwälte, 80335 München, DE**

(72) Erfinder:
**Scharnagl, Thomas, 84184 Tiefenbach, DE;
Staufer, Berthold, 85368 Moosburg, DE**

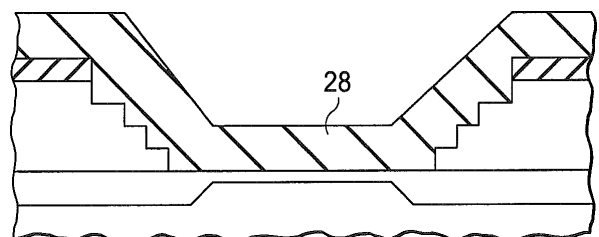
(56) Ermittelter Stand der Technik:

DE	100 53 463	A1
DE	697 29 927	T2
US	2004 / 0 178 171	A1
US	5 663 091	A
US	4 902 377	A
US	4 698 128	A

Widmann, D.; Mader, H.; Friedrich, H.:
Technologie hochintegrierter Schaltungen. 2.
Auflage. Berlin : Springer, 1996. 13-17. - ISBN 3-
540-59357-8

(54) Bezeichnung: **Verfahren zur Herstellung von Bipolartransistorstrukturen in einem Halbleiterprozess**

(57) Hauptanspruch: Verfahren zur Herstellung von Bipolartransistorstrukturen in einem komplementären Halbleiterprozess, das die Schritte umfasst, bei denen durch Plasmaätzen ein Bipolartransistor-Basisfenster in einer polykristallinen Siliziumschicht, die mit einer Oxidschicht bedeckt ist, strukturiert wird, ausgehend von Trisilan eine Siliziumschicht in dem Bipolartransistor-Basisfenster epitaktisch aufgewachsen wird, wobei das Plasmaätzen in einer Abfolge von anisotropen Ätzschritten und isotropen Veraschungsschritten durchgeführt wird, wodurch gestufte und nach innen geneigte Bipolartransistor-Basisfensterränder gebildet werden.



Beschreibung

GEBIET DER ERFINDUNG

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung von Bipolartransistorstrukturen in einem Halbleiterprozess, insbesondere von Transistorstrukturen in BICOM-Technik (bipolarer Komplementärtechnik).

HINTERGRUND

[0002] Bei einer üblichen Abfolge eines BICOM-Herstellungsprozesses wird das Fenster für eine Transistorbasis üblicherweise mittels eines anisotropen Plasmaätzschritts strukturiert. Das Fenster, das durch eine strukturierte Resistschicht definiert ist, wird somit mit geraden Seitenwänden strukturiert, die sich durch eine polykristalline Siliziumschicht (nachfolgend „Poly“) erstrecken, welche mit einer Oxidschicht bedeckt ist. Für das epitaktische („EPI“) Aufwachsen einer Siliziumschicht in dem Basisfenster ist aufgrund der geringen Kosten und des hohen Ertrags dieses Prozesses ein verbessertes Trisilan-(Si₃H₈-)Epitaxieverfahren eine bevorzugte Option. Mit sinkenden Komponentenabmessungen und zunehmender Dicke der polykristallinen Siliziumschicht ist jedoch das Trisilan-Epitaxieverfahren aufgrund der Bildung von verbleibenden Polyeinlagerungen nach dem Strukturieren dieser Epitaxialschicht durch Ätzen nicht anwendbar, wie anhand der beigefügten Zeichnungen näher erläutert ist. Diese Einlagerungen beeinträchtigen den Betrieb der resultierenden Schaltungskomponente.

[0003] Die US 5 663 091 A offenbart eine elektrisch programmierbare Zelle (antifuse), allerdings keinen Bipolartransistor. Auch das Trisilan-Epitaxieverfahren wird nicht erwähnt. Die US 2004/0178171 A1 betrifft MEMS und LDMOS oder VDMOS Transistoren. Die Problematik der Überhangbildung bei einem Trisilan-Epitaxieverfahren wird jedoch nicht erwähnt. Die US 4 902 377 A betrifft die Bildung von Kontakten. Auch hier besteht kein Zusammenhang zur Problematik bei Bipolartransistoren und dem Trisilan-Epitaxieverfahren. Ferner betrifft auch die US 4 698 128 A einen Ätzprozess zur Bildung von Kontakten. Die Problematik der Herstellung von Bipolartransistoren bleibt insofern im vorgenannten Stand der Technik unberührt.

ZUSAMMENFASSUNG

[0004] Bei einem Aspekt der Erfindung wird ein Verfahren zur Herstellung von Bipolartransistorstrukturen in einem Halbleiterprozess bereitgestellt, wobei ein verbessertes Trisilan-Epitaxieverfahren angewendet werden kann, ohne Gefahr, dass Polyeinlagerungen gebildet werden. Gemäß der Erfindung umfasst das Verfahren zur Herstellung von Bipolar-

transistorstrukturen in einem Halbleiterprozess den Schritt des Strukturierens eines Basisfensters in einer polykristallinen Siliziumschicht, die mit einer Oxidschicht bedeckt ist, durch Plasmaätzen und den weiteren Schritt des epitaktischen Aufwachsens einer Siliziumschicht in dem Basisfenster ausgehend von Trisilan. Das Plasmaätzen wird in einer Abfolge von anisotropen Ätzschritten und isotropen Veraschungsschritten durchgeführt, wodurch gestufte und nach innen geneigte Fensterränder gebildet werden. Aufgrund der nach innen geneigten Seitenwände des Fensters wird die epitaktisch aufgewachsene Siliziumschicht ohne nach innen vorstehende Strukturen gebildet, und die Ursache für die Bildung von Polyeinlagerungen wird dadurch eliminiert.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0005] Die Fig. 1a bis Fig. 1e sind schematische Schnittansichten eines erläuternden Beispiels, die aufeinanderfolgende Schritte eines Halbleiterprozesses bei der Bildung eines Bipolartransistor-Basisfensters veranschaulichen, die zum Auftreten von Polyeinlagerungen führen würden, und

[0006] Fig. 2a und Fig. 2b sind schematische Schnittansichten, die alternative Schritte eines Halbleiterprozesses bei der Bildung eines Bipolartransistor-Basisfensters veranschaulichen, bei denen das Auftreten von Polyeinlagerungen vermieden wird.

AUSFÜHRLICHE BESCHREIBUNG EINER BEISPIELHAFTEN AUSFÜHRUNGSFORM

[0007] In Fig. 1a ist ein Bipolar-Basisfenster **10** gezeigt, wie durch ein strukturiertes Resist **12** definiert, das sich durch eine polykristalline Siliziumschicht **14** erstreckt, welche mit einer Oxidschicht **16** bedeckt ist. Das Fenster wird unter Anwendung eines anisotropen Plasmaätzschritts strukturiert. Als Ergebnis hat das Fenster gerade Seitenwände, die sich vollständig durch die Oxidschicht **16** und die Polyschicht **14** nach unten zu einer darunter liegenden Oxidschicht **18** erstrecken.

[0008] Wenn anschließend, wie in Fig. 1b veranschaulicht, eine EPI-Schicht **20** in dem freiliegenden Fenster und über der angrenzenden Oxidschicht **16** unter Anwendung eines verbesserten Trisilan-Epitaxieverfahrens aufgewachsen wird, wird die EPI-Schicht **20** mit nach innen gewölbten, vorstehenden Vorsprüngen **20a** gebildet. Unter den Vorsprüngen **20a** werden nach außen gerichtete Ausnehmungen **20b** gebildet.

[0009] Bei einem nachfolgenden Verfahrensschritt, wie in Fig. 1c veranschaulicht, werden dielektrische Schichten **22** (Oxid, Nitrid, usw.) über die EPI-Schicht **20** abgeschieden. Die dielektrischen Schichten **22**

füllen die Ausnehmungen **20b**, die durch die EPI-Schicht **20** verbleiben, vollständig aus.

[0010] Bei einem weiteren nachfolgenden Verfahrensschritt, wie in **Fig. 1d** veranschaulicht, kann mit dem anisotropen Plasmaätzen das dielektrische Material nicht aus den Ausnehmungen **20b** entfernt werden. Ein alternativer Nassätzschritt ist aus verfahrenstechnischen Gründen nicht möglich.

[0011] Wenn die EPI-Schicht **20** dann strukturiert wird, wie in **Fig. 1e** veranschaulicht, wirkt das verbleibende dielektrische Material aus den Ausnehmungen **20b** wie eine Abschirmung für das anisotrope Ätzen, und jegliches Material von der EPI-Schicht, das unmittelbar darunter liegt, wird nicht entfernt, wodurch „Polyeinlagerungen“ **26** neben dem strukturierten Teil der EPI-Schicht verbleiben. Diese Polyeinlagerungen können dazu führen, dass die Halbleiterkomponente keine Funktion hat.

[0012] Betrachtet man nun **Fig. 2a**, so umfasst das erfindungsgemäße Verfahren das Formen des Basisfensters mit Seitenwänden, die, wie gezeigt, gestuft und zum Inneren des Fensters geneigt sind. Dies wird mit einem Plasmaätzverfahren erreicht, das aus aufeinanderfolgenden anisotropen Ätzschritten und isotropen Veraschungsschritten besteht. Die aufeinanderfolgenden anisotropen Ätzschritte und isotropen Veraschungsschritte müssen so eingestellt werden, dass die gewünschte Form der Fensterseitenwände erreicht wird.

[0013] Wenn die EPI-Schicht dann über dem Basisfenster unter Verwendung eines Trisilan-Epitaxieverfahrens, wie in **Fig. 2b** gezeigt, aufgewachsen wird, wird eine EPI-Schicht **28** erhalten, die keine vorstehenden Vorsprünge aufweist, und die EPI-Schicht kann ohne Gefahr der Bildung von Polyeinlagerungen strukturiert werden.

Patentansprüche

1. Verfahren zur Herstellung von Bipolartransistorstrukturen in einem komplementären Halbleiterprozess, das die Schritte umfasst, bei denen durch Plasmaätzen ein Bipolartransistor-Basisfenster in einer polykristallinen Siliziumschicht, die mit einer Oxidschicht bedeckt ist, strukturiert wird, ausgehend von Trisilan eine Siliziumschicht in dem Bipolartransistor-Basisfenster epitaktisch aufgewachsen wird, wobei das Plasmaätzen in einer Abfolge von anisotropen Ätzschritten und isotropen Veraschungsschritten durchgeführt wird, wodurch gestufte und nach innen geneigte Bipolartransistor-Basisfensterränder gebildet werden.

Es folgen 2 Seiten Zeichnungen

Anhängende Zeichnungen

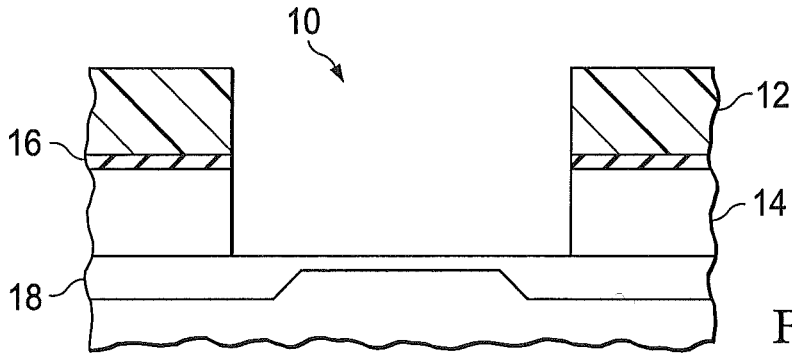


FIG. 1a

(Stand der Technik)

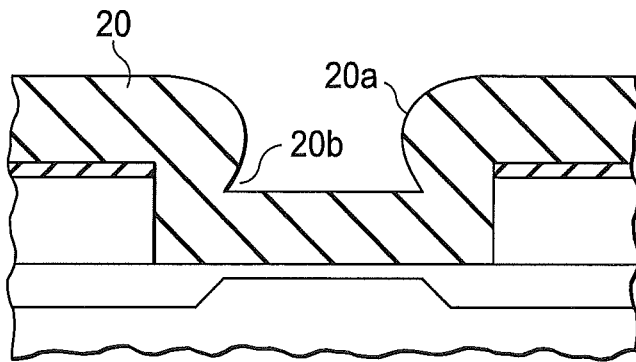


FIG. 1b

(Stand der Technik)

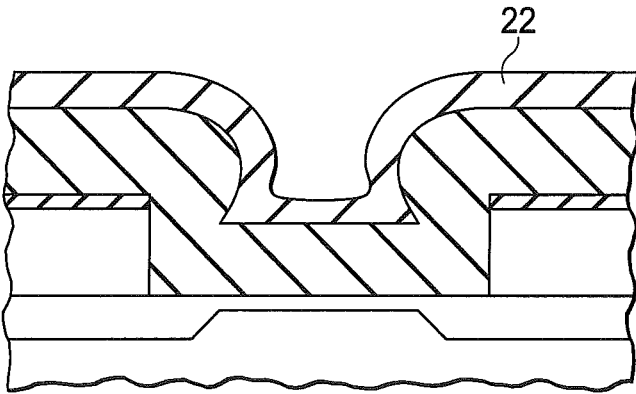
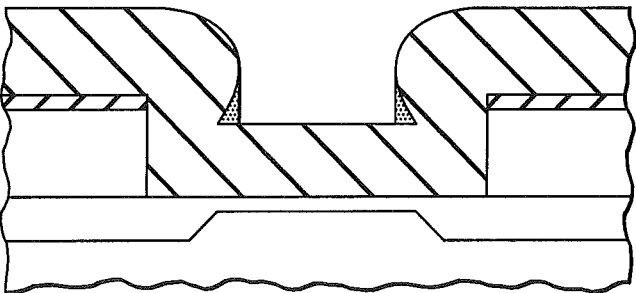


FIG. 1c

(Stand der Technik)



(Stand der Technik)

FIG. 1d

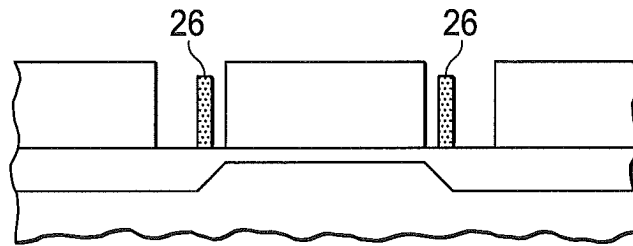


FIG. 1e
(Stand der Technik)

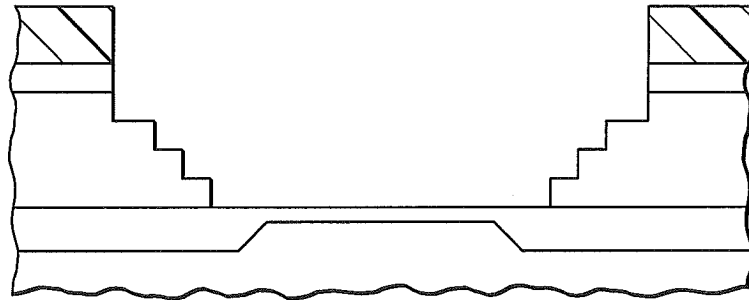


FIG. 2a

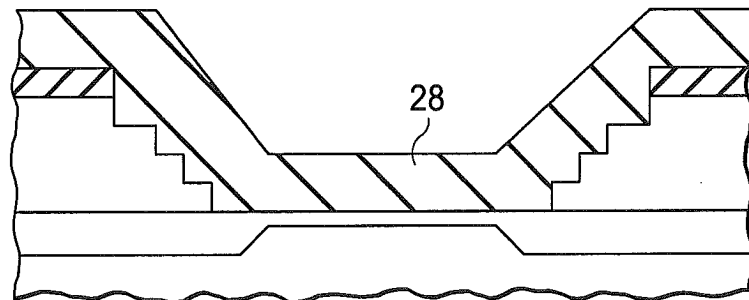


FIG. 2b