



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I434517 B

(45)公告日：中華民國 103 (2014) 年 04 月 11 日

(21)申請案號：100140408

(22)申請日：中華民國 100 (2011) 年 11 月 04 日

(51)Int. Cl. : **H03M1/46 (2006.01)**

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：陳弘易 CHEN, HUNG I (TW)；陳昶聿 CHEN, CHANG YU (TW)；黃炫倫 HUANG, XUAN LUN (TW)；黃俊郎 HUANG, JIUN LANG (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

US 7812757B1

X.-L. Huang, P.-Y. Kang, H.-M. Chang, J.-L. Huang, Y.-F. Chou, Y.-P. Lee, D.-M. Kwai, and C.-W. Wu, "A self-testing and calibration method for embedded successive approximation register ADC," Asia and South Pacific Design Automation Conference, Yokohama, Japan, Jan. 2011

X.-L. Huang, P.-Y. Kang, J.-L. Huang, Y.-F. Chou, Y.-P. Lee, and D.-M. Kwai, "A pre- and post-bond self-testing and calibration methodology for SAR ADC Array in 3-D Imager," European Test Symposium, pp. 23-27, Trondheim, Norway, May 2011

審查人員：陳臆聰

申請專利範圍項數：28 項 圖式數：19 共 0 頁

(54)名稱

數位類比轉換器的元素的權重的估算方法、裝置及應用其之逐次逼近暫存器類比數位轉換器  
METHOD AND APPARATUS FOR EVALUATING WEIGHTING OF ELEMENTS OF DAC AND SAR ADC USING THE SAME

(57)摘要

在此提供一種數位類比轉換器(DAC)的元素的權重的估算方法、裝置及應用其之逐次逼近暫存器類比數位轉換器(SAR ADC)。本揭露藉由在 SAR ADC 中，加入附帶有參考權重的參考元素、附屬數位類比轉換器以及搜尋電路，可求得以前述參考權重所表示的 DAC 中各組成元素的等效權重值。隨後 SAR ADC 即可利用校正後的各等效權重值，以及對每一筆輸入訊號的逐次逼近結果，經計算得到數位輸出值。因此，本揭露免除 SAR ADC 中，DAC 的組成元素對於相對匹配度的要求。

A method and an apparatus for evaluating weighting of elements of a DAC and a SAR ADC using the same are provided. An equivalent weighting of each composed element is obtained by adding a reference element with a reference weighting, an auxiliary DAC and a search circuit into the SAR ADC, and the equivalent weighting is represented by the reference weighting. The SAR ADC can calculate and then obtain a correct digital output by using the calibrated equivalent weighting and successive approximation result of

each input signal. The present disclosure prevents the strongly necessary of matching of each composed element of the DAC in the SAR ADC.

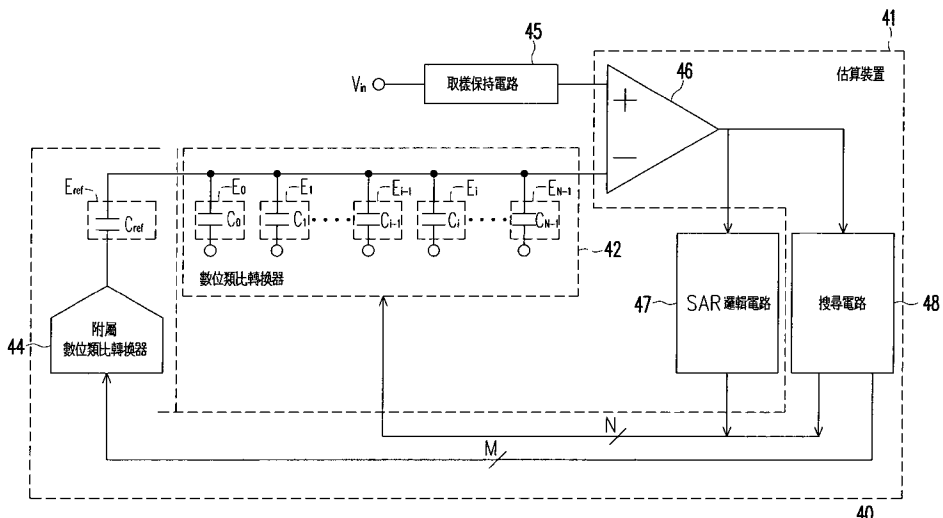


圖 4

- 40 . . . SAR ADC
- 42 . . . 數位類比轉換器
- 45 . . . 取樣保持電路
- 46 . . . 比較器
- 47 . . . SAR 邏輯電路
- 41 . . . 估算裝置
- 44 . . . 附屬數位類比轉換器
- 48 . . . 搜尋電路
- $C_0$ 、 $C_1$ 、...、 $C_{N-1}$  . . . 組成電容
- $C_{ref}$  . . . 參考電容
- $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  . . . 組成元素
- $E_{ref}$  . . . 參考元素

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100(40408)

(2006.01)

※申請日：100.11.4

※IPC 分類：H03M 1/46

### 一、發明名稱：

數位類比轉換器的元素的權重的估算方法、裝置及應用其之逐次逼近暫存器類比數位轉換器

METHOD AND APPARATUS FOR EVALUATING  
WEIGHTING OF ELEMENTS OF DAC AND SAR ADC  
USING THE SAME

### 二、中文發明摘要：

在此提供一種數位類比轉換器(DAC)的元素的權重的估算方法、裝置及應用其之逐次逼近暫存器類比數位轉換器(SAR ADC)。本揭露藉由在 SAR ADC 中，加入附帶有參考權重的參考元素、附屬數位類比轉換器以及搜尋電路，可求得以前述參考權重所表示的 DAC 中各組成元素的等效權重值。隨後 SAR ADC 即可利用校正後的各等效權重值，以及對每一筆輸入訊號的逐次逼近結果，經計算得到數位輸出值。因此，本揭露免除 SAR ADC 中，DAC 的組成元素對於相對匹配度的要求。

### 三、英文發明摘要：

A method and an apparatus for evaluating weighting of

elements of a DAC and a SAR ADC using the same are provided. An equivalent weighting of each composed element is obtained by adding a reference element with a reference weighting, an auxiliary DAC and a search circuit into the SAR ADC, and the equivalent weighting is represented by the reference weighting. The SAR ADC can calculate and then obtain a correct digital output by using the calibrated equivalent weighting and successive approximation result of each input signal. The present disclosure prevents the strongly necessary of matching of each composed element of the DAC in the SAR ADC.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 4

(二) 本代表圖之元件符號簡單說明：

40：SAR ADC

42：數位類比轉換器

45：取樣保持電路

46：比較器

47：SAR 邏輯電路

41：估算裝置

44：附屬數位類比轉換器

48：搜尋電路

$C_0$ 、 $C_1$ 、...、 $C_{N-1}$ ：組成電容

$C_{\text{ref}}$ ：參考電容

$E_0$ 、 $E_1$ 、...、 $E_{N-1}$ ：組成元素

$E_{\text{ref}}$ ：參考元素

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本揭露是有關於一種數位類比轉換器 (Digital-to-Analog Converter, 簡稱 DAC), 且特別是有關於一種數位類比轉換器的元素的權重的估算方法、裝置及應用其之逐次逼近暫存器類比數位轉換器 (Successive-Approximated Register Analog-to-Digital Converter, 簡稱 SAR ADC)。

### 【先前技術】

近年來在積體電路設計上的趨勢, 對於更低功耗、更高表現、以及更少的成本有愈來愈嚴苛的要求, 而在類比前端電路的設計當中, 一個有效率的類比數位轉換器 (Analog-to-Digital Converter, 簡稱 ADC) 能使系統整體表現大大地提升, ADC 負責將接收的類比訊號轉換為數位訊號, 並提供給後端的數位訊號處理單元來運作, 因此其動態範圍、解析度、精確度、線性度、取樣速度、功耗、輸入級特性等等, 都成為影響系統整體表現的重要環節, 也成為評估轉換器本身表現的重要參數。

就解析度以及取樣速度的分類上來看, 8~14 bits 及 1 到數百 MSPS 的 ADC 的應用層級相當廣泛, 包括通訊系統的基頻或中頻前端、生醫影像處理如超音波影像系統的前端、以及雷達陣列系統的前端等都在其應用範圍之中。ADC 的架構種類繁多, 而製作符合前述規格的 ADC 時,

可選擇的架構也有相當的多樣性。目前在商業應用上的主流為導管線類比數位轉換器 (pipeline Analog-to-Digital Converter, 簡稱 pipeline ADC), 然而近年來在國際先進期刊論文的發表上, 可發現逐次逼近暫存器類比數位轉換器 (Successive-Approximated Register Analog-to-Digital Converter, 簡稱 SAR ADC) 逐漸成為熱門的研發方向, 原因在於 SAR ADC 的架構在操作上幾乎不需要直流的電流偏壓, 且 SAR ADC 需要較多的數位電路來控制以及處理訊號, 而當製程進入深次微米 (deep sub-micron) 時, 其數位電路部份所需的晶片面積及功耗便能有效的降低, 也因此很適合做為大型 SoC (System-on-Chip) 的 IP (intellectual property)。許多文獻顯示, 在同樣的規格需求下, SAR ADC 相較於 pipeline ADC 有較低功耗以及較小晶片面積的優勢, 也因此, 對於 SAR ADC 架構的技術開發, 也儼然成了一門顯學。

然而, 在 SAR ADC 架構中有一個重要的功能方塊: 數位類比轉換器 (Digital-to-Analog Converter, 簡稱 DAC), 其直接影響了 SAR ADC 的表現。DAC 中的各個組成元素, 例如電容, 由於其在相對匹配 (matching) 度上的需求, 使得 DAC 在晶片面積以及功耗上, 佔了 SAR ADC 整體很大的比重, 而如果 DAC 需要更大的面積, 也代表 DAC 的驅動電路需要更大的驅動力, 又進一步增加了面積與功耗。由於數位電路的成本相當的低廉, 因此若是可以藉由數位電路的處理技巧, 減少或甚至免除 DAC 對於組成元

素在相對匹配度上的需求，將有效地降低 ADC 整體的晶片面積與功耗。

圖 1 為一種 SAR ADC 的方塊圖，圖 2A 為一種 SAR ADC 中之 DAC 與比較器在取樣相位時的簡化電路圖，圖 2B 為圖 2A 的戴維寧等效(Thenevin Equivelent)電路圖，圖 2C 為一種 SAR ADC 中之 DAC 與比較器在轉換相位時的簡化電路圖，圖 2D 為圖 2C 的戴維寧等效電路圖，請同時參考圖 1、圖 2A、圖 2B、圖 2C 及圖 2D。此 SAR ADC 10 包括：DAC 12、取樣保持電路 14、比較器 16、以及逐次逼近暫存器邏輯電路(簡稱 SAR 邏輯電路)18。圖 2A、圖 2B、圖 2C 及圖 2D 中的 DAC 皆由 N 個電容  $C_0$ 、 $C_1$ 、...、及  $C_{N-1}$  所組成，這些電容以 2 的冪次方(radix-2)做電容取值，所以：

$$C_n = 2^n * C$$

其中，N 為大於 1 的正整數，n 為大於等於 0 且小於 N 的正整數。因此，由圖 2D 可看出，經由逐次逼近後，由 SAR 邏輯電路 18 送給 DAC 12 的 N 位元控制訊號，即為最後的 ADC 數位輸出值  $ADC_{OUT}$ ，其中，控制訊號的所有位元值  $K_0$ 、 $K_1$ 、...、及  $K_{N-1}$  等於 0 或 1。然而由於電容的實際值與理想值之間的差異，所以直接影響了 ADC 線性度。

圖 3 為圖 1 的 SAR ADC 的一種典型轉換函數圖，請參考圖 3。圓形虛線 32 標示出一種叫做缺失判斷位階(missing decision level)的情況，此種情況代表可能有多個不同的輸入電壓卻沒有對應不同的數位輸出值或是有相同



的數位輸出值，因此，無法以數位的方式來補償而獲得線性的轉換曲線。圓形虛線 34 標示出另一種叫做缺失編碼 (missing code) 的情況，此情況中相鄰的兩個輸入電壓卻對應數值差異極大的兩個數位輸出值，但此種情況卻可以數位的方式來補償而獲得線性的轉換曲線。由圖 3 可看出，傳統 ADC 中的 DAC 是以 2 的冪次方做電容取值，因而產生缺失判斷位階的情況，此情況會無法以數位的方式來補償。

#### 【發明內容】

根據一實施範例，提供一種數位類比轉換器的元素的權重的估算方法，此數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、 $\dots$ 、 $E_{N-1}$ ，此估算方法包括下列步驟。步驟之一為提供一個參考元素  $E_{ref}$ ，耦接至數位類比轉換器。步驟之另一於第 0 個週期的第一相位時，對  $E_0$  輸入第一值  $V_1$ ，對其他  $E_1$ 、 $\dots$ 、 $E_{N-1}$  輸入第二值  $V_0$ ，使得開路等效輸出為  $V_{MCW0}$ 。步驟之再一於第 0 個週期的第二相位時，對所有  $E_0$ 、 $E_1$ 、 $\dots$ 、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW0}$ ，並根據此時對  $E_{ref}$  的輸入值，獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，根據有理數倍數  $K_{ref,0}$  可估算出  $E_0$  的權重值。步驟之另一於第  $i$  個週期的第一相位時，對  $E_i$  輸入  $V_1$ ，對其他  $E_0$ 、 $\dots$ 、 $E_{i-1}$ 、 $E_{i+1}$ 、 $\dots$ 、 $E_{N-1}$  輸入  $V_0$ ，使得開路等效輸出為  $V_{MCWi}$ 。步驟之再一於第  $i$  個週期的第二相位時，對標示大於等於  $i$  的

$E_i$ 、 $E_{i+1}$ 、...、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，且選擇對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，使得開路等效輸出  $V_{digi}$  趨近等於  $V_{MCWi}$ ，並根據此時對  $E_{ref}$  的輸入值以及對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值，獲得係數  $K_{0,i}$ 、 $K_{1,i}$ 、...、 $K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，根據係數  $K_{0,i}$ 、 $K_{1,i}$ 、...、 $K_{i-1,i}$  及有理數倍數  $K_{ref,i}$  可估算出  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$  為大於等於 0 的正整數且小於  $N$ 。

根據一實施範例，提供一種數位類比轉換器的元素的權重的估算裝置，此數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ ，此估算裝置包括：參考元素  $E_{ref}$ 、附屬數位類比轉換器、比較器、以及搜尋電路。此參考元素  $E_{ref}$  耦接至數位類比轉換器， $E_{ref}$  與這些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ 。附屬數位類比轉換器具有  $M$  位元的數位輸入，此附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1 的正整數。比較器具有第一輸入端、第二輸入端及輸出端，比較器用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端。搜尋電路耦接至比較器、附屬數位類比轉換器

及數位類比轉換器，搜尋電路根據比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為第一值  $V_1$  與第二值  $V_0$  二者之一，並根據比較器的輸出，來改變附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值。估算裝置依據附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

根據一實施範例，提供一種數位類比轉換器的元素的權重的估算裝置，此數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ ，此估算裝置包括：參考元素  $E_{ref}$ 、附屬數位類比轉換器、比較器、逐次逼近暫存器邏輯電路、以及搜尋控制電路。此參考元素  $E_{ref}$  耦接至數位類比轉換器， $E_{ref}$  與這些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ 。附屬數位類比轉換器具有  $M$  位元的數位輸入，此附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1 的正整數。比較器具有第一輸入端、第二輸入端及輸出端，比較器用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端。逐次逼近暫存器邏輯電路耦接至比較器、附屬數位類比轉換器及數位類比轉換器。搜尋控制電路耦接至

逐次逼近暫存器邏輯電路，此搜尋控制電路控制逐次逼近暫存器邏輯電路，以根據比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為第一值  $V_1$  與第二值  $V_0$  二者之一，並根據比較器的輸出，來改變附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值。估算裝置依據附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

根據一實施範例，提供一種逐次逼近暫存器類比數位轉換器，其包括：數位類比轉換器、參考元素  $E_{ref}$ 、附屬數位類比轉換器、比較器、逐次逼近暫存器邏輯電路、以及搜尋電路。數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ 。參考元素  $E_{ref}$  耦接至數位類比轉換器， $E_{ref}$  與這些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ 。附屬數位類比轉換器具有  $M$  位元的數位輸入，此附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1 的正整數。比較器具有第一輸入端、第二輸入端及輸出端，比較器用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端。逐次逼近暫存器邏輯電路耦接至比較器及數位

類比轉換器，用以根據比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為第一值  $V_1$  與第二值  $V_0$  二者之一，以獲得輸入電壓的數位對應值。搜尋電路耦接至比較器、附屬數位類比轉換器及數位類比轉換器，搜尋電路根據比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，並根據比較器的輸出，來改變附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值，此逐次逼近暫存器類比數位轉換器依據附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

根據一實施範例，提供一種逐次逼近暫存器類比數位轉換器，其包括：數位類比轉換器、參考元素  $E_{ref}$ 、附屬數位類比轉換器、比較器、逐次逼近暫存器邏輯電路、以及搜尋控制電路。數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ 。參考元素  $E_{ref}$  耦接至數位類比轉換器， $E_{ref}$  與這些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ 。附屬數位類比轉換器具有  $M$  位元的數位輸入，此附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1 的正整數。比較器具有第一輸入端、第二輸入端及輸出端，比較器用

以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端。逐次逼近暫存器邏輯電路耦接至比較器、附屬數位類比轉換器及數位類比轉換器，用以根據比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為第一值  $V_1$  與第二值  $V_0$  二者之一，以獲得輸入電壓的數位對應值。搜尋控制電路耦接至逐次逼近暫存器邏輯電路，搜尋控制電路控制逐次逼近暫存器邏輯電路，以根據比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，並根據比較器的輸出，來改變附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值，此逐次逼近暫存器類比數位轉換器依據附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

基於上述，本揭露藉由在數位類比轉換器加入一個附帶有參考權重的參考元素，可求得以前述參考權重所表示的各組成元素的等效權重值。因此，本揭露可能免除一個 SAR ADC 中，數位類比轉換器的組成元素對於相對匹配度的要求，也可能減低了數位類比轉換器驅動電路的驅動能力需求，並可能進一步減少 SAR ADC 整體的面積與功耗，且可能有助於降低一個需要數位類比轉換器陣列的系統成本，更因為可能會有低功耗、小面積的 SAR ADC IP，而可能能助於電路的集成及可攜式系統的開發。

為讓本揭露之上述特徵和優點能更明顯易懂，下文特舉實施範例，並配合所附圖式作詳細說明如下。

### 【實施方式】

在此揭露一種新的 SAR ADC，如圖 4 所示，圖 4 是一種新的 SAR ADC 實施範例的方塊圖，請參照圖 4。此 SAR ADC 40 包括：估算裝置 41、數位類比轉換器 42、取樣保持電路 45 以及逐次逼近暫存器邏輯電路 47，此估算裝置包括：參考元素  $E_{ref}$ 、附屬數位類比轉換器 44、比較器 46、以及搜尋電路 48。

數位類比轉換器 42 包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ 。參考元素  $E_{ref}$  耦接至數位類比轉換器 42，參考元素  $E_{ref}$  與這些組成元素的權重值符合下列式子：

$$W_{ref} > W_0 \quad (1), \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i, \quad (2)$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ 。

在符合前述式子(1)及(2)的前提下，某種實施例的這些組成元素的權重值可以符合式子：

$$W_n = \alpha^n * W_0, \text{ 其中，幕次方 } \alpha \text{ 小於 } 2。$$

在特定的實施例下，幕次方  $\alpha$  更可以是 1.86。

本實施範例的這些組成元素及參考元素是以電容為例，因此參考元素  $E_{ref}$  就是參考電容  $C_{ref}$ ，其具有第一端點及第二端點，而這些組成元素就是  $N$  個組成電容，標示為  $C_0$ 、 $C_1$ 、...、 $C_{N-1}$ ，每一組成電容具有第一端點及第二端

點，所有組成電容的第一端點耦接至同一個節點，參考元素  $E_{ref}$  的第一端點耦接至前述節點，而權重值在此例中可以理解為電容值，則下列條件必須被滿足：

$$C_{ref} > C_0 \quad (3), \text{ 且}$$

$$\sum_{n=0}^{i-1} C_n + C_{ref} > C_i \quad (4)$$

在符合前述式子(3)及(4)的前提下，某種實施例的這些組成電容可以符合式子：

$$C_n = \alpha^n * C_0, \text{ 其中，冪次方 } \alpha \text{ 小於 } 2。$$

在特定的實施例下，冪次方  $\alpha$  更可以是 1.86。本實施範例是以電容為例，但非用以限定本揭露，這些組成元素及參考元素可以是電容、電阻、及電流源三者之任一種，或是其他可以組成數位類比轉換器的元件。在組成元素不是電容的情況下，這些組成元素與參考元素的電路構成不一定如圖中所示地將第一端點連接在一起，端視數位類比轉換器的構造而定。

從前述可知，圖 4 中的數位類比轉換器 42 為一個以非 2 的冪次方來做電容取值的電容矩陣 DAC。若電容矩陣中的各組成元素的等效權重可知，亦即各組成電容的電容值或各組成電容間的電容值的比值可知，則 SAR ADC 依據逐次逼近方式的結果，再利用數位運算方式，可求得逼近的結果所代表的數位輸出值。因此，如何利用一個快速且精確的方式，來求得各組成元素的等效權重是重點之一。

請繼續參照圖 4。附屬數位類比轉換器 44 具有 M 位



元的數位輸入，此附屬數位類比轉換器 44 之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1 的正整數。取樣保持電路 45 耦接至比較器 46，取樣保持電路 45 用來取樣並保持輸入電壓  $V_{in}$ 。比較器 46 具有第一輸入端、第二輸入端及輸出端，比較器 46 用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端。逐次逼近暫存器邏輯電路(簡稱 SAR 邏輯電路)47 耦接至比較器 46 及數位類比轉換器 42，SAR 邏輯電路 47 根據比較器 46 的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為第一值  $V_1$  與第二值  $V_0$  二者之一，以獲得輸入電壓  $V_{in}$  的數位對應值。在本實施例中，因為組成元素就是組成電容，所以第一值  $V_1$  與第二值  $V_0$  分別是電壓值  $V_{RT}$  與  $V_{RB}$ ，但非以限定本揭露，如果組成元素是電流源，則第一值  $V_1$  與第二值  $V_0$  可能是代表 1 與 0 的控制訊號。

搜尋電路 48 耦接至比較器 46、附屬數位類比轉換器 44 及數位類比轉換器 42，搜尋電路 48 根據比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，並根據比較器的輸出，來改變附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值，此 SAR ADC 40 或估算裝置 41 依據附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。其估算的詳細步驟於後再詳述。

圖 5 是一種新的 SAR ADC 實施範例中之數位類比轉

換器的簡化電路圖，請參照圖 5。數位類比轉換器 52 包括多個開關以及 4 個組成電容，標示為  $C_0$ 、 $C_1$ 、 $C_2$  以及  $C_3$ ，所有組成電容的第一端點耦接至同一節點。參考電容  $C_{ref}$  的第一端點也耦接至前述節點。開關  $S_0$ 、 $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_i$  以及  $S_g$  共同作用下可使 SAR ADC 省下取樣保持電路。在取樣相位時，開關  $S_0$ 、 $S_1$ 、 $S_2$  以及  $S_3$  都切換成導通至開關  $S_i$ ，開關  $S_i$  切換成導通至輸入電壓  $V_{in}$ ，開關  $S_g$  導通，使電容  $C_0$ 、 $C_1$ 、 $C_2$  以及  $C_3$  充電至輸入電壓  $V_{in}$ 。在轉換相位時，開關  $S_i$  切換成導通至參考電壓  $V_{ref}$ ，開關  $S_g$  斷開，開關  $S_0$ 、 $S_1$ 、 $S_2$  以及  $S_3$  依據 4 位元控制訊號而切換，逐次逼近後當前述節點的電壓趨近於 0，也就是兩個相位時的開路等效輸出趨近於相等時，根據 4 位元控制訊號即可計算而獲得最後的 ADC 數位輸出值。依此相同原理，本揭露中所有的 SAR ADC 都可省略取樣保持電路而達成比較兩個電壓的目的，故以下不再贅述。本揭露中所有的 SAR ADC 的實施範例中的數位類比轉換器都可以比照相同的原理來製作，並省略開關不畫，以避免圖式太過複雜而難以辨識。

圖 6A 是一種新的 SAR ADC 實施範例中之 DAC 與比較器在第 0 個週期的載體取樣(carrier sampling)相位時的簡化電路圖，圖 6B 為圖 6A 的戴維寧等效電路圖，圖 6C 為一種新的 SAR ADC 實施範例中之 DAC 與比較器在第 0 個週期的權重估算(weighting evaluation)相位時的簡化電路圖，圖 6D 為圖 6C 的戴維寧等效電路圖，圖 7A 是一種

新的 SAR ADC 實施範例中之 DAC 與比較器在第  $i$  個週期的載體取樣相位時的簡化電路圖，圖 7B 為圖 7A 的戴維寧等效電路圖，圖 7C 為一種新的 SAR ADC 實施範例中之 DAC 與比較器在第  $i$  個週期的權重估算相位時的簡化電路圖，圖 7D 為圖 7C 的戴維寧等效電路圖。

請同時參考圖 6A 及圖 6B。如圖 6A 所示，在第 0 個週期的載體取樣相位時，令電容  $C_0$  的輸入等於代表輸入為 1 的電壓值  $V_{RT}$ ，其餘電容  $C_1, \dots, C_{N-1}$  的輸入等於代表輸入為 0 的電壓值  $V_{RB}$ ，且調整附屬數位類比轉換器 dDAC 的輸入  $M$  位元的二進位數值為 0，以調整對  $C_{ref}$  的第二端點的輸入值等於代表輸入為 0 的電壓值  $V_{RB}$ 。則如圖 6B 所示，在第 0 個週期的載體取樣相位時，使得開路等效輸出為  $V_{MCW0}$ 。

請同時參考圖 6C 及圖 6D。如圖 6C 所示，在第 0 個週期的權重估算相位時，令電容  $C_0, C_1, \dots, C_{N-1}$  的輸入等於代表輸入為 0 的電壓值  $V_{RB}$ ，且利用逐次逼近的二元搜尋方式，或是從最大值或是最小值起始的一元搜尋方式，來調整附屬數位類比轉換器 dDAC 的輸入  $M$  位元的二進位數值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW0}$ ，並根據此時對  $C_{ref}$  的第二端點的輸入值，亦即  $M$  位元的二進位數值，來獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，

$$C_0 = K_{ref,0} * C_{ref},$$

如果參考電容之電容值定義為 1 的話，則  $M$  位元的二進位數值的逐次逼近結果定義為電容  $C_0$  的等效電容值，且此一

等效電容值為參考電容之電容值的有理數倍數  $K_{ref,0}$ ，此有理數倍數  $K_{ref,0}$  由  $M$  位元的二進位數值來定義。

因此，為了使  $C_0$  能夠被  $C_{ref}$  所定義，前述式子(3)的條件必須被滿足：

$$C_{ref} > C_0 \quad (3)$$

這個條件在設計上相當容易被滿足，一般設計上即使考慮電容值漂移的問題， $C_{ref}$  也不需太多的浪費來達到這個目的，例如： $C_{ref}=1.2*C_0$  即為很足夠的取值。

請同時參考圖 7A 及圖 7B。如圖 7A 所示，在第  $i$  個週期的載體取樣相位時，令電容  $C_i$  的輸入等於代表輸入為 1 的電壓值  $V_{RT}$ ，其餘電容  $C_0$ 、...、 $C_{i-1}$ 、 $C_{i+1}$ 、...、 $C_{N-1}$  的輸入等於代表輸入為 0 的電壓值  $V_{RB}$ ，且調整附屬數位類比轉換器 dDAC 的輸入  $M$  位元的二進位數值為 0，以調整對  $C_{ref}$  的第二端點的輸入值等於代表輸入為 0 的電壓值  $V_{RB}$ 。則如圖 7B 所示，在第  $i$  個週期的載體取樣相位時，使得開路等效輸出為  $V_{MCWi}$ 。

請同時參考圖 7C 及圖 7D。如圖 7C 所示，在第  $i$  個週期的權重估算相位時，令標示大於等於  $i$  的電容  $C_i$ 、 $C_{i+1}$ 、...、 $C_{N-1}$  的輸入等於代表輸入為 0 的電壓值  $V_{RB}$ ，且利用逐次逼近的二元搜尋方式，或是從最大值或是最小值起始的一元搜尋方式，來調整附屬數位類比轉換器 dDAC 的輸入  $M$  位元的二進位數值，並選擇對電容  $C_0$ 、 $C_1$ 、...、 $C_{i-1}$  的輸入值為代表輸入為 1 的電壓值  $V_{RT}$  與代表輸入為 0 的電壓值  $V_{RB}$  二者之一，使得開路等效輸出

$V_{digi}$  趨近等於  $V_{MCWi}$ ，並根據此時對  $C_{ref}$  的第二端點的輸入值(或  $M$  位元的二進位數值)以及對  $C_0$ 、 $C_1$ 、 $\dots$ 、 $C_{i-1}$  的第二端點的輸入值，來獲得獲得係數  $K_{0,i}$ 、 $K_{1,i}$ 、 $\dots$ 、 $K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，

$$K_{0,i}, K_{1,i}, \dots, K_{i-1,i} \in \{0,1\}, \text{ 且}$$

$$C_i = \sum_{n=0}^{i-1} K_{n,i} * C_n + K_{ref,i} * C_{ref} \text{。}$$

如果參考電容  $C_{ref}$  之電容值定義為 1 的話，且由於  $C_{i-1}$ 、 $C_{i-2}$ 、 $\dots$ 、 $C_1$ 、 $C_0$  的等效電容值已知，並可表示為參考電容的電容值的有理數倍數，則  $C_i$  的等效電容值亦可經計算而表示為參考電容的電容值的有理數倍數。

換言之，在得到  $C_0$  的等效電容值之後，接下來可藉由  $C_0$ 、 $C_{ref}$  與附屬數位類比轉換器 dDAC，利用逐次逼近的二元搜尋方式，或是從最大值或是最小值起始的一元搜尋方式的搜尋結果，最後得到  $C_1$  的等效電容值，且由於  $C_0$  的等效電容值已知為參考電容的電容值的有理數倍數，則  $C_1$  的等效權重亦可表示為參考電容的電容值的有理數倍數。同理，接下來可藉由  $C_1$ 、 $C_0$ 、 $C_{ref}$  與附屬數位類比轉換器 dDAC，利用逐次逼近的二元搜尋方式，或是從最大值或是最小值起始的一元搜尋方式的搜尋結果，最後得到  $C_2$  的等效電容值，且由於  $C_1$ 、 $C_0$  的等效電容值已知為參考電容的電容值的有理數倍數，則  $C_2$  的等效權重亦可表示為參考電容的電容值的有理數倍數。以此類推，最後所有的組成電容其等效電容值皆可表示為參考電容的電容值的有理

數倍數。

因此，為了使  $C_i$  能夠被  $C_{i-1}$ 、 $C_{i-2}$ 、 $\dots$ 、 $C_1$ 、 $C_0$  以及  $C_{ref}$  所定義，前述式子(4)的條件必須被滿足：

$$\sum_{n=0}^{i-1} C_n + C_{ref} > C_i \quad (4)$$

例如一個小於 2 的冪次方(sub-radix-2)的電容陣列所組成的 DAC，再加前述的  $C_{ref}$  的取值，便能滿足上述的條件。

前述所謂的逐次逼近(successive-approximation)方式，為一種二元搜尋(binary-search)的方式；另外亦提及另一種所謂的一元搜尋(unary-search)的方式，為一種從最大／最小值單調下降／上昇的搜尋方式。但前述皆非以限定本揭露。

在此揭露另一種新的 SAR ADC，如圖 8 所示，圖 8 是一種新的 SAR ADC 實施範例的方塊圖，請參照圖 8。此 SAR ADC 80 包括：估算裝置 81、數位類比轉換器 82 以及取樣保持電路 85，此估算裝置 81 包括：參考元素  $E_{ref}$ 、附屬數位類比轉換器 84、比較器 86、逐次逼近暫存器邏輯電路 87 以及搜尋控制電路 88。此實施範例中除了逐次逼近暫存器邏輯電路 87 以及搜尋控制電路 88 與圖 4 的範例不同外，其他構件大致相同，故不再贅述。

與圖 4 的範例不同，這裡的逐次逼近暫存器邏輯電路 87 耦接至比較器 86 及數位類比轉換器 82 外，也同時耦接至附屬數位類比轉換器 84。因為不管是數位類比轉換器 82 或附屬數位類比轉換器 84 都由此逐次逼近暫存器邏輯電

路 87 來控制。搜尋控制電路 88 耦接至逐次逼近暫存器邏輯電路 87，此搜尋控制電路 88 控制逐次逼近暫存器邏輯電路 87，以根據比較器 86 的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為第一值  $V_1$  與第二值  $V_0$  二者之一，並根據比較器 86 的輸出，來改變附屬數位類比轉換器 84 的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值。此 SAR ADC 80 或估算裝置 81 依據附屬數位類比轉換器 84 的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

圖 9 為一種新的 SAR ADC 的典型轉換函數圖，請參考圖 9。此 SAR ADC 中的 DAC 電容矩陣是以 1.86 的冪次方做電容取值，亦即：

$$C_n = \alpha^n * C_0, \text{ 其中，冪次方 } \alpha \text{ 是 } 1.86。$$

由圖中可知，僅出現圓形虛線 94 所標示的缺失編碼情況，並沒有缺失判斷位階的情況發生，故完全可以數位的方式來補償而獲得線性的轉換曲線。

從另一個觀點來看並整理以上所述，且把作為例子的組成電容與參考電容回歸為組成元素與參考元素，則可以得到一種數位類比轉換器的元素的權重的估算方法，此數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ 。圖 10 為一種新的數位類比轉換器的元素的權重的估算方法的流程圖，請參照圖 10。

步驟 S110 為提供一個參考元素  $E_{ref}$ ，此  $E_{ref}$  耦接至數位類比轉換器， $E_{ref}$  與這些組成元素的權重值符合下列：

$W_{ref} > W_0$ ，且

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i，$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ 。

步驟 S120 是於第 0 個週期的第一相位時，例如載體取樣相位時，對  $E_0$  輸入第一值  $V_1$ ，對其他  $E_1$ 、...、 $E_{N-1}$  輸入第二值  $V_0$ ，使得開路等效輸出為  $V_{MCW0}$ 。步驟 S130 是於第 0 個週期的第二相位時，例如權重估算相位時，對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW0}$ ，並根據此時對  $E_{ref}$  的輸入值，獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，

$$W_0 = K_{ref,0} * W_{ref}。$$

步驟 S140 是於第  $i$  個週期的第一相位時，對  $E_i$  輸入  $V_1$ ，對其他  $E_0$ 、...、 $E_{i-1}$ 、 $E_{i+1}$ 、...、 $E_{N-1}$  輸入  $V_0$ ，使得開路等效輸出為  $V_{MCWi}$ 。步驟 S150 是於第  $i$  個週期的第二相位時，對標示大於等於  $i$  的  $E_i$ 、 $E_{i+1}$ 、...、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，且選擇對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，使得開路等效輸出  $V_{digi}$  趨近等於  $V_{MCWi}$ ，並根據此時對  $E_{ref}$  的輸入值以及對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值，獲得係數  $K_{0,i}$ 、 $K_{1,i}$ 、...、 $K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，

$$K_{0,i}, K_{1,i}, \dots, K_{i-1,i} \in \{0,1\}，且$$



$$W_i = \sum_{n=0}^{i-1} K_{n,i} * W_n + K_{ref,i} * W_{ref} \text{。}$$

重複步驟 S140 與步驟 S150，其中  $i$  由 1 逐次加 1 直到  $N-1$ ，則所有的組成元素的權重值即可獲得，且皆可表示為參考元素的權重值的有理數倍數。雖然實施例以上述各式子為例，但非用以限定本揭露，事實上根據有理數倍數  $K_{ref,0}$  就可估算出  $E_0$  的權重值，且根據係數  $K_{0,i}$ 、 $K_{1,i}$ 、...、 $K_{i-1,i}$  及有理數倍數  $K_{ref,i}$  就可估算出  $E_i$  的權重值。

利用本揭露所述的校正方式，來對 SAR ADC 中 DAC 的各組成元素進行校正，則 DAC 中各組成元素所附帶的各等效權重可皆不相同，也就免除 DAC 的組成元素對於相對匹配度的需求。本揭露藉由在 DAC 中，加入一個附帶有參考權重的參考元素，以及連接於此參考元素的附屬數位類比轉換器，可對各組成元素各等效權重由 LSB(least-significant bit)到 MSB(most-significant bit)依次校正，並求得以前述參考權重所表示的各等效權重值。隨後 ADC 即可利用校正後的各等效權重值，以及對每一筆輸入訊號的逐次逼近結果，經計算得到 ADC 的數位輸出值，使得此 ADC 其類比輸入訊號與數位輸出值之間的轉換函數為線性關係。

本揭露免除一個 SAR ADC 中，DAC 的組成元素對於相對匹配度的需求，以進一步減少 SAR ADC 整體的面積與功耗，也減低了 DAC 驅動電路(此驅動電路根據 DAC 架構的不同，可能為前級的驅動電路，或者是參考電壓驅

動電路)的驅動能力需求。而在一個需要 ADC 陣列的系統應用當中，例如影像感測器平行處理之類比前端，或是超音波影像系統的類比前端等，低功耗、小面積的 ADC IP 更有助於電路的集成，亦即在單一晶片中整合更多的前端通道 (front-end channel)，有助於降低系統成本，或是可攜式系統的開發。

雖然本揭露已以實施範例揭露如上，然其並非用以限定本揭露，任何所屬技術領域中具有通常知識者，在不脫離本揭露之精神和範圍內，當可作些許之更動與潤飾，故本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 為一種 SAR ADC 的方塊圖。

圖 2A 為一種 SAR ADC 之 DAC 與比較器在取樣相位時的簡化電路圖。

圖 2B 為圖 2A 的戴維寧等效電路圖。

圖 2C 為一種 SAR ADC 中之 DAC 與比較器在轉換相位時的簡化電路圖。

圖 2D 為圖 2C 的戴維寧等效電路圖。

圖 3 為圖 1 的 SAR ADC 的一種典型轉換函數圖。

圖 4 是一種新的 SAR ADC 實施範例的方塊圖。

圖 5 是一種新的 SAR ADC 實施範例中之數位類比轉換器的簡化電路圖。

圖 6A 是一種新的 SAR ADC 實施範例中之 DAC 與比較器在第 0 個週期的載體取樣相位時的簡化電路圖。

圖 6B 為圖 6A 的戴維寧等效電路圖。

圖 6C 是一種新的 SAR ADC 實施範例中之 DAC 與比較器在第 0 個週期的權重估算相位時的簡化電路圖。

圖 6D 為圖 6C 的戴維寧等效電路圖。

圖 7A 是一種新的 SAR ADC 實施範例中之 DAC 與比較器在第  $i$  個週期的載體取樣相位時的簡化電路圖。

圖 7B 為圖 7A 的戴維寧等效電路圖。

圖 7C 是一種新的 SAR ADC 實施範例中之 DAC 與比較器在第  $i$  個週期的權重估算相位時的簡化電路圖。

圖 7D 為圖 7C 的戴維寧等效電路圖。

圖 8 是一種新的 SAR ADC 實施範例的方塊圖。

圖 9 為一種新的 SAR ADC 的典型轉換函數圖。

圖 10 為一種新的數位類比轉換器的元素的權重的估算方法的流程圖。

#### 【主要元件符號說明】

10, 40, 80 : SAR ADC

12, 42, 52, 82 : 數位類比轉換器

14, 45, 85 : 取樣保持電路

16, 46, 86 : 比較器

18, 47, 87 : SAR 邏輯電路

32 : 缺失判斷位階的情況

34, 94 : 缺失編碼的情況

41, 81 : 估算裝置

44, 84, dDAC : 附屬數位類比轉換器

48 : 搜尋電路

88 : 搜尋控制電路

$C_0, C_1, \dots, C_{N-1}$  : 組成電容

$C_{ref}$  : 參考電容

$E_0, E_1, \dots, E_{N-1}$  : 組成元素

$E_{ref}$  : 參考元素

S110~S150 : 用以說明圖 10 的實施範例的各步驟

## 七、申請專利範圍：

1. 一種數位類比轉換器的元素的權重的估算方法，該數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ ，該估算方法包括：

提供一參考元素  $E_{ref}$ ，耦接至該數位類比轉換器；

於第 0 個週期的一第一相位時，對  $E_0$  輸入一第一值  $V_1$ ，對其他  $E_1$ 、...、 $E_{N-1}$  輸入一第二值  $V_0$ ，使得開路等效輸出為  $V_{MCW0}$ ；

於第 0 個週期的一第二相位時，對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW0}$ ，並根據此時對  $E_{ref}$  的輸入值，獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，根據有理數倍數  $K_{ref,0}$  可估算出  $E_0$  的權重值；

於第  $i$  個週期的該第一相位時，對  $E_i$  輸入  $V_1$ ，對其他  $E_0$ 、...、 $E_{i-1}$ 、 $E_{i+1}$ 、...、 $E_{N-1}$  輸入  $V_0$ ，使得開路等效輸出為  $V_{MCWi}$ ；以及

於第  $i$  個週期的該第二相位時，對標示大於等於  $i$  的  $E_i$ 、 $E_{i+1}$ 、...、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，且選擇對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，使得開路等效輸出  $V_{digi}$  趨近等於  $V_{MCWi}$ ，並根據此時對  $E_{ref}$  的輸入值以及對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值，獲得係數  $K_{0,i}$ 、 $K_{1,i}$ 、...、 $K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，根據係數  $K_{0,i}$ 、 $K_{1,i}$ 、...、 $K_{i-1,i}$  及有理數倍數  $K_{ref,i}$  可估算出  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$  為大於等於 0 的正整數

且小於 N。

2. 如申請專利範圍第 1 項所述之數位類比轉換器的元素的權重的估算方法，其中， $E_{ref}$  與該些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $n$  為大於等於 0 的正整數且小於 N，則  $E_0$  的權重值為：

$$W_0 = K_{ref,0} * W_{ref},$$

而  $E_i$  的權重值為：

$$K_{0,i}, K_{1,i}, \dots, K_{i-1,i} \in \{0,1\},$$

$$W_i = \sum_{n=0}^{i-1} K_{n,i} * W_n + K_{ref,i} * W_{ref}.$$

3. 如申請專利範圍第 2 項所述之數位類比轉換器的元素的權重的估算方法，更包括：

提供 M 位元的一附屬數位類比轉換器，該附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，當要調整對  $E_{ref}$  的輸入值時，則改變該附屬數位類比轉換器的輸入 M 位元的二進位數值，其中，M 為大於 1 的正整數。

4. 如申請專利範圍第 2 項所述之數位類比轉換器的元素的權重的估算方法，其中該些組成元素的權重值符合下列：

$$W_n = \alpha^n * W_0, \text{ 其中，幕次方 } \alpha \text{ 小於 } 2.$$

5. 如申請專利範圍第 4 項所述之類比轉換器的元素的權重的估算方法，其中冪次方  $\alpha$  為 1.86。

6. 如申請專利範圍第 2 項所述之數位類比轉換器的元素的權重的估算方法，其中該些組成元素及該參考元素為電容、電阻、及電流源三者之任一種。

7. 一種數位類比轉換器的元素的權重的估算裝置，該數位類比轉換器包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ ，該估算裝置包括：

一參考元素  $E_{ref}$ ，耦接至該數位類比轉換器， $E_{ref}$  與該些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ ；

一附屬數位類比轉換器，具有  $M$  位元的數位輸入，該附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1 的正整數；

一比較器，具有第一輸入端、第二輸入端及輸出端，用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端；以及

一搜尋電路，耦接至該比較器、該附屬數位類比轉換器及該數位類比轉換器，該搜尋電路根據該比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為一第一值

$V_1$  與一第二值  $V_0$  二者之一，並根據該比較器的輸出，來改變該附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值，該估算裝置依據該附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

8. 如申請專利範圍第 7 項所述之數位類比轉換器的元素的權重的估算裝置，其中：

於第 0 個週期的一第一相位時，對  $E_0$  輸入該第一值  $V_1$ ，對其他  $E_1, \dots, E_{N-1}$  輸入該第二值  $V_0$ ，使得開路等效輸出為  $V_{MCW0}$ ；

於第 0 個週期的一第二相位時，對所有  $E_0, E_1, \dots, E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW0}$ ，並根據此時對  $E_{ref}$  的輸入值，獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，

$$W_0 = K_{ref,0} * W_{ref} ;$$

於第  $i$  個週期的該第一相位時，對  $E_i$  輸入  $V_1$ ，對其他  $E_0, \dots, E_{i-1}, E_{i+1}, \dots, E_{N-1}$  輸入  $V_0$ ，使得開路等效輸出為  $V_{MCWi}$ ；以及

於第  $i$  個週期的該第二相位時，對標示大於等於  $i$  的  $E_i, E_{i+1}, \dots, E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，且選擇對  $E_0, E_1, \dots, E_{i-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，使得開路等效輸出  $V_{digi}$  趨近等於  $V_{MCWi}$ ，並根據此時對  $E_{ref}$  的輸入值以及對  $E_0, E_1, \dots, E_{i-1}$  的輸入值，獲得係數  $K_{0,i}, K_{1,i}, \dots, K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，



$K_{0,i}, K_{1,i}, \dots, K_{i-1,i} \in \{0,1\}$ ，且

$$W_i = \sum_{n=0}^{i-1} K_{n,i} * W_n + K_{ref,i} * W_{ref}。$$

9. 如申請專利範圍第 7 項所述之數位類比轉換器的元素的權重的估算裝置，其中該些組成元素的權重值符合下列：

$W_n = \alpha^n * W_0$ ，其中，冪次方  $\alpha$  小於 2。

10. 如申請專利範圍第 9 項所述之類比轉換器的元素的權重的估算裝置，其中冪次方  $\alpha$  為 1.86。

11. 如申請專利範圍第 7 項所述之數位類比轉換器的元素的權重的估算裝置，其中該些組成元素及參考元素為電容、電阻、及電流源三者之任一種。

12. 一種數位類比轉換器的元素的權重的估算裝置，該數位類比轉換器包括 N 個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ ，該估算裝置包括：

一參考元素  $E_{ref}$ ，耦接至該數位類比轉換器， $E_{ref}$  與該些組成元素的權重值符合下列：

$W_{ref} > W_0$ ，且

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i，$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值，N 為大於 1 的正整數，i、n 皆為大於等於 0 的正整數且小於 N；

一附屬數位類比轉換器，具有 M 位元的數位輸入，該附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中，M 為大於 1

的正整數；

一比較器，具有第一輸入端、第二輸入端及輸出端，用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端；

一逐次逼近暫存器邏輯電路，耦接至該比較器、該附屬數位類比轉換器及該數位類比轉換器；以及

一搜尋控制電路，耦接至該逐次逼近暫存器邏輯電路，該搜尋控制電路控制該逐次逼近暫存器邏輯電路，以根據該比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為一第一值  $V_1$  與一第二值  $V_0$  二者之一，並根據該比較器的輸出，來改變該附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值，該估算裝置依據該附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

13. 如申請專利範圍第 12 項所述之數位類比轉換器的元素的權重的估算裝置，其中：

於第 0 個週期的一第一相位時，對  $E_0$  輸入該第一值  $V_1$ ，對其他  $E_1$ 、...、 $E_{N-1}$  輸入該第二值  $V_0$ ，使得開路等效輸出為  $V_{MCW0}$ ；

於第 0 個週期的一第二相位時，對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW0}$ ，並根據此時對  $E_{ref}$  的輸入值，獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，

$$W_0 = K_{ref,0} * W_{ref};$$

於第  $i$  個週期的該第一相位時，對  $E_i$  輸入  $V_1$ ，對其他  $E_0$ 、 $\dots$ 、 $E_{i-1}$ 、 $E_{i+1}$ 、 $\dots$ 、 $E_{N-1}$  輸入  $V_0$ ，使得開路等效輸出為  $V_{MCWi}$ ；以及

於第  $i$  個週期的該第二相位時，對標示大於等於  $i$  的  $E_i$ 、 $E_{i+1}$ 、 $\dots$ 、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，且選擇對  $E_0$ 、 $E_1$ 、 $\dots$ 、 $E_{i-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，使得開路等效輸出  $V_{digi}$  趨近等於  $V_{MCWi}$ ，並根據此時對  $E_{ref}$  的輸入值以及對  $E_0$ 、 $E_1$ 、 $\dots$ 、 $E_{i-1}$  的輸入值，獲得係數  $K_{0,i}$ 、 $K_{1,i}$ 、 $\dots$ 、 $K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，

$$K_{0,i}, K_{1,i}, \dots, K_{i-1,i} \in \{0,1\}, \text{ 且}$$

$$W_i = \sum_{n=0}^{i-1} K_{n,i} * W_n + K_{ref,i} * W_{ref}。$$

14. 如申請專利範圍第 12 項所述之數位類比轉換器的元素的權重的估算裝置，其中該些組成元素的權重值符合下列：

$$W_n = \alpha^n * W_0, \text{ 其中，幕次方 } \alpha \text{ 小於 } 2。$$

15. 如申請專利範圍第 14 項所述之類比轉換器的元素的權重的估算裝置，其中幕次方  $\alpha$  為 1.86。

16. 如申請專利範圍第 12 項所述之數位類比轉換器的元素的權重的估算裝置，其中該些組成元素及參考元素為電容、電阻、及電流源三者之任一種。

17. 一種逐次逼近暫存器類比數位轉換器，包括：

一數位類比轉換器，包括  $N$  個組成元素，標示為  $E_0$ 、

$E_1, \dots, E_{N-1}$ ;

一參考元素  $E_{ref}$ ，耦接至該數位類比轉換器， $E_{ref}$  與這些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i, n$  皆為大於等於 0 的正整數且小於  $N$ ；

一附屬數位類比轉換器，具有  $M$  位元的數位輸入，該附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1 的正整數；

一比較器，具有第一輸入端、第二輸入端及輸出端，用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端；

一逐次逼近暫存器邏輯電路，耦接至該比較器及該數位類比轉換器，用以根據該比較器的輸出，來選擇對所有  $E_0, E_1, \dots, E_{N-1}$  的輸入值為一第一值  $V_1$  與一第二值  $V_0$  二者之一，以獲得一輸入電壓的數位對應值；以及

一搜尋電路，耦接至該比較器、該附屬數位類比轉換器及該數位類比轉換器，該搜尋電路根據該比較器的輸出，來選擇對所有  $E_0, E_1, \dots, E_{N-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，並根據該比較器的輸出，來改變該附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值，該逐次逼近暫存器類比數位轉換器依據該附屬數位

類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

18. 如申請專利範圍第 17 項所述之逐次逼近暫存器類比數位轉換器，其中：

於第 0 個週期的一第一相位時，對  $E_0$  輸入該第一值  $V_1$ ，對其他  $E_1, \dots, E_{N-1}$  輸入該第二值  $V_0$ ，使得開路等效輸出為  $V_{MCW_0}$ ；

於第 0 個週期的一第二相位時，對所有  $E_0, E_1, \dots, E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW_0}$ ，並根據此時對  $E_{ref}$  的輸入值，獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，

$$W_0 = K_{ref,0} * W_{ref} ;$$

於第  $i$  個週期的該第一相位時，對  $E_i$  輸入  $V_1$ ，對其他  $E_0, \dots, E_{i-1}, E_{i+1}, \dots, E_{N-1}$  輸入  $V_0$ ，使得開路等效輸出為  $V_{MCW_i}$ ；以及

於第  $i$  個週期的該第二相位時，對標示大於等於  $i$  的  $E_i, E_{i+1}, \dots, E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，且選擇對  $E_0, E_1, \dots, E_{i-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，使得開路等效輸出  $V_{digi}$  趨近等於  $V_{MCW_i}$ ，並根據此時對  $E_{ref}$  的輸入值以及對  $E_0, E_1, \dots, E_{i-1}$  的輸入值，獲得係數  $K_{0,i}, K_{1,i}, \dots, K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，

$$K_{0,i}, K_{1,i}, \dots, K_{i-1,i} \in \{0,1\}, \text{ 且}$$

$$W_i = \sum_{n=0}^{i-1} K_{n,i} * W_n + K_{ref,i} * W_{ref} .$$

19. 如申請專利範圍第 17 項所述之逐次逼近暫存器類比數位轉換器，其中該些組成元素的權重值符合下列：

$$W_n = \alpha^n * W_0, \text{ 其中, 冪次方 } \alpha \text{ 小於 } 2。$$

20. 如申請專利範圍第 19 項所述之逐次逼近暫存器類比數位轉換器，其中冪次方  $\alpha$  為 1.86。

21. 如申請專利範圍第 17 項所述之逐次逼近暫存器類比數位轉換器，其中該些組成元素及參考元素為電容、電阻、及電流源三者之任一種。

22. 如申請專利範圍第 17 項所述之逐次逼近暫存器類比數位轉換器，更包括：

一取樣保持電路，耦接至該比較器，用以取樣並保持該輸入電壓。

23. 一種逐次逼近暫存器類比數位轉換器，包括：

一數位類比轉換器，包括  $N$  個組成元素，標示為  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$ ；

一參考元素  $E_{ref}$ ，耦接至該數位類比轉換器， $E_{ref}$  與該些組成元素的權重值符合下列：

$$W_{ref} > W_0, \text{ 且}$$

$$\sum_{n=0}^{i-1} W_n + W_{ref} > W_i,$$

其中， $W_{ref}$  為  $E_{ref}$  的權重值， $W_i$  為  $E_i$  的權重值， $N$  為大於 1 的正整數， $i$ 、 $n$  皆為大於等於 0 的正整數且小於  $N$ ；

一附屬數位類比轉換器，具有  $M$  位元的數位輸入，該附屬數位類比轉換器之輸出耦接至  $E_{ref}$ ，其中， $M$  為大於 1

的正整數；

一比較器，具有第一輸入端、第二輸入端及輸出端，用以比較第一輸入端與第二輸入端的輸入，將比較結果輸出於輸出端；

一逐次逼近暫存器邏輯電路，耦接至該比較器、該附屬數位類比轉換器及該數位類比轉換器，用以根據該比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為一第一值  $V_1$  與一第二值  $V_0$  二者之一，以獲得一輸入電壓的數位對應值；以及

一搜尋控制電路，耦接至該逐次逼近暫存器邏輯電路，該搜尋控制電路控制該逐次逼近暫存器邏輯電路，以根據該比較器的輸出，來選擇對所有  $E_0$ 、 $E_1$ 、...、 $E_{N-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，並根據該比較器的輸出，來改變該附屬數位類比轉換器的輸入  $M$  位元的二進位數值，以調整對  $E_{ref}$  的輸入值，該逐次逼近暫存器類比數位轉換器依據該附屬數位類比轉換器的輸入  $M$  位元的二進位數值以及對所有組成元素的輸入值，來估算出所有組成元素的權重值。

24. 如申請專利範圍第 23 項所述之逐次逼近暫存器類比數位轉換器，其中：

於第 0 個週期的一第一相位時，對  $E_0$  輸入該第一值  $V_1$ ，對其他  $E_1$ 、...、 $E_{N-1}$  輸入該第二值  $V_0$ ，使得開路等效輸出為  $V_{MCW0}$ ；

於第 0 個週期的一第二相位時，對所有  $E_0$ 、 $E_1$ 、...、

$E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，使得開路等效輸出  $V_{dig0}$  趨近等於  $V_{MCW0}$ ，並根據此時對  $E_{ref}$  的輸入值，獲得小於 1 的有理數倍數  $K_{ref,0}$ ，其中，

$$W_0 = K_{ref,0} * W_{ref};$$

於第  $i$  個週期的該第一相位時，對  $E_i$  輸入  $V_1$ ，對其他  $E_0$ 、...、 $E_{i-1}$ 、 $E_{i+1}$ 、...、 $E_{N-1}$  輸入  $V_0$ ，使得開路等效輸出為  $V_{MCWi}$ ；以及

於第  $i$  個週期的該第二相位時，對標示大於等於  $i$  的  $E_i$ 、 $E_{i+1}$ 、...、 $E_{N-1}$  輸入  $V_0$ ，調整對  $E_{ref}$  的輸入值，且選擇對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值為  $V_1$  與  $V_0$  二者之一，使得開路等效輸出  $V_{digi}$  趨近等於  $V_{MCWi}$ ，並根據此時對  $E_{ref}$  的輸入值以及對  $E_0$ 、 $E_1$ 、...、 $E_{i-1}$  的輸入值，獲得係數  $K_{0,i}$ 、 $K_{1,i}$ 、...、 $K_{i-1,i}$  及小於 1 的有理數倍數  $K_{ref,i}$ ，其中，

$$K_{0,i}, K_{1,i}, \dots, K_{i-1,i} \in \{0,1\}, \text{ 且}$$

$$W_i = \sum_{n=0}^{i-1} K_{n,i} * W_n + K_{ref,i} * W_{ref}。$$

25. 如申請專利範圍第 23 項所述之逐次逼近暫存器類比數位轉換器，其中該些組成元素的權重值符合下列：

$$W_n = \alpha^n * W_0, \text{ 其中，冪次方 } \alpha \text{ 小於 } 2。$$

26. 如申請專利範圍第 25 項所述之逐次逼近暫存器類比數位轉換器，其中冪次方  $\alpha$  為 1.86。

27. 如申請專利範圍第 23 項所述之逐次逼近暫存器類比數位轉換器，其中該些組成元素及參考元素為電容、電阻、及電流源三者之任一種。



28. 如申請專利範圍第 23 項所述之逐次逼近暫存器類比數位轉換器，更包括：

一取樣保持電路，耦接至該比較器，用以取樣並保持該輸入電壓。

八、圖式：

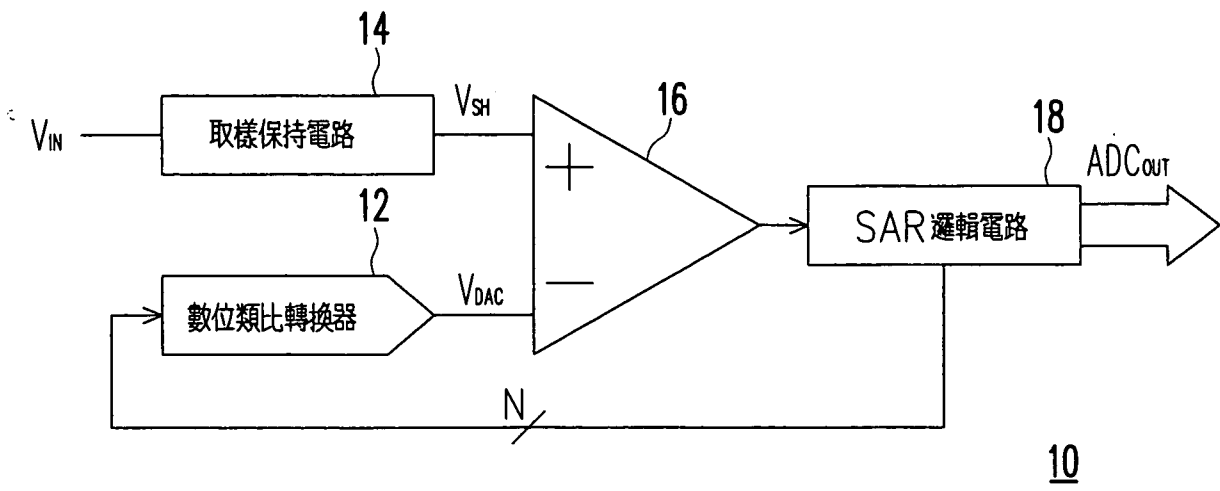


圖 1

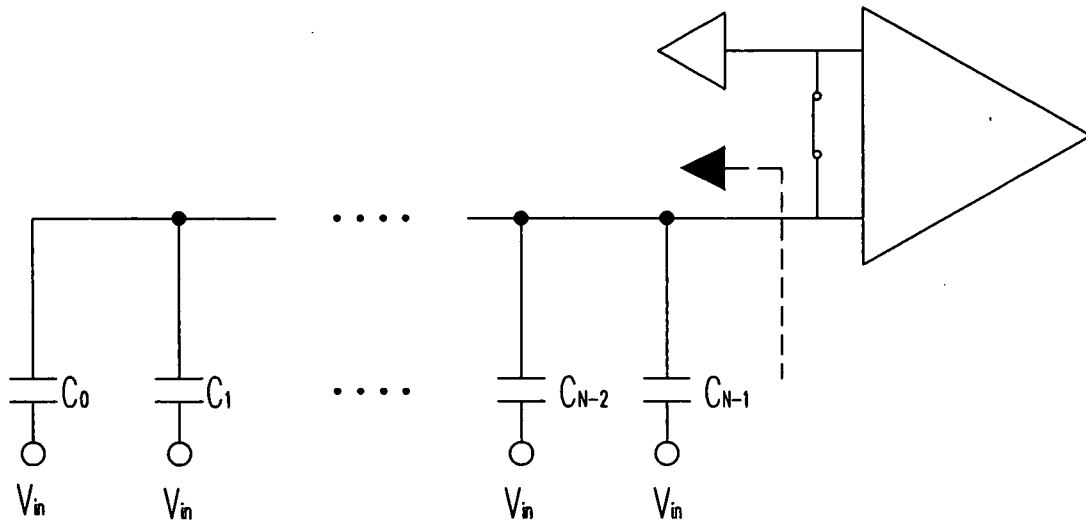


圖 2A

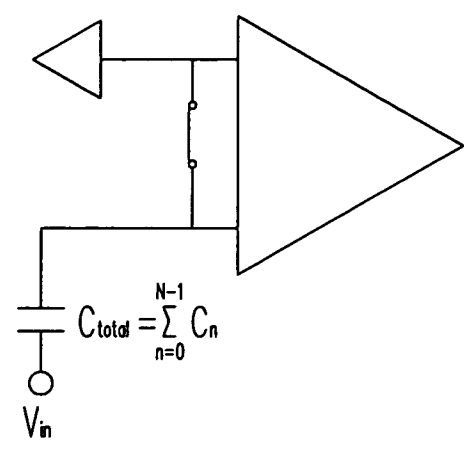


圖 2B

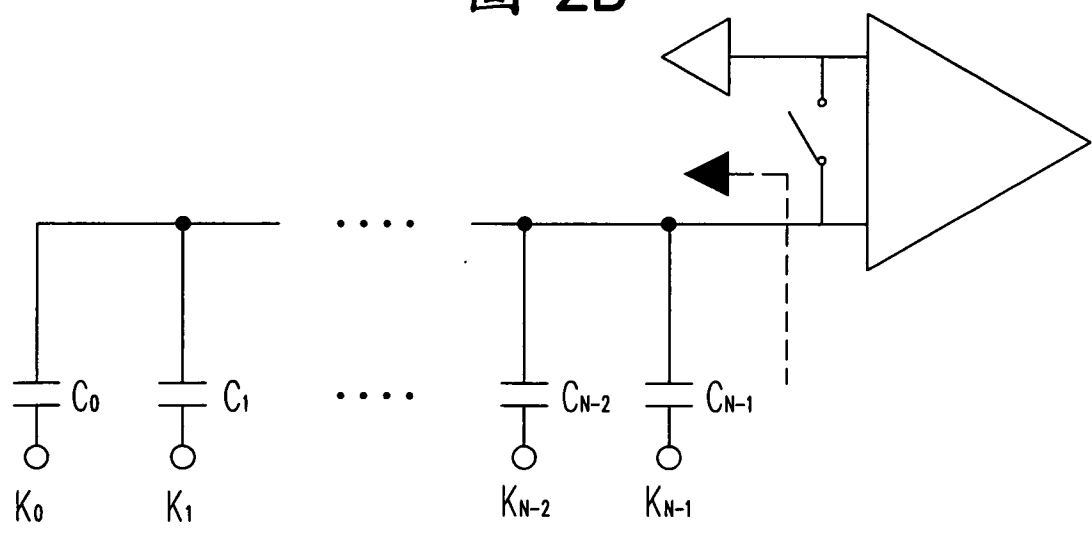
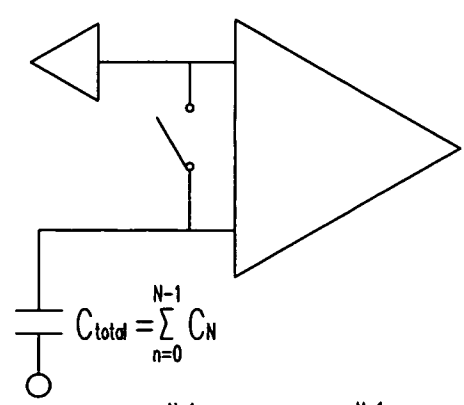


圖 2C



$$V_{dig} = \frac{1}{C_{total}} \sum_{n=0}^{N-1} K_n C_n = \frac{1}{2^N - 1} \sum_{n=0}^{N-1} K_n \cdot 2^n$$

圖 2D

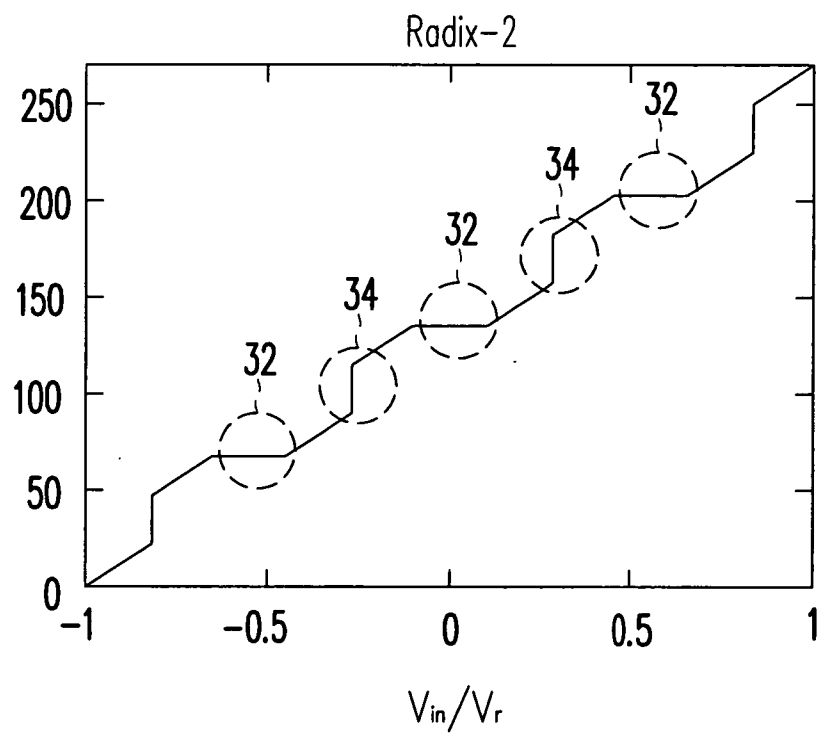


圖 3

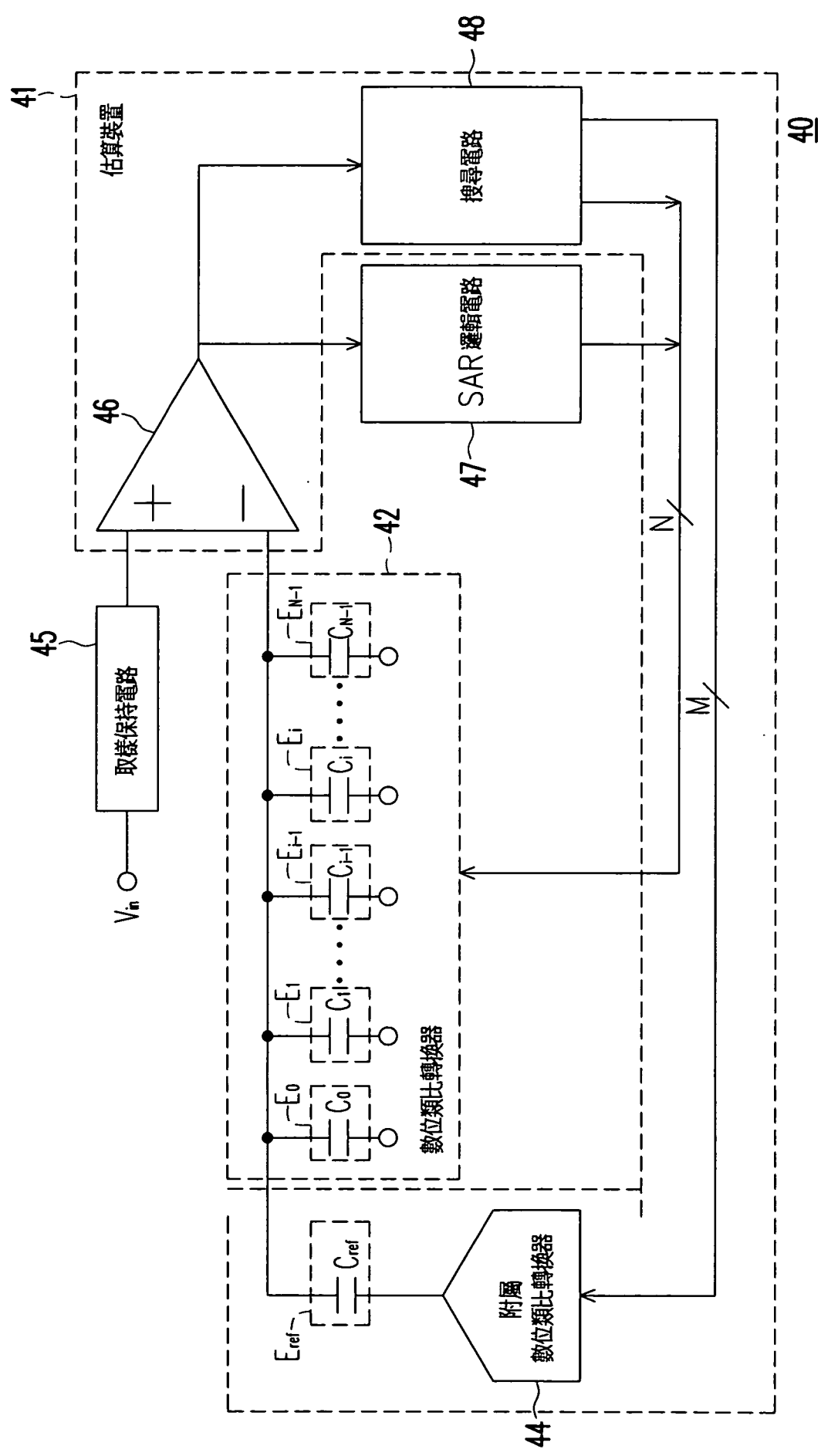


圖 4

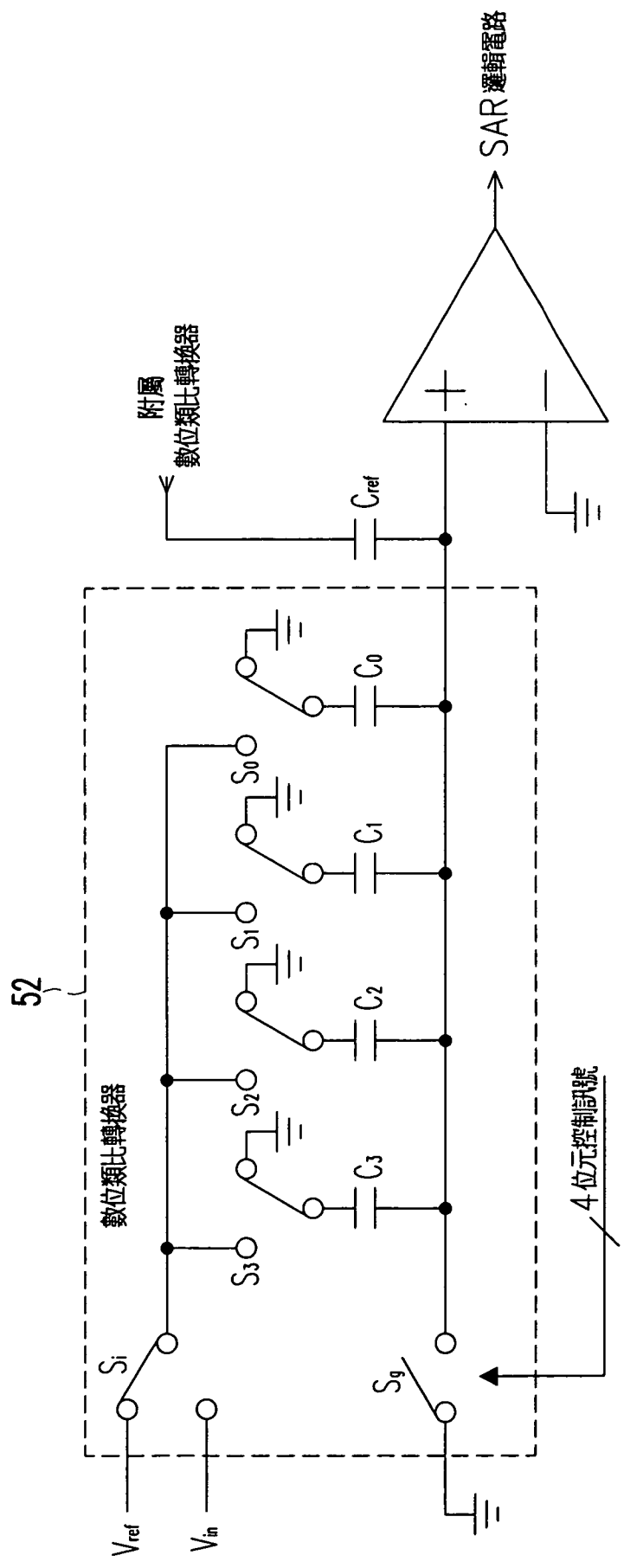


圖 5

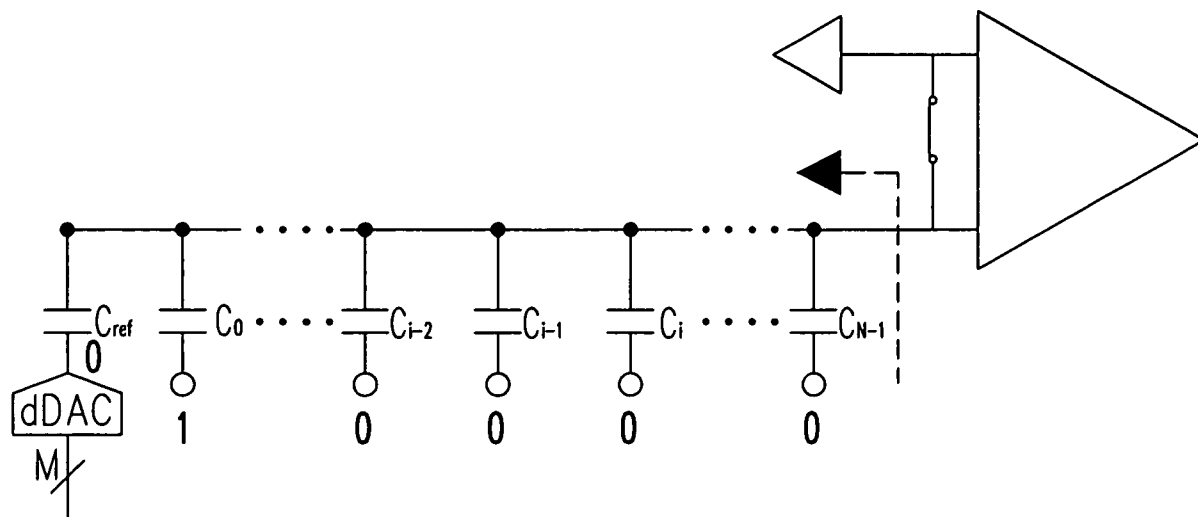


圖 6A

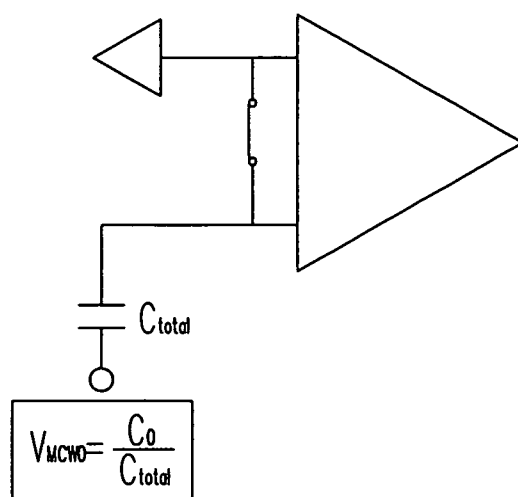


圖 6B

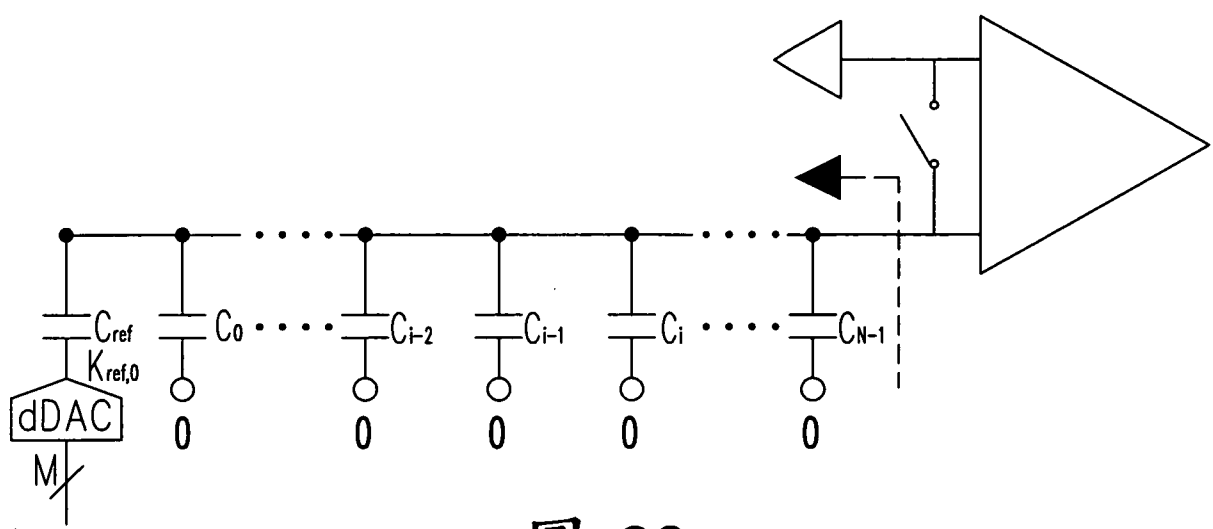


圖 6C

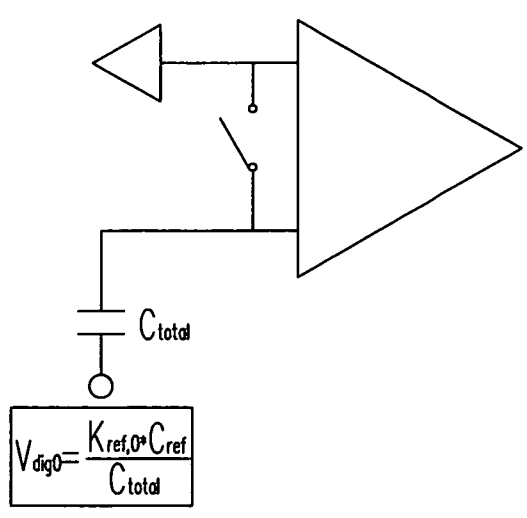


圖 6D



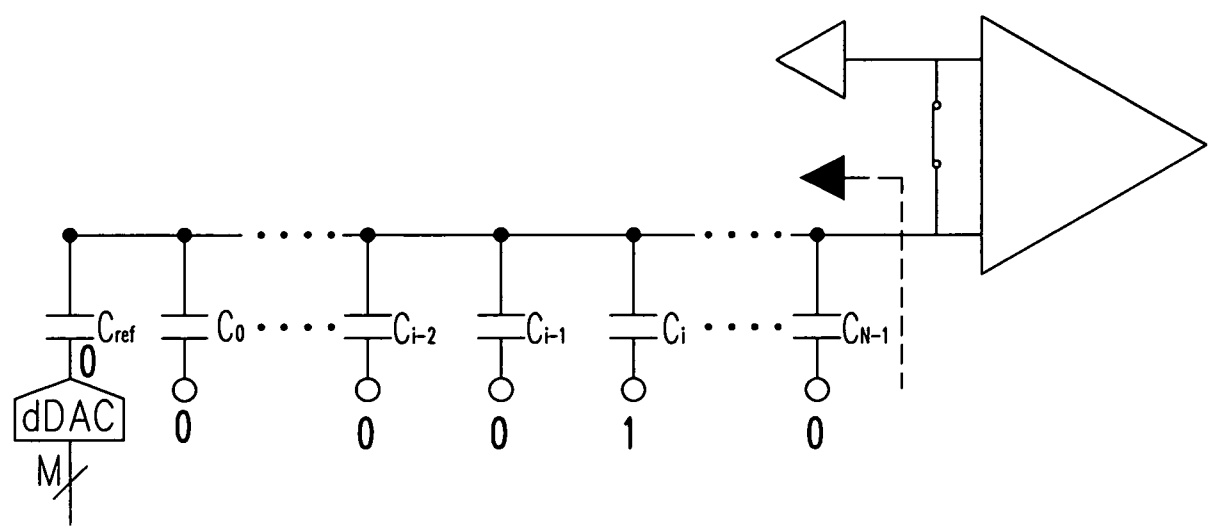


圖 7A

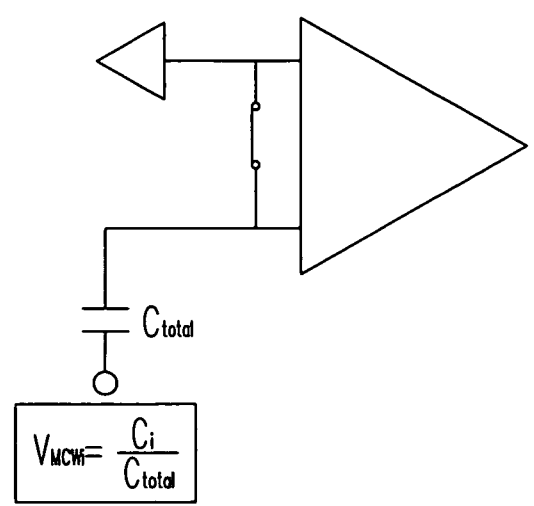


圖 7B

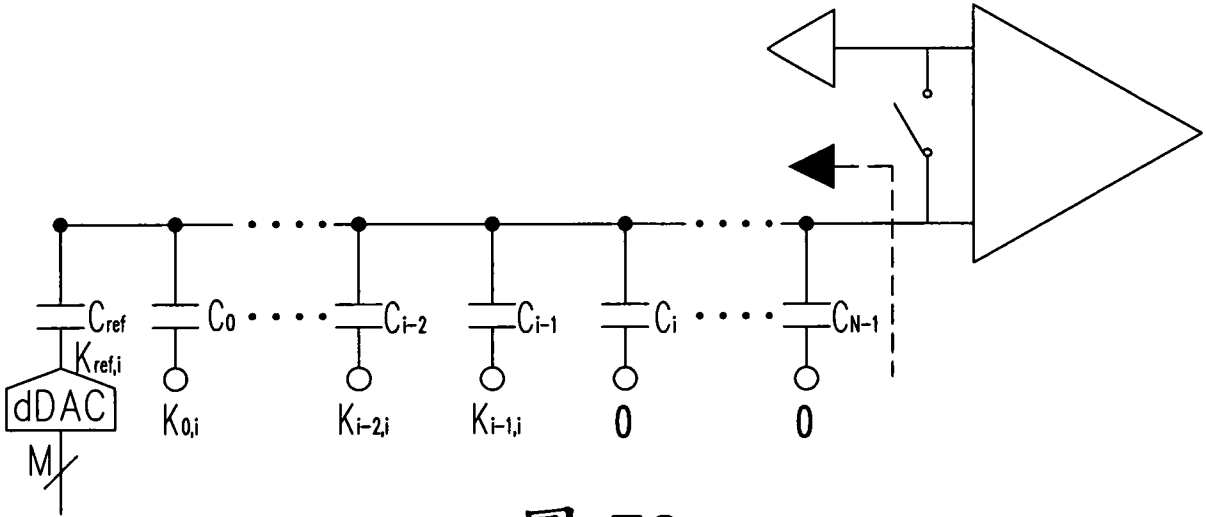


圖 7C

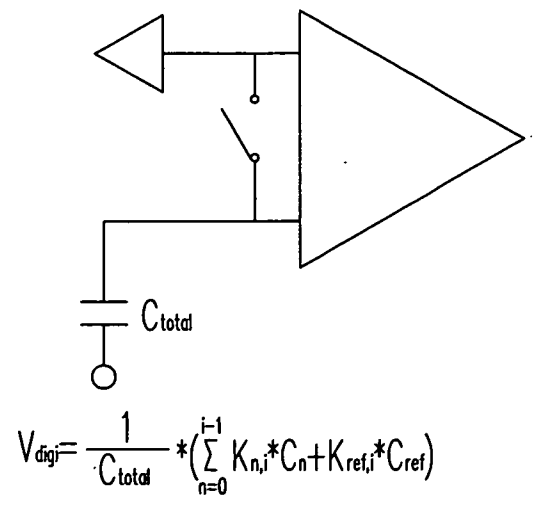


圖 7D

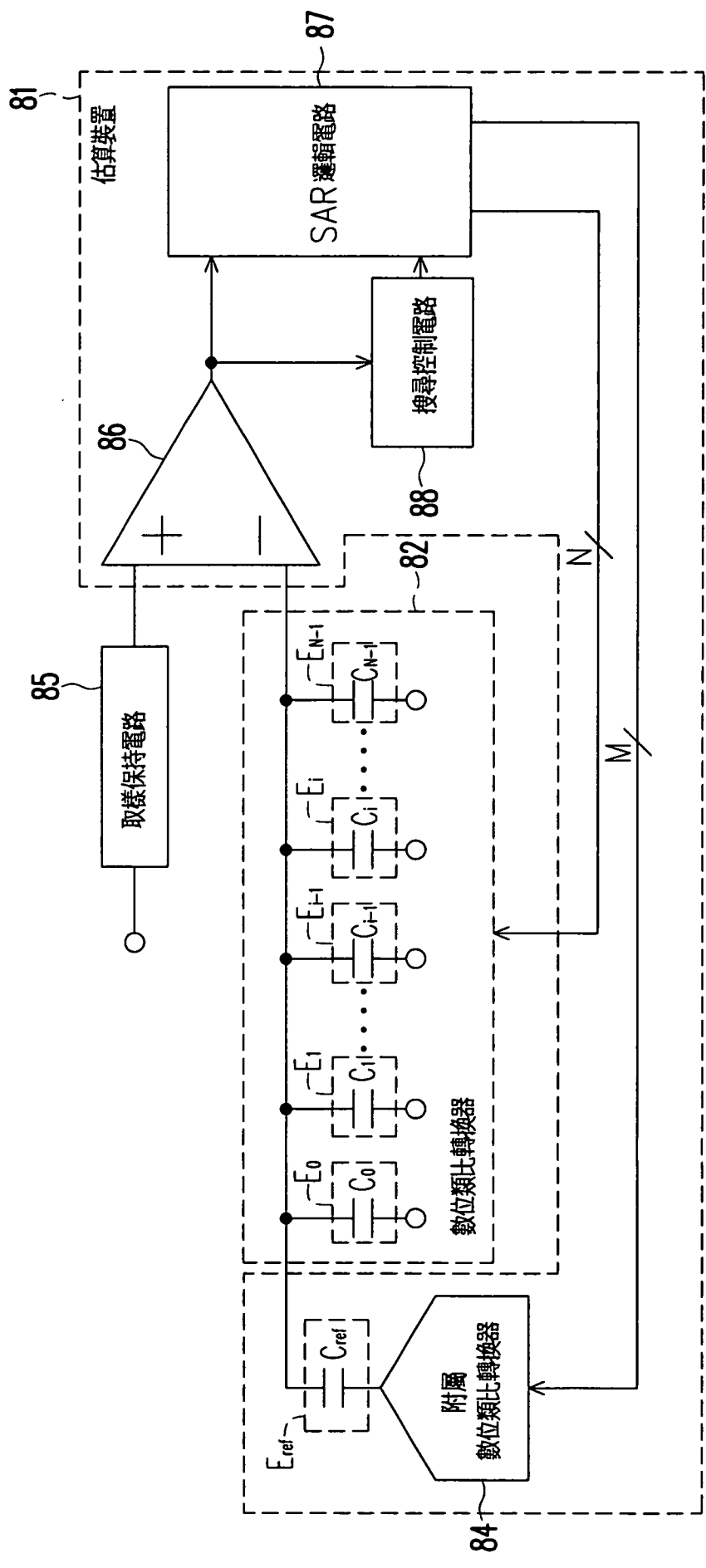


圖 8

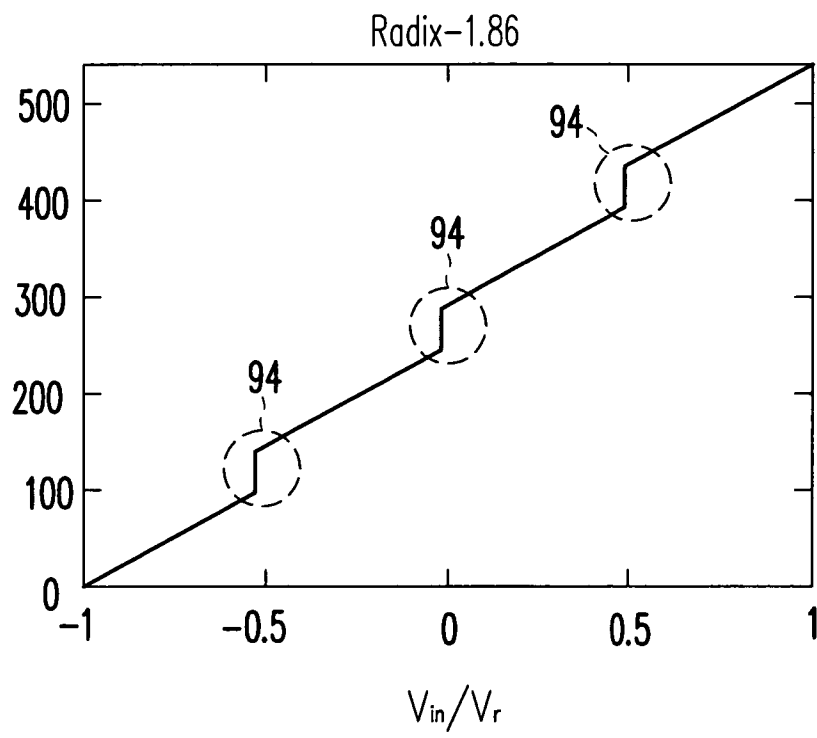


圖 9

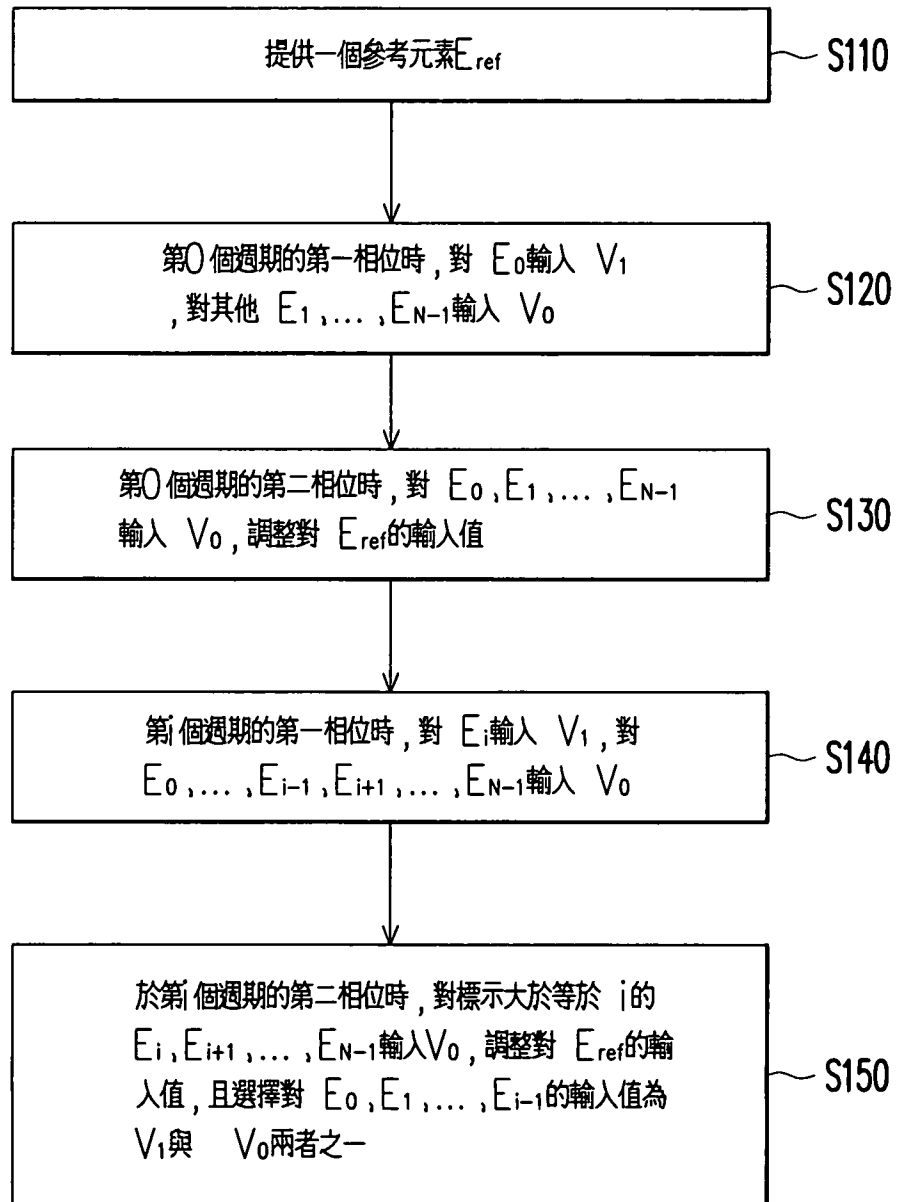


圖 10