

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5422167号
(P5422167)

(45) 発行日 平成26年2月19日(2014.2.19)

(24) 登録日 平成25年11月29日(2013.11.29)

(51) Int.Cl.	F I	
HO 1 L 27/08 (2006.01)	HO 1 L 27/08	3 3 1 A
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	1 0 2 A
HO 1 L 27/088 (2006.01)	HO 1 L 27/04	A
HO 1 L 21/822 (2006.01)	HO 1 L 27/06	1 0 2 A
HO 1 L 27/04 (2006.01)	HO 1 L 21/76	D
請求項の数 1 (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2008-249506 (P2008-249506)
 (22) 出願日 平成20年9月29日(2008.9.29)
 (65) 公開番号 特開2010-80803 (P2010-80803A)
 (43) 公開日 平成22年4月8日(2010.4.8)
 審査請求日 平成23年2月16日(2011.2.16)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (74) 代理人 100098660
 弁理士 戸田 裕二
 (72) 発明者 三好 智之
 東京都青梅市新町六丁目16番地の3 株
 式会社日立製作所 マイクロデバイス事業
 部内
 (72) 発明者 和田 真一郎
 東京都青梅市新町六丁目16番地の3 株
 式会社日立製作所 マイクロデバイス事業
 部内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の回路素子群を有して構成されるハイサイドの素子群が、第1の同一種の素子群として、複数個あり、

第2の回路素子群を有して構成されるローサイドの素子群が、第2の同一種の素子群として、複数個あり、

一の前記ハイサイドの素子群の一の端部と、前記一の前記ハイサイドの素子群に対応する一のローサイドの素子群の一の端部とは配線により直列に接続され、

前記直列に接続された配線の途中からそれぞれ、個別に設けられた出力端子へ連なる配線が設けられ、

前記複数個のハイサイドの素子群は、第1の共通の素子分離構造で囲まれると共に、

前記複数個のローサイドの素子群は、第2の共通の素子分離構造で囲まれており、これらにより、前記複数個のハイサイドの素子群と前記複数個のローサイドの素子群とは互いに絶縁分離され、

前記ハイサイド側の隣接する前記第1の回路素子群の中の一のトランジスタのコレクタ部またはドレイン部と、前記第1の同一種の他の第1の回路素子群の中の一のトランジスタのコレクタ部またはドレイン部とが共有化してVH電源に接続され、

前記ローサイド側の隣接する前記第2の回路素子群の中の一のトランジスタのエミッタ部またはソース部と、前記第2の同一種の他の第2の回路素子群の中の一のトランジスタのエミッタ部またはソース部とが共有化してGND電源に接続され、

前記複数個のハイサイドの素子群は、そのハイサイドの各素子群が独立した動作をすることにより、部分的に電流が流れる状態を許容し、かつ、

前記複数個のローサイドの素子群は、そのローサイドの各素子群が独立した動作をすることにより、部分的に電流が流れる状態を許容することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えばプラズマディスプレイパネルの走査用ドライバIC(スキャンIC)のように上下アームからなる複数チャンネル出力機能を有する回路装置に適用して有効な半導体装置に関するものである。

10

【背景技術】

【0002】

従来、2組のトランジスタ群を備え、その両トランジスタ群の間が素子分離領域によって隔てられている半導体装置として、ソースが共通の電源に接続され、かつ、各トランジスタが互いに並列に接続されているものがあった(例えば、特許文献1参照)。

【0003】

【特許文献1】特開2006-269835号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

図1に、プラズマディスプレイパネル(以下PDPと略す)の駆動方式を示す。通常PDPは、走査用ドライバIC(以下スキャンICと証する)とアドレスドライバによって駆動される。両ドライバとも多段ビットで構成され、駆動信号によって各ビットに対応するセルが点灯してPDPの表示が実現される。

20

【0005】

図2に、スキャンICの1ビット分の出力回路図を示す。この回路は高耐圧の横型絶縁ゲートバイポーラトランジスタとダイオードで構成されている。

V_H は負荷電源、 D_0 は出力、GNDはグラウンド端子であり、この回路が例えば64ビット分含まれている。

【0006】

図3、4に、スキャンIC回路を形成する横型絶縁ゲートバイポーラトランジスタとダイオードの平面図を示す。図5、6に示すように各素子は、チャンネル毎に素子分離するため溝型の分離構造で囲まれている。

30

【0007】

チップサイズの縮小はコスト低減に有効であり、スキャンICのように多チャンネル出力回路を有する場合、1チャンネルのトランジスタサイズの縮小が、チップ全体の縮小に大きな効果をもたらす。しかし、横型絶縁ゲートバイポーラトランジスタにおけるコレクタ/エミッタ間距離縮小によるサイズ縮小は素子耐圧の低下が懸念され、同様にコレクタ領域/トレンチ溝距離縮小によるサイズ縮小も素子耐圧の低下を生じる。

【0008】

これはダイオードにおいても同じである。以上より、横型絶縁ゲートバイポーラトランジスタ及び、ダイオードの素子サイズ縮小は素子耐圧の低下を生じるため、チップサイズの縮小に上限がある。

40

【0009】

また、出力ドライバのように大電流を流す場合、各素子が熱伝導性の低い絶縁膜で分離されていることにより、動作時に温度上昇が生じるため素子の電流密度向上により熱による不具合が生じやすくなるという問題がある。

【0010】

ところで、従来、2組のトランジスタ群を備え、その両トランジスタ群の間が素子分離領域によって隔てられている半導体装置として、上述の特許文献1のように、ソースが共

50

通の電源に接続され、かつ、各トランジスタが互いに並列に接続されているものがあつた。

【0011】

しかし、例えば高耐压デバイスの出力段回路素子（トランジスタまたは高圧ダイオード）のように、第一諧調から第n諧調までの各諧調（チャンネル）で第1群（例えばハイサイド）の素子と第2群（例えばローサイド）の素子とが直列接続され、かつ、第1群と第2群とが素子分離構造によって互いに分離されている構成は、従前に例がない。

【0012】

本発明の目的は、チップサイズの縮小と、動作時の素子の放熱性向上とを両立することが可能な半導体装置を提供することにある。

【課題を解決するための手段】

【0013】

本発明の代表的なものの一例を示せば、以下の通りである。

【0014】

すなわち、本発明の半導体装置は、複数のチャンネルを有して構成される半導体装置であつて、共通の機能を有する前記複数のチャンネルの素子群が共通の素子分離構造で囲まれると共に、機能の異なる素子同士が前記素子分離構造によって互いに分離されていることを特徴とする。

【0015】

より具体的には、本発明の半導体装置は、複数チャンネルのトランジスタが共通の第1の素子分離構造で囲まれ、かつ、前記第1の素子分離構造で囲まれた各チャンネルのトランジスタが、エミッタを中央に、コレクタを外側にして、それぞれ配置されて成る第1のトランジスタ群と、前記第1のトランジスタ群を構成する前記複数チャンネルのトランジスタとは別個の複数チャンネルのトランジスタが前記第1の素子分離構造とは別個の共通の第2の素子分離構造で囲まれ、かつ、前記第2の素子分離構造で囲まれた各チャンネルのトランジスタが、コレクタを中央に、エミッタを外側にして、それぞれ配置されて成る第2のトランジスタ群とを備え、前記第1のトランジスタ群のエミッタと前記第2のトランジスタ群のコレクタとが共通に出力端子に接続されていることを特徴とする。

【発明の効果】

【0016】

本発明によれば、チップサイズの縮小と放熱性の向上を図ることができ、ひいては信頼性の向上を図ることができる。

【発明を実施するための最良の形態】

【0017】

本願において開示されている発明のうち、代表的なものの概要を簡単に説明すれば、次の通りである。

【0018】

複数のチャンネル回路構成において、共通の機能を有するトランジスタ群を共通のトレンチ溝で囲い、ハイサイド側の隣接するトランジスタのコレクタ部を共有化してVH電源に接続する。また他方ローサイド側の隣接するチャンネルのトランジスタ群のエミッタ部を共有化してGND電源に接続する。

【0019】

この構成により、隣接したトランジスタのコレクタ領域を共通化し、共通のトレンチ溝で囲むことにより、隣接したトレンチ溝領域間距離、隣接した2つの装置領域に属するトレンチ溝幅、トレンチ溝/コレクタ領域間距離、チャンネルあたりの素子サイズ縮小をすることができる。

【0020】

本発明の半導体装置は、複数のチャンネルを有して構成される半導体装置であつて、共通の機能を有する複数のチャンネルの素子群が共通の素子分離構造で囲まれると共に、機能の異なる素子同士がその素子分離構造によって互いに絶縁分離されていることを特徴とする

10

20

30

40

50

。

【0021】

ここで、素子群とは、例えば複数のトランジスタからなるトランジスタ群であってもよいし、例えば複数のダイオードからなるダイオード群であってもよいが、本発明はそれらに限定されない。

【0022】

素子群が複数のトランジスタからなるトランジスタ群である場合、以下のような態様を取ることが可能である。

【0023】

まず、共通の素子分離構造で囲まれたトランジスタ群のコレクタ（またはドレイン）領域が、共通の第1の電位の電源配線に接続されている構成であってもよい。この場合、トランジスタ群の互いに隣接するチャンネルのトランジスタが共通のコレクタ（またはドレイン）領域で構成される。

10

【0024】

あるいは、共通の素子分離構造で囲まれたトランジスタ群のエミッタ（またはソース）領域が、第1の電位より低い共通の第2の電位の電源配線に接続されている構成であってもよい。この場合、トランジスタ群の互いに隣接するチャンネルのトランジスタが共通のエミッタ（またはソース）領域で構成される。

【0025】

素子分離構造は、外部領域から分離すべき素子を囲むように閉曲線状に形成された溝を有して成るトレンチ分離構造であれば好適である。

20

【0026】

尚、トランジスタ群は横型絶縁ゲートバイポーラトランジスタを含んでなるものであってもよいし、電界効果型トランジスタを含んでなるものであってもよい。

【0027】

素子群が複数のダイオードからなるダイオード群である場合、以下のような態様を取ることが可能である。

【0028】

まず、共通の素子分離構造で囲まれたダイオード群のカソード領域が、共通の第1の電位の電源配線に接続されている構成であってもよい。この場合、ダイオード群の互いに隣接するチャンネルのダイオードが共通のカソード領域で構成される。

30

【0029】

あるいは、共通の素子分離構造で囲まれたダイオード群のアノード領域が、第1の電位より低い共通の第2の電位の電源配線に接続されている構成であってもよい。この場合、ダイオード群の互いに隣接するチャンネルのダイオードが共通のアノード領域で構成される。

【0030】

以下、本発明の実施例を図面を用いて詳細に説明する。実施例の各半導体装置は、SOI (Silicon On Insulator) 基板上に形成される。しかしながら、本発明はSOI基板ではなく、バルク基板において形成した構造においても適用することができる。

40

【0031】

また本実施例は、複数のチャンネル構成から成る半導体装置において共通の機能を有する絶縁ゲートバイポーラトランジスタ群・電界効果型トランジスタ群に適用され、また本発明は、トランジスタ群ではなく、複数チャンネルを構成し共通の機能を有するダイオード群においても適用する事ができる。

【0032】

以下、図面を参照しつつ本発明の半導体装置の好適な実施形態について各実施例として説明する。

【0033】

[実施例 1]

50

図7は本発明を適用したトランジスタ群の一実施例の部分平面図を示している。複数のチャンネル回路構成において、共通の機能を有するトランジスタ群を共通のトレンチ溝で囲い、ハイサイド側の隣接するチャンネルのトランジスタのコレクタ(ドレイン/カソード)領域を共有化して、VH電源に接続する。また、他方ローサイド側の隣接するチャンネルのエミッタ(ソース/アノード)領域を共有化してGND電源に接続している。

【0034】

一方の素子分離領域(例えばトレンチU溝)26に囲まれたコレクタ(またはドレイン)領域27、ゲート領域28、およびエミッタ(またはソース)領域29を備えて成る複数のトランジスタは共通に高耐圧デバイスの一方の電位(例えば正電位)側であるハイサイド側の機能を有する。これに対し、他方の素子分離領域(同様に例えばトレンチU溝)26-2に囲まれたコレクタ(またはドレイン)領域27-2、ゲート領域28-2、およびエミッタ(またはソース)領域29-2を備えて成る複数のトランジスタは、素子分離領域26に囲まれたトランジスタ群とは異なり、共通に高耐圧デバイスの他方の電位(例えば接地(GND)電位)側であるローサイド側の機能を有する。このように、機能が共通であるトランジスタ同士は共通の素子分離領域によって共通の領域内に囲まれ、かつ、機能が異なるトランジスタ同士は素子分離領域によって互いに分離される。

10

【0035】

ハイサイド側の互いに隣接するチャンネルのトランジスタ同士はコレクタ(またはドレイン)領域27が共有化され、正電位電源VHに接続される。これに対し、ローサイド側の互いに隣接するチャンネルのトランジスタ同士はエミッタ(またはソース)領域29-2が共有化され、接地電位電源GNDに接続される。

20

【0036】

一方の素子分離領域26に囲まれた第1のトランジスタ群および他方の素子分離領域26-2に囲まれた第2のトランジスタ群は共に、出力段回路第一諧調(第1チャンネル)におけるトランジスタ30、出力段回路第二諧調(第2チャンネル)におけるトランジスタ31、・・・、出力段回路第n諧調(第nチャンネル)におけるトランジスタ32の順で1次元的に配置される。図8は本発明を適用したダイオード群の一実施例の部分平面図を示している。複数のチャンネル回路構成において、共通の機能を有するダイオード群を共通のトレンチ溝で囲い、ハイサイド側の隣接するチャンネルのダイオードのカソード領域を共有化して、VH電源に接続する。また、他方ローサイド側の隣接するチャンネルのアノード領域を共有化してGND電源に接続している。

30

【0037】

一方の素子分離領域(例えばトレンチU溝)26-3に囲まれたカソード領域27-3およびアノード領域29-3を備えて成る複数のダイオードは共通に高耐圧デバイスの一方の電位(例えば正電位)側であるハイサイド側の機能を有する。これに対し、他方の素子分離領域(同様に例えばトレンチU溝)26-4に囲まれたカソード領域27-4およびアノード領域29-4を備えて成る複数のダイオードは、素子分離領域26-3に囲まれたダイオード群とは異なり、共通に高耐圧デバイスの他方の電位(例えば接地(GND)電位)側であるローサイド側の機能を有する。このように、機能が共通であるダイオード同士は共通の素子分離領域によって共通の領域内に囲まれ、かつ、機能が異なるトランジスタ同士は素子分離領域によって互いに分離される。

40

【0038】

ハイサイド側の互いに隣接するチャンネルのダイオード同士はカソード領域27-3が共有化され、正電位電源VHに接続される。これに対し、ローサイド側の互いに隣接するチャンネルのダイオード同士はアノード領域29-4が共有化され、接地電位電源GNDに接続される。

【0039】

一方の素子分離領域26-3に囲まれた第1のダイオード群および他方の素子分離領域26-4に囲まれた第2のダイオード群は共に、出力段回路第一諧調(第1チャンネル)における高圧ダイオード33、出力段回路第二諧調(第2チャンネル)における高圧ダイオード34、・・・、出力段回路第n諧調(第nチャンネル)における高圧ダイオード35の順で1次元的に配

50

置される。

【0040】

本実施例によれば、一方の共通素子分離領域によって囲まれた第1の素子群の隣接チャンネルのコレクタ(ドレイン/カソード)領域同士を共通化すると共に他方の共通素子分離領域によって囲まれた第2の素子群の隣接チャンネルのエミッタ(ソース/アノード)領域同士を共通化した構造とし、各素子を個別にU溝で囲んでいた従来構造に代えて、チャンネルを構成する機能共通のトランジスタをすべて共通のトレンチU溝で囲う構造を適用していることで、素子サイズ縮小が実現でき、また、放熱性の向上を図ることができる。

【0041】

[実施例2]

図9、10A、10Bは本発明を適用した半導体集積回路装置として出力回路における横型絶縁ゲートバイポーラトランジスタの実施例を示したものである。図9が部分平面図、図10AおよびBが部分断面図を示しており、図10Aはその全体を、図10Bはその拡大図を、それぞれ示している。出力端子Doは直列接続された2つのトランジスタの間から取り出されている。電源端子V_Hに接続される素子をソース素子、グランド端子に接続される素子をシンク素子と呼ぶ。

【0042】

用いられる横型絶縁ゲートバイポーラトランジスタの断面構造であるが、ここではnチャンネル型の横型絶縁ゲートバイポーラトランジスタについて示す。n型半導体基板の表面層に選択的にpベース領域が形成され、そのpベース領域の表面層の一部に二つのnエミッタ領域が形成され、そのnエミッタ領域の間に一部nエミッタ領域と重複するようにpコンタクト領域が形成されている。pベース領域の形成されていないn型基板の表面露出部に選択的にnバッファ領域が形成され、そのnバッファ領域の表面層にpコレクタ領域が形成されている。そして、n型基板の表面露出部とnエミッタ領域に挟まれたpベース領域の表面層のチャンネル領域の表面上にゲート酸化膜を介してG端子に接続されるゲート電極が設けられている。またnエミッタ領域とpコンタクト領域の表面に共通に接触するエミッタ電極が、pコレクタ領域の表面上にはコレクタ電極が設けられ、それぞれE端子、C端子に接続される。図10において、pベース領域とその上の構造が設けられた領域をエミッタ・ゲート領域、nバッファ領域とその上の構造が設けられた領域をコレクタ領域と呼ぶことにする。本件で検討した素子は、エミッタ・ゲート領域に対し、コレクタ領域が両側対称に設置されたレイアウト配置となっている。

【0043】

この構造は従来構造に対して、隣接チャンネルのコレクタ領域を共通化し、従来構造では各チャンネル毎に囲んでいたトレンチU溝を無くして、共通の機能を有する横型絶縁ゲートバイポーラトランジスタをすべて同一のトレンチU溝で囲っている。これにより、従来構造に比べ1チャンネル当たりのレイアウトサイズの縮小を図ることができる。また、隣接するコレクタを共通化し下アーム側のエミッタと共通に電源をとるため、単一セルをずらす事により、配線長を短くできる。さらに、1個の素子をトレンチ溝で囲う従来構造に比べ、複数の素子をトレンチ溝で囲う構造によって、熱抵抗を下げられるため、放熱性を上げられる。これにより、素子発熱による素子破壊を抑制できるため、信頼性を向上できる。また、この構成ではソース素子である横型ゲートバイポーラトランジスタとシンク素子である横型ゲートバイポーラトランジスタのレイアウトを一致させて特性、耐圧が同一な素子を形成できる。

【0044】

[実施例3]

図11、12A、12Bは本発明を適用した半導体集積回路装置として出力回路におけるダイオードの実施例を示したものである。図11が部分平面図、図12AおよびBが部分断面図を示しており、図12Aはその全体を、図12Bはその拡大図を、それぞれ示している。出力端子Doは直列接続された2つのトランジスタの間から取り出されている。電源端子V_Hに接続される素子をソース素子、グランド端子に接続される素子をシンク素子と

10

20

30

40

50

呼ぶ。

【0045】

用いられるダイオードの断面構造であるが、n型半導体基板の表面層に選択的にpアノード領域を形成し、そのpアノード領域の表面層の一部にpコンタクト領域が形成されている。pアノード領域が形成されていないn型基板の表面露出部に選択的にnコンタクト領域が形成されている。またpコンタクト領域の表面に接触するアノード電極が、nコンタクト領域の表面上にはカソード電極が設けられ、それぞれA端子、K端子に接続される。図12において、pコンタクト領域とその上の構造が設けられた領域をアノード領域、nコンタクト領域とその上の構造が設けられた領域をカソード領域と呼ぶことにする。本件で検討した素子は、アノード領域に対し、カソード領域が両側対称に設置されたレイアウト配置となっている。

10

【0046】

この構造は従来構造に対し、隣接チャネルのカソード領域同士を共通化した構造であり、従来構造において各素子毎に囲んでいたトレンチU溝を取り除き、チャネルを構成するダイオードすべてを同一のトレンチU溝で囲っている。これにより、従来構造に比べ1チャネル当たり、隣接したトレンチU溝領域間距離、隣接した2つの装置領域に属するトレンチU溝幅、トレンチU溝カソード領域間距離及び、カソード領域幅の分だけサイズ縮小をすることができる。また、各素子を各々トレンチU溝で囲う従来構造に比べ、複数の素子をトレンチU溝で囲う構造は、熱抵抗を低減でき優れた放熱効果が期待できる。また、この構造ではソース素子を構成するダイオードとシンク素子を構成するダイオードの基本単位レイアウトを一致させて特性、耐圧が同一な素子を形成できる。

20

【0047】

[実施例4]

図13は、本発明の半導体装置を用いたスキャンIC回路レイアウト構成の一実施例をレイアウト図として示したものである。出力段回路を構成するシンク部（ハイサイド側）横型絶縁ゲートバイポーラトランジスタ群は共通の素子分離構造58によって共通に他の領域から分離され、出力段回路を構成するソース部（ローサイド側）横型絶縁ゲートバイポーラトランジスタ群は共通の素子分離構造59によって共通に他の領域から分離され、出力段回路を構成するシンク部（ハイサイド側）高圧ダイオード群は共通の素子分離構造60によって共通に他の領域から分離され、出力段回路を構成するソース部（ローサイド側）高圧ダイオード群は共通の素子分離構造61によって共通に他の領域から分離される。これら4つの素子群は互いに別個の素子分離構造58、59、60、61によって別々に囲まれる。

30

【0048】

ハイサイド側の横型絶縁ゲートバイポーラトランジスタ群のコレクタおよびハイサイド側の高圧ダイオード群のカソードは、共通に所定の第1の電位V_Hに接続され、ローサイド側の横型絶縁ゲートバイポーラトランジスタ群のエミッタおよびローサイド側の高圧ダイオード群のアノードは、第1の電位より低い所定の第2の電位に共通に接続される。第1の電位としては例えば所定の正電位としてもよく、また、第2の電位としては、例えば接地電位GNDとしてもよいが、本発明はこれに限定されない。

【0049】

ハイサイド側の横型絶縁ゲートバイポーラトランジスタ群のエミッタ、ローサイド側の横型絶縁ゲートバイポーラトランジスタ群のコレクタ、ハイサイド側の高圧ダイオード群のアノード、およびローサイド側の高圧ダイオード群のカソードは、チャネル毎に共通にそれぞれのチャネルの出力端子D01~D0nに接続される。ハイサイド側の横型絶縁ゲートバイポーラトランジスタ群のエミッタと出力端子との間には、ハイサイド側・ローサイド側の高圧ダイオードとは別のダイオードがチャネル毎に接続されてもよい。

40

【0050】

本実施例によれば、図2に示した横型絶縁ゲートバイポーラトランジスタと高圧ダイオードに関して実施例1、実施例2を適用し、それらを配線で繋ぐことで、高圧出力段回路におけるサイズ縮小が実現でき、もってICチップのサイズ縮小が実現できる。

50

【図面の簡単な説明】

【0051】

【図1】AC型PDPを駆動するICの構成図である。

【図2】AC型PDP用ICの出力回路図である。

【図3】横型絶縁ゲートバイポーラトランジスタの部分平面図である。

【図4】高圧ダイオードの部分平面図である。

【図5】出力回路を構成する横型絶縁ゲートバイポーラトランジスタの部分平面図である。

【図6】出力回路を構成する高圧ダイオードの部分平面図である。

【図7】本発明第一の実施例のトランジスタの部分平面図である。 10

【図8】本発明第一の実施例の高圧ダイオードの部分平面図である。

【図9】本発明第二の実施例の横型ゲートバイポーラトランジスタの部分平面図である。

【図10A】本発明第二の実施例の横型ゲートバイポーラトランジスタの部分断面図の全体を示す図である。

【図10B】本発明第二の実施例の横型ゲートバイポーラトランジスタの部分断面図の拡大図である。

【図11】本発明第三の実施例の高圧ダイオードの部分平面図である。

【図12A】本発明第三の実施例の高圧ダイオードの部分断面図の全体を示す図である。

【図12B】本発明第三の実施例の高圧ダイオードの部分断面図の拡大図である。

【図13】本発明第四の実施例のスキャンIC出力回路の部分平面図である。 20

【符号の説明】

【0052】

1 スキャンドライバ

2 アドレスドライバ

3 プラズマディスプレイ

4 セル

5 レベルシフト出力信号

6 シンク部用横型絶縁ゲートバイポーラトランジスタ入力信号

7 ソース部用高圧ダイオード

8 シンク部用高圧ダイオード 30

9 ソース部用絶縁ゲートバイポーラトランジスタ

10 シンク部用絶縁ゲートバイポーラトランジスタ

11 分離用ダイオード

12 ツェナーダイオード

13 コレクタ(ドレイン/カソード)領域

14 ゲート領域

15 エミッタ(ソース/アノード)領域

16 素子分離領域(トレンチU溝)

17 カソード領域

18 アノード領域 40

19 素子分離領域(トレンチU溝)

20 出力段回路第一諧調における横型絶縁ゲートバイポーラトランジスタ

21 出力段回路第二諧調における横型絶縁ゲートバイポーラトランジスタ

22 出力段回路第n諧調における横型絶縁ゲートバイポーラトランジスタ

23 出力段回路第一諧調における高圧ダイオード

24 出力段回路第二諧調における高圧ダイオード

25 出力段回路第n諧調における高圧ダイオード

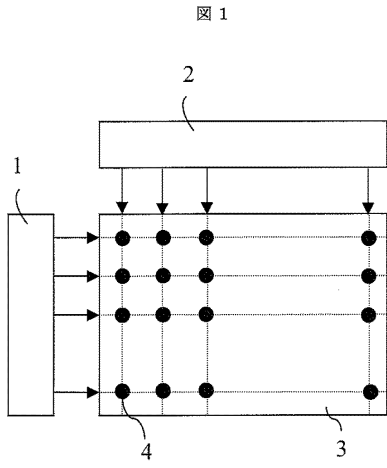
26 素子分離領域(トレンチU溝)

27 コレクタ(ドレイン)領域

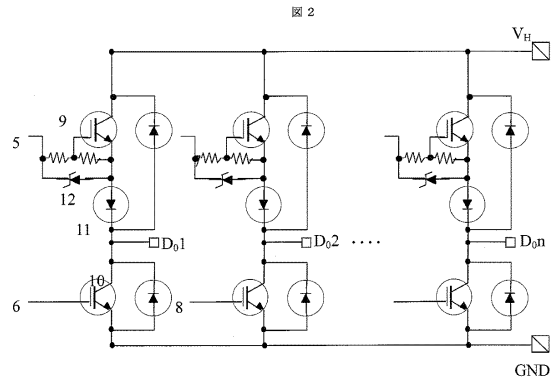
28 ゲート領域 50

2 9	エミッタ(ソース)領域	
3 0	出力段回路第一諧調におけるトランジスタ	
3 1	出力段回路第二諧調におけるトランジスタ	
3 2	出力段回路第 n 諧調におけるトランジスタ	
3 3	出力段回路第一諧調における高圧ダイオード	
3 4	出力段回路第二諧調における高圧ダイオード	
3 5	出力段回路第 n 諧調における高圧ダイオード	
3 6	出力段回路第一諧調における横型絶縁ゲートバイポーラトランジスタ	
3 7	出力段回路第一諧調における横型絶縁ゲートバイポーラトランジスタ	
3 8	出力段回路第一諧調における横型絶縁ゲートバイポーラトランジスタ	10
3 9	コレクタ領域	
4 0	エミッタ領域	
4 1	ゲート領域	
4 2	コレクタ電極	
4 3	ゲート電極	
4 4	エミッタ電極	
4 5	pコレクタ領域	
4 6	pコンタクト領域	
4 7	nエミッタ領域	
4 8	pベース領域	20
4 9	nバッファ領域	
5 0	ゲート酸化膜	
5 1	出力段回路第一諧調における高圧ダイオード	
5 2	出力段回路第二諧調における高圧ダイオード	
5 3	出力段回路第 n 諧調における高圧ダイオード	
5 4	カソード領域	
5 5	エミッタ領域	
5 6	エミッタ電極	
5 7	カソード電極	
5 8	出力段回路を構成するシンク部(ハイサイド側)横型絶縁ゲートバイポーラトラン	30
ジスタ		
5 9	出力段回路を構成するソース部(ローサイド側)横型絶縁ゲートバイポーラトラン	
ジスタ		
6 0	出力段回路を構成するシンク部(ハイサイド側)高圧ダイオード	
6 1	出力段回路を構成するソース部(ローサイド側)高圧ダイオード。	

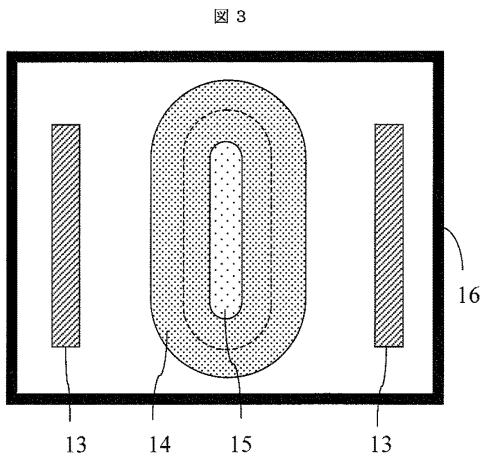
【 図 1 】



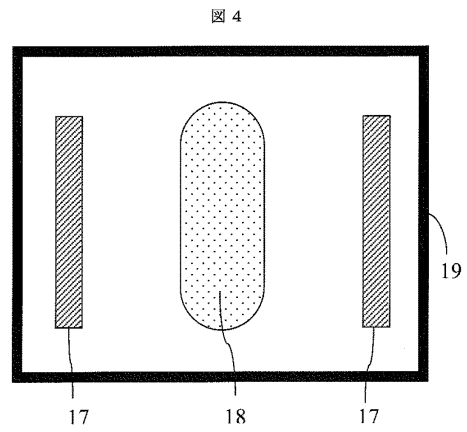
【 図 2 】



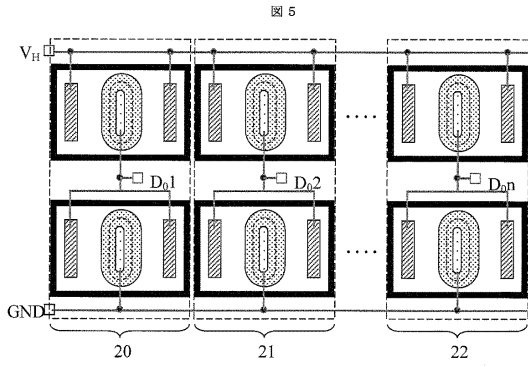
【 図 3 】



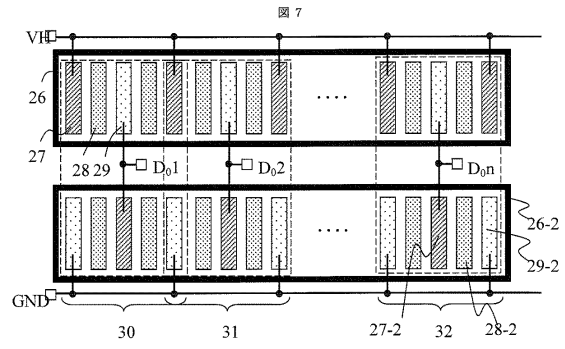
【 図 4 】



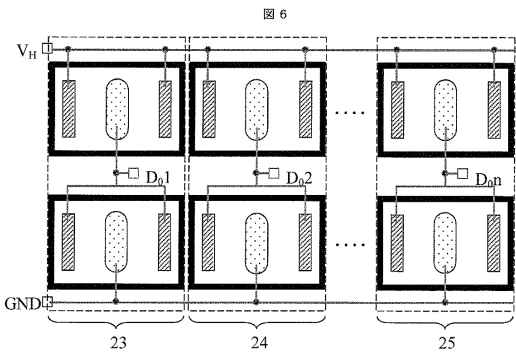
【 図 5 】



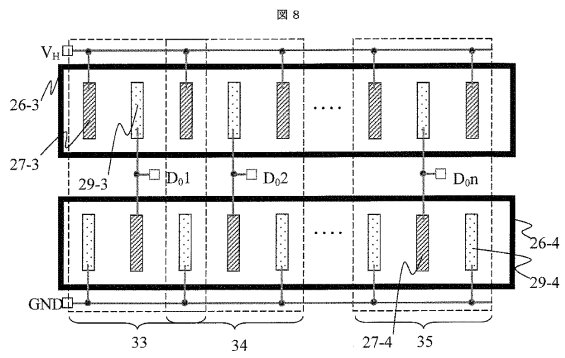
【 図 7 】



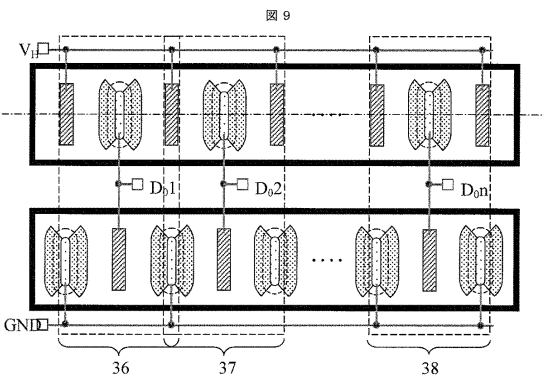
【 図 6 】



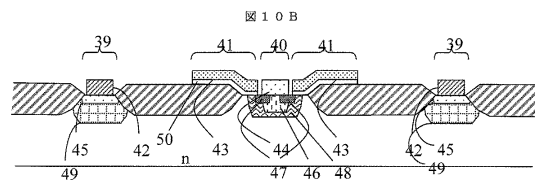
【 図 8 】



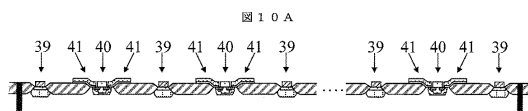
【 図 9 】



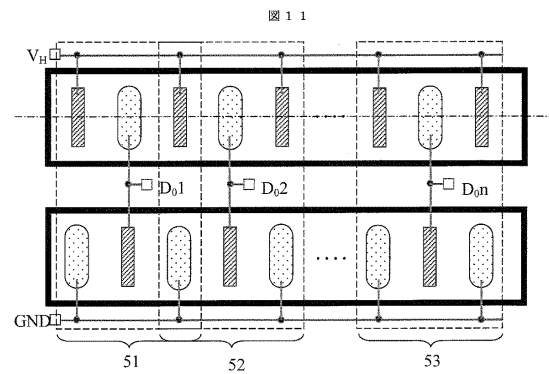
【 図 10 B 】



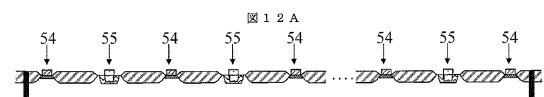
【 図 10 A 】



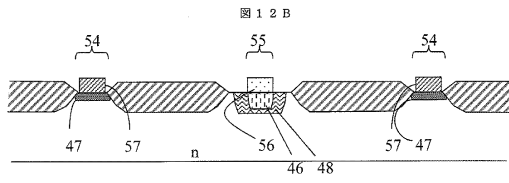
【 図 11 】



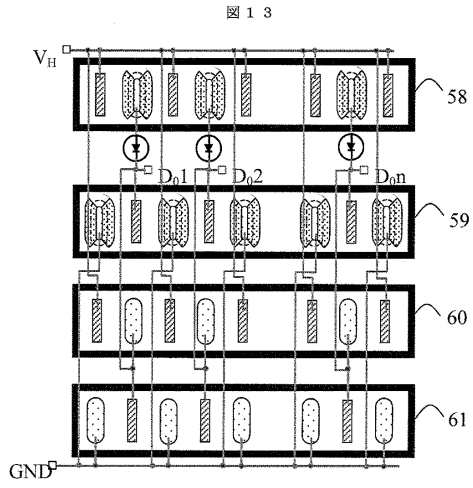
【 図 12 A 】



【 図 1 2 B 】



【 図 1 3 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/06 (2006.01) H 0 1 L 29/78 3 0 1 J
H 0 1 L 21/762 (2006.01)
H 0 1 L 21/336 (2006.01)
H 0 1 L 29/78 (2006.01)

(72)発明者 柳田 洋平
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

審査官 安田 雅彦

(56)参考文献 特開2000-223665(JP,A)
特開2008-116361(JP,A)
特開2004-031903(JP,A)
特開2003-152095(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 8
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 6 1
H 0 1 L 2 7 / 0 4
H 0 1 L 2 1 / 7 6